

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-230075

(P2006-230075A)

(43) 公開日 平成18年8月31日(2006.8.31)

(51) Int. Cl. F I テーマコード (参考)  
**HO2M 3/28 (2006.01)** HO2M 3/28 Q 5H730

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2005-39445 (P2005-39445)  
 (22) 出願日 平成17年2月16日 (2005.2.16)

(71) 出願人 000003218  
 株式会社豊田自動織機  
 愛知県刈谷市豊田町2丁目1番地  
 (74) 代理人 100074099  
 弁理士 大菅 義之  
 (72) 発明者 河野 寛  
 愛知県刈谷市豊田町2丁目1番地 株式会  
 社豊田自動織機内  
 Fターム(参考) 5H730 AA14 AS01 BB27 BB72 BB91  
 DD04 DD16 DD26 EE04 EE08  
 EE42 FG05

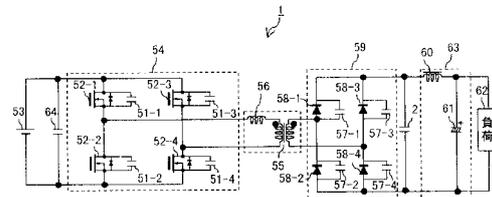
(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】

【課題】 トランス自体の損失を抑えることが可能なスイッチング電源回路を提供することを目的とする。

【解決手段】 整流回路59と平滑回路63との間に、ダイオード58の寄生素子であるコンデンサ57の容量よりも容量が大きいコンデンサ2を設ける。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

第 1 のコンデンサがそれぞれ並列に接続される第 1、第 2、第 3、第 4 のスイッチング素子により構成され、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子が前記第 1 のスイッチング素子が高電位側になるように直列に接続されて第 1 の相ブリッジを形成し、前記第 3 のスイッチング素子と前記第 4 のスイッチング素子が前記第 3 のスイッチング素子が高電位側になるように直列に接続されて第 2 の相ブリッジを形成し、前記第 1 及び第 2 のスイッチング素子が交互にオン、オフし、前記第 3 及び第 4 のスイッチング素子が交互にオン、オフすることにより直流電力を交流電力に変換する変換回路と、

前記第 1 のコンデンサと共振回路を構成するインダクタと、

10

前記インダクタを介して前記変換回路から出力される交流電力を昇圧または降圧するトランスと、

ダイオードにより構成され前記トランスから出力される交流電力を整流する整流回路と

、前記整流回路からの出力を平滑する平滑回路とを備え、

前記第 1 の相ブリッジに入力される駆動信号の位相が前記第 2 の相ブリッジに入力される駆動信号の位相に対してシフトして、前記共振回路の共振により前記各スイッチング素子をゼロボルトスイッチングさせるスイッチング電源回路であって、

前記整流回路と前記平滑回路との間に第 2 のコンデンサが設けられている、

ことを特徴とするスイッチング電源回路。

20

**【請求項 2】**

請求項 1 に記載のスイッチング電源回路であって、

前記第 2 のコンデンサの容量は、前記ダイオードの寄生素子である第 3 のコンデンサの容量よりも大きくなるように設定される、

ことを特徴とするスイッチング電源回路。

**【請求項 3】**

請求項 2 に記載のスイッチング電源回路であって、

前記第 2 のコンデンサの容量は、前記インダクタと前記第 2 のコンデンサとから構成される共振回路の共振周波数が前記各スイッチング素子をオン、オフさせる駆動信号を生成するための基準信号の周波数よりも大きくなるように設定される、

30

ことを特徴とするスイッチング電源回路。

**【請求項 4】**

請求項 1 ~ 3 の何れか 1 項に記載のスイッチング電源回路であって、

前記第 2 のコンデンサの容量は、前記変換回路に入力される直流電力の変動または前記平滑回路の後段に設けられる負荷が要求する直流電力の変動に応じて可変される、

ことを特徴とするスイッチング電源回路。

**【請求項 5】**

請求項 1 ~ 3 の何れか 1 項に記載のスイッチング電源回路であって、

前記第 2 のコンデンサは、互いに並列に接続される複数のコンデンサにより構成され、

前記複数のコンデンサのうち使用するコンデンサを選択するスイッチと、

40

前記変換回路に入力される直流電力の変動または前記平滑回路の後段に設けられる負荷が要求する直流電力の変動に応じて前記スイッチを動作させる制御回路と、

を備えることを特徴とするスイッチング電源回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、複数のスイッチング素子から構成される変換回路により直流電力を交流電力に変換しトランスを介して整流回路及び平滑回路により再び直流電力に変換して出力するスイッチング電源回路に関する。

**【背景技術】**

50

## 【 0 0 0 2 】

従来より、直流電力を交流電力に変換する変換回路のスイッチング素子をソフトスイッチングさせるスイッチング電源回路として、例えば、スイッチング素子の駆動信号のパルス幅を変更させるスイッチング電源回路が存在する（例えば、特許文献1参照）。

## 【 0 0 0 3 】

また、変換回路のスイッチング素子をソフトスイッチングさせるスイッチング電源回路として、他にも、例えば、フルブリッジ方式の変換回路において一方のブリッジのスイッチング素子の駆動信号の位相を他方のブリッジのスイッチング素子の駆動信号の位相に対してシフトさせる、いわゆる、フェーズシフト方式のスイッチング電源回路も存在する（例えば、特許文献2参照）。これらのスイッチング電源回路は、部品点数の増加がほとんどないため簡単に構成することができる。

10

## 【 0 0 0 4 】

また、さらに、変換回路のスイッチング素子をソフトスイッチングさせるスイッチング電源回路として、例えば、変換回路の各スイッチング素子のそれぞれに並列に接続されるコンデンサと、変換回路とトランスとの間に設けられるリーケージインダクタとにより構成される共振回路の共振によりスイッチ素子両端に電圧がかからないようにしつつスイッチング素子をオン、オフさせる、いわゆる、ゼロボルトスイッチング方式（以下、ZVS方式という）のスイッチング電源回路も存在する（例えば、特許文献3参照）。

## 【 0 0 0 5 】

図5は、既存のZVS方式のスイッチング電源回路を示す図である。

20

図5に示すスイッチング電源回路50は、コンデンサ51（51-1～51-4）がそれぞれ並列に接続される4つのスイッチング素子52（52-1～52-4）により構成され直流電源53からの直流電力を交流電力に変換する変換回路54と、変換回路54から出力される交流電力を昇圧または降圧するトランス55と、変換回路54とトランス55との間に設けられるリーケージインダクタ56と、コンデンサ57（57-1～57-4）がそれぞれ並列に接続される4つのダイオード58（58-1～58-4）により構成されトランス55から出力される交流電力を整流する整流回路59と、インダクタ60とコンデンサ61とにより構成され整流回路59からの出力を平滑し負荷62に出力する平滑回路63とを備えて構成されている。

## 【 0 0 0 6 】

30

なお、直流電源53と変換回路54との間に設けられるコンデンサ64は、直流電源53からの直流電力を平滑すると共に、変換回路54から回生される出力を蓄積する。また、コンデンサ51-1～51-4は、スイッチング素子52-1～52-4のそれぞれの寄生素子により構成してもよいし、スイッチング素子52-1～52-4にそれぞれコンデンサを外付けすることにより構成してもよい。また、コンデンサ57-1～57-4は、ダイオード58-1～58-4のそれぞれの寄生素子により構成されるものとする。また、リーケージインダクタ56は、トランス55の1次側コイルまたは2次側コイルと共にトランス55の内部に構成されてもよいし、トランス55の外部に構成されてもよい。

## 【 0 0 0 7 】

上記変換回路54は、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）であるスイッチング素子52-1及び52-2がブリッジ接続されその中点がリーケージインダクタ56を介してトランス55の1次側コイルのプラス端子に接続され、MOSFETであるスイッチング素子52-3及び52-4がブリッジ接続されその中点がトランス55の1次側コイルのマイナス端子に接続されることにより構成されている。

40

## 【 0 0 0 8 】

次に、変換回路54の動作を説明する。

図6(a)は、スイッチング電源回路50におけるトランス55の1次側の回路を模式的に示す図である。なお、図5に示す構成と同じ構成には同じ符号を付している。

## 【 0 0 0 9 】

50

図 6 ( a ) に示すように、変換回路 5 4 において、スイッチング素子 5 2 - 1 及び 5 2 - 2 により構成されるブリッジを「進み相ブリッジ」とし、スイッチング素子 5 2 - 3 及び 5 2 - 4 により構成されるブリッジを「遅れ相ブリッジ」とする。

【 0 0 1 0 】

また、図 6 ( b ) は、「進み相ブリッジ」及び「遅れ相ブリッジ」にそれぞれ入力される駆動信号を示す図である。なお、図 6 ( b ) において、「進み相ブリッジ」のスイッチング素子 5 2 - 1 に入力される駆動信号を「進み相 P W M ( P u l s e W i d t h M o d u l a t i o n ) 信号」とし、「遅れ相ブリッジ」のスイッチング素子 5 2 - 4 に入力される駆動信号を「遅れ相 P W M 信号」とする。

【 0 0 1 1 】

図 6 ( b ) に示す「進み相 P W M 信号」及び「遅れ相 P W M 信号」は、それぞれ周波数とオン幅が互いに同じであり、「進み相 P W M 信号」の位相に対して「遅れ相 P W M 信号」の位相を常に遅らせつつ、「進み相 P W M 信号」に対して「遅れ相 P W M 信号」を位相シフトさせている。

【 0 0 1 2 】

例えば、「遅れ相 P W M 信号」の位相が「進み相 P W M 信号」の位相に対して進むように位相シフトさせる場合は、図 6 ( b ) に示すように、「進み相 P W M 信号」のオン期間と「遅れ相 P W M 信号」のオン期間とが重なる期間、すなわち、図 6 ( a ) に示すトランス 5 5 の 1 次側コイル 5 5 - 1 に電圧が印加される期間が徐々に長くなっていく。

【 0 0 1 3 】

一方、「遅れ相 P W M 信号」の位相が「進み相 P W M 信号」の位相に対して遅れるように位相シフトさせる場合は、トランス 5 5 の 1 次側コイル 5 5 - 1 に電圧が印加される期間が徐々に短くなっていく。

【 0 0 1 4 】

図 7 は、スイッチング素子 5 2 - 1 ~ 5 2 - 4 が駆動しているときの電流の流れを示す図である。なお、図 6 ( a ) に示す構成と同じ構成には同じ符号を付している。また、図 7 ( a ) ~ ( f ) に示す矢印は電流の流れを示している。

【 0 0 1 5 】

また、図 8 は、スイッチング素子 5 2 - 1 ~ 5 2 - 4 にそれぞれ入力される駆動信号 S 1 ~ S 4、リーケージインダクタ 5 6 及びトランス 5 5 の 1 次側コイル 5 5 - 1 に流れる電流  $I_p$ 、並びに、リーケージインダクタ 5 6 及びトランス 5 5 の 1 次側コイル 5 5 - 1 に印加される電圧 V A B を示す図である。スイッチング素子 5 2 - 1 及び 5 2 - 2 は所定のデッドタイムを設けて交互にオンオフする駆動信号 S 1、S 2 が入力される。またスイッチング素子 5 2 - 3 及び 5 2 - 4 は所定のデッドタイムを設けて交互にオンオフする駆動信号 S 3、S 4 が入力される。

【 0 0 1 6 】

まず、スイッチング素子 5 2 - 1 及び 5 2 - 4 がオン、それ以外のスイッチング素子 5 2 がオフとなる期間 ( 図 8 に示す期間 ( 1 ) ) では、図 8 に示すように、リーケージインダクタ 5 6 及びトランス 5 5 の 1 次側コイル 5 5 - 1 ( 図 7 に示す A - B 区間 ) に直流電源 5 3 の電源電圧の正の電圧が印加される。また、この期間 ( 1 ) では、図 7 ( a ) に示すように、A - B 区間に正の電流が流れる。これにより、変換回路 5 4 は、期間 ( 1 ) において、トランス 5 5 に交流電力を供給することができる。

【 0 0 1 7 】

次に、スイッチング素子 5 2 - 4 がオン、それ以外のスイッチング素子 5 2 がオフとなる期間 ( 図 8 に示す期間 ( 2 ) ) では、図 8 に示すように、A - B 区間に印加されていた電圧がゼロになるまで徐々に減少していく。すなわち、この期間 ( 2 ) では、図 7 ( b ) に示すように、コンデンサ 5 1 - 1 に電荷が充電されると共にコンデンサ 5 1 - 2 に充電されていた電荷がゼロになるまで放電されることによりコンデンサ 5 1 - 1 及びコンデンサ 5 1 - 2 とリーケージインダクタ 5 6 とで共振回路が構成される。コンデンサ 5 1 - 1 及びコンデンサ 5 1 - 2 の容量があるため、スイッチング素子 5 2 - 1 はドレイン - ソー

10

20

30

40

50

ス間の電圧は徐々に上昇するので、スイッチング素子 5 2 - 1 の損失を低減できる。

【 0 0 1 8 】

次に、スイッチング素子 5 2 - 2 及び 5 2 - 4 がオン、それ以外のスイッチング素子 5 2 がオフとなる期間（図 8 に示す期間（3））では、図 7（c）に示すように、コンデンサ 5 1 - 1 の充電によりスイッチング素子 5 2 - 1 の両端電圧が直流電源 5 3 の電源電圧になるとスイッチング素子 5 2 - 2 に並列に接続されるダイオードが導通する。そのため、この期間（3）では、スイッチング素子 5 2 - 2 のドレイン - ソース間の電圧がゼロを維持したままスイッチング素子 5 2 - 2 がオンとなる。

【 0 0 1 9 】

次に、スイッチング素子 5 2 - 2 がオン、それ以外のスイッチング素子 5 2 がオフとなる期間（図 8 に示す期間（4））では、図 8 に示すように、A - B 区間に印加されていた電圧が直流電源 5 3 の電源電圧の負の電圧になるまで徐々に減少していく。すなわち、この期間（4）では、図 7（d）に示すように、コンデンサ 5 1 - 4 に電荷が充電されると共にコンデンサ 5 1 - 3 に充電されていた電荷がゼロになるまで放電されることによりコンデンサ 5 1 - 3 及びコンデンサ 5 1 - 4 とリーケージインダクタ 5 6 とで共振回路が構成される。コンデンサ 5 1 - 3 及びコンデンサ 5 1 - 4 の容量があるため、スイッチング素子 5 2 - 4 はドレイン - ソース間の電圧は徐々に上昇するので、スイッチング素子 5 2 - 4 の損失を低減できる。

【 0 0 2 0 】

次に、スイッチング素子 5 2 - 2 及び 5 2 - 3 がオン、それ以外のスイッチング素子 5 2 がオフとなる期間（図 8 に示す期間（5））では、図 7（e）に示すように、コンデンサ 5 2 - 4 の充電によりスイッチング素子 5 2 - 4 の両端電圧が直流電源 5 3 の電源電圧になるとスイッチング素子 5 2 - 3 に並列に接続されるダイオードが導通する。そのため、この期間（5）では、スイッチング素子 5 2 - 3 のドレイン - ソース間の電圧がゼロを維持したままスイッチング素子 5 2 - 3 がオンとなる。

【 0 0 2 1 】

そして、さらに、スイッチング素子 5 2 - 2 及び 5 2 - 3 がオン、それ以外のスイッチング素子 5 2 がオフとなる期間（図 8 に示す期間（6））では、図 8 に示すように、A - B 区間に直流電源 5 3 の電源電圧の負の電圧が印加される。また、この期間（6）では、図 7（f）に示すように、トランス 5 5 の 1 次側の回路において交流電力が回生し、リーケージインダクタ 5 6 及びトランス 5 5 の 1 次側コイル 5 5 - 1 に負の電流が流れる。これにより、変換回路 5 4 は、期間（6）において、トランス 5 5 に交流電力を供給することができる。

【 0 0 2 2 】

このように、スイッチング電源回路 5 0 では、期間（2）～（5）において、コンデンサ 5 1 - 1 ～ 5 1 - 4 とリーケージインダクタ 5 6 とから構成される共振回路によりターンオフ時に共振しスイッチング素子 5 2 両端にかかる電圧は徐々に上昇する。またはターンオン時は、期間（1）（または期間（6））にリーケージインダクタ 5 6 に蓄えられたエネルギーを還流させることにより、スイッチング素子 5 2 のダイオード 5 1 が導通する。これにより、スイッチング素子 5 2 - 1 ～ 5 2 - 4 のそれぞれのスイッチング損失を低減することができる。

【特許文献 1】特開平 1 0 - 3 3 7 0 2 1 号 （第 3 ～ 1 0 頁、第 1 ～ 5 図）

【特許文献 2】USP 4 8 6 4 4 7 9 （第 3 ～ 1 6 欄、第 1 ～ 7 図）

【特許文献 3】再公表 0 1 - 0 7 1 8 9 6 号 （第 5 ～ 2 9 頁、第 1 ～ 2 4 図）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 3 】

しかしながら、上記スイッチング電源回路 5 0 では、リーケージインダクタ 5 6 による電圧降下により、図 8 に示すように、トランス 5 5 の 1 次側コイル 5 5 - 1 に流れる電流  $I_p$  の立上りが緩やかになる。そのため、スイッチング電源回路 5 0 は、位相シフトを行

10

20

30

40

50

わず、かつ、コンデンサ 5 1 及びリーケージインダクタ 5 6 を備えないハードスイッチング方式と比べて、スイッチング素子 5 2 の駆動信号のデューティが等しいときのトランス 5 5 の 2 次側コイルに伝えることが可能な交流電力が小さくなる。

【0024】

すなわち、上記スイッチング電源回路 5 0 は、ハードスイッチング方式のスイッチング電源回路に比べて、リーケージインダクタ 5 6 が設けられる分、トランス 5 5 の 1 次側コイル 5 5 - 1 に流れる電流  $I_p$  がトランス 5 5 の 1 次側コイル 5 5 - 1 に印加される電圧  $V_{AB}$  に対して遅れる、トランス 5 5 の 1 次側コイル 5 5 - 1 に流れる電流  $I_p$  と 1 次側コイル 5 5 - 1 に印加される電圧  $V_{AB}$  との時間積が小さくなり、トランス 5 5 の 2 次側コイルに伝わる交流電力が小さくなる。

10

【0025】

また、スイッチング電源回路 5 0 において、長い期間各スイッチング素子 5 2 をゼロボルトスイッチングさせようとする場合では、リーケージインダクタ 5 6 のインダクタンスを大きくする必要がある。このように、リーケージインダクタ 5 6 のインダクタンスを大きくすると、トランス 5 5 の 1 次側の回路の循環電流（無効電力）が増加し、トランス 5 5 の 2 次側コイルに伝わる交流電力が小さくなるという問題もある。

【0026】

従って、スイッチング電源回路 5 0 は、ハードスイッチング方式のスイッチング電源回路と同じ出力を得ようとする場合や長い期間各スイッチング素子 5 2 をゼロボルトスイッチングさせようとする場合、ハードスイッチング方式のスイッチング電源回路と比べて、トランス 5 5 の巻き線比を大きくする必要があり、トランス 5 5 自体の損失が増加するという問題がある。

20

【0027】

そのため、例えば、スイッチング電源回路 5 0 は、スイッチング素子 5 2 の駆動信号の周波数を高周波化することにより、ハードスイッチング方式のスイッチング電源回路と比べて、スイッチング素子 5 2 のスイッチング損失を低減させることができるが、表皮効果による交流抵抗の増加とトランス 5 5 の巻き線比の増加とにより、トランス 5 5 の銅損が増加してしまう。

【0028】

そこで、本発明では、トランス自体の損失を抑えることが可能なスイッチング電源回路を提供することを目的とする。

30

【課題を解決するための手段】

【0029】

上記の課題を解決するために本発明では、以下のような構成を採用した。

すなわち、本発明のスイッチング電源回路は、第 1 のコンデンサがそれぞれ並列に接続される第 1、第 2、第 3、第 4 のスイッチング素子により構成され、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子が前記第 1 のスイッチング素子が高電位側になるように直列に接続されて第 1 の相ブリッジを形成し、前記第 3 のスイッチング素子と前記第 4 のスイッチング素子が前記第 3 のスイッチング素子が高電位側になるように直列に接続されて第 2 の相ブリッジを形成し、前記第 1 及び第 2 のスイッチング素子が交互にオン、オフし、前記第 3 及び第 4 のスイッチング素子が交互にオン、オフすることにより直流電力を交流電力に変換する変換回路と、前記第 1 のコンデンサと共振回路を構成するインダクタと、前記インダクタを介して前記変換回路から出力される交流電力を昇圧または降圧するトランスと、ダイオードにより構成され前記トランスから出力される交流電力を整流する整流回路と、前記整流回路からの出力を平滑する平滑回路とを備え、前記第 1 の相ブリッジに入力される駆動信号の位相が前記第 2 の相ブリッジに入力される駆動信号の位相に対してシフトして、前記共振回路の共振により前記各スイッチング素子をゼロボルトスイッチングさせるスイッチング電源回路であって、前記整流回路と前記平滑回路との間に第 2 のコンデンサが設けられていることを特徴とする。

40

【0030】

50

このように、整流回路と平滑回路との間に第2のコンデンサを設けることにより、トランスに流れる電流をトランスに印加される電圧に対して進ませることができる。これにより、トランスに印加される電圧とトランスに流れる電流との時間積を増加させることができるので、トランスに供給される交流電力を増加させることができる。従って、トランスの巻き線比を小さくすることができるので、トランス自体の効率を向上させることができる。

【0031】

また、上記スイッチング電源回路の第2のコンデンサの容量は、前記ダイオードの寄生素子である第3のコンデンサの容量よりも大きくなるように設定されてもよい。

このように、第2のコンデンサの容量をダイオードの寄生素子である第3のコンデンサの容量よりも大きくすることにより、インダクタと第3のコンダクタとにより構成される共振回路の共振による電流の振動を抑制することができる（すなわち、インダクタと第2及び第3のコンデンサとにより構成される共振回路のQ値を小さくすることができる）ので、ダイオードに印加される電圧のピーク値を下げるることができる。これにより、ダイオードの耐圧を低下させることができるので、その分安価なダイオードを使用することができスイッチング電源回路全体のコストを低減させることができる。また、ダイオードの耐圧を低下させることができるので、その分小型のダイオードを使用することができスイッチング電源回路全体の回路規模を縮小させることができる。更に、耐圧の低いダイオードを使用すれば、導通損失が少なくなり高効率化することが可能である。

【0032】

また、上記スイッチング電源回路の第2のコンデンサの容量は、前記インダクタと前記第2のコンデンサとから構成される共振回路の共振周波数が前記各スイッチング素子をオン、オフさせる駆動信号を生成するための基準信号の周波数よりも大きくなるように設定されてもよい。

【0033】

また、上記スイッチング電源回路の第2のコンデンサの容量は、前記変換回路に入力される直流電力の変動または前記平滑回路の後段に設けられる負荷が要求する直流電力の変動に応じて可変されるように構成してもよい。

【0034】

これにより、変換回路に入力される直流電力または平滑回路の後段に接続される負荷が要求する直流電力が変動してもトランス自体の効率を維持することができる。

また、上記スイッチング電源回路は、第2のコンデンサを互いに並列に接続される複数のコンデンサにより構成し、さらに、前記複数のコンデンサのうち使用するコンデンサを選択するスイッチと、前記変換回路に入力される直流電力の変動または前記平滑回路の後段に設けられる負荷が要求する直流電力の変動に応じて前記スイッチを動作させる制御回路とを備えるように構成してもよい。

【0035】

このように構成しても、変換回路に入力される直流電力または平滑回路の後段に接続される負荷が要求する直流電力が変動してもトランス自体の効率を維持することができる。

【発明の効果】

【0036】

本発明によれば、トランス自体の効率を向上させることができる。

【発明を実施するための最良の形態】

【0037】

以下、本発明の実施形態を図面を用いて説明する。

図1は、本発明の実施形態のスイッチング電源回路を示す図である。なお、図5に示す構成と同じ構成には同じ符号を付している。

【0038】

図1に示すスイッチング電源回路1は、コンデンサ51（第1のコンデンサ）がそれぞれ並列に接続される4つのスイッチング素子52（52-1：第1のスイッチング素子、

10

20

30

40

50

52-2：第2のスイッチング素子、52-3：第3のスイッチング素子、52-4：第4のスイッチング素子）により構成される変換回路54と、トランス55と、リーケージインダクタ56（インダクタ）と、整流回路59と、平滑回路63と、コンデンサ2（第2のコンデンサ）とを備えて構成されている。なお、トランス55は昇圧型でもよいし降圧型でもよい。

【0039】

図1に示すスイッチング電源回路1の特徴とする点は、整流回路59と平滑回路63との間にコンデンサ2を設けている点である。すなわち、コンデンサ2の一方端がダイオード58-3のカソード及びインダクタ60の一方端と接続され、コンデンサ2の他方端がダイオード58-4のアノード及びコンデンサ61のマイナス端子と接続されている。

10

【0040】

図2(a)は、スイッチング電源回路1における、スイッチング素子52-1～52-4にそれぞれ入力される駆動信号S1～S4、リーケージインダクタ56及びトランス55の1次側コイル55-1（図7に示すA-B区間）に流れる電流 $I_p$ 、及びA-B区間に印加される電圧VABを示す図である。なお、図2(a)に示す期間(I)～(VI)のスイッチング素子52-1～52-4のそれぞれの動作は、図8に示す期間(1)～(6)のスイッチング素子52-1～52-4のそれぞれの動作と同一であるため、スイッチング電源回路1におけるスイッチング素子52-1～52-4の動作の説明は省略する。

【0041】

上記スイッチング電源回路1では、図2(a)に示す期間(I)または期間(VI)において、リーケージインダクタ56とコンデンサ2及びダイオード58の寄生素子であるコンデンサ57（第3のコンデンサ）とにより電流 $I_p$ が共振する。

20

【0042】

そのため、図2(a)に示す電流 $I_p$ は、図8に示す電流 $I_p$ と異なる。

図2(b)は、図2(a)に示す電流 $I_p$ と図8に示す電流 $I_p$ とを同じ時間軸上において示す図である。なお、図2(b)において、実線で示される電流 $I_p$ は図2(a)に示す電流 $I_p$ を示し、破線で示される電流 $I_p$ は図8に示す電流 $I_p$ を示している。

【0043】

上記スイッチング電源回路1は、コンデンサ2を追加する分、図5に示すスイッチング電源回路50と比べて、トランス55の1次側コイルに流れる電流 $I_p$ をトランス55の1次側コイルに印加される電圧に対して位相を進ませることができる。すなわち、図2(b)に示すように、上記スイッチング電源回路1は、リーケージインダクタ56とコンデンサ2及びコンデンサ57とにより立上りの鋭い電流 $I_p$ をトランス55の1次側コイルに流すことができるため、図2(b)に示す期間Tにおいて、トランス55の1次側コイルに流れる電流 $I_p$ とトランス55の1次側コイルに印加される電圧VABとの時間積をスイッチング電源回路50よりも増加させることができる。

30

【0044】

これにより、スイッチング電源回路1は、スイッチング電源回路50とスイッチング素子52の駆動信号のデューティが同じ場合、スイッチング電源回路50と比べて、大きな交流電力をトランス55の1次側コイルに伝えることができるので、トランス55の巻き線比を小さくすることができ、トランス55自体の効率を向上させることができる。

40

【0045】

また、スイッチング電源回路1の動作制御を変える必要がないため、既存のICや制御方法を用いることができ、容易にトランス55自体の効率を向上させることができる。

また、昇圧型のトランス55（2次巻線の巻き数が1次巻線の巻き数より大きい）を採用する場合は、降圧型のトランス55（2次巻線の巻き数が1次巻線の巻き数より小さい）を採用する場合に比べて、コンデンサ2を付加するメリットが大きい。昇圧型の場合、トランス55の2次側の回路に流れる電流が小さいので、コンデンサ2の容量を小さくすることができる。これにより、昇圧型のトランス55を採用する場合は、降圧型のトランス

50

ス55を採用する場合に比べて、コンデンサ2を安価でかつ小型にすることができる。よって、スイッチング電源回路50と比べて低コストで回路規模も大きくせずに高効率化が可能である。

【0046】

ところで、図5に示すスイッチング電源回路50では、リーケージインダクタ56とコンデンサ57との共振により、トランス55の2次側の回路に流れる電流が振動する場合がある。すなわち、以下の「数1」が示す関係が成り立つと、トランス55の2次側の回路に流れる電流が振動してしまう。

【0047】

【数1】

$$fs > A \cdot fsw$$

10

【0048】

なお、Aは整数とする。また、fswはスイッチング素子52の駆動信号を生成するための基準信号の周波数とする。また、fsはリーケージインダクタ56とコンデンサ57とから構成される共振回路の共振周波数であって、以下の「数2」により示される。

【0049】

【数2】

$$fs = \frac{1}{2\pi \sqrt{Lr \cdot n^2 \cdot \left(\frac{Cd}{2}\right)}}$$

20

【0050】

なお、Lrはリーケージインダクタ56のインダクタンスとする。また、nはトランス55の巻き線比とする。また、Cdはコンデンサ57-1~57-4の各容量のうち何れかの容量とする。

【0051】

一般に、上記スイッチング電源回路50のコンデンサ57は、ダイオード58の寄生素子により構成されるため、そのコンデンサ57の容量はとても小さく、上記「数1」の関係が成り立ってしまう。

30

【0052】

すなわち、コンデンサ57の容量はとても小さいため、リーケージインダクタ56とコンデンサ57とから構成される共振回路のQ値は、以下の「数3」から明らかなように高くなる。

【0053】

【数3】

$$Q = \sqrt{\frac{Lr}{n^2 \cdot \left(\frac{Cd}{2}\right)}}$$

40

【0054】

そのため、上記スイッチング電源回路50では、各ダイオード58に印加される電圧のピーク値が増大するため、各ダイオード58のそれぞれの定格電圧を上げなくてはならないという問題がある。そして、このように、定格電圧の大きなダイオード58を使用する場合、ダイオード58の導通損失が増加しスイッチング電源回路50全体の損失を増加させてしまう。

【0055】

50

しかしながら、この問題は、本実施形態のスイッチング電源回路 1 において、コンデンサ 2 の容量  $C_s$  をコンデンサ 5 7 の容量  $C_d$  よりも大きくすることにより解決することができる。すなわち、 $C_s > C_d$  とすることにより、リーケージインダクタ 5 6 とコンデンサ 2 及びコンデンサ 5 7 とによる共振回路の  $Q$  値である  $Q_1$  を、以下の「数 4」のように上記  $Q$  よりも小さくすることができる。

【0056】

【数 4】

$$\left( Q_1: \sqrt{\frac{Lr}{n^2 \cdot \left( \frac{Cd}{2} + Cs \right)}} \right) < \left( Q: \sqrt{\frac{Lr}{n^2 \cdot \left( \frac{Cd}{2} \right)}} \right)$$

10

【0057】

このように、コンデンサ 2 の容量  $C_s$  をコンデンサ 5 7 の容量  $C_d$  よりも大きくすることにより  $Q_1$  を  $Q$  よりも小さくすることができるので、スイッチング電源回路 1 は、スイッチング電源回路 5 0 と比べて、ダイオード 5 8 に印加される電圧のピーク値を下げることができる。これにより、ダイオード 5 8 の耐圧を低下させることができるので、その分ダイオード 5 8 の損失を低減することができる。また、ダイオード 5 8 の耐圧を低下させることができるので、安価なダイオード 5 8 を使用することができスイッチング電源回路 1 全体の製造コストを低減させることができる。また、ダイオード 5 8 の耐圧を低下させることができるので、その分小型のダイオード 5 8 を使用することができスイッチング電源回路 1 全体の回路規模を縮小させることができる。

20

【0058】

また、コンデンサ 2 の容量  $C_s$  は、リーケージインダクタ 5 6 とコンデンサ 2 とによる共振回路の共振周波数  $f_{s1}$  がスイッチング素子 5 2 の駆動信号を生成するための基準信号の周波数  $f_{sw}$  よりも大きくなるように設定しつつ、コンデンサ 5 7 の容量  $C_d$  よりも大きくすることが望ましい。

【0059】

これにより、トランス 5 5 の 1 次側コイルに流れる電流  $I_p$  がトランス 5 5 の 1 次側コイルに印加される電圧  $V_{AB}$  よりも進みすぎてトランス 5 5 に供給される交流電力が小さくなることを防止することができる。

30

【0060】

図 3 は、共振周波数  $f_{s1}$  の算出方法を説明するための図であり、図 3 ( a ) は、図 2 に示す期間 ( I ) におけるスイッチング電源回路 1 のトランス 5 5 の 1 次側の回路を模式的に示す図である。

【0061】

図 3 ( a ) に示すように、期間 ( I ) では、スイッチング素子 5 2 - 1 及び 5 2 - 4 がオンし、トランス 5 5 の 1 次側コイル 5 5 - 1 には正方向の電流  $I_p$  が流れ、トランス 5 5 の 1 次側コイル 5 5 - 1 に正方向の電圧が印加されるため、トランス 5 5 の 1 次側コイル 5 5 - 1 に正の交流電力が伝わる。そのため、期間 ( I ) では、コンデンサ 2 がトランス 5 5 の 1 次側コイル 5 5 - 1 に並列に接続されるものとして考えることができる。このとき、コンデンサ 2 の容量は、トランス 5 5 の巻き線比を  $n$  とすると、 $n^2 \cdot C_s$  となる。

40

【0062】

また、図 3 ( b ) は、図 3 ( a ) に示す回路の等価回路を示す図である。

図 3 ( b ) に示す回路は、交流電源 3 0、インダクタ 3 1、及びインダクタ 3 2 がそれぞれ直列に接続され、インダクタ 3 2 とコンデンサ 3 3 とが互いに並列に接続されることにより構成されている。なお、インダクタ 3 1 はリーケージインダクタ 5 6 に対応し、イ

50

ンダクタ 3 2 はトランス 5 5 の 1 次側コイル 5 5 - 1 と対応し、コンデンサ 3 3 はコンデンサ 2 と対応するものとする。また、インダクタ 3 2 のインダクタンス  $L_m$  は、インダクタ 3 1 のインダクタンス  $L_r$  よりも十分に大きいものとする。

【 0 0 6 3 】

従って、共振周波数  $f_{s1}$  は、図 3 ( b ) に示す回路により以下の「数 5」及び「数 6」により求められる。なお、 $T_{s1}$  はリーケージインダクタ 5 6 とコンデンサ 2 とから構成される共振回路の共振周期とする。

【 0 0 6 4 】

【数 5】

$$f_{s1} = \frac{1}{T_{s1}}$$

10

【 0 0 6 5 】

【数 6】

$$T_{s1} = 2\pi\sqrt{L_r \cdot n^2 \cdot C_s}$$

【 0 0 6 6 】

すなわち、コンデンサ 2 の容量  $C_s$  は、定格の出力電力の効率を低下させないようにしつつ、できるだけ大きくすることが望ましい。これにより、定格の出力電力の効率を低下させずに出力電力を大きくすることができる。

20

【 0 0 6 7 】

また、コンデンサ 2 の容量  $C_s$  を大きくし、かつ、リーケージインダクタ 5 6 のインダクタンス  $L_r$  を小さくしてもよい。これにより、リーケージインダクタ 5 6 による電圧降下 ( $L_r \cdot di/dt$ ) を抑えることができるので、さらにトランス 5 5 の巻き線比を小さくすることができ、トランス 5 5 自体の効率を向上させると共にトランス 5 5 を小型化することができる。

【 0 0 6 8 】

また、上記実施形態では、コンデンサ 2 を整流回路 5 9 と平滑回路 6 3 との間に設ける構成であるが、2 つ以上のコンデンサを互いに並列に接続してコンデンサ 2 として整流回路 5 9 と平滑回路 6 3 との間に設けるように構成してもよい。

30

【 0 0 6 9 】

また、コンデンサ 2 を 2 つ以上のコンデンサで構成する場合、その 2 つ以上のコンデンサのうち使用するコンデンサを直流電源 5 3 の電源電圧の変動 (すなわち、変換回路 5 4 に入力される直流電力) や負荷 6 2 が要求する直流電力の変動などに応じて選択するように構成してもよい。

【 0 0 7 0 】

図 4 は、コンデンサ 2 を 2 つ以上のコンデンサで構成した場合のスイッチング電源回路 1 におけるコンデンサ 2 付近の回路を示す図である。なお、図 1 に示す構成と同じ構成には同じ符号を付している。

40

【 0 0 7 1 】

図 4 に示すように、3 つのコンデンサ 2 - 1 ~ 2 - 3 によりコンデンサ 2 を構成している。また、各コンデンサ 2 - 1 ~ 2 - 3 は、スイッチング素子 4 0 - 1 ~ 4 0 - 3 (図 4 に示す例では IGBT (Insulated Gate Bipolar Transistor)) (スイッチ) のそれぞれのドレインと接続されている。また、スイッチング素子 4 0 - 1 ~ 4 0 - 3 は、それぞれ、制御回路 4 1 から出力される駆動信号によりオン、オフされる。

【 0 0 7 2 】

50

ここで、コンデンサ 2 - 1 の容量を 1000 [ p F ]、コンデンサ 2 - 2 の容量を 2000 [ p F ]、コンデンサ 2 - 3 の容量を 3000 [ p F ] とし、直流電源 5 3 の電源電圧が 100 [ V ]、80 [ V ]、40 [ V ]、20 [ V ] の何れかに変動する場合を考える。

【 0073 】

例えば、直流電源 5 3 の電源電圧が 100 [ V ] となる場合、制御回路 4 1 は、スイッチング素子 4 0 - 1 をオンさせると共にスイッチング素子 4 0 - 2 及び 4 0 - 3 をオフさせ、コンデンサ 2 の容量を 1000 [ p F ] にする。また、直流電源 5 3 の電源電圧が 80 [ V ] となる場合、制御回路 4 1 は、スイッチング素子 4 0 - 2 をオンさせると共にスイッチング素子 4 0 - 1 及び 4 0 - 3 をオフさせ、コンデンサ 2 の容量を 2000 [ p F ] にする。また、直流電源 5 3 の電源電圧が 40 [ V ] となる場合、制御回路 4 1 は、スイッチング素子 4 0 - 3 をオンさせると共にスイッチング素子 4 0 - 1 及び 4 0 - 2 をオフさせ、コンデンサ 2 の容量を 3000 [ p F ] にする。また、直流電源 5 3 の電源電圧が 20 [ V ] となる場合、制御回路 4 1 は、スイッチング素子 4 0 - 1 及び 4 0 - 3 をオンさせると共にスイッチング素子 4 0 - 2 をオフさせ、コンデンサ 2 の容量を 4000 [ p F ] にさせる。

10

【 0074 】

このように、変換回路 5 4 に入力される直流電力の変動や負荷 6 2 が要求する直流電力の変動に応じて 2 つ以上のコンデンサの中から所定のコンデンサを選択しコンデンサ 2 の容量を可変することにより、変換回路 5 4 に入力される直流電力や負荷 6 2 が要求する直流電力が変動してもトランス 5 5 自体の効率を維持することができる。また、広い出力電力範囲でトランス 5 5 の高効率化が可能となる。

20

【 0075 】

また、上記実施形態では、スイッチング素子 5 2 - 1 及び 5 2 - 2 により構成されるブリッジを「進み相ブリッジ」とし、スイッチング素子 5 2 - 3 及び 5 2 - 4 により構成されるブリッジを「遅れ相ブリッジ」とする構成であるが、スイッチング素子 5 2 - 1 及び 5 2 - 2 により構成されるブリッジを「遅れ相ブリッジ」とし、スイッチング素子 5 2 - 3 及び 5 2 - 4 により構成されるブリッジを「進み相ブリッジ」としてもよい。

【 0076 】

このように構成しても、上記実施形態と同様な効果を得ることができる。

30

【 図面の簡単な説明 】

【 0077 】

【 図 1 】 本発明の実施形態のスイッチング電源回路を示す図である。

【 図 2 】 本実施形態のスイッチング電源回路における、スイッチング素子の駆動信号、A - B 区間に流れる電流、及び A - B 区間に印加される電圧を示す図である。

【 図 3 】 本実施形態のスイッチング電源回路における共振回路の共振周波数の算出方法を説明するための図である。

【 図 4 】 本発明の他の実施形態のスイッチング電源回路の一部を示す図である。

【 図 5 】 既存のスイッチング電源回路を示す図である。

【 図 6 】 変換回路の動作を説明するための図である。

40

【 図 7 】 スwitchング素子が駆動しているときの電流の流れを示す図である。

【 図 8 】 既存のスイッチング電源回路における、スイッチング素子の駆動信号、A - B 区間に流れる電流、及び A - B 区間に印加される電圧を示す図である。

【 符号の説明 】

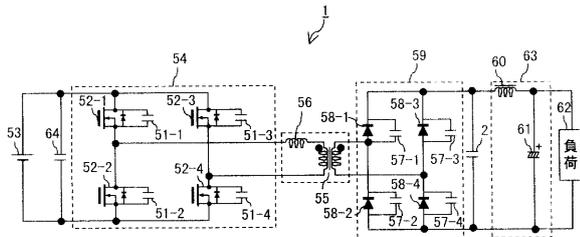
【 0078 】

- 1        スwitchング電源回路
- 2        コンデンサ
- 30       交流電源
- 31       インダクタ
- 32       インダクタ

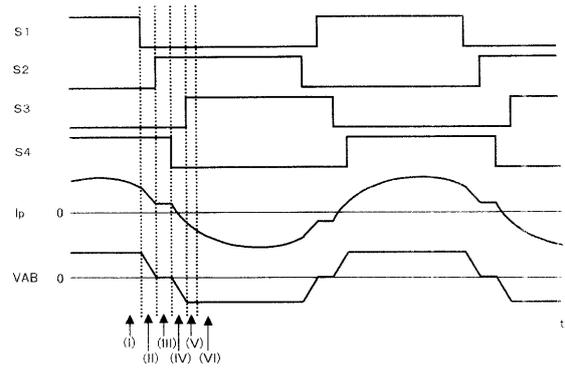
50

- 3 3      コンデンサ
- 4 0      スイッチング素子
- 4 1      制御回路
- 5 0      スイッチング電源回路
- 5 1      コンデンサ
- 5 2      スイッチング素子
- 5 3      直流電源
- 5 4      変換回路
- 5 5      トランス
- 5 6      リーケージインダクタ
- 5 7      コンデンサ
- 5 8      ダイオード
- 5 9      整流回路
- 6 0      インダクタ
- 6 1      コンデンサ
- 6 2      負荷
- 6 3      平滑回路
- 6 4      コンデンサ

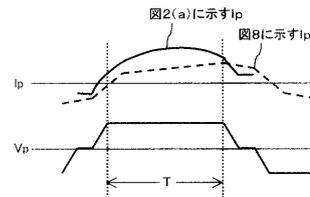
【 図 1 】



【 図 2 】

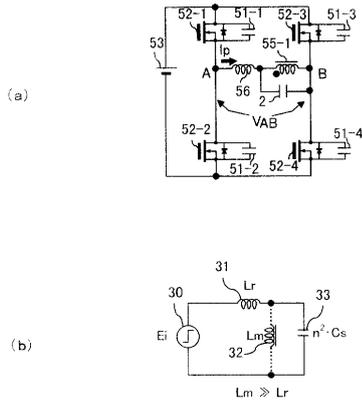


(a)

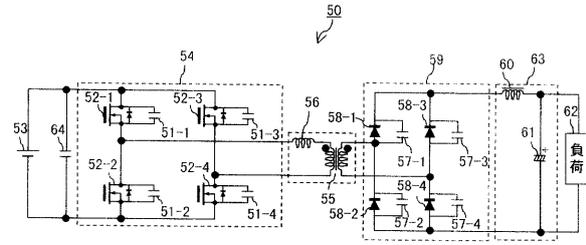


(b)

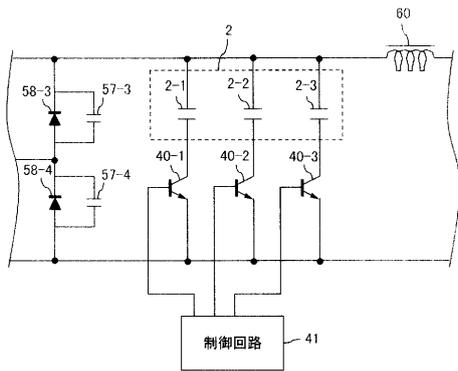
【 図 3 】



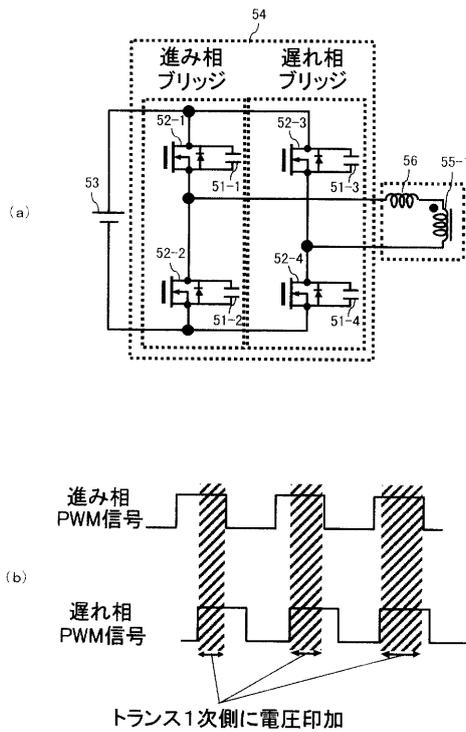
【 図 5 】



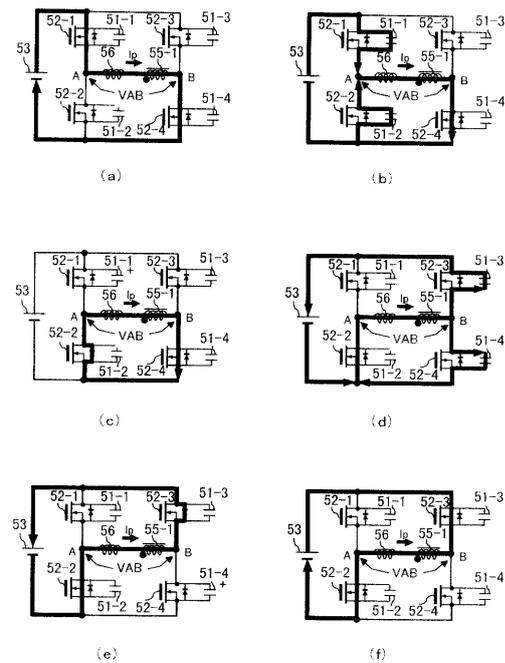
【 図 4 】



【 図 6 】



【 図 7 】



【 図 8 】

