



(12) 发明专利申请

(10) 申请公布号 CN 114078777 A

(43) 申请公布日 2022. 02. 22

(21) 申请号 202010814732.X

(22) 申请日 2020.08.13

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 王凌翔

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260

代理人 成丽杰

(51) Int. Cl.

H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

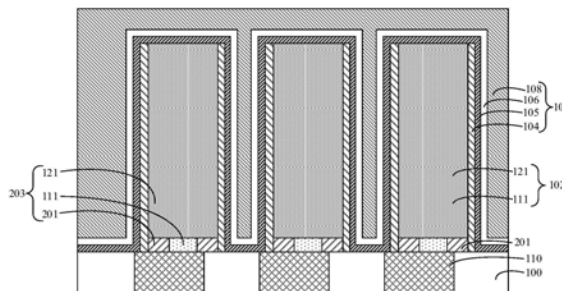
权利要求书2页 说明书10页 附图15页

(54) 发明名称

半导体结构的形成方法及半导体结构

(57) 摘要

本发明实施例提供一种半导体结构的形成方法及半导体结构,其中,半导体结构的形成方法包括:提供半导体基底,半导体基底中至少包括分立的导电层;在半导体基底上形成分立排布的支撑结构,支撑结构底部包括底部导电层,且支撑结构之间包括电容开口,底部导电层电连接导电层;在支撑结构的侧壁形成下电极,下电极电连接底部导电层;形成覆盖支撑结构顶部、下电极侧壁和电容开口底部的电容介质层;形成覆盖电容介质层的上电极,以构成电容结构。本发明实施例通过形成稳定的支撑结构以形成稳定柱状电容,提高了形成的电容结构的深宽比,且形成的电容结构稳定不易倒塌,提高了半导体结构的良率。



1. 一种半导体结构的形成方法,其特征在于,包括如下步骤:
提供半导体基底,所述半导体基底中至少包括分立的导电层;
在所述半导体基底上形成分立排布的支撑结构,所述支撑结构底部包括底部导电层,且所述支撑结构之间包括电容开口,所述底部导电层电连接所述导电层;
在所述支撑结构的侧壁形成下电极,所述下电极电连接所述底部导电层;
形成覆盖所述支撑结构顶部、所述下电极侧壁和所述电容开口底部的电容介质层;
形成覆盖所述电容介质层的上电极,以构成电容结构。
2. 根据权利要求1所述的半导体结构的形成方法,其特征在于,在所述半导体基底上形成分立排布的支撑结构的步骤包括:
在所述半导体基底上形成所述底部导电层;
在所述底部导电层上形成支撑层;
图形化所述支撑层和所述底部导电层形成所述电容开口,剩余的所述支撑层和所述底部导电层构成所述支撑结构。
3. 根据权利要求2所述的半导体结构的形成方法,其特征在于,在所述半导体基底上形成所述底部导电层和在所述底部导电层上形成支撑层的步骤包括:
在所述半导体基底上形成底部导电膜;
图形化所述底部导电膜,形成贯穿所述底部导电膜的通孔,剩余所述底部导电膜作为所述底部导电层;
在所述底部导电层上形成支撑层,所述支撑层还填充所述通孔。
4. 根据权利要求2所述的半导体结构的形成方法,其特征在于,图形化所述支撑层形成多个分立的所述电容开口的步骤包括:
在所述支撑层上依次形成掩膜层和图形化的光刻胶层;
基于所述光刻胶层,图形化所述掩膜层;
基于图形化后的所述掩膜层,刻蚀所述支撑层和所述底部导电层形成所述电容开口。
5. 根据权利要求2所述的半导体结构的形成方法,所述电容开口至少暴露出每个分立的所述导电层的部分顶部表面。
6. 根据权利要求2所述的半导体结构的形成方法,其特征在于,所述支撑层为依次堆叠形成底支撑层和填充层。
7. 根据权利要求1所述的半导体结构的形成方法,其特征在于,在所述半导体基底上形成分立排布的支撑结构的步骤包括:
在所述半导体基底上形成分立排布的初始支撑结构,所述初始支撑结构包括依次堆叠形成的底支撑层和填充层;
横向刻蚀部分宽度的所述底支撑层,形成导电开口;
形成填充所述导电开口的底部导电层,所述底部导电层与剩余所述初始支撑结构成所述支撑结构。
8. 根据权利要求7所述的半导体结构的形成方法,其特征在于,平行于所述半导体基底顶部表面的方向上,所述导电开口的宽度小于等于所述底部导电层宽度的三分之一。
9. 根据权利要求7所述的半导体结构的形成方法,其特征在于,形成填充所述导电开口的底部导电层的步骤包括:

形成填充所述导电开口和部分高度所述电容开口的底部导电膜,所述底部导电膜顶部表面的高度高于所述底支撑层顶部表面的高度;

刻蚀去除位于电容开口暴露出的所述底部导电膜,形成所述底部导电层。

10. 根据权利要求1所述的半导体结构的形成方法,其特征在于,在所述支撑结构的侧壁形成电连接一所述导电层的下电极的步骤包括:

在所述支撑结构顶部和侧壁以及所述电容开口底部形成顶导电层;

去除位于所述支撑结构顶部以及所述电容开口底部的所述顶导电层,形成位于所述支撑结构侧壁的下电极。

11. 根据权利要求10所述的半导体结构的形成方法,其特征在于,所述去除位于所述支撑结构顶部的所述顶导电层的方式包括化学机械研磨。

12. 根据权利要求1所述的半导体结构的形成方法,其特征在于,形成覆盖所述电容介质层的上电极的步骤包括:

形成覆盖所述电容介质层的第一导电层;

形成填充所述第一导电层之间间隙的第二导电层,所述第二导电层顶部表面与位于所述支撑结构上的所述第一导电层的顶部表面平行,且所述第二导电层顶部表面的高度高于位于所述支撑结构上的所述第一导电层顶部表面的高度。

13. 根据权利要求12所述的半导体结构的形成方法,其特征在于,形成填充所述第一导电层之间间隙的第二导电层包括以下步骤:

形成填充所述第一导电层之间间隙的第二导电膜,所述第二导电膜顶部表面的高度高于位于所述支撑结构上的所述第一导电层顶部表面的高度;

对所述第二导电膜顶部表面进行化学机械研磨处理,以形成所述第二导电层。

14. 一种半导体结构,其特征在于,包括:

半导体基底,所述半导体基底中至少包括分立的导电层;

多个分立的支撑结构,位于所述半导体基底上,所述支撑结构底部至少包括底部导电层,所述底部导电层电连接所述导电层;

以及通过所述支撑结构支撑的电容结构,所述电容结构包括:

下电极,位于所述支撑结构的侧壁,且电连接所述底部导电层;

电容介质层,位于所述支撑结构顶部、所述下电极侧壁和所述支撑结构之间的间隙底部;

上电极,位于所述电容介质层上。

15. 根据权利要求14所述的半导体结构,其特征在于,所述支撑结构之间的间隙至少暴露出每个分立的所述导电层的部分顶部表面。

16. 根据权利要求14所述的半导体结构,其特征在于,所述下电极与所述底部导电层为一体结构。

17. 根据权利要求14所述的半导体结构,其特征在于,平行于所述半导体基底顶部表面的方向上,所述底部导电层的宽度小于等于所述底部导电层宽度的三分之一。

半导体结构的形成方法及半导体结构

技术领域

[0001] 本发明涉及半导体领域,特别涉及一种半导体结构的形成方法及半导体结构。

背景技术

[0002] 随着动态随机存取存储器 (DRAM) 特征尺寸持续缩小,形成的电容器的尺寸也在不断缩小,需要通过形成高身宽比电容器的方式以保证电容器的电容,目前主要通过形成双面电容的方式来提高电容器的电容,形成高深宽比的双面电容的过程中,需要刻蚀形成高深宽比的电容孔以形成空心电容柱。

[0003] 然而发明人发现:形成双面电容的过程中,若形成的双面电容的深宽比较大,在刻蚀形成空心电容柱的过程中,电容结构不稳定,容易出现倒塌的现象,且双面电容的内层电容存在电性不稳定的情况,从而影响半导体结构的良率。

发明内容

[0004] 本发明实施例提供一种半导体结构的形成方法及半导体结构,通过形成稳定的支撑结构以形成稳定柱状电容,提高了形成的电容结构的深宽比,且形成的电容结构稳定不易倒塌,提高了半导体结构的良率。

[0005] 为解决上述技术问题,本发明的实施例提供了一种半导体结构的形成方法,包括:提供半导体基底,半导体基底中至少包括分立的导电层;在半导体基底上形成分立排布的支撑结构,支撑结构底部包括底部导电层,且支撑结构之间包括电容开口,底部导电层电连接导电层;在支撑结构的侧壁形成下电极,下电极电连接底部导电层;形成覆盖支撑结构顶部、下电极侧壁和电容开口底部的电容介质层;形成覆盖电容介质层的上电极,以构成电容结构。

[0006] 与现有技术形成双面电容的方式相比,本发明实施例通过在半导体基底上先形成稳定的支撑结构,基于稳定的支撑结构形成柱状结构的电容结构;由于具有稳定的支撑结构,形成的柱状电容的高度相比于双面电容有极大的提高,即柱状电容具有更大的深宽比;且在形成柱状电容的过程中,不需要刻蚀形成高深宽比的电容孔,工艺步骤更加简单,节约成本;由于不需要刻蚀形成高深宽比的电容孔,还保证了形成的电容结构的稳定性;另外,柱状电容相比于双面电容,避免了双面电容的内层电容存在典型不稳定的情况,从而提高了半导体结构的良率。

[0007] 另外,在半导体基底上形成分立排布的支撑结构的步骤包括:在半导体基底上形成底部导电层;在底部导电层上形成支撑层;图形化支撑层和底部导电层形成电容开口,剩余的支撑层和底部导电层构成支撑结构。本发明实施例给出的形成稳定的支撑结构的方案。

[0008] 另外,在半导体基底上形成底部导电层和在底部导电层上形成支撑层的步骤包括:在半导体基底上形成底部导电膜;图形化底部导电膜,形成贯穿底部导电膜的通孔,剩余底部导电膜作为底部导电层;在底部导电层上形成支撑层,支撑层还填充通孔。本发明实

施例给出的一种形成底部导电层的形成方法。

[0009] 另外,图形化支撑层形成多个分立的电容开口的步骤包括:在支撑层上依次形成掩膜层和图形化的光刻胶层;基于光刻胶层,图形化掩膜层;基于图形化后的掩膜层,刻蚀支撑层和底部导电层形成电容开口。本发明实施例给出的一种具体形成支撑结构的刻蚀方法。

[0010] 另外,电容开口至少暴露出每个分立的导电层的部分顶部表面。

[0011] 另外,支撑层为依次堆叠形成底支撑层和填充层。通过依次堆叠形成的薄层的过程,避免了单次沉积形成厚度较大的薄层,保证形成的薄层的致密性更好,且通过依次堆叠形成的薄层,保证了支撑结构的具有较高的高度,从而增加后续形成的柱状电容的深宽比。

[0012] 另外,在半导体基底上形成分立排布的支撑结构的步骤包括:在半导体基底上形成分立排布的初始支撑结构,初始支撑结构包括依次堆叠形成的底支撑层和填充层;横向刻蚀部分宽度的底支撑层,形成导电开口;形成填充导电开口的底部导电层,底部导电层与剩余初始支撑结构成支撑结构。本发明实施例给出的一种形成底部导电层的方案。

[0013] 另外,平行于半导体基底顶部表面的方向上,形成的导电开口的宽度小于等于底部导电层宽度的三分之一。通过合理设置形成的导电开口的宽度,保证底部导电层的尺寸以增大下电极与导电层的接触面积,减小接触电阻,并保证支撑结构的稳定性。

[0014] 另外,形成填充导电开口的底部导电层的步骤包括:形成填充导电开口和部分高度电容开口的底部导电膜,底部导电膜顶部表面的高度高于底支撑层顶部表面的高度;刻蚀去除位于电容开口暴露出的底部导电膜,形成底部导电层。

[0015] 另外,在支撑结构的侧壁形成电连接一导电层的下电极的步骤包括:在支撑结构顶部和侧壁以及电容开口底部形成顶导电层;去除位于支撑结构顶部以及电容开口底部的顶导电层,形成位于支撑结构侧壁的下电极。本发明实施例给出的一种具体形成下电极的方法。

[0016] 另外,去除位于支撑结构顶部的顶导电层的方式包括化学机械研磨。本发明实施例给出的一种具体去除支撑结构顶部的顶导电层的刻蚀方法。

[0017] 另外,形成覆盖电容介质层的上电极的步骤包括:形成覆盖电容介质层的第一导电层;形成填充第一导电层之间间隙的第二导电层,第二导电层顶部表面与位于支撑结构上的第一导电层的顶部表面平行,且第二导电层顶部表面的高度高于位于支撑结构上的第一导电层顶部表面的高度。

[0018] 另外,形成填充第一导电层之间间隙的第二导电层包括以下步骤:形成填充第一导电层之间间隙的第二导电膜,第二导电膜顶部表面的高度高于位于支撑结构上的第一导电层顶部表面的高度;对第二导电膜顶部表面进行化学机械研磨处理,以形成第二导电层。

[0019] 本发明实施例还提供了一种半导体结构,包括:半导体基底,半导体基底中至少包括分立的导电层;多个分立的支撑结构,位于半导体基底上,支撑结构底部至少包括底部导电层,底部导电层电连接导电层;以及通过支撑结构支撑的电容结构,电容结构包括:下电极,位于支撑结构的侧壁,且电连接底部导电层;电容介质层,位于支撑结构顶部、下电极侧壁和支撑结构之间的间隙底部;上电极,位于电容介质层上。

[0020] 另外,支撑结构之间的间隙至少暴露出每个分立的导电层的部分顶部表面。

[0021] 另外,下电极与底部导电层为一体结构。一体形成下电极与底部导电层,进一步减

少下电极的接触电阻。

[0022] 另外,平行于半导体基底顶部表面的方向上,底部导电层的宽度小于等于底部导电层宽度的三分之一。

[0023] 与双面电容的电容结构相比,柱状电容的电容结构基于稳定的支撑结构形成;由于具有稳定的支撑结构,柱状电容的高度相比于双面电容有极大的提高,即柱状电容具有更大的深宽比;且形成柱状电容的工艺步骤更加简单,节约成本;由于不需要刻蚀形成高深宽比的电容孔,还保证了形成的柱状电容的电容结构的稳定性;另外,柱状电容相比于双面电容,避免了双面电容的内层电容存在典型不稳定的情况,从而提高了半导体结构的良率。

附图说明

[0024] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,除非有特别说明,附图中的图不构成比例限制。

[0025] 图1至图18为本发明第一实施例提供的半导体结构的形成方法的各步骤对应的半导体结构的剖面结构示意图;

[0026] 图19至图30为本发明第二实施例提供的半导体结构的形成方法的各步骤对应的半导体结构的剖面结构示意图。

具体实施方式

[0027] 目前,形成双面电容的过程中,若形成的双面电容的深宽比较大,在刻蚀形成空心电容柱的过程中,电容结构不稳定,容易出现倒塌的现象,且双面电容的内层电容存在电性不稳定的情况,从而影响半导体结构的良率。

[0028] 为解决上述问题,本发明第一实施例提供了一种半导体结构的形成方法,包括:提供半导体基底,半导体基底中至少包括分立的导电层;在半导体基底上形成分立排布的支撑结构,支撑结构之间包括电容开口;在支撑结构的侧壁形成下电极,下电极电连接导电层;形成覆盖支撑结构顶部、下电极侧壁和电容开口底部的电容介质层;形成覆盖电容介质层的上电极,以构成电容结构。

[0029] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合附图对本发明的各实施例进行详细的阐述。然而,本领域的普通技术人员可以理解,在本发明各实施例中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施例的种种变化和修改,也可以实现本申请所要求保护的技术方案。以下各个实施例的划分是为了描述方便,不应对本发明的具体实现方式构成任何限定,各个实施例在不矛盾的前提下可以相互结合,相互引用。

[0030] 图1至图18为本发明实施例提供的半导体结构的形成方法各步骤对应的流程示意图,下面对本实施例的半导体结构的形成方法进行具体说明。需要说明的是,本实施例以存储器中的半导体结构为例进行具体介绍,即本实施例中所要保护的半导体结构形成在DRAM存储器或SRAM存储器中。

[0031] 参考图1和图8,提供半导体基底100,在半导体基底100上形成分立排布的支撑结构203,支撑结构203底部包括底部导电层201,支撑结构203之间包括电容开口103,底部导电层201电连接导电层110。

[0032] 参考图1,半导体基底100中至少包括分立的导电层110。

[0033] 分立的导电层110在半导体基底100中排布方式如图2所示,导电层110即DRAM结构中的电容接触垫(landing pad),导电层110呈六方排布,用于电连接DRAM的阵列晶体管。

[0034] 继续参考图1,在半导体基底100上形成初始支撑层101,初始支撑层101用于后续刻蚀形成初始支撑结构102。

[0035] 初始支撑层101包括依次堆叠形成的底支撑层111和填充层121。通过依次堆叠形成的初始支撑层101的过程,避免了单次沉积形成厚度较大的初始支撑层101,保证形成的初始支撑层101的致密性更好,且通过依次堆叠形成初始支撑层101,保证了后续形成的初始支撑结构102的具有较高的的高度,从而增加后续形成的柱状电容的深宽比。在本实施例中底支撑层111和填充层121采用不同的绝缘材料形成。

[0036] 需要说明的是,在其他实施例中,初始支撑层也可以采用三层及三层以上的堆叠结构实现,以这种方式形成的堆叠结构的高度更高,即后续形成的支撑结构具有更高的高度。

[0037] 参考图3~图6,图形化初始支撑层101形成电容开口103,剩余的初始支撑层101构成初始支撑结构102。

[0038] 参考图3,在初始支撑层101上依次形成掩膜层120和图形化的光刻胶层130。

[0039] 参考图4,基于光刻胶层130图形化掩膜层120。

[0040] 参考图5,基于图形化后的掩膜层120,刻蚀初始支撑层101形成电容开口103。

[0041] 在本实施例中,电容开口103至少暴露出每个分立的导电层110的部分顶部表面。电容开口103与导电层110的顶部形貌分布如图6所示,刻蚀电容开口103后剩余的初始支撑层101作为初始支撑结构102,即在本实施例中,初始支撑结构102为依次堆叠形成的底支撑层111填充层121。

[0042] 刻蚀形成电容开口103之后还包括:依次去除光刻胶层130和掩膜层120。具体地,采用第一干法清洗工艺去除所述光刻胶层130,第一干法清洗工艺采用氨气、氮气和氢气的混合气体,混合气体与光刻胶层130反应生成第一固化物,然后通过高温蒸发的方式蒸发第一固化物,即完成光刻胶层130的去除。需要说明的是,在本实施例中采用氨气、氮气和氢气的混合气体与光刻胶层130反应生成第一固化物的过程中,由于混合气体中不含有氧气,且阻止了初始支撑结构102与空气相接触,在去除光刻胶层130的同时,防止初始支撑结构102侧壁的自然氧化。在去除光刻胶层130之后,采用第一湿法清洗工艺去除掩膜层120,第一湿法清洗工艺采用49%HF以及1:1:60APM($H_2O_2:NH_4OH:H_2O=1:1:60$)的混合溶液,混合溶液与掩膜层120发生化学反应以去除掩膜层120。需要说明的是,在本实施例中采用49%HF以及1:1:60APM的混合溶液与掩膜层120反应去除掩膜层120的过程中,由于混合液体中含有 NH_4OH ,会电离出 OH^- ,由于 OH^- 的负电荷排斥作用以及 H_2O_2 的氧化性,可以去除初始支撑结构102侧壁的颗粒物。

[0043] 参考图7,横向刻蚀部分宽度的底支撑层111,形成导电开口200。

[0044] 选择性横向刻蚀部分宽度的底支撑层111。具体地,采用具有刻蚀选择比的材料,使得底支撑层111的被刻蚀速率高于填充层121的被刻蚀速率。

[0045] 在本实施例中,在平行于半导体基底100顶部表面的方向上,导电开口200的宽度小于等于底部导电层201宽度的三分之一。保证剩余底支撑层111仍然可以支撑初始支撑结

构102,防止初始支撑结构102坍塌。

[0046] 需要说明的是,在本实施例中,初始支撑结构102为圆柱形设置,即形成的底部导电层201为初始支撑结构102底部的环状结构。本实施例并不对底部导电层的形貌进行限定,在其他实施例中底部导电层的形貌与初始支撑结构相关。

[0047] 参考图8,形成填充导电开口200的底部导电层201,底部导电层201与剩余初始支撑结构102构成支撑结构203。本实施例通过回刻蚀形成底部导电层201,并后续形成电连接底部导电层201的下电极104以增大下电极104与导电层110的接触面积,从而减少下电极104与导电层110之间的接触电阻。

[0048] 底部导电层201可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等,在本实施例中,底部导电层201采用氮化钛材料。

[0049] 具体地,形成填充导电开口200和部分高度电容开口103的底部导电膜(未图示),底部导电膜(未图示)顶部表面的高度高于底支撑层111顶部表面的高度。然后刻蚀去除位于电容开口103暴露出的底部导电膜(未图示)形成底部导电层201。

[0050] 需要说明的是,在其他实施例中,参考图9~图12,基于图形化后的掩膜层120刻蚀初始支撑层101形成的电容开口103,电容开口103并不暴露出导电层110的顶部表面。电容开口103与导电层110的顶部形貌分布如图13所示。

[0051] 参考图14~图18,基于支撑结构203形成电容结构107。

[0052] 具体地,参考图14~图15,在支撑结构203的侧壁形成下电极104,下电极104电连接底部导电层201和导电层110。

[0053] 下电极104可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等,在本实施例中,下电极104采用氮化钛材料。

[0054] 参考图14,在支撑结构203顶部和侧壁以及电容开口103底部形成顶导电层114。

[0055] 具体地,采用原子层沉积工艺或化学气相沉积的方法形成顶导电层114,在本实施例中,采用原子层沉积工艺的方式形成顶导电层114,采用原子层沉积工艺形成的顶导电层114具有良好的覆盖性;在其他实施例中,例如,可以采用500℃或600℃下进行化学气相沉积的方法形成顶导电层。需要说明的是,上述采用化学气相沉积的具体温度参数的举例说明,仅便于本领域技术人员的理解,并不构成对本方案的限定,在实际应用中只要符合上述范围中的参数都应落入本发明的保护范围中。

[0056] 参考图15,区域位于支撑结构203顶部以及电容开口103底部的顶导电层114,形成于支撑结构203侧壁的下电极104。

[0057] 具体地,去除位于支撑结构203顶部的顶导电层114的方式包括化学机械研磨。采用化学机械研磨的方式去除支撑结构的顶导电层114,流程简单且成本低廉,可以有效提高电容结构的制造效率。需要说明的是,在其他实施例中,也可以通过刻蚀的方式对顶导电层进行平坦化处理。

[0058] 需要说明的是,在本实施例中,对底部导电层201和下电极104的形成方式为分步形成,即先形成的底部导电层201,再形成下电极104。在其他实施方式中,底部导电层201和下电极104可以在一步形成工艺中形成,此时形成的下电极104和底部导电层201为一体结构,可以进一步减少下电极104与底部导电层201之间的接触电阻。

[0059] 参考图16,形成覆盖支撑结构203顶部、下电极104侧壁和电容开口103底部的电容

介质层105。

[0060] 电容介质层105为高介电常数材料,例如Hf、La、Ti和Zr等高介电常数的元素或其氧化物,也可以采用Si和N的掺杂剂。具体地,采用原子层沉积工艺或化学气相沉积的方法形成电容介质层105,在本实施例中,采用原子层沉积工艺的方式形成电容介质层105,采用原子层沉积工艺形成的电容介质层105具有良好的覆盖性;在其他实施例中,例如,可以采用500℃或600℃下进行化学气相沉积的方法形成电容介质层。需要说明的是,上述采用化学气相沉积的具体温度参数的举例说明,仅便于本领域技术人员的理解,并不构成对本方案的限定,在实际应用中只要符合上述范围中的参数都应落入本发明的保护范围内。

[0061] 参考图17~图18,形成覆盖电容介质层105的上电极,下电极104、电容介质层105和上电极共同构成电容结构107。

[0062] 具体地,形成覆盖电容介质层的上电极的步骤包括:

[0063] 参考图17,形成覆盖电容介质层105的第一导电层106。

[0064] 第一导电层106可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等,在本实施例中,第一导电层106采用氮化钛材料。

[0065] 具体地,采用原子层沉积工艺或化学气相沉积的方法形成第一导电层106,在本实施例中,采用原子层沉积工艺的方式形成第一导电层106,采用原子层沉积工艺形成的第一导电层106具有良好的覆盖性;在其他实施例中,例如,可以采用500℃或600℃下进行化学气相沉积的方法形成第一导电层106。需要说明的是,上述采用化学气相沉积的具体温度参数的举例说明,仅便于本领域技术人员的理解,并不构成对本方案的限定,在实际应用中只要符合上述范围中的参数都应落入本发明的保护范围内。

[0066] 参考图18,形成填充第一导电层106之间间隙的第二导电层108。其中,第二导电层108顶部表面与位于支撑结构203上的第一导电层106的顶部表面平行,且第二导电层108顶部表面的高度高于位于支撑结构203上的第一导电层106顶部表面的高度。

[0067] 具体地,形成填充第一导电层106之间间隙的第二导电膜(未图示),第二导电膜顶部表面的高度高于第一导电层106顶部表面的高度;对第二导电膜(未图示)顶部表面进行化学机械研磨处理,以形成第二导电层108。

[0068] 采用化学机械研磨的方式形成第二导电层108,流程简单且成本低廉,可以有效提高半导体结构的制造效率。需要说明的是,在其他实施例中,也可以通过刻蚀第二导电膜以形成第二导电层。通过填充第一导电层106之间的空隙,已将分立的电容结构107构成一个整体。

[0069] 与现有技术形成双面电容的方式相比,本发明实施例通过在半导体基底上先形成稳定的支撑结构,基于稳定的支撑结构形成柱状结构的电容结构;由于具有稳定的支撑结构,形成的柱状电容的高度相比于双面电容有极大的提高,即柱状电容具有更大的深宽比;且在形成柱状电容的过程中,不需要刻蚀形成高深宽比的电容孔,工艺步骤更加简单,节约成本;由于不需要刻蚀形成高深宽比的电容孔,还保证了形成的电容结构的稳定性;另外,柱状电容相比于双面电容,避免了双面电容的内层电容存在典型不稳定的情况,从而提高了半导体结构的良率。

[0070] 上面各种步骤划分,只是为了描述清楚,实现时可以合并为一个步骤或者对某些步骤进行拆分,分解为多个步骤,只要包括相同的逻辑关系,都在本专利的保护范围内;对

流程中添加无关紧要的修改或者引入无关紧要的设计,但不改变其流程的核心设计都在该专利的保护范围内。

[0071] 本发明第二实施例涉及一种半导体结构的形成方法,与第一实施例不同的是,本实施例给出了另一种底部导电层的形成方法。

[0072] 图19至图30为本发明实施例提供的半导体结构的形成方法各步骤对应的流程示意图,下面对本实施例的半导体结构的形成方法进行具体说明。

[0073] 参考图19~图22,在半导体基底300上形成分立排布的支撑结构302。

[0074] 参考图19~图20,在半导体基底300上形成底部导电层401

[0075] 具体地,参考图19,在半导体基底300上形成底部导电膜400,底部导电膜400可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等,在本实施例中,底部导电膜400采用氮化钛材料。

[0076] 参考图20,图形化底部导电膜400,形成贯穿底部导电膜400的通孔410。剩余底部导电膜400作为底部导电层401。

[0077] 参考图21,在底部导电层401上形成支撑层301,支撑层301还填充通孔410。在本实施例中支撑层301为依次堆叠形成的底支撑层311和填充层321。通过依次堆叠形成的支撑层301的过程,避免了单次沉积形成厚度较大的支撑层301,保证形成的支撑层301的致密性更好,且通过依次堆叠形成支撑层301,保证了后续形成的支撑结构302的具有较高的的高度,从而增加后续形成的柱状电容的深宽比。在本实施例中底支撑层111和填充层采用不同的绝缘材料形成。需要说明的是,在其他实施例中,支撑层也可以采用三层及三层以上的堆叠结构实现,以这种方式形成的堆叠结构的高度更高,即后续形成的支撑结构具有更高的高度。

[0078] 参考图22,图形化支撑层301形成多个分立的电容开口303,剩余支撑层301作为支撑层302。

[0079] 具体地,在支撑层301上依次形成掩膜层(未图示)和图形化的光刻胶(未图示),基于光刻胶层,图形化掩膜层(未图示),基于图形化后的掩膜层,可是支撑层301和底部导电层401形成电容开口303,剩余支撑层301和底部导电层401作为支撑层302。

[0080] 需要说明的是,在本实施例中,电容开口303至少暴露出每个分立的导电层310的部分顶部表面。在其他实施例中,参考图23~图25,基于图形化后的掩膜层可是支撑层301形成电容开口303,电容开口303并不暴露出导电层310的顶部表面。

[0081] 参考图26~图30,基于支撑结构302形成电容结构307。

[0082] 具体地,参考图26~图27,在支撑结构302的侧壁形成下电极304,下电极304电连接底部导电层401和导电层310。

[0083] 下电极304可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等,在本实施例中,下电极304采用氮化钛材料。

[0084] 参考图26,在支撑结构302顶部和侧壁以及电容开口303底部形成顶导电层314。

[0085] 具体地,采用原子层沉积工艺或化学气相沉积的方法形成顶导电层314,在本实施例中,采用原子层沉积工艺的方式形成顶导电层314,采用原子层沉积工艺形成的顶导电层314具有良好的覆盖性;在其他实施例中,例如,可以采用500℃或600℃下进行化学气相沉积的方法形成顶导电层。需要说明的是,上述采用化学气相沉积的具体温度参数的举例说

明,仅便于本领域技术人员的理解,并不构成对本方案的限定,在实际应用中只要符合上述范围中的参数都应落入本发明的保护范围中。

[0086] 参考图27,区域位于支撑结构302顶部以及电容开口303底部的顶导电层314,形成于支撑结构302侧壁的下电极304。

[0087] 具体地,去除位于支撑结构302顶部的顶导电层314的方式包括化学机械研磨。采用化学机械研磨的方式去除支撑结构的顶导电层314,流程简单且成本低廉,可以有效提高电容结构的制造效率。需要说明的是,在其他实施例中,也可以通过刻蚀的方式对顶导电层进行平坦化处理。

[0088] 参考图28,形成覆盖支撑结构302顶部、下电极304侧壁和电容开口303底部的电容介质层305。

[0089] 电容介质层305为高介电常数材料,例如Hf、La、Ti和Zr等高介电常数的元素或其氧化物,也可以采用Si和N的掺杂剂。具体地,采用原子层沉积工艺或化学气相沉积的方法形成电容介质层305,在本实施例中,采用原子层沉积工艺的方式形成电容介质层305,采用原子层沉积工艺形成的电容介质层305具有良好的覆盖性;在其他实施例中,例如,可以采用500℃或600℃下进行化学气相沉积的方法形成电容介质层。需要说明的是,上述采用化学气相沉积的具体温度参数的举例说明,仅便于本领域技术人员的理解,并不构成对本方案的限定,在实际应用中只要符合上述范围中的参数都应落入本发明的保护范围中。

[0090] 参考图29~图30,形成覆盖电容介质层305的上电极,下电极304、电容介质层305和上电极共同构成电容结构307。

[0091] 具体地,形成覆盖电容介质层的上电极的步骤包括:

[0092] 参考图29,形成覆盖电容介质层305的第一导电层306。

[0093] 第一导电层306可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等,在本实施例中,第一导电层306采用氮化钛材料。

[0094] 具体地,采用原子层沉积工艺或化学气相沉积的方法形成第一导电层306,在本实施例中,采用原子层沉积工艺的方式形成第一导电层306,采用原子层沉积工艺形成的第一导电层306具有良好的覆盖性;在其他实施例中,例如,可以采用500℃或600℃下进行化学气相沉积的方法形成第一导电层306。需要说明的是,上述采用化学气相沉积的具体温度参数的举例说明,仅便于本领域技术人员的理解,并不构成对本方案的限定,在实际应用中只要符合上述范围中的参数都应落入本发明的保护范围中。

[0095] 参考图30,形成填充第一导电层306之间间隙的第二导电层308。其中,第二导电层308顶部表面与位于支撑结构302上的第一导电层306的顶部表面平行,且第二导电层308顶部表面的高度高于位于支撑结构302上的第一导电层306顶部表面的高度。

[0096] 具体地,形成填充第一导电层306之间间隙的第二导电膜(未图示),第二导电膜顶部表面的高度高于第一导电层306顶部表面的高度;对第二导电膜(未图示)顶部表面进行化学机械研磨处理,以形成第二导电层308。

[0097] 采用化学机械研磨的方式形成第二导电层308,流程简单且成本低廉,可以有效提高半导体结构的制造效率。需要说明的是,在其他实施例中,也可以通过刻蚀第二导电膜以形成第二导电层。通过填充第一导电层306之间的空隙,已将分立的电容结构307构成一个整体。

[0098] 与现有技术形成双面电容的方式相比,本发明实施例通过在半导体基底上先形成稳定的支撑结构,基于稳定的支撑结构形成柱状结构的电容结构;由于具有稳定的支撑结构,形成的柱状电容的高度相比于双面电容有极大的提高,即柱状电容具有更大的深宽比;且在形成柱状电容的过程中,不需要刻蚀形成高深宽比的电容孔,工艺步骤更加简单,节约成本;由于不需要刻蚀形成高深宽比的电容孔,还保证了形成的电容结构的稳定性;另外,柱状电容相比于双面电容,避免了双面电容的内层电容存在典型不稳定的情况,从而提高了半导体结构的良率。

[0099] 为了突出本发明的创新部分,本实施例中并没有将与解决本发明所提出的技术问题关系不太密切的单元引入,但这并不表明本实施例中不存在其它的结构。由于第一实施例与本实施例相互对应,因此本实施例可与第一实施例互相配合实施。第一实施例中提到的相关技术细节在本实施例中依然有效,在第一实施例中所能达到的技术效果在本实施例中同样可以实现,为了减少重复,这里不再赘述。相应地,本实施例中提到的相关技术细节也可应用在第一实施例中。

[0100] 上面各种步骤划分,只是为了描述清楚,实现时可以合并为一个步骤或者对某些步骤进行拆分,分解为多个步骤,只要包括相同的逻辑关系,都在本专利的保护范围内;对流程中添加无关紧要的修改或者引入无关紧要的设计,但不改变其流程的核心设计都在该专利的保护范围内。

[0101] 本发明第三实施例涉及一种半导体结构。参考图18,以下将结合附图对本实施例提供的半导体结构进行详细说明,与第一实施例和第二实施例相同或相应的部分,以下将不做详细赘述。

[0102] 半导体结构,包括:半导体基底100,半导体基底100至少包括分立的导电层110,多个分立的支撑结构203,位于半导体基底100上,支撑结构203底部包括底部导电层201,底部导电层201电连接导电层110;以及通过支撑结构203支撑的电容结构107,电容结构107包括:下电极104,位于支撑结构203的侧壁,且电连接导电层110;电容介质层105,位于支撑结构203顶部、下电极104侧壁和支撑结构203之间的间隙底部;上电极,位于电容介质层105上。

[0103] 分立的导电层110在半导体基底100中排布方式如图2所示,导电层110即DRAM结构中的电容接触垫(landing pad),导电层110呈六方排布,用于电连接DRAM的阵列晶体管。

[0104] 本实施例提供的支撑结构203可以通过堆叠结构的方式实现,以堆叠结构形成支撑结构203的高度更高,即后续形成的电容结构107具有更高的深宽比。

[0105] 在本实施例中,支撑结构203之间的间隙至少暴露出每个分立的导电层110的部分顶部表面;下电极104用于连接暴露出的分立的导电层110的顶部表面。

[0106] 在一个例子中,下电极104与底部导电层201为一体结构,一体形成下电极与底部导电层,进一步减少下电极的接触电阻。

[0107] 在本实施例中,在平行于半导体基底100顶部表面的方向上,导电开口200的宽度小于等于底部导电层201宽度的三分之一。保证剩余底支撑层111仍然可以支撑初始支撑结构102,防止初始支撑结构102坍塌。

[0108] 电容结构107包括:下电极104,位于支撑结构102的侧壁,且电连接导电层110;电容介质层105,位于支撑结构102顶部、下电极104侧壁和支撑结构102之间的间隙底部;上电

极,位于电容介质层105上。

[0109] 下电极104可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等,在本实施例中,下电极104采用氮化钛材料。电容介质层105为高介电常数材料,例如Hf、La、Ti和Zr等高介电常数的元素或其氧化物,也可以采用Si和N的掺杂剂。

[0110] 上电极包括第一导电层106和第二导电层108。第一导电层106覆盖电容介质层105,第一导电层106可以为一种导电材料或者由多种导电材料构成,例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等,在本实施例中,第一导电层106采用氮化钛材料。第二导电层108填充第一导电层106之间间隙,其中,第二导电层108顶部表面与位于支撑结构203上的第一导电层106的顶部表面平行,且第二导电层108顶部表面的高度高于位于支撑结构203上的第一导电层106顶部表面的高度。

[0111] 与双面电容的电容结构相比,柱状电容的电容结构基于稳定的支撑结构形成;由于具有稳定的支撑结构,柱状电容的高度相比于双面电容有极大的提高,即柱状电容具有更大的深宽比;且形成柱状电容的工艺步骤更加简单,节约成本;由于不需要刻蚀形成高深宽比的电容孔,还保证了形成的柱状电容的电容结构的稳定性;另外,柱状电容相比于双面电容,避免了双面电容的内层电容存在典型不稳定的情况,从而提高了半导体结构的良率。

[0112] 为了突出本发明的创新部分,本实施例中并没有将与解决本发明所提出的技术问题关系不太密切的单元引入,但这并不表明本实施例中不存在其它的结构。由于第一实施例和第二实施例与本实施例相互对应,因此本实施例可与第一实施例和第二实施例互相配合实施。第一实施例和第二实施例中提到的相关技术细节在本实施例中依然有效,在第一实施例和第二实施例中所能达到的技术效果在本实施例中也同样可以实现,为了减少重复,这里不再赘述。相应地,本实施例中提到的相关技术细节也可应用在第一实施例和第二实施例中。

[0113] 本领域的普通技术人员可以理解,上述各实施例是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。

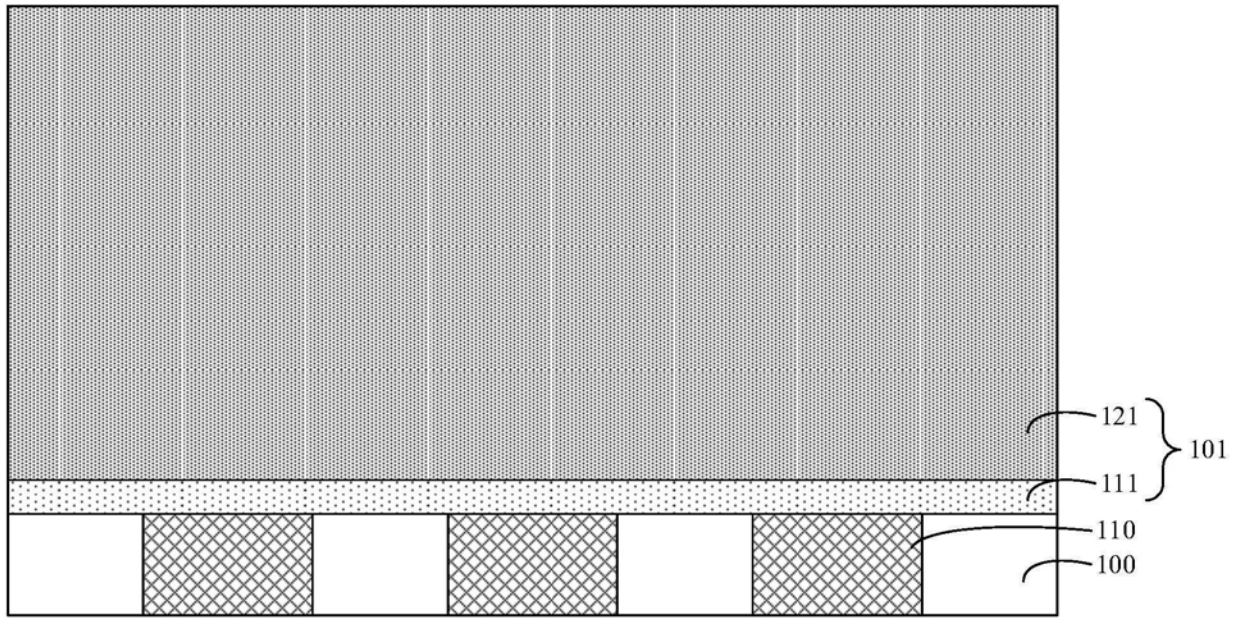


图1

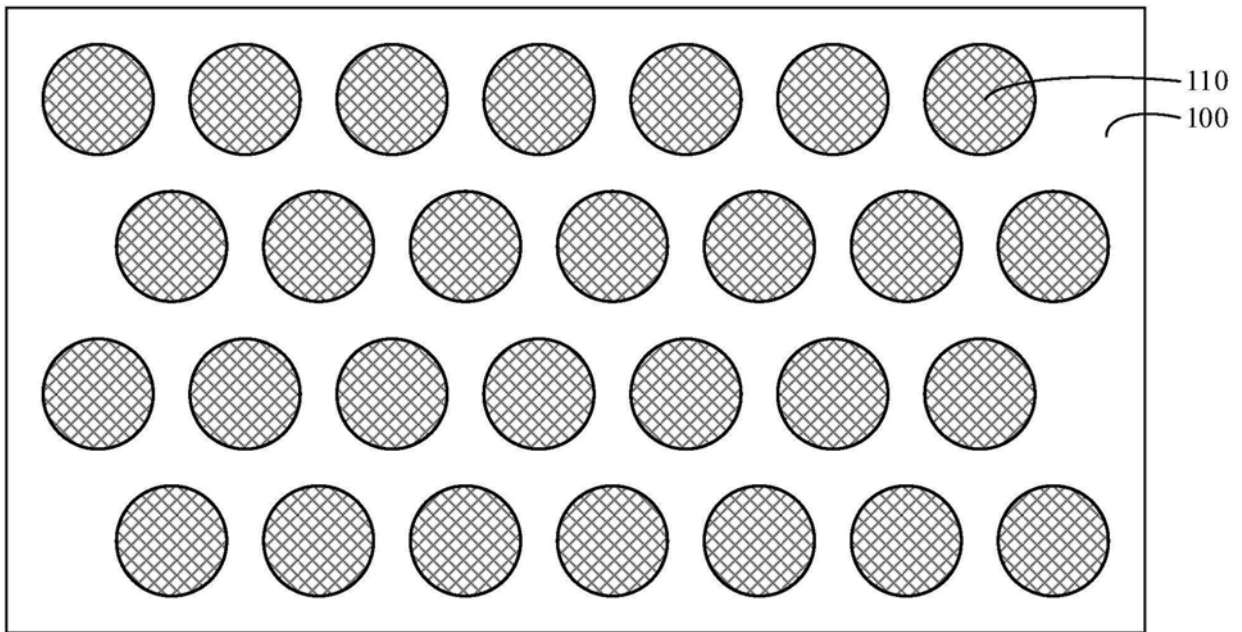


图2

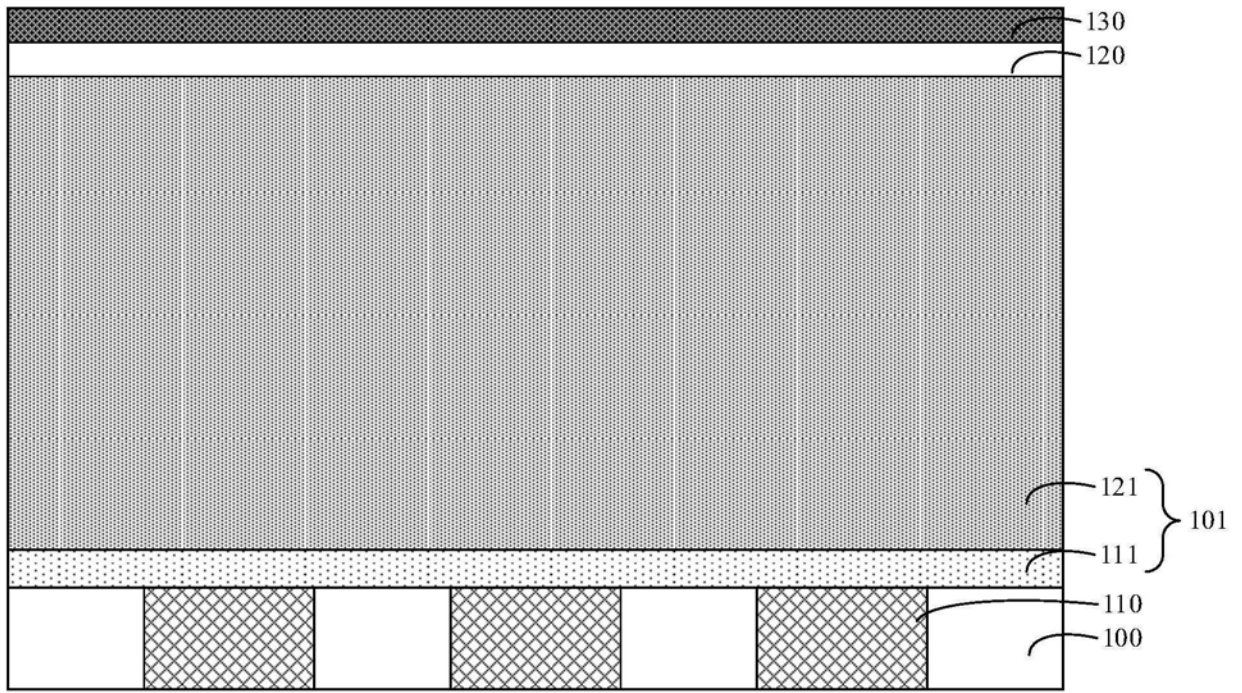


图3

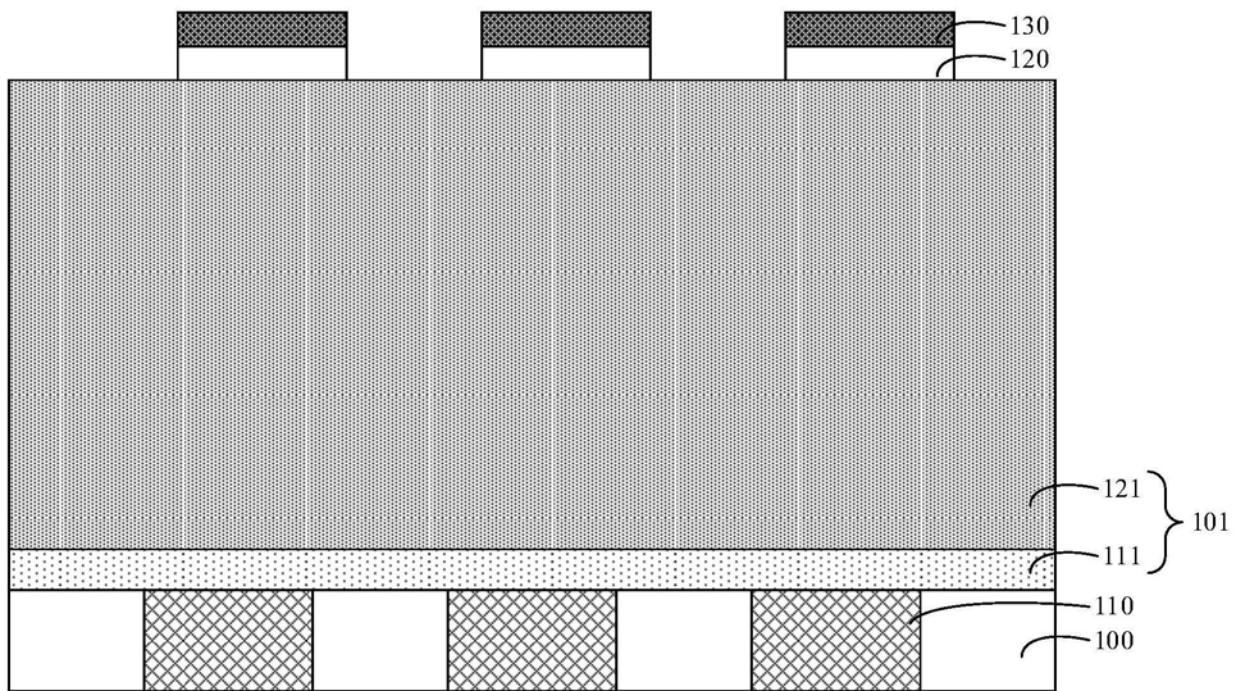


图4

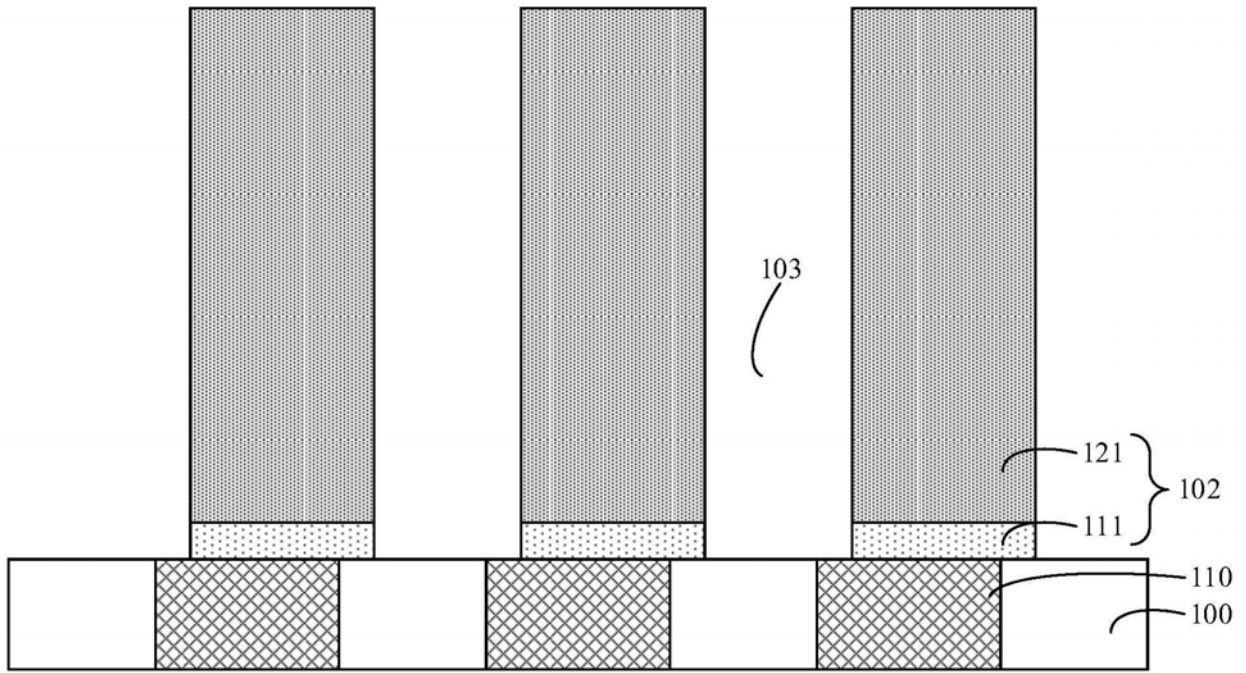


图5

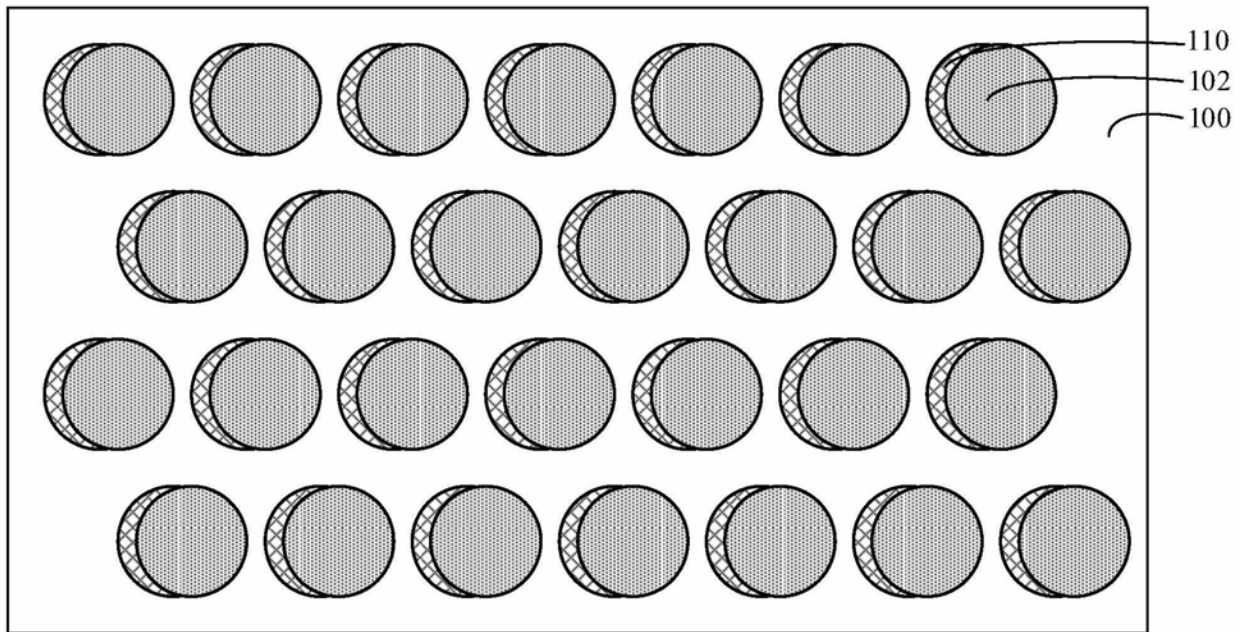


图6

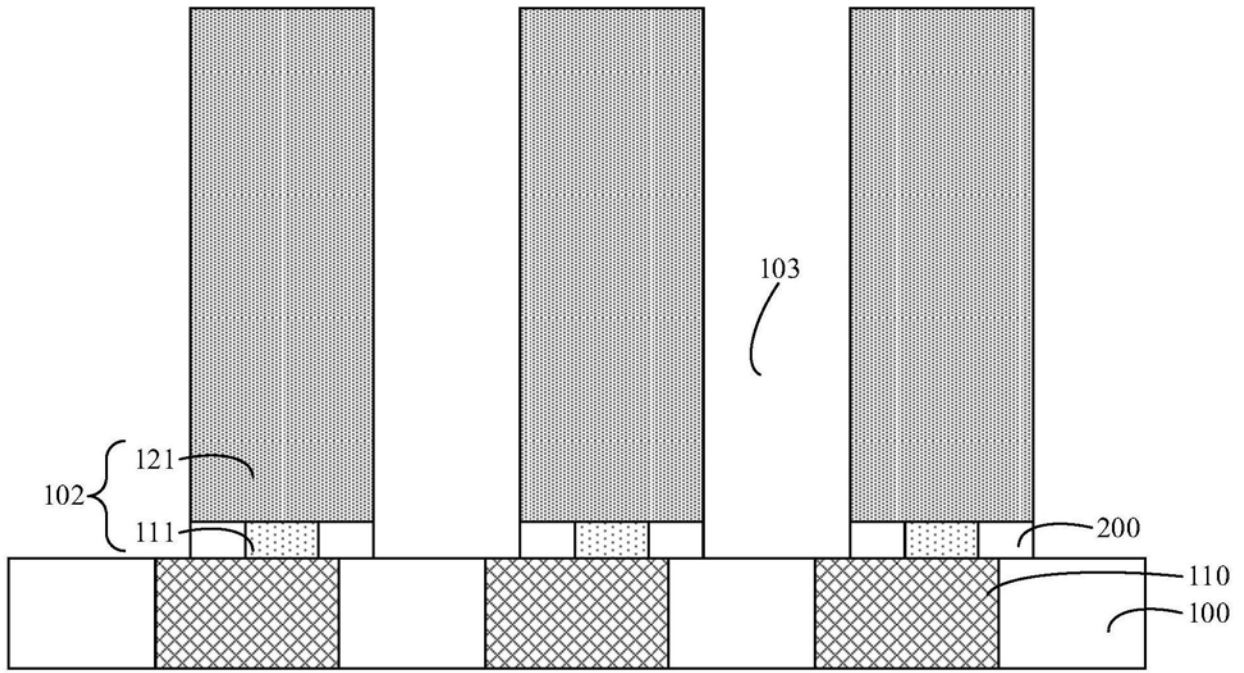


图7

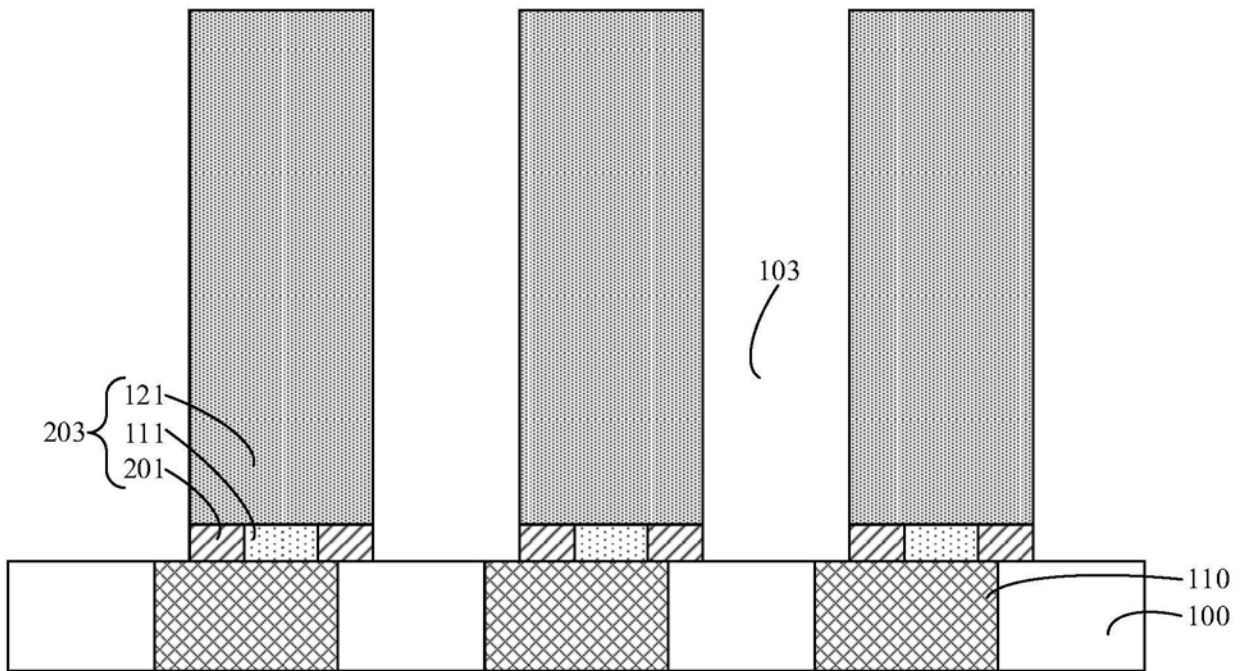


图8

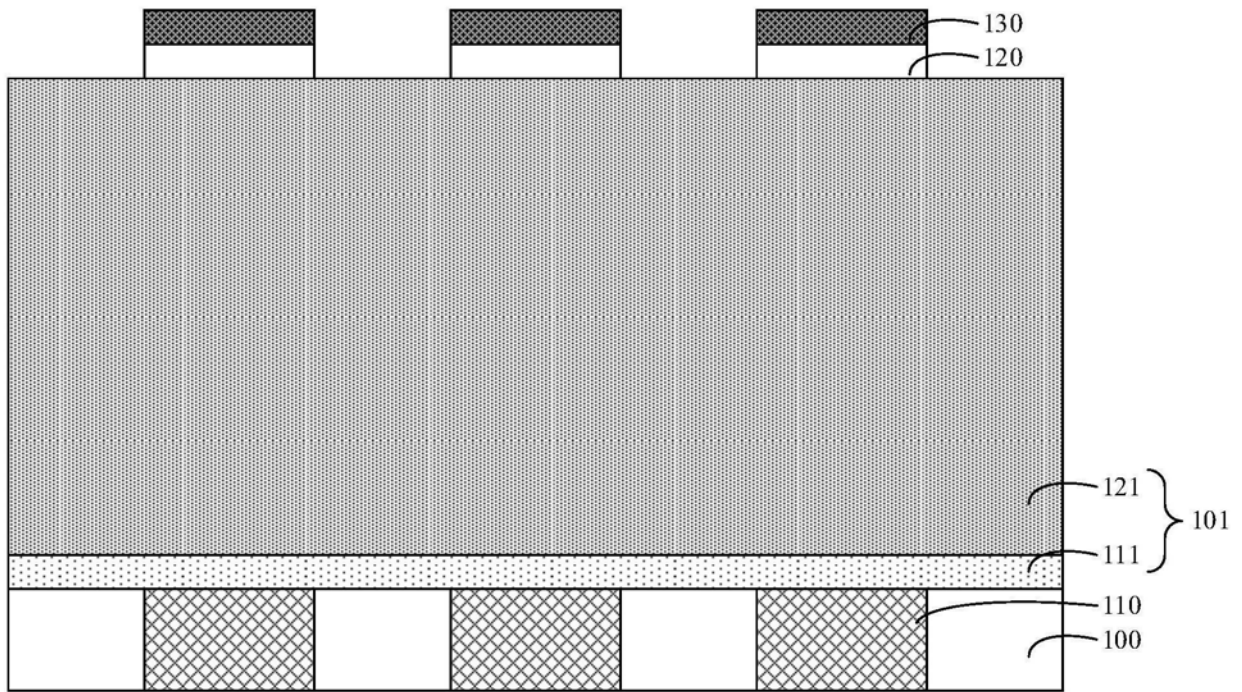


图9

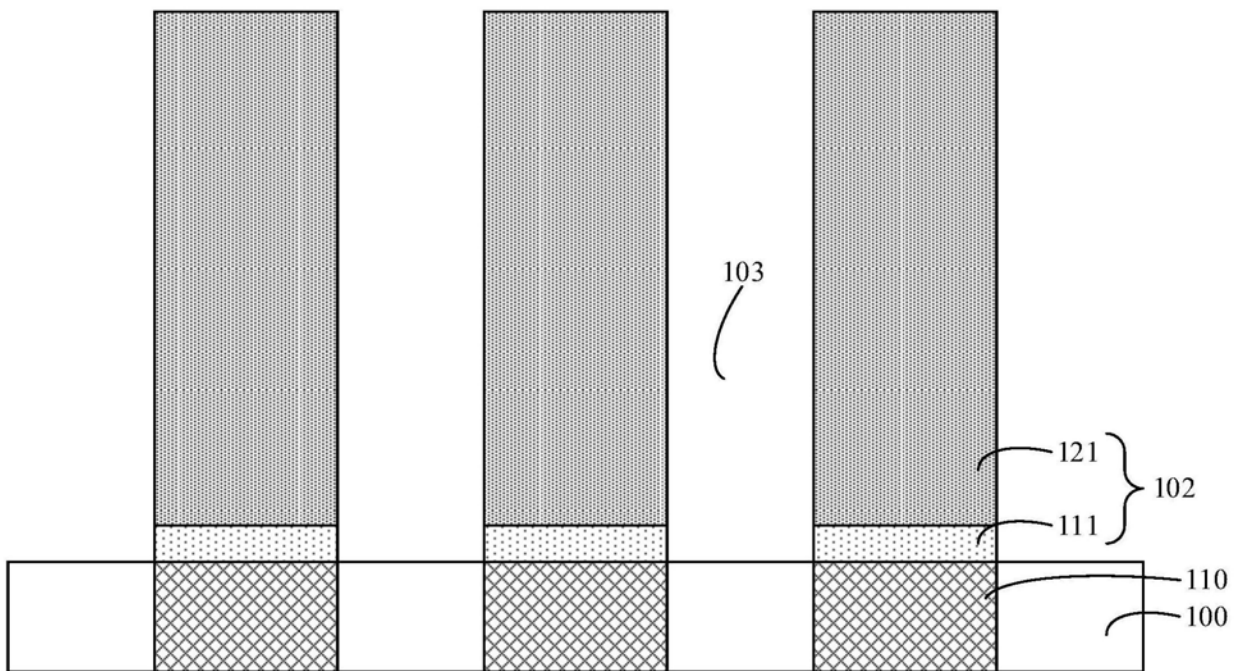


图10

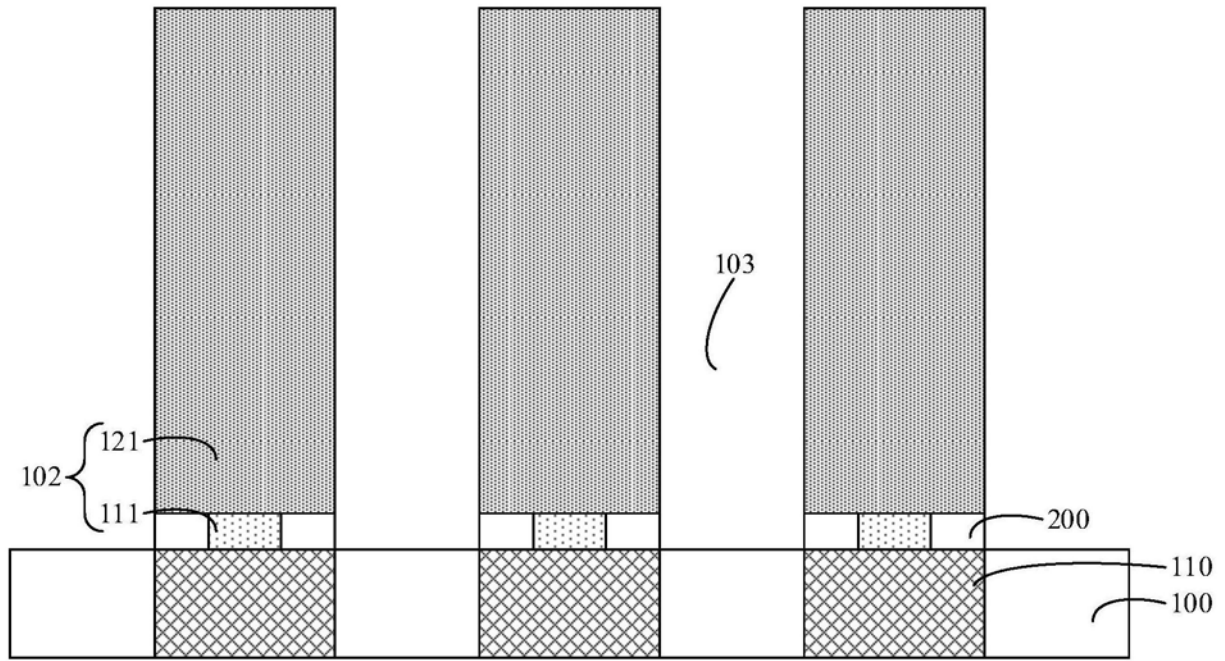


图11

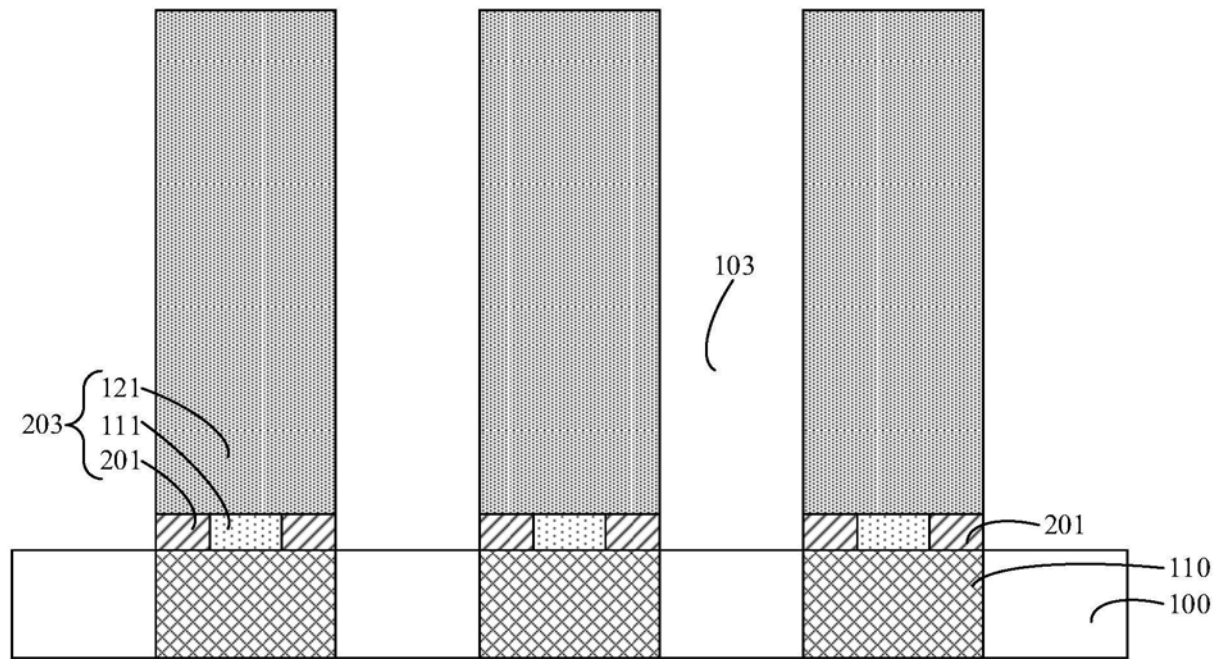


图12

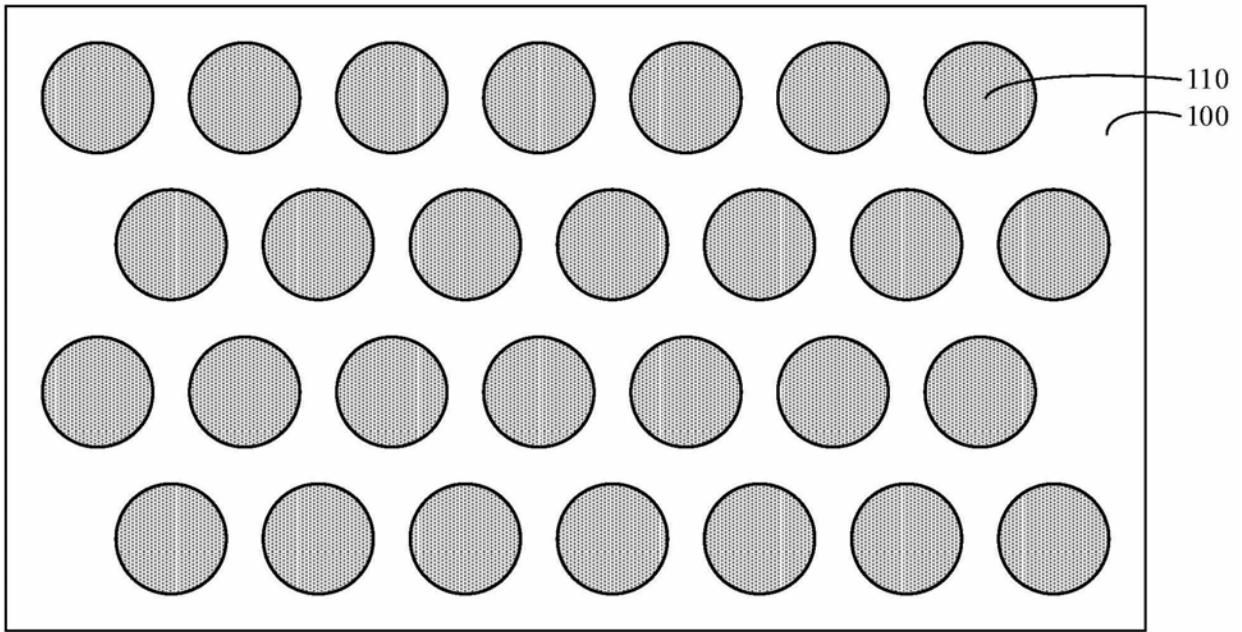


图13

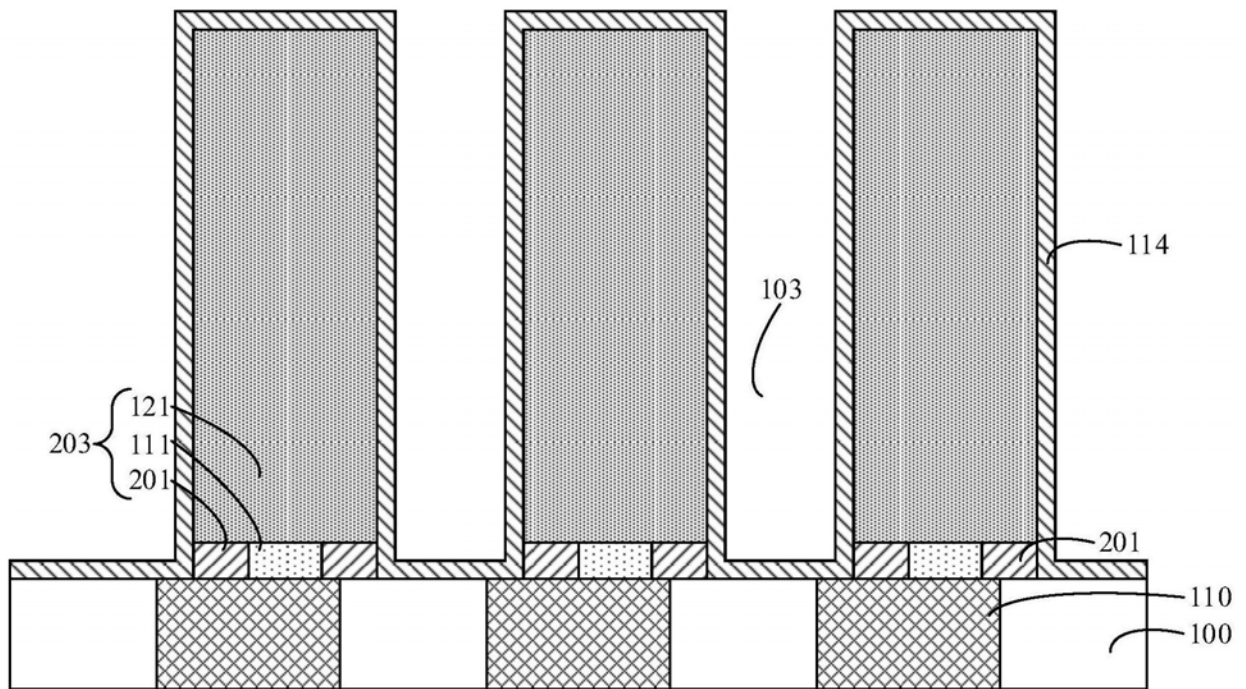


图14

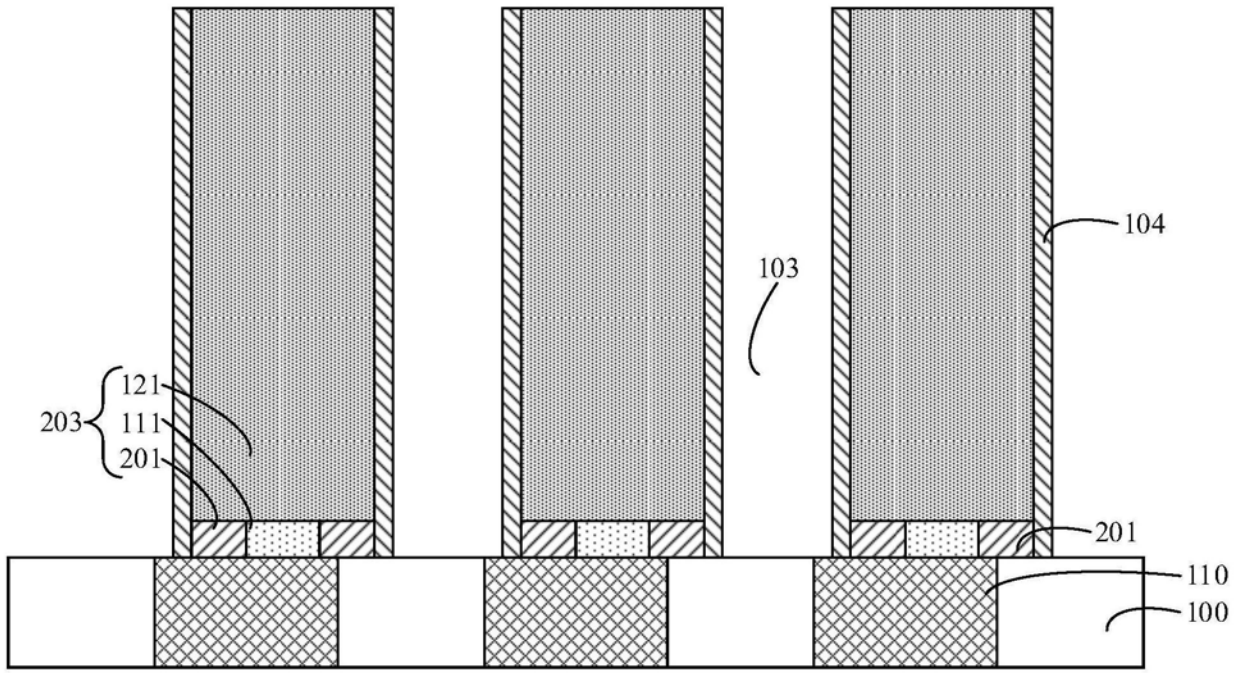


图15

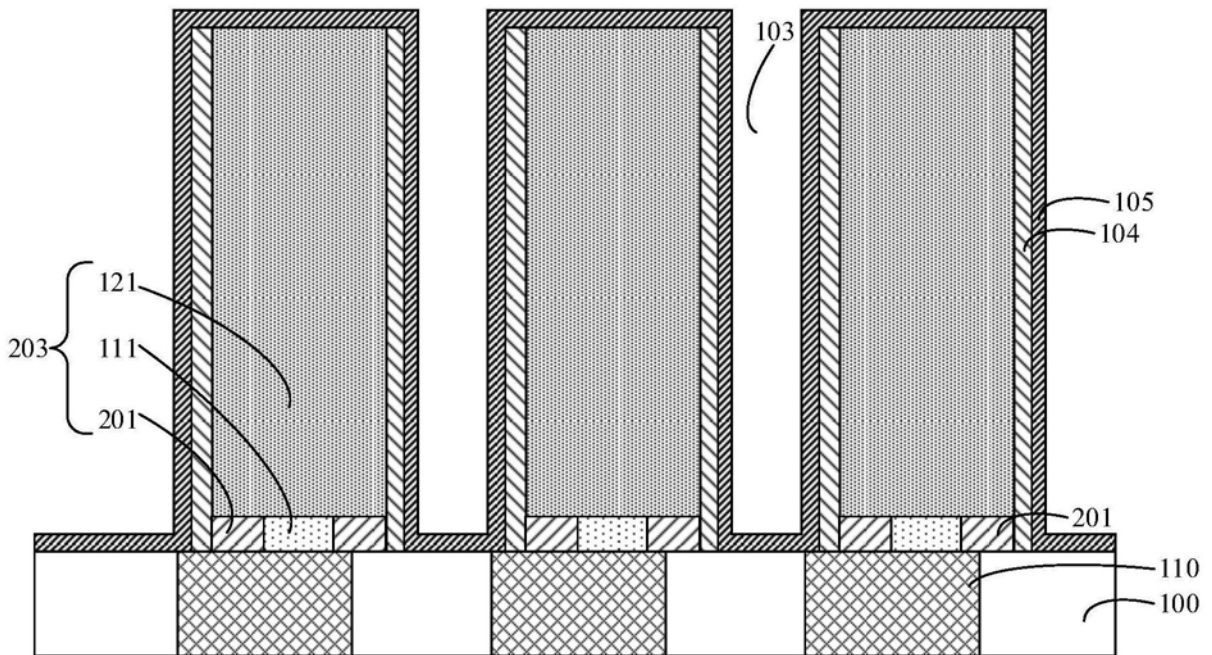


图16

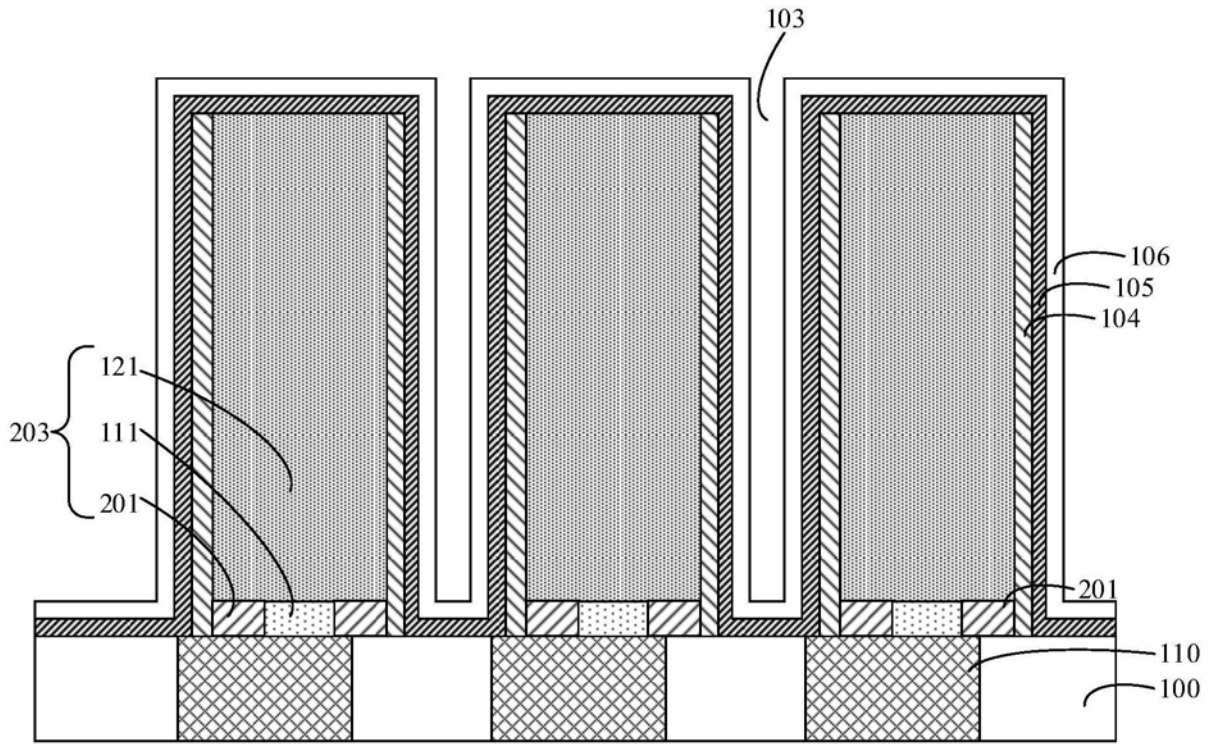


图17

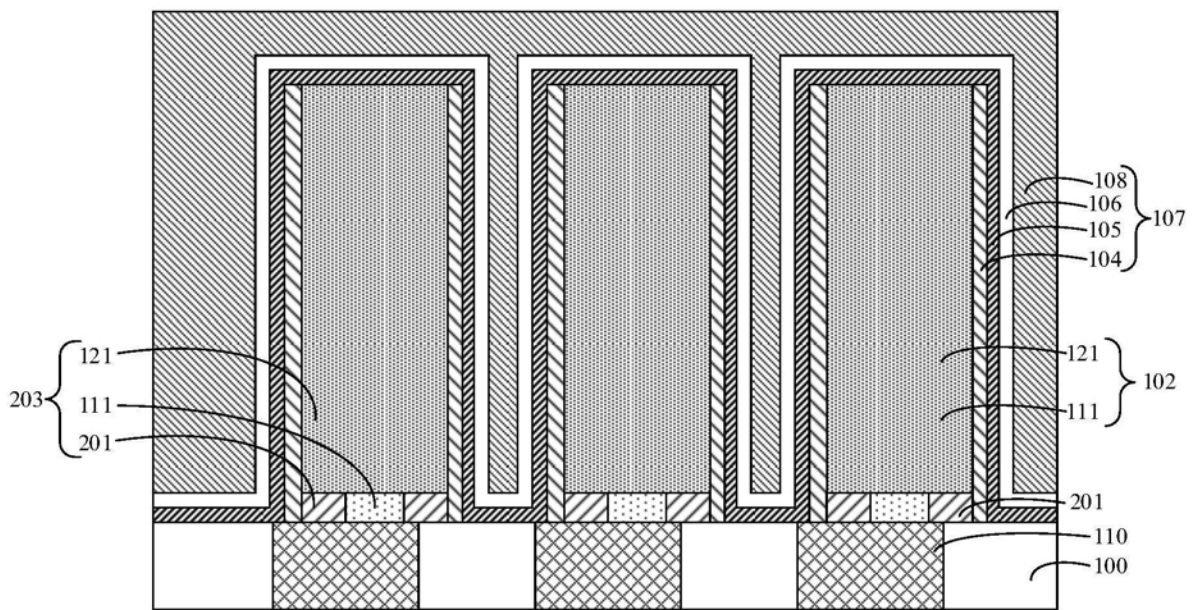


图18

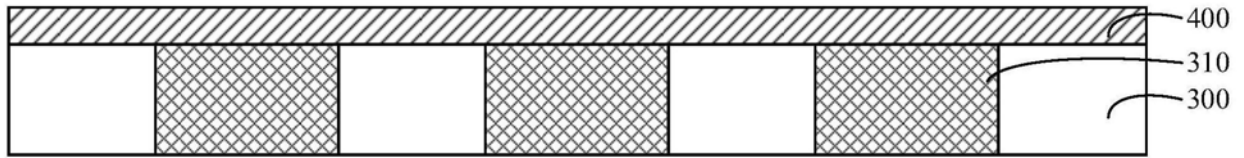


图19

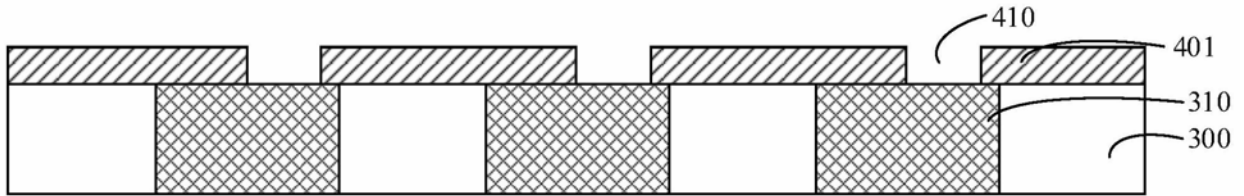


图20

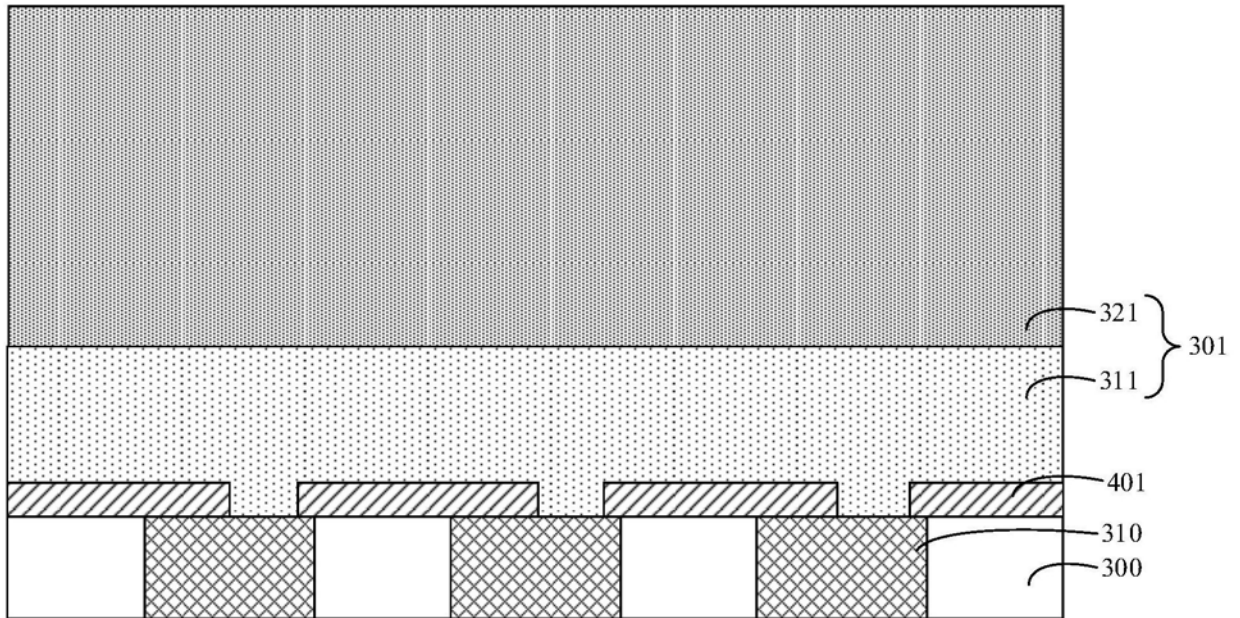


图21

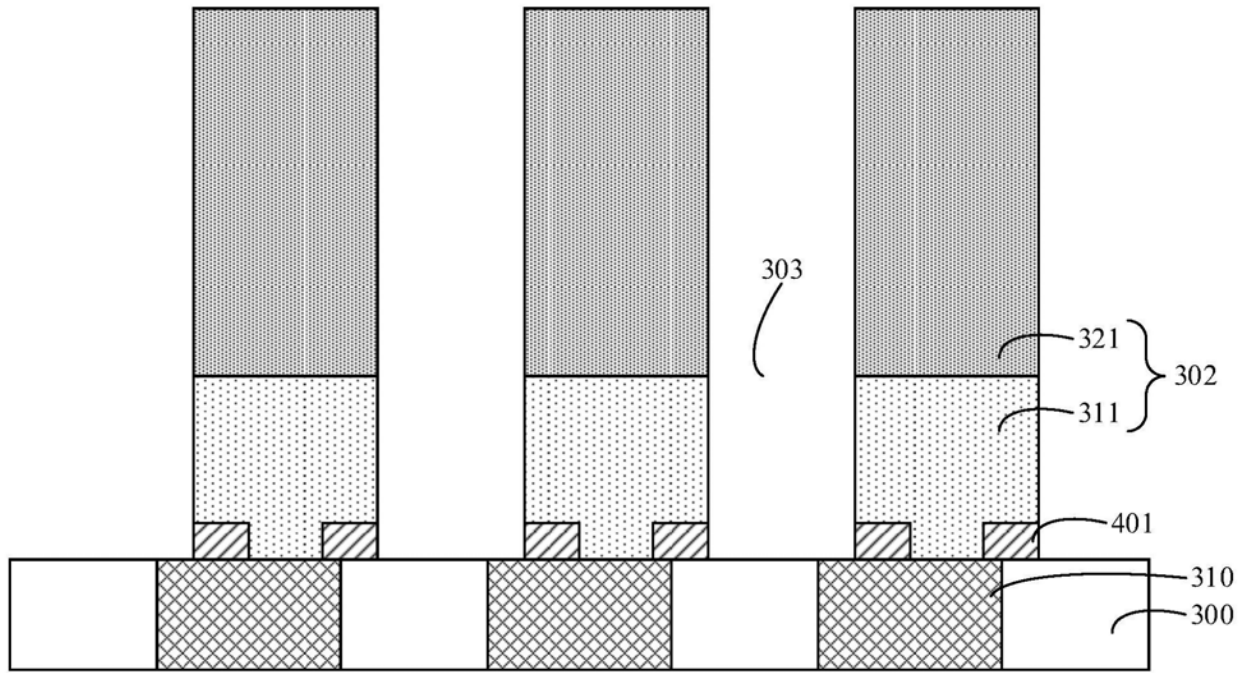


图22

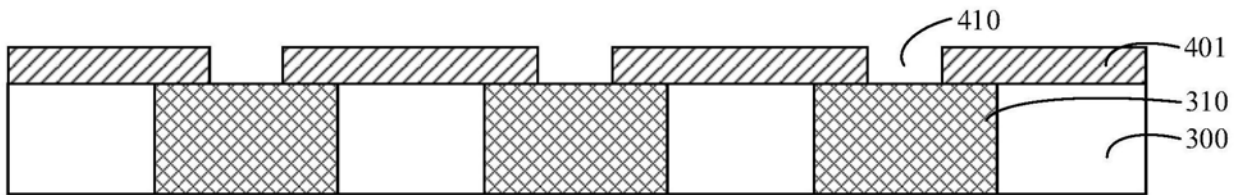


图23

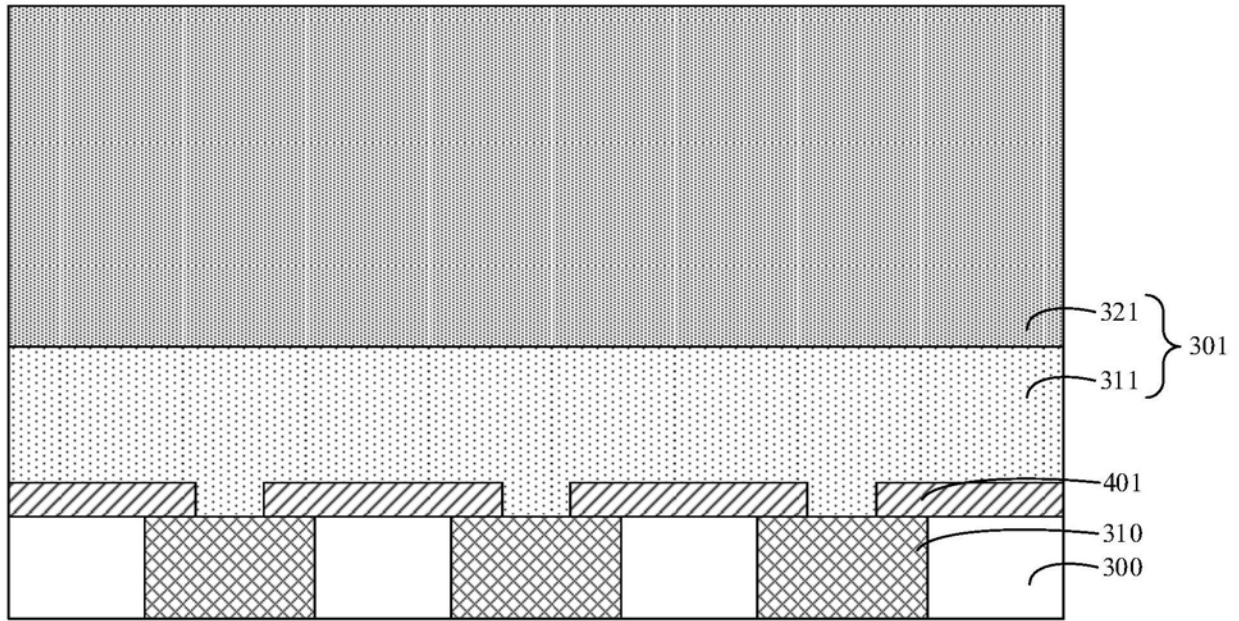


图24

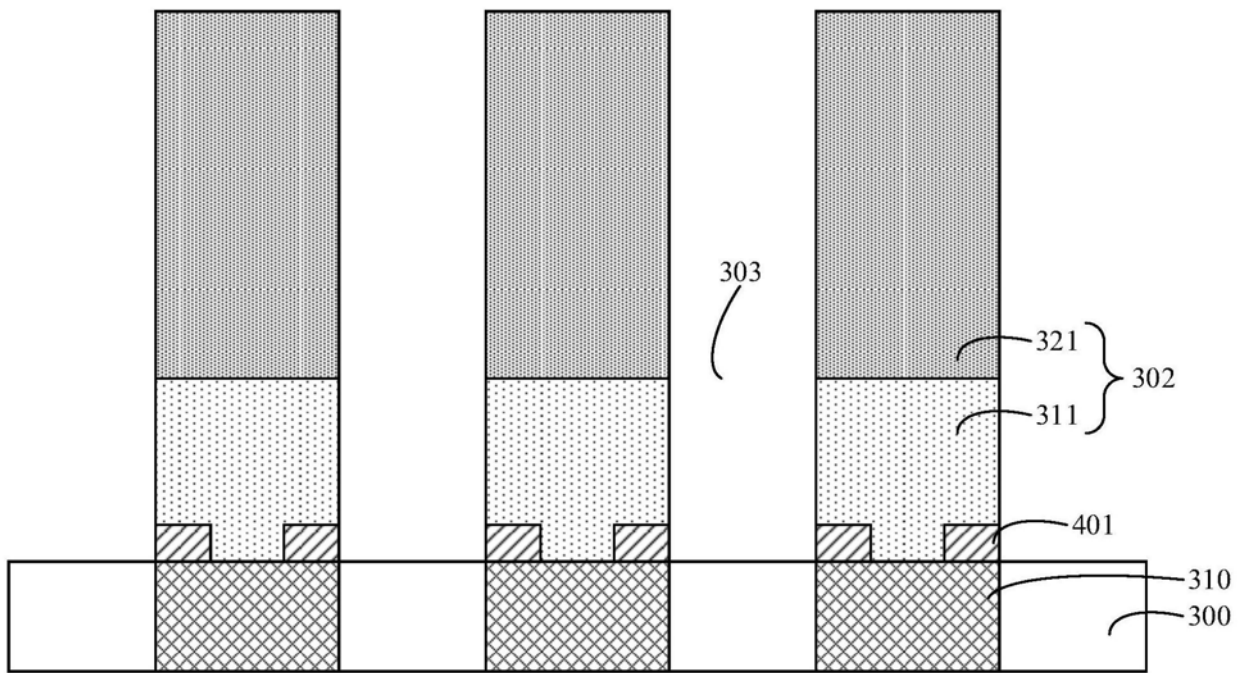


图25

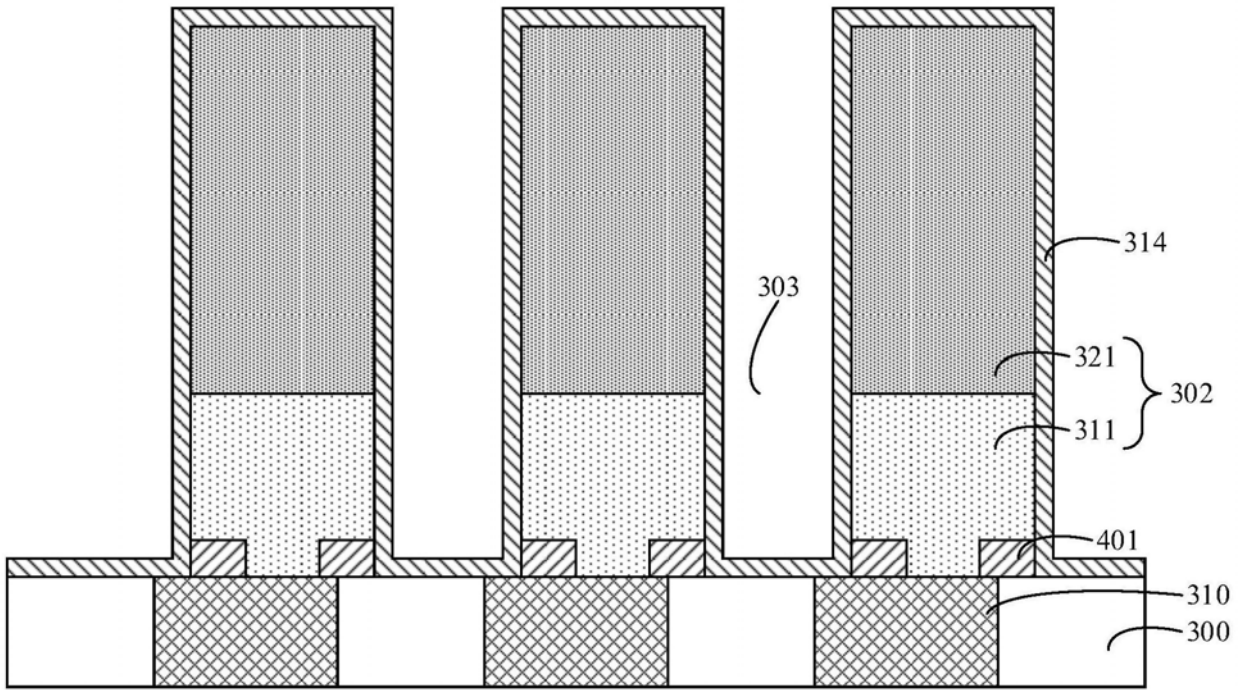


图26

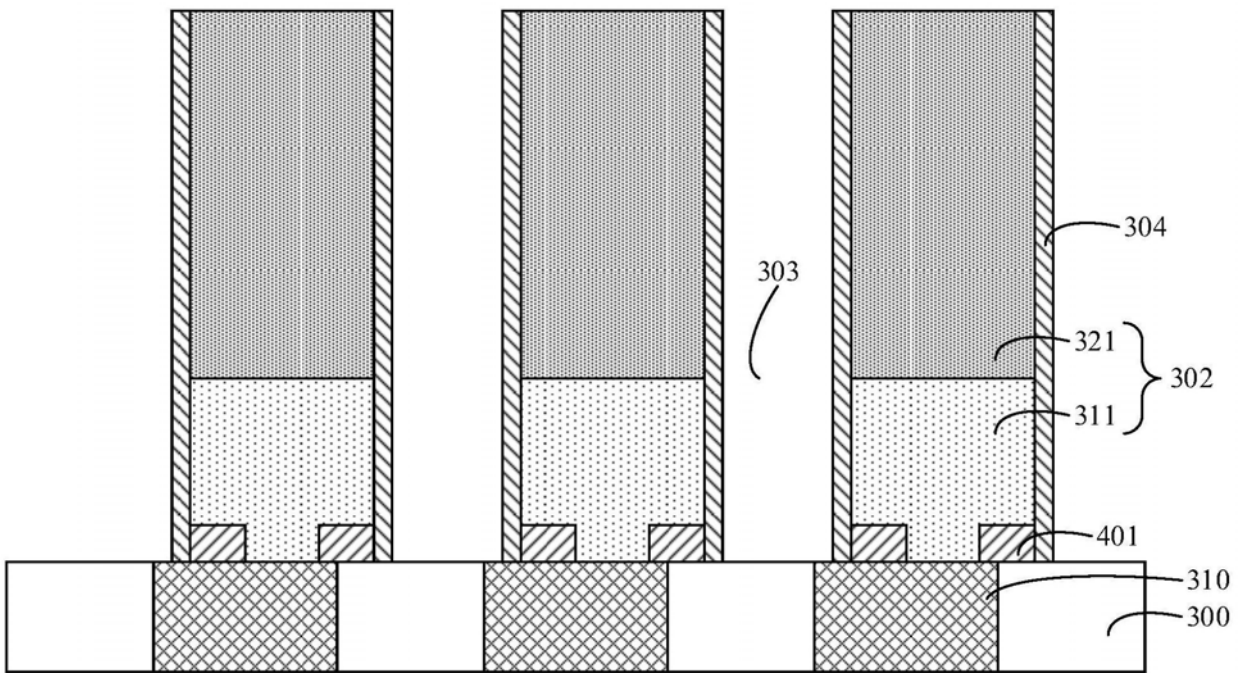


图27

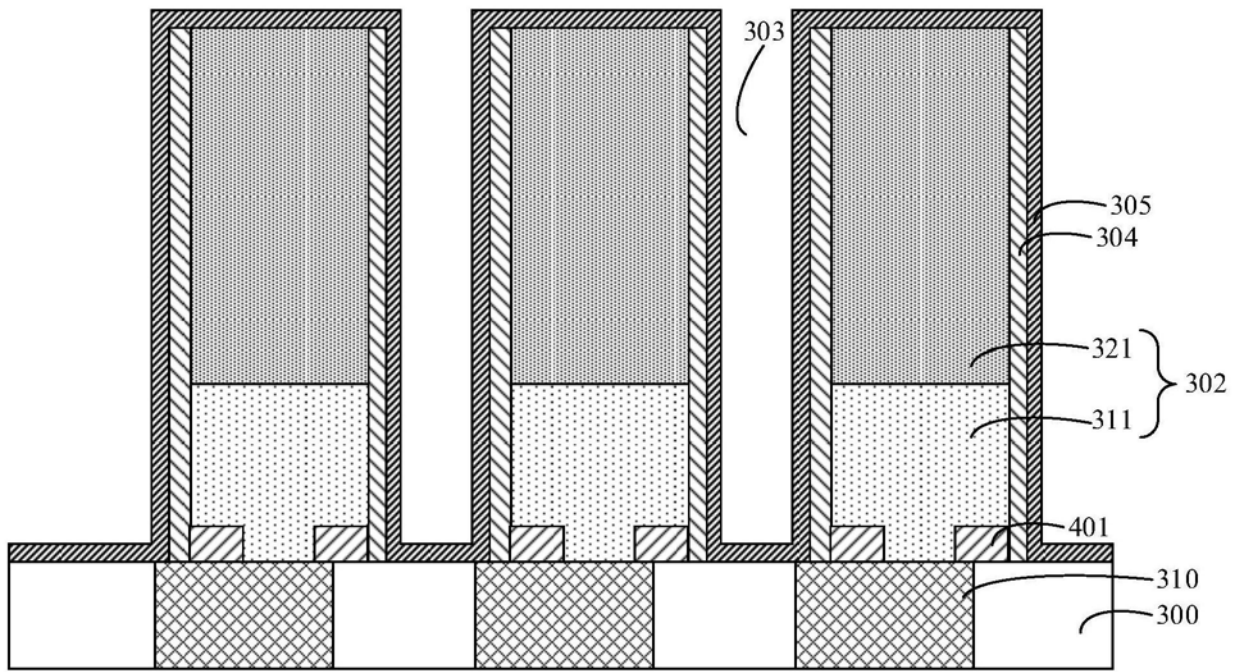


图28

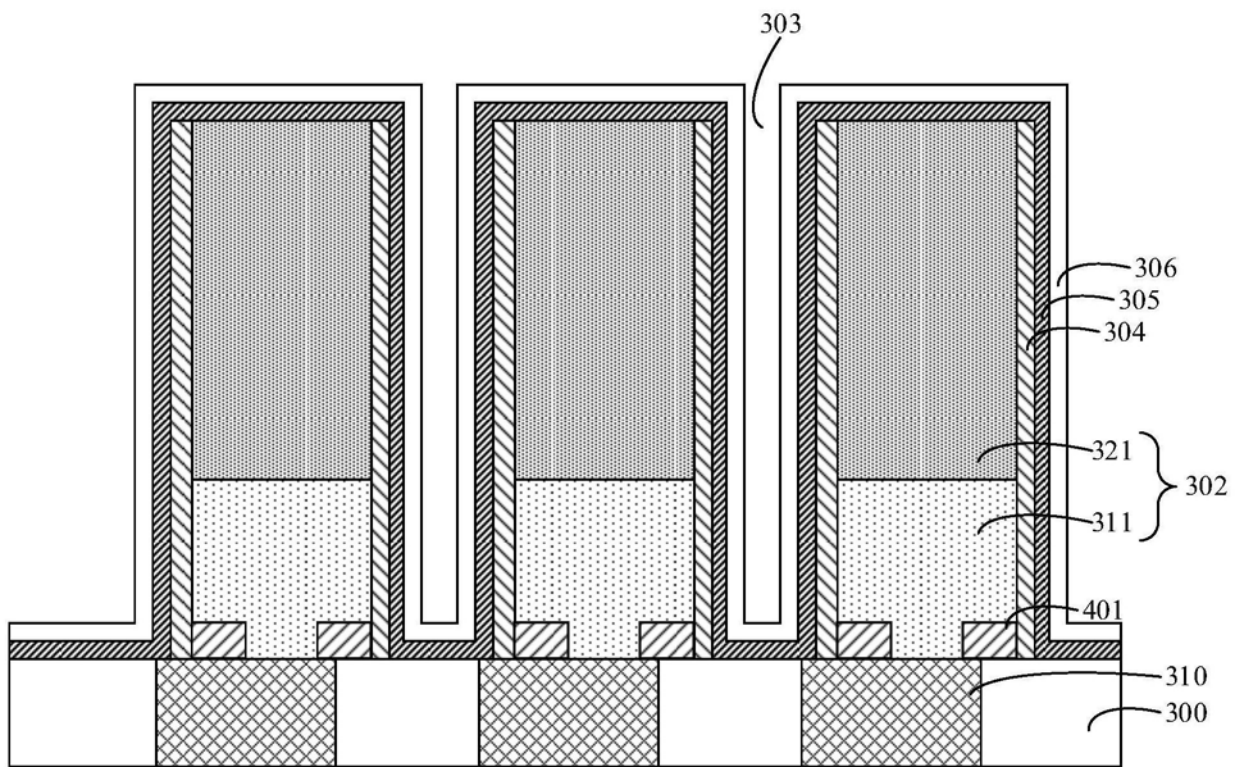


图29

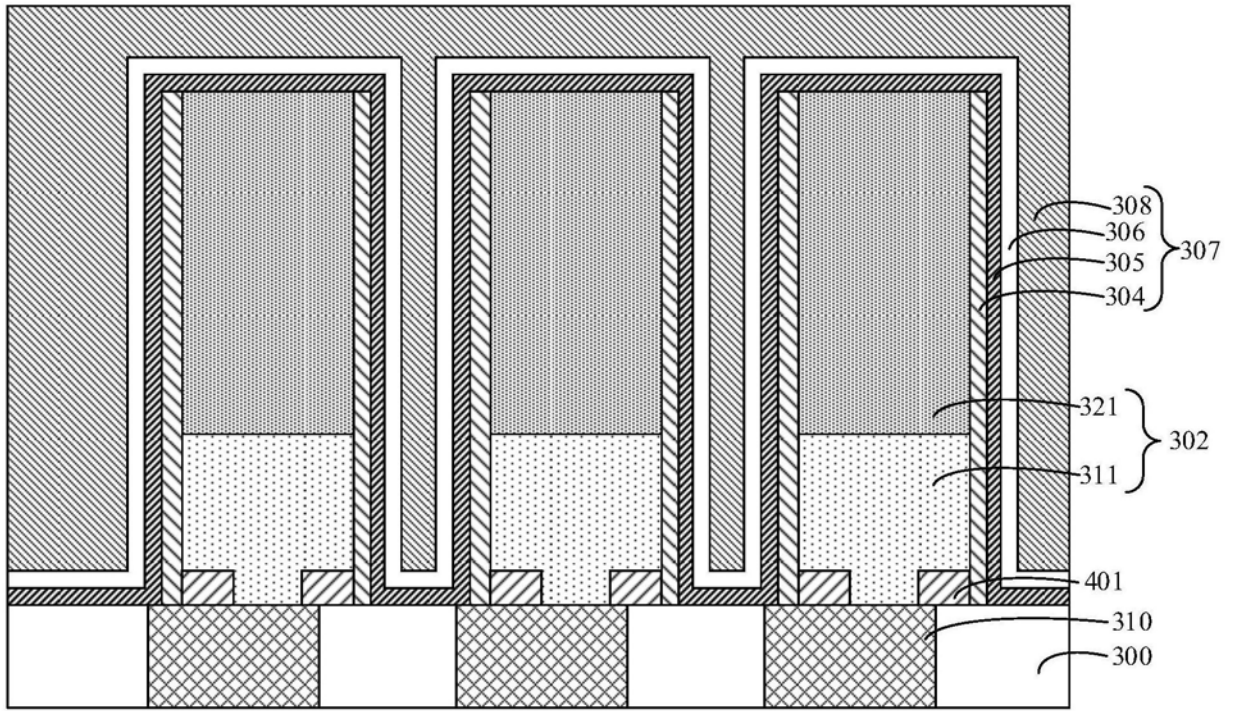


图30