



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월22일
 (11) 등록번호 10-1125500
 (24) 등록일자 2012년03월05일

(51) 국제특허분류(Int. Cl.)
H03F 1/32 (2006.01) *H03F 3/193* (2006.01)
 (21) 출원번호 10-2010-7019770
 (22) 출원일자(국제) 2009년02월06일
 심사청구일자 2010년09월03일
 (85) 번역문제출일자 2010년09월03일
 (65) 공개번호 10-2010-0116653
 (43) 공개일자 2010년11월01일
 (86) 국제출원번호 PCT/US2009/033474
 (87) 국제공개번호 WO 2009/100387
 국제공개일자 2009년08월13일
 (30) 우선권주장
 12/027,107 2008년02월06일 미국(US)
 (56) 선행기술조사문헌
 CHE-SHENS CHEN ET AL: "A 2.5GHz 90nm CMOS Triple Gain Mode LNA for WiMAX Applications" SIGNALS, SYSTEMS AND ELECTRONICS, 2007. ISSSE '07. INTERNATIONAL SYMPOSIUM ON, IEEE, PI, 1 July 2007 (2007-07-0)
 US7301396 A
 US20060071712 A1

(73) 특허권자
켈컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
 (72) 발명자
홀렌슈타인 크리스티안
 미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
맹 준시웅
 미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
김 남수
 미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
 (74) 대리인
특허법인코리아나

전체 청구항 수 : 총 22 항

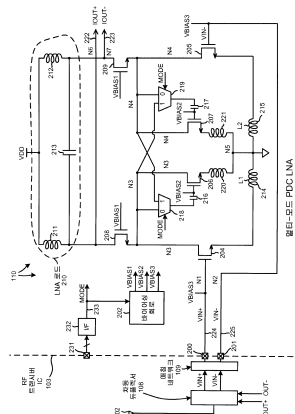
심사관 : 정병홍

(54) 발명의 명칭 사후-왜곡 모드 및 고이득 모드를 갖는 LNA

(57) 요약

차동 저잡음 증폭기(LNA)가 2개의 모드 중 선택가능한 모드에서 동작할 수 있다. LNA는 제1 트랜지스터(204), 제2 트랜지스터(205), 제3 트랜지스터(206) 및 제4 트랜지스터를 포함한다. 제1 모드(PDC 모드)에서, 4개의 트랜지스터는 사후-왜곡 상쇄(PDC) LNA로서 동작하도록 구성된다. 제3(206) 및 제4(207) 트랜지스터는 선형성을 개선하지만 LNA 이득은 다소 감소시키는 상쇄 트랜지스터로서 동작한다. 제2 모드(고 이득 모드)에서, 제3(206) 및 제4(207) 트랜지스터는, 그 트랜지스터들이 출력하는 LNA 입력 신호의 증폭 버전이 제1 및 제2 메인 트랜지스터(204, 205)에 의해 출력된 LNA 입력 신호의 증폭 버전에 추가되도록 구성되어, 이득을 증가시킨다. 멀티플렉싱 회로가 LNA에 제공되어, LNA는 그 LNA에 공급된 디지털 모드 제어 신호를 제어함으로써 2개의 모드들 중 선택가능한 모드로 구성될 수 있다.

대표도 - 도5



특허청구의 범위

청구항 1

제 1 차동 입력 노드 및 제 2 차동 입력 노드를 갖는 저잡음 증폭기 (LNA) 로서,

포화 영역에서 바이어싱되는 제 1 트랜지스터로서, 상기 제 1 트랜지스터의 게이트는 상기 제 1 차동 입력 노드에 커플링되고, 상기 제 1 트랜지스터는 상기 제 1 트랜지스터의 드레인 상에 제 1 왜곡 신호를 발생시키는, 상기 제 1 트랜지스터;

포화 영역에서 바이어싱되는 제 2 트랜지스터로서, 상기 제 2 트랜지스터의 게이트는 상기 제 2 차동 입력 노드에 커플링되고, 상기 제 2 트랜지스터는 상기 제 2 트랜지스터의 드레인 상에 제 2 왜곡 신호를 발생시키는, 상기 제 2 트랜지스터;

상기 제 1 트랜지스터의 드레인 또는 상기 제 2 트랜지스터의 드레인에 스위칭 가능하게 선택적으로 커플링될 수 있는 게이트를 갖는 제 3 트랜지스터; 및

상기 제 2 트랜지스터의 드레인 또는 상기 제 1 트랜지스터의 드레인에 스위칭 가능하게 선택적으로 커플링될 수 있는 게이트를 갖는 제 4 트랜지스터를 포함하는, 저잡음 증폭기.

청구항 2

제 1 항에 있어서,

제 1 차동 출력 노드;

상기 제 1 차동 출력 노드에 커플링된 드레인을 갖고, 상기 제 1 트랜지스터의 드레인에 커플링된 소스를 갖는 제 5 트랜지스터;

제 2 차동 출력 노드; 및

상기 제 2 차동 출력 노드에 커플링된 드레인을 갖고, 상기 제 2 트랜지스터의 드레인에 커플링된 소스를 갖는 제 6 트랜지스터를 더 포함하는, 저잡음 증폭기.

청구항 3

제 1 항에 있어서,

제 1 신호 입력 노드, 제 2 신호 입력 노드, 신호 출력 노드 및 선택 입력 노드를 갖는 제 1 멀티플렉싱 회로로서, 상기 제 1 신호 입력 노드는 상기 제 1 트랜지스터의 드레인에 커플링되고, 상기 제 2 신호 입력 노드는 상기 제 2 트랜지스터의 드레인에 커플링되고, 상기 신호 출력 노드는 상기 제 3 트랜지스터의 게이트에 용량적으로 커플링되는, 상기 제 1 멀티플렉싱 회로; 및

제 1 신호 입력 노드, 제 2 신호 입력 노드, 신호 출력 노드 및 선택 입력 노드를 갖는 제 2 멀티플렉싱 회로로서, 상기 제 1 신호 입력 노드는 상기 제 2 트랜지스터의 드레인에 커플링되고, 상기 제 2 신호 입력 노드는 상기 제 1 트랜지스터의 드레인에 커플링되고, 상기 신호 출력 노드는 상기 제 4 트랜지스터의 게이트에 용량적으로 커플링되는, 상기 제 2 멀티플렉싱 회로를 더 포함하는, 저잡음 증폭기.

청구항 4

제 1 항에 있어서,

상기 제 1 트랜지스터의 드레인은 상기 제 3 트랜지스터의 드레인에 직접 접속되고, 상기 제 2 트랜지스터의 드레인은 상기 제 4 트랜지스터의 드레인에 직접 접속되는, 저잡음 증폭기.

청구항 5

제 2 항에 있어서,

제 1 리드 및 제 2 리드를 갖는 제 1 인덕터로서, 상기 제 1 리드는 상기 제 1 트랜지스터의 소스에

커플링되고, 상기 제 2 리드는 공통 노드에 커플링되는, 상기 제 1 인덕터; 및

제 1 리드 및 제 2 리드를 갖는 제 2 인덕터로서, 상기 제 1 리드는 상기 제 2 트랜지스터의 소스에 커플링되고, 상기 제 2 리드는 상기 공통 노드에 커플링되는, 상기 제 2 인덕터를 더 포함하는, 저잡음 증폭기.

청구항 6

제 5 항에 있어서,

상기 제 3 트랜지스터의 소스는 상기 공통 노드에 커플링되고, 상기 제 4 트랜지스터의 소스는 상기 공통 노드에 커플링되는, 저잡음 증폭기.

청구항 7

제 5 항에 있어서,

상기 제 3 트랜지스터의 소스는 제 3 인덕터를 통해 상기 공통 노드에 커플링되고, 상기 제 4 트랜지스터의 소스는 제 4 인덕터를 통해 상기 공통 노드에 커플링되는, 저잡음 증폭기.

청구항 8

제 1 항에 있어서,

상기 저잡음 증폭기는 디지털 신호를 수신하고,

상기 디지털 신호가 제 1 디지털 값을 가지면, 상기 제 3 트랜지스터의 게이트가 상기 제 1 트랜지스터의 드레인에 용량적으로 커플링되고, 상기 디지털 신호가 제 2 디지털 값을 가지면, 상기 제 3 트랜지스터의 게이트가 상기 제 2 트랜지스터의 드레인에 용량적으로 커플링되며,

상기 디지털 신호가 상기 제 1 디지털 값을 가지면, 상기 제 4 트랜지스터의 게이트는 상기 제 2 트랜지스터의 드레인에 용량적으로 커플링되고, 상기 디지털 신호가 상기 제 2 디지털 값을 가지면, 상기 제 3 트랜지스터의 게이트는 상기 제 1 트랜지스터의 드레인에 용량적으로 커플링되는, 저잡음 증폭기.

청구항 9

제 8 항에 있어서,

상기 저잡음 증폭기가 동작중이고 상기 디지털 신호가 상기 제 1 디지털 값을 가지면, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터는 포화 영역에서 바이어싱되고, 상기 저잡음 증폭기가 동작중이고 상기 디지털 신호가 상기 제 2 디지털 값을 가지면, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터는 임계값 아래 영역에서 바이어싱되는, 저잡음 증폭기.

청구항 10

원하는 신호를 수신하는 차동 저잡음 증폭기 (LNA) 로서,

포화 영역에서 바이어싱되며, 원하는 신호의 제 1 증폭 버전 및 제 1 왜곡 신호를 발생시키는 제 1 트랜지스터;

포화 영역에서 바이어싱되며, 원하는 신호의 제 2 증폭 버전 및 제 2 왜곡 신호를 발생시키는 제 2 트랜지스터;

제 3 트랜지스터;

제 4 트랜지스터; 및

상기 차동 LNA 가 2 개의 모드 중 선택가능한 모드에서 동작하도록, 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터를 구성하는 수단으로서, 상기 2 개의 모드 중 제 1 모드에서는, 상기 제 1 왜곡 신호 및 상기 제 2 왜곡 신호 중 적어도 일부를 상쇄하기 위해 사후-왜곡 상쇄가 이용되고, 상기 2 개의 모드 중 제 2 모드에서는, 상기 제 3 트랜지스터가, 상기 원하는 신호의 제 1 증폭 버전과 동위상이고 상기 원하는 신호의 제 1 증폭 버전과 합산되는 상기 원하는 신호의 제 3 증폭 버전을 발생시키고, 상기 2 개의 모드 중 상기 제 2 모드에서는, 상기 제 4 트랜지스터가, 상기 원하는 신호의 제 2 증폭 버전과 동위상이고 상기 원하는 신호의 제 2 증폭 버전과 합산되는 상기 원하는 신호의 제 4 증폭 버전을 발생시키는, 상기 구성하는 수단을 포함하는, 차동 저잡음 증폭기.

청구항 11

제 10 항에 있어서,

상기 구성하는 수단은 제 1 멀티플렉서 및 제 2 멀티플렉서를 포함하고,

상기 제 1 멀티플렉서의 출력 리드는 상기 제 3 트랜지스터의 게이트에 용량적으로 커플링되고, 상기 제 2 멀티플렉서의 출력 리드는 상기 제 4 트랜지스터의 게이트에 용량적으로 커플링되는, 차동 저잡음 증폭기.

청구항 12

제 10 항에 있어서,

상기 구성하는 수단은 제 1 멀티플렉서 및 제 2 멀티플렉서를 포함하고,

상기 제 1 멀티플렉서의 출력 리드는 상기 제 3 트랜지스터의 드레인에 커플링되고, 상기 제 2 멀티플렉서의 출력 리드는 상기 제 4 트랜지스터의 드레인에 커플링되는, 차동 저잡음 증폭기.

청구항 13

제 10 항에 있어서,

상기 제 1 모드에서, 상기 제 3 트랜지스터의 게이트는 상기 제 1 트랜지스터의 드레인에 용량적으로 커플링되고, 상기 제 1 모드에서, 상기 제 4 트랜지스터의 게이트는 상기 제 2 트랜지스터의 드레인에 용량적으로 커플링되고,

상기 제 2 모드에서, 상기 제 3 트랜지스터의 게이트는 상기 제 2 트랜지스터의 드레인에 용량적으로 커플링되고, 상기 제 2 모드에서, 상기 제 4 트랜지스터의 게이트는 상기 제 1 트랜지스터의 드레인에 용량적으로 커플링되는, 차동 저잡음 증폭기.

청구항 14

제 10 항에 있어서,

상기 차동 LNA 는 디지털 로직 신호를 수신하고,

상기 디지털 로직 신호가 제 1 디지털 로직 값을 가지면, 상기 차동 LNA 는 상기 제 1 모드로 구성되는 반면, 상기 디지털 로직 신호가 제 2 디지털 로직 값을 가지면, 상기 차동 LNA 는 상기 제 2 모드로 구성되는, 차동 저잡음 증폭기.

청구항 15

저잡음 증폭기 (LNA) 를 동작시키기 위한 방법으로서,

(a) 제어 신호를 수신하는 단계;

(b) 상기 (a) 단계에서 수신된 상기 제어 신호가 제 1 디지털 로직 값을 가지면, 저잡음 증폭기 (LNA) 가 사후-왜곡 상쇄 LNA 로 동작하도록, 상기 LNA 의 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 함께 커플링시키는 단계로서, 상기 LNA 가 상기 사후-왜곡 상쇄 LNA 로서 동작하는 경우, 상기 제 3 트랜지스터는 상기 제 1 트랜지스터에 의해 발생된 왜곡을 상쇄하는 왜곡을 발생시키고, 상기 LNA 가 상기 사후-왜곡 상쇄 LNA 로서 동작하는 경우, 상기 제 4 트랜지스터는 상기 제 2 트랜지스터에 의해 발생된 왜곡을 상쇄하는 왜곡을 발생시키는, 상기 커플링시키는 단계; 및

(c) 상기 (a) 단계에서 수신된 상기 제어 신호가 제 2 디지털 로직 값을 가지면, 상기 제 3 트랜지스터가 상기 LNA 의 이득에 기여하고, 상기 제 4 트랜지스터가 상기 LNA 의 이득에 기여하도록, 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터를 함께 커플링시키는 단계를 포함하는, 저잡음 증폭기 (LNA) 를 동작시키기 위한 방법.

청구항 16

제 15 항에 있어서,

상기 제어 신호가 상기 제 2 디지털 로직 값을 가지면, 상기 제 1 트랜지스터는 LNA 입력 신호의 제 1 증폭 버전을 출력하고, 상기 제 3 트랜지스터는 상기 LNA 입력 신호의 상기 제 1 증폭 버전과 동위상인 상기 LNA 입력 신호의 제 3 증폭 버전을 출력하고, 상기 LNA 입력 신호의 상기 제 3 증폭 버전은 상기 LNA 입력 신호의 상기 제 1 증폭 버전에 추가되고,

상기 제어 신호가 상기 제 2 디지털 로직 값을 가지면, 상기 제 2 트랜지스터는 LNA 입력 신호의 제 2 증폭 버전을 출력하고, 상기 제 4 트랜지스터는 상기 LNA 입력 신호의 상기 제 2 증폭 버전과 동위상인 상기 LNA 입력 신호의 제 4 증폭 버전을 출력하고, 상기 LNA 입력 신호의 상기 제 4 증폭 버전은 상기 LNA 입력 신호의 상기 제 2 증폭 버전에 추가되는, 저잡음 증폭기 (LNA) 를 동작시키기 위한 방법.

청구항 17

제 16 항에 있어서,

(d) 상기 제어 신호가 상기 제 1 디지털 로직 값을 가지는 경우 상기 LNA 를 제 1 시간 주기 동안 동작시키고, 상기 제어 신호가 상기 제 2 디지털 로직 값을 가지는 경우 상기 LNA 를 제 2 시간 주기 동안 동작시키는 단계를 더 포함하는, 저잡음 증폭기 (LNA) 를 동작시키기 위한 방법.

청구항 18

제 15 항에 있어서,

상기 LNA 가 동작중이고, 상기 제어 신호가 상기 제 1 디지털 로직 값을 가지면, 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터는 포화 영역에서 바이어싱되는 반면, 상기 LNA 가 동작중이고 상기 제어 신호가 상기 제 2 디지털 로직 값을 가지면, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 포화 영역에서 바이어싱되고, 상기 제 3 트랜지스터 및 상기 제 4 트랜지스터는 임계값 아래 영역에서 바이어싱되는, 저잡음 증폭기 (LNA) 를 동작시키기 위한 방법.

청구항 19

저잡음 증폭기 (LNA) 를 동작시키기 위한 방법으로서,

2 개의 모드 중 스위칭 가능하게 선택가능한 모드에서 동작하도록 구성될 수 있는 저잡음 증폭기 (LNA) 를 제공하는 단계를 포함하며,

제 1 모드에서는, 상기 LNA 가 상기 LNA 에서 발생하는 왜곡을 상쇄하기 위해 사후-왜곡 상쇄 기술을 이용하고, 상기 LNA 가 상기 제 1 모드에서 동작중인 경우 상기 LNA 는 제 1 이득을 나타내고, 제 2 모드에서는, 상기 LNA 가 상기 제 1 이득보다 더 큰 제 2 이득을 갖고, 상기 제 2 모드에서는 상기 LNA 가 상기 제 1 모드에서 동작중인 경우에서보다 상기 LNA 가 덜 선형인, 저잡음 증폭기 (LNA) 를 동작시키기 위한 방법.

청구항 20

제 19 항에 있어서,

상기 LNA 는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 포함하고, 상기 LNA 가 상기 제 1 모드에서 동작중이면, 상기 제 3 트랜지스터의 게이트는 상기 제 1 트랜지스터의 드레인에 용량적으로 커플링되고, 상기 제 4 트랜지스터의 게이트는 상기 제 2 트랜지스터의 드레인에 용량적으로 커플링되고, 상기 LNA 가 상기 제 2 모드에서 동작중이면, 상기 제 3 트랜지스터의 게이트는 상기 제 2 트랜지스터의 드레인에 용량적으로 커플링되고, 상기 제 4 트랜지스터의 게이트는 상기 제 1 트랜지스터의 드레인에 용량적으로 커플링되는, 저잡음 증폭기 (LNA) 를 동작시키기 위한 방법.

청구항 21

제 19 항에 있어서,

상기 LNA 는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 포함하고, 상기 LNA 가 상기 제 1 모드에서 동작중이면, 상기 제 3 트랜지스터의 드레인은 상기 제 1 트랜지스터의 드레인에 커플링되고, 상기 제 4 트랜지스터의 드레인은 상기 제 2 트랜지스터의 드레인에 커플링되고, 상기 LNA 가 상기 제 2 모드에서 동작중이면, 상기 제 3 트랜지스터의 드레인은 상기 제 2 트랜지스터의 드레인에 용량적으로

커플링되고, 상기 제 4 트랜지스터의 드레인은 상기 제 1 트랜지스터의 드레인에 용량적으로 커플링되는, 저잡음 증폭기 (LNA) 를 동작시키기 위한 방법.

청구항 22

제 19 항에 있어서,

제어 정보를 수신하기 위한 메커니즘을 제공하는 단계를 더 포함하고,

상기 제어 정보가 제 1 값을 가지면, 상기 LNA 는 상기 제 1 모드에서 동작하도록 구성되고, 상기 제어 정보가 제 2 값을 가지면, 상기 LNA 는 상기 제 2 모드에서 동작하도록 구성되는, 저잡음 증폭기 (LNA) 를 동작시키기 위한 방법.

명세서

기술분야

[0001] 개시된 실시형태들은 저잡음 증폭기 (LNA) 에 관한 것이다.

배경기술

[0002] 셀룰러 전화기의 수신기와 같은 무선 수신기의 제 1 증폭 스테이지는 일반적으로 저잡음 증폭기 (LNA) 로 지칭되는 증폭기 회로이다. LNA 연산 성능의 측정치는 LNA 의 잡음 팩터 (F) 및 LNA 의 선형성을 포함한다.

[0003] 셀룰러 전화기의 수신기는 수신 체인으로 지칭되는 것을 포함한다. 수신 체인은 믹서로 신호를 출력하는 LNA 를 포함한다. 그 후, 믹서는 신호를 기저대역 필터로 출력한다. 제 1 근사치에 대한 전체 수신 체인의 잡음 팩터 (F) 는 LNA 의 잡음 팩터와 일정량의 합과 동일하고, 그 일정량은 LNA 의 이득에 의해 계산된 다음 스테이지 (믹서 및 기저대역 필터) 의 잡음 팩터이다. 따라서, LNA 의 이득을 증가시키는 것은 전체 수신 체인의 잡음 팩터를 감소시킨다. 셀룰러 전화기 애플리케이션에서는, 통상적으로 전체 수신기에 부과되는 잡음 팩터 요건이 존재한다. 따라서, 셀룰러 전화기의 LNA 는 전체 수신기의 잡음 팩터 요건을 충족시키도록 적절한 이득을 가져야 한다.

[0004] LNA 와 같은 증폭기는 일정량의 비선형성을 나타낸다. 순수한 단일 주파수의 이상적인 정현파 입력 신호가 선형 증폭기의 입력에 공급된다면, 증폭기는 그 입력 신호의 증폭 버전을 출력할 것이다. 출력 신호는 오직 단일 주파수를 가질 것이고, 그 주파수는 입력 신호의 주파수일 것이다. 그러나, 그와 동일한 정현파 입력 신호가 일정량의 비선형성을 나타내는 증폭기의 입력에 공급된다면, 증폭기는 입력 신호의 주파수에서 입력 신호의 증폭 버전을 출력할 것이지만, 또한 증폭기는 하나 이상의 다른 주파수의 다른 신호를 출력할 것이다. 이 다른 신호를 "왜곡" 이라 한다. 실제 수신기에서, 이 왜곡 성분은 종종 원하는 신호의 주파수와는 크게 다르고, 따라서 수신기 출력 신호로부터 필터링 아웃될 수 있다. 그러나, 원하는 신호와 함께 증폭기의 입력에 수신된 다른 잡음 신호 (여기서는 잼머라 함) 가 존재하면, 때때로 상호-변조 왜곡으로 지칭되는 복잡한 타입의 왜곡이 발생할 수 있다. 이 상호-변조 왜곡은 원하는 신호의 주파수에 근접하여 존재할 수도 있기 때문에, 수신기 출력 신호로부터 그 상호-변조 왜곡을 필터링하는 것은 곤란하거나 불가능하다. 상호-변조 왜곡 성분이 필터링에 의해 출력 신호로부터 제거될 수 없으면, 상호-변조 왜곡의 진폭이 허용가능한 양이 되도록 증폭기는 더 선형이어야 한다.

[0005] 그러나, 양호한 선형성을 가져야 하는 이 요건은, 수신기가 잼머의 존재하에서 동작하는 경우에만 부과될 수도 있다. 잼머가 존재하지 않는 것으로 인식되면, 상호-변조가 발생하지 않을 것이기 때문에, 수신기 출력 신호가 허용할 수 없는 대량의 왜곡을 갖지 않는다면 증폭기에 대한 선형성 요건은 완화될 수 있다. 예를 들어, 몇몇 무선 통신 프로토콜에서, 송신기는 수신기가 수신하고 있는 것과 동일한 시간에 송신중일 수도 있다. 송신된 신호의 주파수는 수신중인 신호의 주파수와 주파수에서 근접하다. 셀룰러 전화기 핸드셋의 송신기 및 수신기의 물리적 근접에 기인하여, 그리고, 송신된 신호의 전력에 기인하여, 송신된 신호의 일부는 수신기로 누설되어 잼머를 구성할 수도 있다. 그러나, 이 특정한 잼머는 송신기가 송신중인 경우에만 존재한다. 송신기가 송신중이 아닌 경우, 상호-변조 왜곡 문제는 덜 심각하거나 존재하지 않으며, 수신기에 대한 선형성 요건은 완화될 수 있다. 다수의 LNA 토폴로지에서, 증폭기의 선형성은 LNA 를 통해 흐르는 바이어스 전류를 증가시킴으로써 증가될 수 있다. 유사하게, 증폭기의 선형성은 LNA 를 통해 흐르는 바이어스 전류를 감소시킴으로써 감소될 수 있다.

[0006] 도 1 (종래 기술) 은, 사후-왜곡 상쇄 기술 (때때로 능동 사후-왜곡 기술로 지칭됨) 을 이용하는 하나의 특정 차동 LNA (1) 의 회로도이다. 이 기술은, 포화 영역에서 바이어싱되는 4 개의 전계 효과 트랜지스터 (FET; 2 내지 5) 의 이용을 포함한다. FET (2 및 3) 는 메인 FET 로 지칭된다. FET (4 및 5) 는 상쇄 FET 로 지칭된다. 좌측 쌍인 메인 FET (2) 및 상쇄 FET (4) 는 다음과 같이 동작한다. 메인 FET (2) 는 입력 리드 (5) 를 통해 수신된 입력 신호를 증폭한다. 입력 신호의 증폭 버전이 노드 (6) 에 발생된다. 메인 FET (2) 가 공통 소스 증폭기로서 구성되기 때문에, 증폭 신호는 입력 리드 (5) 상의 입력 신호에 대해 약 180 도 위상 시프트를 갖는다. 또한, 입력 신호의 원하는 증폭 버전과 함께 왜곡 성분이 노드 (6) 상의 신호에 존재한다. 노드 (6) 상의 위상 시프트된 신호가 상쇄 FET (4) 의 게이트 입력에 인가된다. 상쇄 FET (4) 는 또한 포화 영역에서 바이어싱되지만, 메인 FET (2) 보다 증폭된 원하는 신호에 비해 비교적 많은 왜곡 성분을 발생시키는 점에서 열악한 증폭기로 설계된다. 상쇄 FET (4) 가 입력 신호를 수신하는 방식에 기인하여, 상쇄 FET (4) 에 공급된 입력 신호의 위상은 메인 FET (2) 에 공급된 입력 신호의 위상에 대해 180 도 벗어난 위상이다. 따라서, 상쇄 FET (4) 로부터 출력되는 원하는 증폭 신호는 메인 FET (2) 로부터 출력되는 원하는 증폭 신호에 대해 위상이 180 도 벗어나고, 상쇄 FET (4) 로부터 출력되는 왜곡의 위상은 또한 메인 FET (2) 로부터 출력되는 왜곡에 대해 180 도 벗어난 위상이다. 메인 FET (2) 및 상쇄 FET (4) 로부터 출력된 신호들은 병합 노드 (7) 상에서 합산된다. 상쇄 FET (4) 에 의해 출력된 왜곡의 진폭이 메인 FET (2) 에 의해 출력된 왜곡과 진폭이 동일하게 설정되면, 왜곡 신호는 노드 (7) 상에서 서로 상쇄될 것이다. 이와 동시에, 메인 FET (2) 에 의해 출력된 원하는 신호의 일부는 상쇄 FET (4) 에 의해 출력된 원하는 신호에 의해 상쇄될 것이지만, 상쇄 FET (4) 가 열악한 증폭기라는 사실에 기인하여, 메인 FET (2) 로부터 출력되는 원하는 신호의 일부는 노드 (7) 상에 남을 것이다. 이 나머지 원하는 신호는 PDC LNA 로부터 출력되는 신호이다. 메인 및 상쇄 FET 의 다른 상보적 쌍 (3 및 5) 도 유사한 방식으로 동작한다. 불행하게도, 병합 노드 (7 및 8) 상의 원하는 신호의 일부만의 상쇄는 PDC LNA 의 이득을 감소시킨다.

[0007] 도 1 의 PDC LNA 는 고 선형성 모드 및 저 선형성 모드를 갖는다. 고 선형성 모드에서, 바이어스 회로는 메인 FET (2 및 3) 의 게이트 상의 바이어스 전압을 증가시킨다. 이것은, LNA 의 DC 바이어스 전류를 증가시키고 선형성을 개선시킨다. 저 선형성 모드에서, 바이어스 회로는 메인 FET (2 및 3) 의 게이트 상의 바이어스 전압을 감소시켜, 선형성을 다소 열화시키지만 전력 소모를 감소시키는 이점이 있다. 능동 사후-왜곡 상쇄 LNA 에 대한 상세는, 1) 2007 년 10 월 4 일 공개된 미국 공개 특허 공보 2007/0229154 호, 및 2) 2007 년 2 월 8 일 공개된 미국 공개 특허 공보 2007/0030076 호를 참조한다. 오직 하나의 트랜지스터의 게이트가 입력 리드 (5 및 9) 각각에 커플링되기 때문에, 도 1 의 LNA 의 입력 커패시턴스는 낮은 이점이 있다. 불행하게도, PDC LNA (1) 는 메인 트랜지스터에 의해 출력되는 원하는 신호의 일부를 상쇄시키는 상쇄 트랜지스터에 기인하여 최적의 이득 성능보다 낮은 성능을 갖는다.

[0008] 도 2 는, 여기서는 상호-커플링된 변형된 파생 수퍼-포지션 기술 (CCMDS; Cross-Coupled Modified Derivative Super-position technique) 로 지칭되는 파생 수퍼-포지션 (DS) 기술의 변형예를 이용하는 다른 차동 LNA (10) 의 회로도이다. 이 회로에서, 메인 FET (11 내지 14) 는 포화 영역에서 바이어싱되지만, 상쇄 트랜지스터 (15 및 16) 는 임계값 아래 영역에서 바이어싱된다. FET 가 포화 영역에서 바이어싱되는 FET 증폭기의 출력 전류를 나타내는 트랜스컨덕턴스 수식이 FET 가 임계값 아래 영역에서 바이어싱되는 FET 증폭기에 대한 트랜스컨덕턴스 수식과 비교되는 경우, 2 개의 트랜지스터의 트랜스컨덕턴스 수식의 3 차 계수의 부호가 서로 반대임이 인식된다. 그러나, 1 차 계수의 부호는 서로 반대가 아니다. 도 2 의 회로에서, 이것은, 포화 영역 내에서 바이어싱된 트랜지스터에 비해, 임계값 아래 영역에서 트랜지스터를 바이어싱하는 것은 임계값 아래 영역에서 트랜지스터가 출력하는 3 차 왜곡의 위상에서의 시프트를 유발하는 한편, 임계값 아래에서 바이어싱된 트랜지스터에 의해 출력되는 원하는 신호의 위상은 포화 영역에서 바이어싱된 트랜지스터에 비해 위상 시프트되지 않음을 의미한다. 상쇄 FET (15) 에 의해 출력되는 원하는 신호의 위상이 메인 FET (11) 에 의해 출력되는 원하는 신호와 동위상이 되도록, 상쇄 FET (15) 에 의해 출력된 전류가 병합 노드 (17) 상에 공급된다. 상쇄 FET (15) 에 의해 출력되는 3 차 왜곡 성분의 위상이 상쇄 FET (15) 에 의해 출력되는 증폭된 원하는 신호에 대해 180 도 벗어난 위상이기 때문에, 상쇄 FET (15) 에 의해 출력되는 3 차 왜곡 성분은 메인 FET (11) 에 의해 출력되는 3 차 왜곡 성분에 대해 위상이 180 도 벗어난다. 상쇄 및 메인 신호 경로 내의 3 차 왜곡 성분의 진폭이 적절하게 설정되면, 병합 노드 (17) 상의 3 차 왜곡 성분은 서로 상쇄될 것이다. 바람직하게는, 메인 FET (11) 및 상쇄 FET (15) 에 의해 출력되는 원하는 신호의 증폭 버전의 위상은 서로에 대해 동위상이기 때문에, 메인 FET (11) 및 상쇄 FET (15) 모두는 함께 동작하여 원하는 신호를 증폭시킨다. 따라서, 도 2 의 CCMDS LNA 는 도 1 의 사후-왜곡 LNA 에 비해 이득 특성을 개선시킨다.

[0009] 도 2의 CCMS LNA는 2개의 모드에서 동작가능하다. 바이어스 회로가 메인 FET (11 내지 14)의 게이트상의 DC 바이어스 전압을 제어한다. 트랜지스터 (11 및 12)가 메인 FET로서 동작하도록, 또는 트랜지스터 (13 및 14)가 메인 FET로서 동작하도록 바이어스 회로는 게이트 바이어스를 제어한다. 고 선형성 모드에서, 트랜지스터 (11 및 12)는 메인 FET로서 이용되고, 트랜지스터 (13 및 14)는 디스에이블된다. 커패시터 (19 및 20)는 수신기 입력 (21 및 22)를 메인 트랜지스터 (11 및 12)의 게이트에 각각 용량적으로 커플링시켜, 용량적 전압 분배기로서 동작한다. 따라서, 입력 (21 및 22)상에서 수신된 입력 신호가 감소되어, 소량의 잼머만 FET (11 및 12)의 게이트에 공급된다. 메인 FET (11 및 12)는 더 높은 바이어스 전류로 바이어싱되어, 강한 잼머 신호가 증폭기에서 큰 신호 스윙을 유발하지 않을 것이고, 더 큰 왜곡을 발생시키지 않을 것이다.

[0010] 저 선형성 모드에서는, 트랜지스터 (13 및 14)가 메인 FET로서 이용되고 트랜지스터 (11 및 12)가 디스에이블된다. 커패시터 (19 및 20)는 신호 경로에 존재하지 않는다. 더 큰 왜곡을 발생시키는 증폭기 내의 큰 신호 스윙을 유발하는 어떠한 강한 잼머 신호도 존재하지 않기 때문에, 저 선형성 모드에서 메인 FET (13 및 14)는, 고 선형성 모드에서 메인 FET (11 및 12)가 바이어싱되는 것보다 더 낮은 바이어스 전류로 바이어싱될 수 있다.

[0011] 도 2의 CCMS LNA는 메인 트랜지스터에 의해 출력된 1차 트랜스컨덕턴스 신호 성분의 일부를 상쇄시키는 상쇄 경로의 1차 트랜스컨덕턴스 신호 성분에 기인하여 도 1의 PDC LNA의 이득 열화를 겪지 않지만, 도 2의 CCMS LNA는 다른 결점을 갖는다. 하나의 결점은, 입력 리드에 커플링된 메인 트랜지스터의 게이트에 부가하여, 입력 리드에 커플링된 추가적 커패시터가 존재한다는 것이다. 입력 리드에 커플링되는 추가적인 커패시터는 LNA의 입력 커패시턴스를 증가시킨다. 이 LNA를 안테나에 인터페이싱하기 위해, 통상적으로 인덕터를 포함하는 임피던스 매칭 네트워크가 이용된다. LNA의 입력 커패시턴스의 증가는 임피던스 매칭 네트워크 내의 인덕터가 매우 클 것을 요구한다. 이것은, 더 큰 인덕터를 제공하는 것이 인덕터의 기생 저항을 증가시켜 잡음 팩터 열화를 유발하기 때문에 바람직하지 않다.

[0012] 두번째 결점은, 상쇄 및 메인 신호가 결합되는 병합 노드 (17 및 18)가 도 2의 LNA의 출력 노드라는 것이다. 수신기가 동작할 때, LNA가 구동하는 회로 (예를 들어, 수신 체인 내의 믹서)의 임피던스가 변경되면, 이 임피던스 변경은 메인 경로와 상쇄 경로 사이의 3차 왜곡의 상쇄에 영향을 준다. 이것은 바람직하지 않다.

발명의 내용

해결하려는 과제

[0013] 신규한 차동 저잡음 증폭기 (LNA)는 제 1 모드 또는 제 2 모드 중 선택가능한 모드에서 동작가능하다. 이 LNA는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터 및 제 4 트랜지스터를 포함한다. 제 1 모드 (또한, "PDC 모드" 또는 "고 선형성 모드"로 지칭됨)에서, LNA는 제 2 모드에서보다 더 양호한 선형성을 갖지만, 제 2 모드 (또한, "고 이득 모드"로 지칭됨)에서, LNA는 제 1 모드에서보다 더 큰 이득을 갖는다.

과제의 해결 수단

[0014] 제 1 모드에서는, LNA가 차동 사후-왜곡 상쇄 (PDC) LNA로서 동작하도록 4개의 트랜지스터가 구성된다. 제 1, 제 2, 제 3 및 제 4 트랜지스터 각각은 포화 영역에서 바이어싱된다. 사후-왜곡 상쇄 기술에 따라, 제 3 트랜지스터는 제 1 트랜지스터에 의해 발생된 왜곡에 대해 위상이 180도 벗어난 왜곡을 발생시킨다. 제 3 트랜지스터에 의해 출력된 왜곡은 제 1 트랜지스터에 의해 출력된 왜곡과 합산되어, 제 1 트랜지스터에 의해 발생된 왜곡을 상쇄시킨다. 제 3 트랜지스터에 의해 출력되는 LNA 입력 신호 (LNA에 의해 증폭될 원하는 신호)의 버전은 또한 제 1 트랜지스터에 의해 출력되는 원하는 신호의 증폭 버전의 일부를 상쇄시킨다. 제 1 트랜지스터에 의해 출력되는 원하는 신호의 증폭 버전 중 상쇄되지 않은 부분이 남는다. 이 상쇄되지 않은 부분은 LNA의 출력 신호로서 LNA의 제 1 출력 리드에 전달된다. 제 2 및 제 4 트랜지스터는, 제 4 트랜지스터에 의해 발생된 왜곡이 제 2 트랜지스터에 의해 발생된 왜곡을 상쇄시키는데 이용된다는 점에서 제 1 및 제 3 트랜지스터가 동작하는 방식과 유사한 방식으로 동작한다. 제 4 트랜지스터에 의해 출력되는 원하는 입력 신호의 버전은 제 2 트랜지스터에 의해 출력된 원하는 입력 신호의 증폭 버전 중 일부를 상쇄시키지만, 제 2 트랜지스터에 의해 출력되는 원하는 신호의 증폭 버전 중 상쇄되지 않은 부분은 남게되고, LNA의 제 2 출력 리드에 전달된다. LNA의 제 1 및 제 2 출력 리드 상의 출력 신호는 LNA의 차동 출력 신호를 구성한다.

[0015] 제 2 모드에서는, 제 3 트랜지스터가 원하는 입력 신호의 증폭 버전을 발생시킨다. 이 증폭 신호는 제 1 트

랜지스터에 의해 출력되는 원하는 입력 신호의 증폭 버전과 동위상이다. 제 3 트랜지스터에 의해 출력되는 원하는 입력 신호의 증폭 버전은 제 1 트랜지스터에 의해 출력되는 원하는 입력 신호의 증폭 버전과 합산되고, 결과로 얻어진 신호는 LNA의 출력 신호로서 LNA의 제 1 출력 리드에 전달된다. 이 동위상 관계에 기인하여, 제 3 트랜지스터의 동작은, LNA가 원하는 입력 신호를 증폭시키는 이득에 기여한다. 유사하게, 제 4 트랜지스터는 제 2 트랜지스터에 의해 출력되는 원하는 입력 신호의 증폭 버전과 동위상인 원하는 입력 신호의 증폭 버전을 발생시킨다. 제 4 트랜지스터에 의해 출력되는 원하는 입력 신호의 증폭 버전은 제 2 트랜지스터에 의해 출력되는 원하는 입력 신호의 증폭 버전과 합산되고, 결과로 얻어진 신호는 LNA의 출력 신호로서 LNA의 제 2 출력 리드에 전달된다. LNA의 제 1 및 제 2 출력 리드 상의 출력 신호는 LNA의 차동 출력 신호를 구성한다. 일례로, 제 3 및 제 4 트랜지스터는 제 2 모드에서 임계값 아래 영역에서 바이어싱되어 LNA의 전력 소모를 감소시킨다.

[0016] LNA는, 제 1 방식으로 제어되면, LNA가 제 1 모드에서 동작가능하도록 제 1, 제 2, 제 3 및 제 4 트랜지스터를 커플링시키는 멀티플렉싱 회로를 포함한다. 멀티플렉싱 회로가 제 2 방식으로 제어되면, 멀티플렉싱 회로는 LNA가 제 2 모드에서 동작가능하도록 제 1, 제 2, 제 3 및 제 4 트랜지스터를 커플링시킨다. 하나의 바람직한 양태에서, 신규한 LNA는 LNA 입력 리드를 과도한 커패시턴스로 로딩하지 않으면서 제 1 모드 및 제 2 모드 중 선택가능한 모드로 구성될 수 있다. 신규한 LNA의 하나의 특정 실시형태에서는, 오직 하나의 트랜지스터의 게이트만 각각의 LNA 입력 리드에 커플링된다. 또 다른 바람직한 양태에서, 고 선형성 모드에 있는 신규한 LNA의 왜곡 상쇄 동작은, LNA가 구동하는 회로의 입력 임피던스에서의 변경에 실질적으로 영향받지 않는다. 사후-왜곡 상쇄가 발생하는 병합 노드는 LNA의 출력 리드에 존재하지 않고, LNA의 병합 노드는 캐스코드 트랜지스터에 의한 출력 리드로부터 분리된다.

[0017] 전술한 내용은 요약이고, 따라서, 필수적으로, 단순화, 일반화 및 세부사항의 생략을 포함하며, 이 요약은 오직 예시적이고 어떤 방식으로든 제한하려는 의도가 아님을 당업자는 인식할 것이다. 오직 청구항에 의해서 정의되는 바와 같이, 여기서 설명하는 디바이스 및/또는 프로세스의 다른 양태, 창작적 특성 및 이점은 이하 기술하는 비제한적 상세한 설명에서 명백해질 것이다.

도면의 간단한 설명

- [0018] 도 1 (종래 기술)은 통상적인 차동 능동형 사후-왜곡 LNA의 도면이다.
- 도 2는 상호-커플링된 변형된 파생 수퍼포지션 (CCMDS) LNA의 도면이다.
- 도 3은 하나의 신규한 양태에 따른 하나의 특정 타입의 이동 통신 디바이스 (100)의 하이 레벨 블록도이다.
- 도 4는 도 1의 이동 통신 디바이스 내의 RF 트랜시버 집적 회로의 더 상세한 블록도이다.
- 도 5는 도 4의 RF 트랜시버 집적 회로 (103) 내의 신규한 멀티-모드 LNA (110)에 대한 회로도이다.
- 도 6a 및 도 6b는, 도 5의 신규한 멀티-모드 LNA의 멀티플렉싱 회로가 실현될 수 있는 2가지 예시적인 방식의 회로도이다.
- 도 7은, 도 5의 신규한 멀티-모드 LNA가 구성되고 제 1 동작 모드에서 동작하는 방법을 나타내는 도면이다.
- 도 8은 도 5의 신규한 멀티-모드 LNA가 구성되고 제 2 동작 모드에서 동작하는 방법을 나타내는 도면이다.
- 도 9는, LNA가 제 1 동작 모드에서 동작하는 경우 및 LNA가 제 2 동작 모드에서 동작하는 경우 도 5의 멀티-모드 LNA에 대한 성능 파라미터를 기술하는 차트이다.
- 도 10은 도 4의 멀티-모드 LNA (110)의 대안적 실시형태이다.
- 도 11은 신규한 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 도 3은 하나의 신규한 양태에 따른 하나의 특정 타입의 이동 통신 디바이스 (100)의 매우 단순화된 하이 레벨 블록도이다. 이 예에서, 이동 통신 디바이스 (100)는, CDMA2000 셀룰러 전화 통신 프로토콜을 이용하는 3G 셀룰러 전화기이다. 이 셀룰러 전화기는 (도시되지 않은 다수의 다른 부분들 중에서) 안테나 (102) 및 2개의 집적 회로 (103 및 104)를 포함한다. 집적 회로 (104)는 "디지털 기저대역 집적 회로" 또는 "기저대역 프로세서 집적 회로"로 지칭된다. 집적 회로 (103)는 RF 트랜시버 집적 회로이다. RF 트랜시버 집적

회로 (103) 는 수신기뿐만 아니라 송신기를 포함하기 때문에 "트랜시버" 로 지칭된다.

[0020] 도 4 는 RF 트랜시버 집적 회로 (103) 의 더 상세한 블록도이다. 수신기는 로컬 오실레이터 (LO; 106) 뿐만 아니라 "수신 체인" (105) 으로 지칭되는 것을 포함한다. 셀룰러 전화기가 수신중인 경우, 고주파수 RF 신호 (107) 가 안테나 (102) 를 통해 수신된다. 신호 (107) 로부터의 정보는 듀플렉서 (108), 매칭 네트워크 (109) 및 수신 체인 (105) 을 통해 전달된다. 신호 (107) 는 저잡음 증폭기 (LNA; 110) 에 의해 증폭되고, 믹서 (111) 에 의해 주파수에서 하향변환된다. 결과로 얻어진 하향변환된 신호는 기저대역 필터 (112) 에 의해 필터링되고, 디지털 기저대역 집적 회로 (104) 에 전달된다. 디지털 기저대역 집적 회로 (104) 내의 아날로그-디지털 변환기 (113) 가 이 신호를 디지털 형태로 변환하고, 결과로 얻어진 디지털 정보는 디지털 기저대역 집적 회로 (104) 내의 디지털 회로에 의해 프로세싱된다. 디지털 기저대역 집적 회로 (104) 는 로컬 오실레이터 (106) 에 의해 믹서 (111) 로 공급된 로컬 오실레이터 신호 (LO; 114) 의 주파수를 제어함으로써 수신기를 튜닝한다.

[0021] 셀룰러 전화기가 송신중이면, 송신될 정보는 디지털 기저대역 집적 회로 (104) 내의 디지털-아날로그 변환기 (115) 에 의해 아날로그 형태로 변환되고, "송신 체인" (116) 에 공급된다. 기저대역 필터 (117) 는 디지털-아날로그 변환 프로세스에 기인한 잡음을 필터링 아웃한다. 그 후, 로컬 오실레이터 (119) 의 제어하에 있는 믹서 블록 (118) 이 신호를 고주파수 신호로 상향변환한다. 구동기 증폭기 (120) 및 외부 전력 증폭기 (121) 가 그 고주파수 신호를 증폭하여, 고주파수 RF 신호 (122) 가 안테나 (102) 로부터 송신되도록 안테나 (102) 를 구동한다.

[0022] 도 5 는 LNA (110) 를 더 상세히 도시하는 회로도이다. LNA (110) 는, 2 개의 차동 입력 신호 단자 (200 및 201), 바이어싱 회로 (202), 제 1 전계 효과 트랜지스터 (FET; 204), 제 2 FET (205), 제 3 FET (206), 제 4 FET (207), 제 1 캐스코드 트랜지스터 (208), 제 2 캐스코드 트랜지스터 (209), 2 개의 인덕터 (211 및 212) 와 커패시터 (213) 를 포함하는 LNA 로드 (210), 제 1 디제너레이션 인덕터 L1 (214), 제 2 디제너레이션 인덕터 L2 (215), 2 개의 커패시터 (216 및 217), 2 개의 멀티플렉싱 회로 (218 및 219), 2 개의 선택적 디제너레이션 인덕터 (220 및 221), 및 2 개의 차동 출력 신호 노드 (222 및 223) 를 포함한다. 모든 트랜지스터 (204 내지 209) 는 N-채널 FET 이다. 제 1 및 제 2 FET (204 및 205) 는 또한 메인 트랜지스터로 지칭되고, 제 3 및 제 4 FET (206 및 207) 는 또한 상쇄 트랜지스터로 지칭된다. 인덕터 (214, 215, 220 및 221) 및 커패시터 (216 및 217) 는 반도체 제조 프로세스를 이용하여 RF 트랜시버 집적 회로 (103) 상에 형성된 통합된 컴포넌트이다.

[0023] 또한, RF 트랜시버 집적 회로 (103) 는 하나 이상의 직렬 버스 단자 (231) 및 관련 직렬 버스 인터페이스 로직 (232) 을 포함한다. 이 예에서 직렬 버스 단자 (231) 는 SPI 직렬 버스에 의해 디지털 기저대역 집적 회로 (104) 에 커플링된다 (도 3 참조). 디지털 기저대역 집적 회로 (104) 는 이 SPI 버스를 통한 모드 제어 정보를 인터페이스 로직 (232) 을 통해 그리고 신호 컨덕터 (233) 를 통해 LNA (110) 에 전달한다. 모드 제어 정보는 디지털 신호의 형태로 신호 컨덕터 (233) 상에 존재한다. 디지털 모드 제어 신호가 디지털 로직 로우 값을 가지면, LNA (110) 는 제 1 동작 모드에서 동작하도록 제어되는 한편, 디지털 모드 제어 신호가 디지털 로직 하이 값을 가지면, LNA (110) 는 제 2 동작 모드에서 동작하도록 제어된다.

[0024] 바이어싱 회로 (202) 는 캐스코드 FET (208 및 209) 의 게이트 상에 DC 바이어스 전압 VBIAS1 을 공급하고, 또한, 제 3 및 제 4 FET (216 및 217) 의 게이트 상에 DC 바이어스 전압 VBIAS2 를 공급하고, 제 1 및 제 2 FET (204 및 205) 의 게이트 상에 DC 바이어스 전압 VBIAS3 을 공급한다. VBIAS2 는, LNA 가 제 1 동작 모드에서 동작중인 경우 제 3 및 제 4 FET (206 및 207) 가 포화 영역에서 바이어싱되고, LNA 가 제 2 동작 모드에서 동작중인 경우 제 3 및 제 4 FET (206 및 207) 가 임계값 아래 영역에서 바이어싱되도록 설정된다. 임계값 아래 동작 영역은 때때로 약한 반전 동작 영역으로 지칭된다. VBIAS3 은, 제 1 및 제 2 FET (204 및 205) 가 포화 동작 영역에서 바이어싱되도록 설정된다.

[0025] 도 6a 및 6b 는 도 5 의 멀티플렉싱 회로 (218 및 219) 가 실현될 수 있는 2 가지 방식을 설명하는 회로도이다. 도 6a 의 예에서, 멀티플렉싱 회로는 N-채널 아날로그 멀티플렉서이다. 도 6b 의 예에서, 멀티플렉싱 회로는 송신 게이트 아날로그 멀티플렉서이다.

[0026] **PDC 모드:**

[0027] 도 7 은, 여기서는 "PDC 모드" 또는 "고 선형성 모드" 로 지칭되는 제 1 동작 모드에서 도 5 의 신규한 LNA 회로 (110) 의 동작을 도시한다. LNA (110) 를 이 모드로 두기 위해, 디지털 모드 제어 신호 MODE 는 디지털

로직 로우 값을 갖도록 설정된다. 이 디지털 로직 로우 신호는 도시된 바와 같이 멀티플렉싱 회로 (218 및 219) 의 선택 입력 리드에 공급된다. 멀티플렉싱 회로 (218) 는 노드 N3 에 있는 제 1 FET (204) 의 드레인을 제 3 트랜지스터 (206) 의 게이트에 용량적으로 커플링시킨다. 노드 N4 에 있는 제 2 트랜지스터 (205) 의 드레인은 제 3 트랜지스터 (206) 의 게이트로부터 디커플링된다. 유사하게, 멀티플렉싱 회로 (219) 는 노드 N4 에 있는 제 2 FET (205) 의 드레인을 제 4 트랜지스터 (207) 의 게이트에 용량적으로 커플링시킨다.

노드 N3 에 있는 제 1 트랜지스터 (204) 의 드레인은 제 4 트랜지스터 (207) 의 게이트로부터 디커플링된다.

이 구성에서, 제 1, 제 2, 제 3 및 제 4 트랜지스터는 사후-왜곡 상쇄 (PDC) LNA 를 형성하도록 구성 및 상호접속된다.

[0028] 능동 사후-왜곡 상쇄의 동작에 대한 상세한 수학적 설명은, 1) 2007 년 10 월 4 일 공개된 미국 공개 특허 공보 2007/0229154 호, 및 2) 2007 년 2 월 8 일 공개된 미국 공개 특허 공보 2007/0030076 호를 참조한다. 이하, 사후-왜곡 상쇄에 대한 다소 간략한 개념적 설명을 기술한다.

[0029] 모든 4 개의 FET (204 내지 207) 는 포화 영역에서 바이어싱된다. 좌측 쌍인 메인 FET (204) 및 상쇄 FET (206) 는 다음과 같이 동작한다. 메인 FET (204) 는 입력 리드 (224) 를 통해 수신된 입력 신호를 증폭한다. 입력 신호의 증폭 버전은 노드 N3 상에서 발생된다. 메인 FET (204) 가 공통 소스 증폭기로서 구성되기 때문에, 증폭 신호는 입력 리드 (224) 를 통한 입력 신호에 대해 대략 180 도의 위상 시프트를 갖는다. 또한, 입력 신호의 원하는 증폭 버전과 함께 노드 N3 에 왜곡 성분이 존재한다. 도 7 의 화살표 (227) 는 왜곡 성분과 함께 입력 신호의 증폭 버전을 나타낸다. 노드 N3 상의 위상 시프트된 신호는 멀티플렉싱 회로 (218) 및 커패시터 (216) 를 통해 상쇄 FET (206) 의 게이트 입력에 인가된다.

[0030] 또한, 상쇄 FET (206) 는 포화 영역에서 바이어싱되지만, 메인 FET (204) 보다 증폭된 원하는 신호에 비해 비교적 많은 왜곡 성분을 발생시키는 점에서 열악한 증폭기로 설계된다. 도 7 의 화살표 (228) 는 원하는 신호의 증폭 버전 및 제 3 FET (206) 에 의해 출력된 왜곡 성분을 나타낸다. 상쇄 FET (206) 가 노드 N3 로부터 입력 신호를 수신하는 방식에 기인하여, 상쇄 FET (206) 로부터 출력되는 원하는 증폭 신호의 위상은 메인 FET (204) 로부터 출력되는 원하는 증폭 신호에 대해 180 도 위상이 벗어나고, 상쇄 FET (206) 로부터 출력되는 왜곡 성분의 위상은 또한 메인 FET (204) 로부터 출력되는 왜곡 성분에 대해 180 도 위상이 벗어난다. 메인 FET (204) 및 상쇄 FET (206) 로부터 출력된 신호는 병합 노드 N3 에서 합산된다. 상쇄 FET (206) 에 의해 출력된 왜곡 성분의 진폭이 메인 FET (204) 에 의해 출력된 왜곡 성분에 대한 진폭과 동일하게 설정되면, 왜곡 성분은 병합 노드 N3 에서 서로 상쇄될 것이다. 사후-왜곡 상쇄 기술에 따라, 메인 FET (204) 에 의해 출력된 원하는 신호 중 일부는 상쇄 FET (206) 에 의해 출력된 원하는 신호에 의해 동시에 상쇄될 것이지만, 상쇄 FET (206) 가 열악한 증폭기인 사실에 기인하여, 메인 FET (204) 로부터 출력된 원하는 신호 중 일부는 병합 노드 N3 에 남을 것이다. 이 나머지 원하는 신호는, PDC LNA (110) 로부터 캐스코드 트랜지스터 (208) 를 통해 차동 출력 노드 (222) 로 출력되는 신호이다. 메인 및 상쇄 FET (205 및 207) 의 다른 상보적 쌍은 유사한 방식으로 동작하고, 원하는 신호의 증폭 버전을 차동 출력 노드 (223) 상에 출력한다.

[0031] 고이득 모드

[0032] 도 8 은 여기서 "고이득 모드" 로 지칭되는 제 2 동작 모드에 있는 도 5 의 신규한 LNA 회로 (110) 의 동작을 도시한다. LNA (110) 를 이 모드로 두기 위해, 디지털 모드 제어 신호 MODE 는 디지털 로직 하이 값으로 설정된다. 이 디지털 로직 하이 신호는 도시된 바와 같이 멀티플렉싱 회로 (218 및 219) 의 선택 입력 리드 상에 공급된다. 멀티플렉싱 회로 (218) 는 노드 N4 에서 제 2 FET (205) 의 드레인을 제 3 트랜지스터 (206) 의 게이트에 용량적으로 커플링시킨다. 제 1 트랜지스터 (204) 의 드레인은 노드 N3 에서 제 3 트랜지스터 (206) 의 게이트로부터 디커플링된다. 유사하게, 멀티플렉싱 회로 (219) 는 노드 N3 에서 제 1 FET (204) 의 드레인을 제 4 트랜지스터 (207) 의 게이트에 용량적으로 커플링시킨다. 제 2 트랜지스터 (205) 의 드레인은 제 4 트랜지스터 (207) 의 게이트로부터 디커플링된다.

[0033] 이러한 고이득 구성에서, 제 3 및 제 4 FET (206 및 207) 의 주 용도는 제 1 및 제 2 FET (204 및 205) 에 의해 출력된 왜곡을 상쇄하는 것이 아니고, 오히려 주 목적은, LNA 이득을 증가시키기 위해 제 1 및 제 2 메인 FET (204 및 205) 에 의해 출력되는 증폭된 원하는 신호를 보충하는 것이다.

[0034] 이 동작은 제 1 FET (204) 제 3 FET (206) 와 연관되어 더 상세히 설명된다. 제 1 FET (204) 는 포화 영역에서 바이어싱되고, 공통 소스 증폭기로서 제 1 동작 모드에 있는 것으로 구성된다. 메인 FET (204) 가 공통 소스 증폭기로서 구성되기 때문에, FET (204) 의 드레인 상의 출력으로서의 원하는 신호의 증폭 버전은 입력 리드 (224) 상의 입력 신호에 대해 대략 180 도 위상 시프트를 갖는다. 또한, 입력 신호의 원하는 증폭 버

전과 함께 N3 상에 왜곡 성분이 존재한다. 화살표 (229) 는 왜곡 성분과 함께 원하는 입력 신호의 증폭 버전을 나타낸다.

[0035] 제 3 FET (206) 의 게이트 상에서의 원하는 신호의 위상이 제 1 FET (204) 의 게이트 상의 원하는 신호에 대해 180 도 위상이 벗어나는 제 1 동작 모드와는 달리, 제 2 동작 모드에서는 제 3 FET (206) 의 게이트 상의 원하는 신호의 위상이 제 1 FET (204) 의 게이트 상의 원하는 신호에 대해 동위상이다. 이것은, 제 2 차동 입력 리드 (225) 상의 원하는 신호 VIN- 가 제 1 차동 입력 리드 (224) 상의 원하는 신호 VIN+ 에 대해 180 도 위상이 벗어나 있기 때문이다. 신호 VIN- 는 제 2 FET (205) 를 포함하는 공통 소스 증폭기에 의해 증폭되어, 제 2 FET (205) 의 드레인 상의 원하는 신호의 버전은 다른 180 도 만큼 위상 시프트된다. 따라서, 노드 N4 상의 원하는 신호의 버전은 제 1 차동 입력 리드 (224) 상의 원하는 신호 VIN+ 에 대해 다시 동위상이다. 제 2 FET (205) 의 드레인 상의 이 원하는 신호는 멀티플렉싱 회로 (218) 및 커패시터 (216) 를 통해 제 3 FET (206) 의 게이트 상에 공급된다.

[0036] 도 8 의 화살표 (230) 는 제 3 FET (206) 의 드레인 상의 원하는 신호 및 왜곡 성분을 나타낸다. 제 1 및 제 3 FET (204 및 206) 의 게이트 상의 원하는 신호의 위상이 동일하기 때문에, 제 3 FET (206) 에 의해 출력된 원하는 신호의 증폭 버전의 위상은 제 1 FET (204) 에 의해 출력된 원하는 신호의 증폭 버전의 위상과 동위상이다. 따라서, 원하는 신호의 2 개의 버전은 병합 노드 N3 에서 합산된다. 노드 N3 상의 원하는 신호는 캐스코드 FET (208) 를 통해 제 1 차동 출력 노드 (222) 상에 공급된다. 따라서, 제 3 FET (206) 는 LNA 의 신호 이득을 증가시키는 것처럼 보인다. 제 2 및 제 4 FET (205 및 207) 는 전술한 FET (204 및 206) 가 동작하는 방식과 유사한 방식으로 동작한다. 제 4 FET (207) 는 제 2 FET (205) 에 의해 출력된 원하는 신호의 증폭 버전과 동위상인 원하는 신호의 버전을 출력한다.

[0037] 공통 소스 증폭기의 출력 전력 신호를 나타내는 트랜스컨덕턴스 수식의 선형 성분의 위상은 트랜지스터가 포화 영역에서 바이어싱되는지 임계값 아래 영역에서 바이어싱되는지와 무관하게 동일하기 때문에, 제 3 및 제 4 FET (206 및 207) 는 포화 영역 또는 임계값 아래 영역에서 바이어싱될 수 있다. 도 8 의 예에서, 제 3 및 제 4 FET (206 및 207) 를 임계값 아래 영역에서 바이어싱시키는 것이 제 3 및 제 4 FET (206 및 207) 를 포화 영역에서 바이어싱시키는 동일한 회로에 비해 LNA 전류 소모를 감소시키기 때문에, 제 3 및 제 4 FET (206 및 207) 는 임계값 아래 영역에서 바이어싱된다.

[0038] 예시적 성능

[0039] 도 9 는 도 5 의 멀티-모드 LNA (110) 의 예시적인 성능 특성을 설명하는 표이다. PDC 모드 (MODE=0) 에서, LNA (110) 는 고이득 모드 (MODE=1) 에서 0 dBm 의 IIP3 인터셉트 포인트에 비해 10 dBm 의 IIP3 인터셉트 포인트를 갖는다. 고이득 모드에서, LNA (110) 는 고 선형성 모드에서의 118 mS 의 이득에 비해 132 mS 의 이득을 갖는다. 수신 체인에서 LNA 의 이득을 증가시킴으로써, 수신 체인의 전체 잡음 특성은 개선된다. 이 표의 NF (OF LNA) 열은 LNA 의 잡음 특성을 나타내고, 이 표의 NF (OF RxFE) 열은 LNA 가 그 일부를 구성하는 전체 수신 체인의 잡음 특성을 나타낸다.

[0040] 하나의 바람직한 양태에서, 신규한 멀티-모드 LNA (110) 는 과도한 커패시턴스로 LNA 입력 리드를 로딩하지 않고 제 1 모드 및 제 2 모드 중 선택가능한 모드로 구성될 수 있다. 도 5 에 도시된 특정 실시형태에서, 오직 하나의 트랜지스터의 게이트가 각각의 LNA 입력 리드에 커플링된다. 게이트가 LNA 입력 리드 (224) 에 커플링된 오직 하나의 트랜지스터 FET (204) 가 존재한다. 게이트가 LNA 입력 리드 (225) 에 커플링된 오직 하나의 트랜지스터 FET (205) 가 존재한다. 입력 리드 (224 및 225) 에서 결과적으로 감소된 커패시턴스는 도 2 의 멀티-모드 CCMS LNA 에 비해 이점이 있다.

[0041] 다른 바람직한 양태에서, 고 선형성 모드인 신규한 LNA (110) 의 왜곡 상쇄 동작은, LNA 가 구동하는 회로의 입력 임피던스에서의 변화에 실질적으로 영향받지 않는다. 왜곡 상쇄가 발생하는 병합 노드는 LNA 의 출력 리드가 아니고, 오히려 LNA 의 출력 리드가 캐스코드 트랜지스터에 의해 분리된다. 로드 임피던스에서의 변화에 대한 상쇄의 상대적 무관함은, 병합 노드가 LNA 의 출력 노드인 도 2 의 멀티-모드 CCMS LNA 에 대해 더 이점이 있다.

[0042] 도 1 의 종래의 PDC LNA 는 LNA 입력 리드에 대해 고 선형성 모드 및 저 입력 커패시턴스를 갖는다. 그러나, (고 선형성 모드 이외의) 다른 동작 모드에서, 도 1 의 종래의 PDC LNA 는, 상쇄 트랜지스터가 메인 트랜지스터에 의해 출력된 원하는 신호의 일부를 상쇄시키기 때문에 적어도 부분적으로 비교적 열악한 이득 성능을 갖는다. 도 5 의 신규한 멀티-모드 LNA (110) 는, 고 이득 모드에서 제 3 및 제 4 FET (206 및 207) 가

LNA 이득에 기여하는 점에서 적어도 일 양태에서 도 1의 종래의 PDC LNA에 비해 우수하다. 또한, 이 2개의 동작 모드를 지원하는 것은 전술한 바와 같이 LNA 입력 리드에 용량적 로딩을 추가하지 않으면서 달성된다.

[0043] 도 10은 도 4의 신규한 멀티-모드 LNA (110)의 대안적 실시형태의 도면이다. 제 3 FET (206)의 게이트는 제 1 FET (204)의 드레인에 용량적으로 커플링된다. 이 경우 디-멀티플렉서인 멀티플렉싱 회로 (218)는 제 2 FET (206)의 드레인을 제 1 FET (204)의 드레인 또는 제 2 FET (205)의 드레인 중 선택가능한 드레인에 커플링시킨다. 제 4 FET (207)의 게이트는 제 2 FET (205)의 드레인에 용량적으로 커플링된다. 이 경우, 디-멀티플렉서인 멀티플렉싱 회로 (219)는 디-멀티플렉서이고, 제 4 FET (207)의 드레인을 제 2 FET (205)의 드레인 또는 제 1 FET (204)의 드레인 중 선택가능한 드레인에 커플링시킨다.

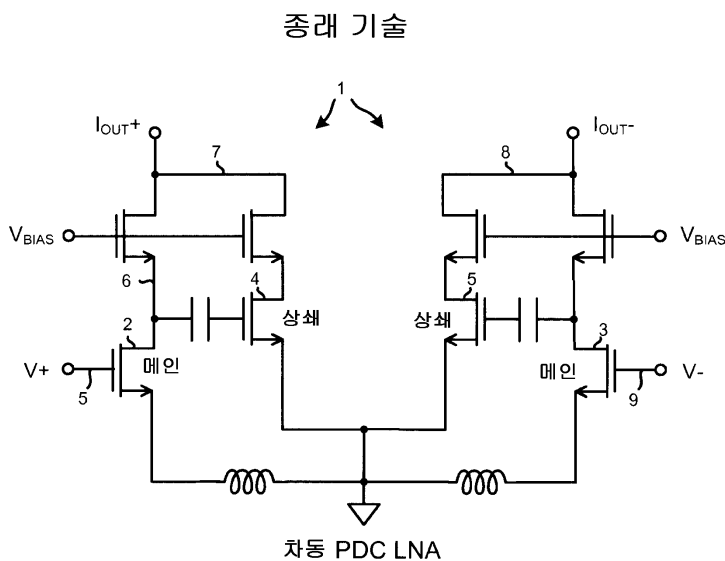
[0044] 도 11은 하나의 신규한 양태에 따른 방법 (300)의 단순한 흐름도이다. 디지털 로직 제어 신호가 LNA 상에서 수신된다 (단계 301). LNA는 4개의 트랜지스터를 포함한다. (단계 302에서 결정되는 바와 같이) 제어 신호가 제 1 디지털 로직 값을 가지면, 4개의 트랜지스터는 PDC LNA로서 동작하도록 구성된다. 사후-왜곡 상쇄 기술에 따라, 제 3 트랜지스터가 제 1 트랜지스터에 의해 발생된 왜곡을 상쇄시키는데 이용되는 왜곡 성분을 발생시킨다. 유사하게, 사후-왜곡 상쇄 기술에 따라, 제 4 트랜지스터가 제 2 트랜지스터에 의해 발생된 왜곡을 상쇄시키는데 이용되는 왜곡 성분을 발생시킨다.

[0045] 그러나, (단계 302에서 결정되는 바와 같이) 제어 신호가 제 2 디지털 로직 값을 가지면, 4개의 트랜지스터는 고 이득 모드에서 동작하도록 구성된다. 제 3 트랜지스터는 원하는 신호의 증폭 버전을 출력하고, 그 출력은 제 1 트랜지스터에 의해 출력되는 원하는 신호의 증폭 버전에 추가된다. 유사하게, 제 4 트랜지스터는 원하는 신호의 증폭 버전을 출력하고, 그 출력은 제 2 트랜지스터에 의해 출력된 원하는 신호의 증폭 버전에 추가된다. 제 3 및 제 4 트랜지스터는 LNA의 이득에 기여한다. LNA는 제어 신호의 디지털 로직 값을 변경함으로써 PDC 모드와 고 이득 모드 사이에서 스위칭될 수 있다. 일례로, 디지털 기저대역 IC (예를 들어, 도 3의 IC (104))는 버스를 통해 RF 트랜시버 IC (예를 들어, 도 3의 IC (103))에 제어 정보를 전송함으로써 LNA가 2개의 모드 중 어떤 모드에서 동작중인지를 제어한다. RF 트랜시버 IC의 버스 인터페이스 로직 (예를 들어, 도 5의 블록 (232))은 그 제어 정보를 수신하고, 이를 디지털 제어 신호 (예를 들어, 도 5의 신호 MODE 참조)의 형태로 LNA에 공급한다.

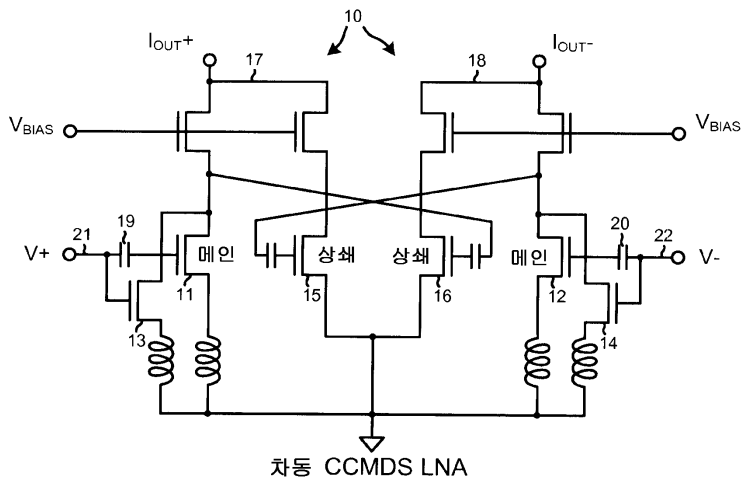
[0046] 교육의 목적으로 특정한 실시형태들을 전술했지만, 본 특허 명세서의 교시는 일반적인 적용가능성을 갖고, 전술한 특정 실시형태들에 한정되지 않는다. 따라서, 이하 기술하는 청구항의 범주를 벗어나지 않으면서, 설명한 특정 실시형태의 다양한 특성의 변형예, 적응예 및 조합예가 실시될 수 있다.

도면

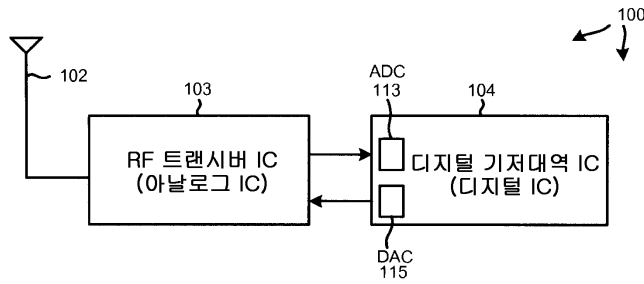
도면1



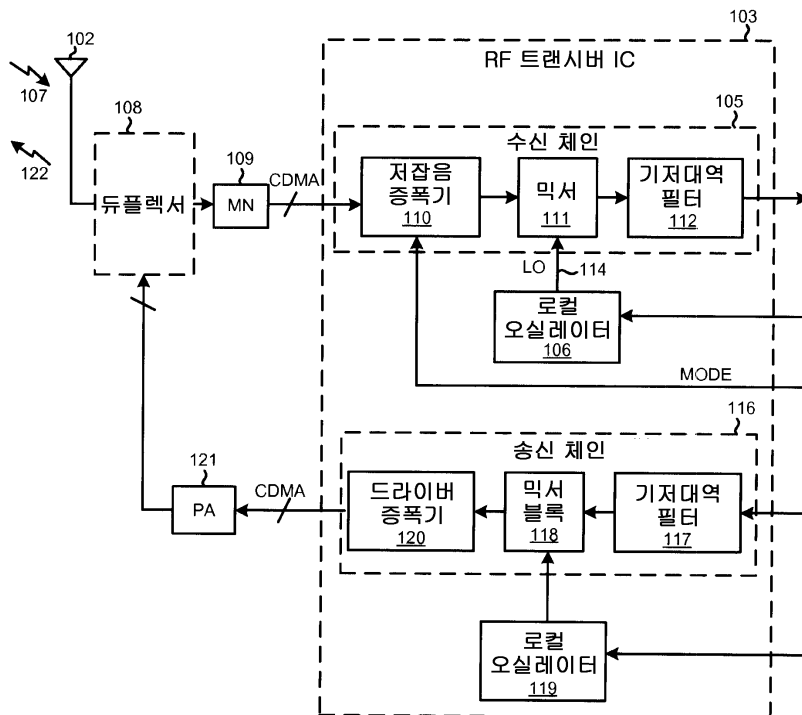
도면2



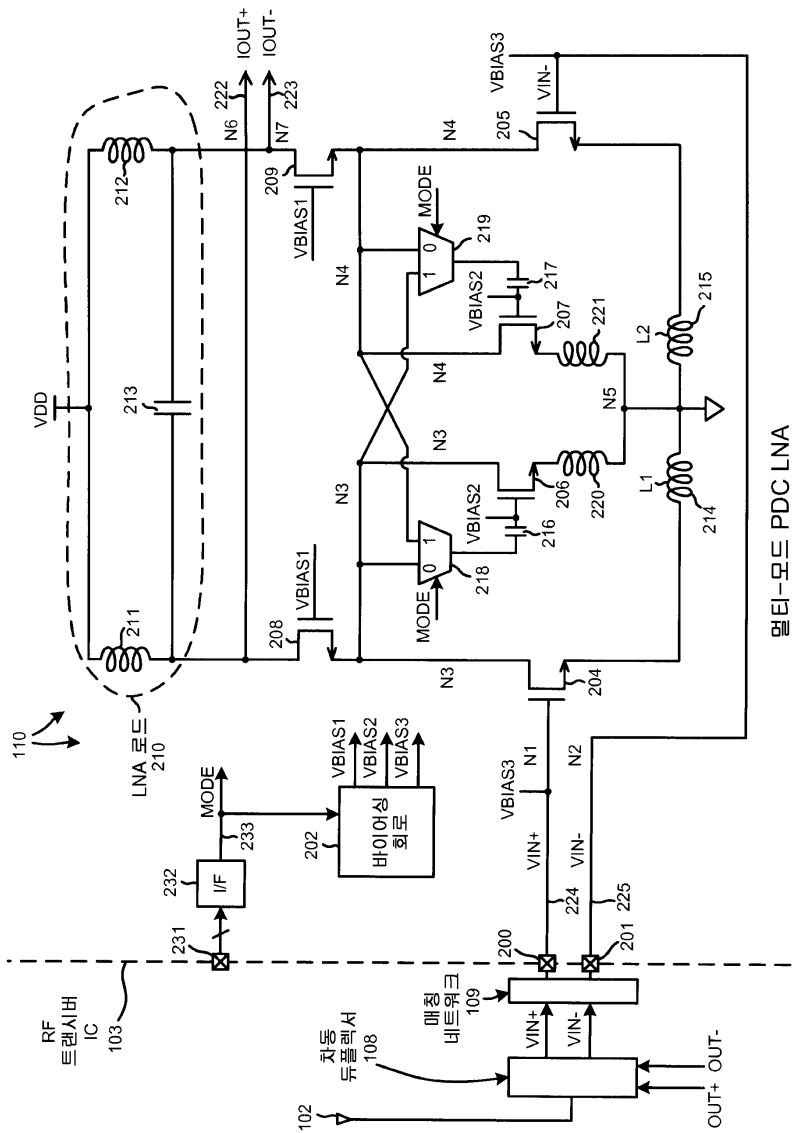
도면3



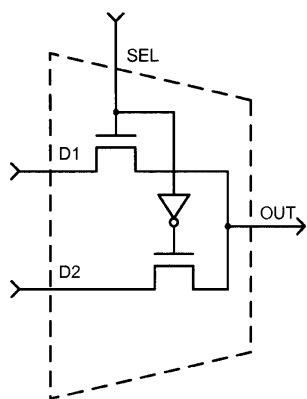
도면4



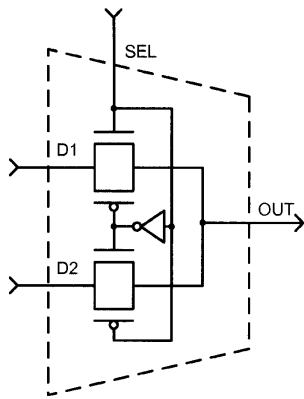
도면5



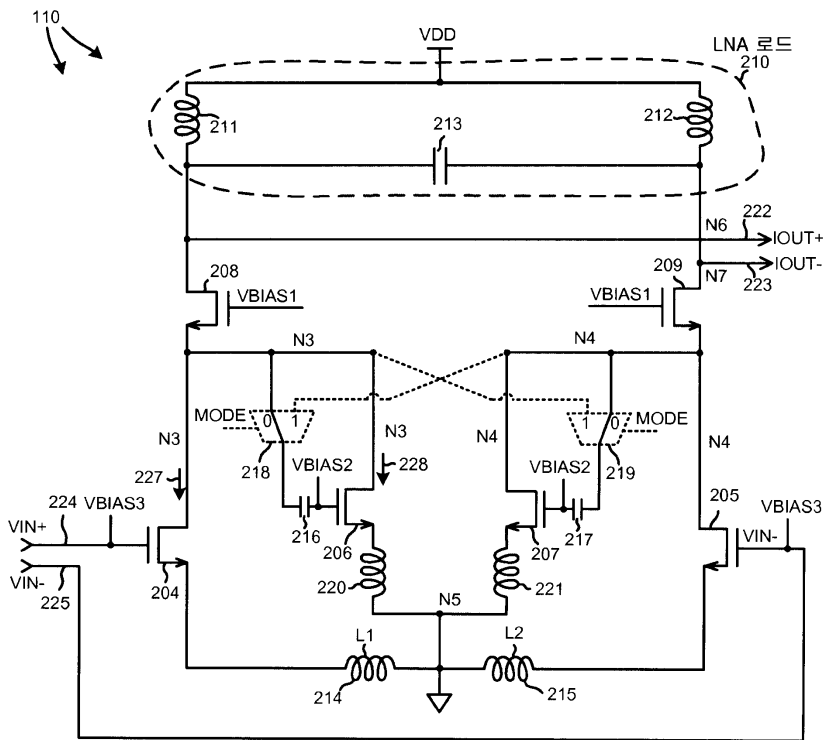
도면6a



도면6b

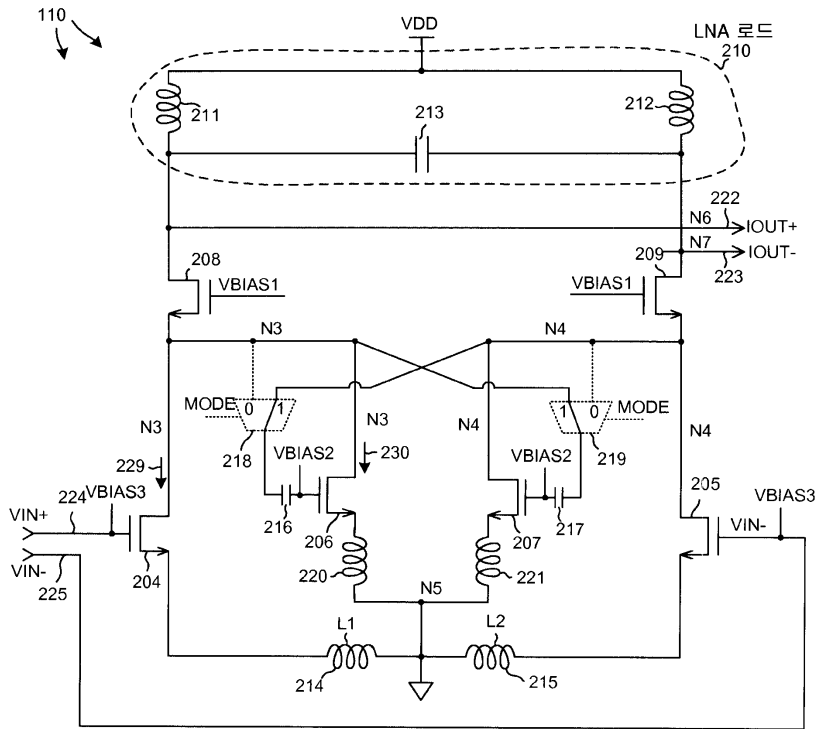


도면7



PDC 모드
MODE = 0

도면8



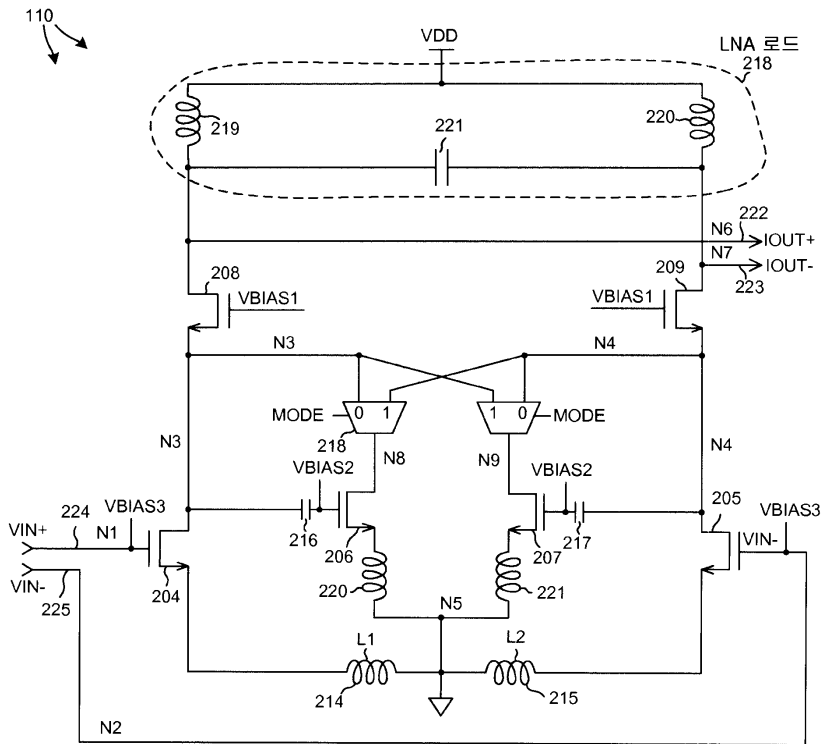
고이득 모드
MODE = 1

도면9

모드	NF (dB) (OF LNA)	이득 (mS) (OF LNA)	NF (dB) (OF RxFE)	IIP3 (dBm) (OF LNA)	LNA 전류 (mA)
PDC - 고 선형성	1.35	118	2	10	13
저잡음	1.38	132	1.84	0	13

멀티-모드 PDC LNA의
성능

도면10



대안적 실시형태

도면11

