



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/40 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월17일 10-0719377 2007년05월11일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0005953 2006년01월19일 2006년01월19일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	허낙원 경기 수원시 영통구 망포동 벽산아파트 118동 504호
(74) 대리인	권혁수 송운호 오세준
(56) 선행기술조사문헌	
JP2001297598 A	KR1020010037848 A
KR1020030002161 A	KR1020050085785 A

심사관 : 강갑연

전체 청구항 수 : 총 20 항

(54) 데이터 패턴을 읽는 반도체 메모리 장치

(57) 요약

본 발명은 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 노말 데이터를 저장하는 메모리 셀; 미리 정의된 데이터 패턴을 저장하는 저장 장치; 노말 읽기 동작 시에는 상기 노말 데이터를 출력하고, 특수 읽기 동작 시에는 상기 데이터 패턴을 출력하는 데이터 출력 회로; 및 상기 특수 읽기 동작 시에, 상기 메모리 셀에 대한 액세스를 차단하고, 상기 데이터 패턴이 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어하는 출력 제어 회로를 포함한다. 본 발명에 의하면, 노말 데이터와 무관한 데이터 패턴들을 읽어낼 때, 메모리 셀에 대한 액세스가 차단되므로 불필요한 시간 및 전류 소비를 막을 수 있다.

대표도

도 1

특허청구의 범위

## 청구항 1.

노말 데이터를 저장하는 메모리 셀;

미리 정의된 데이터 패턴을 저장하는 저장 장치;

노말 읽기 동작 시에는 상기 노말 데이터를 출력하고, 특수 읽기 동작 시에는 상기 데이터 패턴을 출력하는 데이터 출력 회로; 및

상기 특수 읽기 동작 시에, 상기 메모리 셀에 대한 액세스를 차단하고, 상기 데이터 패턴이 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어하는 출력 제어 회로를 포함하는 반도체 메모리 장치.

## 청구항 2.

제 1 항에 있어서,

상기 메모리 셀은 DRAM 셀인 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 3.

제 2 항에 있어서,

상기 저장 장치는 모드 레지스터에 의해 활성화되는 다목적 레지스터(Multi Purpose Register; MPR)인 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 4.

제 3 항에 있어서,

상기 다목적 레지스터는 읽기 레벨링 동작을 위한 데이터 패턴을 저장하는 반도체 메모리 장치.

## 청구항 5.

제 4 항에 있어서,

상기 출력 제어 회로는 상기 특수 읽기 동작 시에는 MRS 커맨드를 디코딩하여 상기 데이터 패턴을 출력하기 위한 읽기 레벨링 신호를 발생하는 반도체 메모리 장치.

## 청구항 6.

제 5 항에 있어서,

상기 출력 제어 회로는 상기 읽기 레벨링 신호에 응답하여 열 선택 라인을 디스에이블하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 7.

제 2 항에 있어서,

상기 출력 제어 회로는 상기 노말 읽기 동작 시에 상기 메모리 셀을 액세스하여 상기 노말 데이터가 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어하는 반도체 메모리 장치.

### 청구항 8.

제 2 항에 있어서,

상기 저장 장치는 시그네이처 퓨즈 회로인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 9.

제 8 항에 있어서,

상기 출력 제어 회로는 상기 특수 읽기 동작 시에 MRS 커맨드를 디코딩하여 상기 데이터 패턴을 출력하기 위한 시그네이처 신호를 발생하는 반도체 메모리 장치.

### 청구항 10.

제 9 항에 있어서,

상기 출력 제어 회로는 상기 시그네이처 신호에 응답하여 열 선택 라인을 디스에이블하는 반도체 메모리 장치.

### 청구항 11.

노말 데이터를 저장하는 메모리 셀;

미리 정의된 데이터 패턴을 저장하는 다목적 레지스터;

상기 노말 데이터 또는 상기 데이터 패턴을 선택적으로 출력하는 선택 회로;

상기 선택 회로의 출력을 외부로 내보내는 데이터 출력 회로; 및

노말 읽기 동작 시에는 상기 노말 데이터가 출력되도록, 특수 읽기 동작 시에는 상기 메모리 셀에 대한 액세스를 차단하고 상기 데이터 패턴이 레이턴시에 맞게 출력되도록, 상기 선택 회로 및 상기 데이터 출력 회로를 제어하는 출력 제어 회로를 포함하는 반도체 메모리 장치.

### 청구항 12.

제 11 항에 있어서,

상기 다목적 레지스터는 모드 레지스터에 의해 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 13.

제 11 항에 있어서,

상기 다목적 레지스터는 읽기 레벨링 동작을 위한 데이터 패턴을 저장하는 반도체 메모리 장치.

#### 청구항 14.

제 13 항에 있어서,

상기 출력 제어 회로는 상기 특수 읽기 동작 시에 MRS 커맨드를 디코딩하여 상기 데이터 패턴을 출력하기 위한 읽기 레벨링 신호를 발생하는 반도체 메모리 장치.

#### 청구항 15.

제 14 항에 있어서,

상기 출력 제어 회로는 상기 읽기 레벨링 신호에 응답하여 열 선택 라인을 디스에이블하는 반도체 메모리 장치.

#### 청구항 16.

제 14 항에 있어서,

상기 선택 회로는 상기 읽기 레벨링 신호에 응답하여 상기 데이터 패턴을 출력하는 반도체 메모리 장치.

#### 청구항 17.

제 14 항에 있어서,

상기 출력 제어 회로는 읽기 커맨드를 디코딩하여 읽기 신호를 발생하고, 상기 읽기 신호에 응답하여 상기 데이터 패턴이 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어하는 반도체 메모리 장치.

#### 청구항 18.

제 14 항에 있어서,

상기 출력 제어 회로는

액티브 신호 및 상기 읽기 레벨링 신호를 OR 연산하여 인에이블 신호를 발생하는 제 1 논리 게이트;

상기 인에이블 신호에 응답하여 동작하며, 읽기 커맨드를 디코딩하여 읽기 신호를 발생하는 열 커맨드 디코더;

상기 읽기 레벨링 신호에 응답하여 열 선택 라인을 디스에이블하는 제 2 논리 게이트;

상기 인에이블 신호에 응답하여 클록 신호를 발생하는 지연 동기 회로; 및

상기 클록 신호에 동기하여, 상기 데이터 패턴이 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어하는 레이턴시 회로를 포함하는 반도체 메모리 장치.

## 청구항 19.

제 18 항에 있어서,

상기 선택 회로는 상기 읽기 레벨링 신호에 응답하여 상기 데이터 패턴을 출력하는 반도체 메모리 장치.

## 청구항 20.

제 18 항에 있어서,

상기 제 2 논리 게이트는 상기 읽기 신호 및 반전한 읽기 레벨링 신호를 AND 연산하고, 연산 결과를 상기 열 선택 라인에 제공하는 반도체 메모리 장치.

명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 더욱 상세하게는 이중 데이터 윌(Double Data Rate; DDR) 동작을 수행하는 동기식 반도체 메모리 장치에 관한 것이다.

동기식 반도체 메모리 장치(Synchronous DRAM; SDRAM)는 JEDEC(Joint Electron Device Engineering Circuit)에서 결정한 SDRAM 표준안을 따르고 있다. 여기에서, SDRAM의 특징은 1) 외부 클록과 동기된 입출력 회로, 2) 버스트 액세스(Burst Access), 3) 멀티 뱅크(Multi Bank) 구성, 4) 커맨드 형식의 액세스, 5) 파이프라인 기법을 이용한 데이터 경로 등으로 요약할 수 있다.

SDRAM은 외부 클록에 동기하여 신호들을 입출력하기 위해 각종 타이밍 파라미터(Timing Parameter)를 클록의 정수 배로 설정한다. 또한, 한 클록 주기 동안 제어신호를 가하면, 이 신호는 내부 레지스터에 저장되므로 레지스터의 내용을 바꾸지 않는 한 입력된 상태를 그대로 유지한다. 입력된 상태를 변경하기 위해서는 클록 신호와 다른 제어 신호를 입력하여야 한다. 제어 신호는 하나 이상을 요구하며, 이들의 조합에 따라 SDRAM의 동작 상태가 결정된다. 이러한 상태는 SDRAM 내의 커맨드 디코더에 의해 해독되며, 이에 따라 SDRAM의 각종 동작이 수행된다. 따라서 이러한 상태의 변경 또는 동작의 시작은 일종의 프로그래밍으로 여겨지므로 이들을 제어 신호라는 이름 대신에 커맨드(command)라고 부른다.

버스트는 어떤 현상이 짧은 시간에 집중적으로 일어나는 것을 지칭한다. 버스트 액세스는 메모리에서의 데이터 입출력이 클록에 동기되어 연속적으로 일어나는 것을 말한다. 클록의 상승 에지(Rising Edge)에서 액티브 커맨드(Activation Command; ACT\_CMD)와 행 어드레스가 입력되면, 메모리는 활성화 상태(activated state)가 되고, 행 어드레스에 의해 워드 라인이 선택된다. 이후의 클록에서 읽기 커맨드(Read Command; RD\_CMD)가 입력되고, 열 어드레스가 입력되면 버스트 동작이 일어난다. 즉, 일정한 클록이 진행된 다음에 입력된 열 어드레스가 1씩 증가하면서 데이터를 연속적으로 출력한다.

뱅크는 메모리 모듈에서 인터리빙(Interleaving)을 통해 고속 동작을 구현하기 위해 독립적으로 동작하는 메모리 셀들의 그룹을 지칭한다. 하나의 뱅크 내에 있는 메모리 셀들은 데이터 버스를 공유하고 어드레스와 제어 신호 라인 등을 공유하며, 다른 뱅크에 대해 독립적으로 동작한다. 따라서 한 뱅크에서 데이터의 읽기 동작이 수행되는 동안에 다른 뱅크에서는 프리차지(precharge)나 리프레시(refresh) 동작 또는 행 어드레스에 의한 워드 라인 선택 동작이 수행될 수 있다.

파이프라인 방식은 플립플롭 또는 래치로 데이터 경로를 분할하여 복수의 회로 블록을 동시에 동작시킬 수 있는 방식이다. 즉, 데이터 경로에 하나 이상의 플립플롭 또는 래치를 배치하여 데이터 경로를 독립된 다수의 회로 블록으로 분할한 것이다. 하나의 회로 블록에서 읽혀진 데이터를 래치하고, 이를 다른 경로를 통해 외부로 출력하는 동안, 다른 경로에서는 새로운 어드레스가 입력되거나 프리차지 동작이 수행된다.

DDR SDRAM은 클록의 상승 엣지(Rising Edge) 뿐만 아니라 하강 엣지(Falling Edge)에서도 데이터나 커맨드가 클록에 동기되어 입출력될 수 있다. 따라서 100MHz의 클록으로 200MHz의 클록에 대응하는 데이터 율(Data Rate)을 얻을 수 있다. 이를 위하여 클록의 듀티(Duty)는 50%여야 한다.

DDR SDRAM은 다시 DDR1 SDRAM, DDR2 SDRAM, DDR3 SDRAM 등으로 나누어진다. DDR1 SDRAM은 입출력 시에 2\_비트 프리페치를 수행하여 데이터의 버스트 길이(Burst Length; BL)가 2이다. DDR2 SDRAM은 4\_비트 프리페치를 수행하여 데이터의 버스트 길이(BL)가 4이다. DDR3 SDRAM은 8\_비트 프리페치를 수행하여 데이터의 버스트 길이(BL)가 8이다. 여기에서 버스트 길이(BL)가 8이라는 것은 하나의 입출력 단자를 통해 클록에 동기된 8개의 데이터가 연속하여 입출력됨을 의미한다.

DDR3 SDRAM은 읽기 레벨링 동작(Read Leveling operation)을 지원한다. 읽기 레벨링 동작이란 메모리 칩 내의 레지스터에 미리 정의되어 있는 데이터 패턴을 칩 셋으로 전송하여, 칩 셋과 메모리 칩 간의 DQS의 스큐(skew)를 조절하기 위한 동작이다. 여기에서, 레지스터에 저장된 데이터 패턴을 읽는 동작은 메모리 셀에 저장된 노말 데이터와 무관하게 이루어진다. 이하에서는, 이러한 동작을 노말 읽기 동작(normal read operation)과 구분하기 위해 특수 읽기 동작(special read operation)이라 칭한다.

이와 같이 SDRAM에는 메모리 셀에 저장된 노말 데이터와 무관하게 읽혀지는 데이터 패턴들이 존재하며, 이들 데이터 패턴들을 위해 특수 읽기 동작이 수행된다. 특수 읽기 동작은 노말 데이터와 무관하기 때문에, 데이터 패턴들을 읽기 위해 워드 라인을 인에이블하거나 비트 라인을 프리차지하는 등 일종의 메모리 액세스 동작은 불필요하다. 이러한 불필요한 동작은 시간과 전력을 낭비하는 결과를 초래한다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명의 목적은 노말 데이터와 무관한 데이터 패턴들을 읽어낼 때, 메모리 셀에 대한 액세스를 차단하여 불필요한 동작을 막는 반도체 메모리 장치를 제공하는 데 있다.

### 발명의 구성

본 발명에 따른 반도체 메모리 장치는 노말 데이터를 저장하는 메모리 셀; 미리 정의된 데이터 패턴을 저장하는 저장 장치; 노말 읽기 동작 시에는 상기 노말 데이터를 출력하고, 특수 읽기 동작 시에는 상기 데이터 패턴을 출력하는 데이터 출력 회로; 및 상기 특수 읽기 동작 시에, 상기 메모리 셀에 대한 액세스를 차단하고, 상기 데이터 패턴이 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어하는 출력 제어 회로를 포함한다.

실시예로서, 상기 메모리 셀은 디램 셀이다. 상기 저장 장치는 모드 레지스터에 의해 활성화되는 다목적 레지스터(Multi Purpose Register; MPR)이다. 상기 다목적 레지스터는 읽기 레벨링 동작을 위한 데이터 패턴을 저장한다. 상기 출력 제어 회로는 상기 특수 읽기 동작 시에 MRS 커맨드를 디코딩하여 상기 데이터 패턴을 출력하기 위한 읽기 레벨링 신호를 발생한다. 상기 출력 제어 회로는 상기 읽기 레벨링 신호에 응답하여 열 선택 라인을 디스에이블한다. 상기 출력 제어 회로는 상기 노말 읽기 동작 시에 상기 메모리 셀을 액세스하여 상기 노말 데이터가 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어한다.

다른 실시예로서, 상기 저장 장치는 시그네이처 퓨즈 회로이다. 상기 출력 제어 회로는 상기 특수 읽기 동작 시에 MRS 커맨드를 디코딩하여 상기 데이터 패턴을 출력하기 위한 시그네이처 신호를 발생한다. 상기 출력 제어 회로는 상기 시그네이처 신호에 응답하여 열 선택 라인을 디스에이블한다.

본 발명에 따른 반도체 메모리 장치의 다른 일면은 노말 데이터를 저장하는 메모리 셀; 미리 정의된 데이터 패턴을 저장하는 다목적 레지스터; 상기 노말 데이터 또는 상기 데이터 패턴을 선택적으로 출력하는 선택 회로; 상기 선택 회로의 출력을

외부로 내보내는 데이터 출력 회로; 및 노말 읽기 동작 시에는 상기 노말 데이터가 출력되도록, 특수 읽기 동작 시에는 상기 메모리 셀에 대한 액세스를 차단하고 상기 데이터 패턴이 레이턴시에 맞게 출력되도록, 상기 선택 회로 및 상기 데이터 출력 회로를 제어하는 출력 제어 회로를 포함한다.

실시예로서, 상기 다목적 레지스터는 모드 레지스터에 의해 활성화된다. 상기 다목적 레지스터는 읽기 레벨링 동작을 위한 데이터 패턴을 저장한다. 상기 출력 제어 회로는 상기 특수 읽기 동작 시에 MRS 커맨드를 디코딩하여 상기 데이터 패턴을 출력하기 위한 읽기 레벨링 신호를 발생한다. 상기 출력 제어 회로는 상기 읽기 레벨링 신호에 응답하여 열 선택 라인을 디스에이블한다. 상기 선택 회로는 상기 읽기 레벨링 신호에 응답하여 상기 데이터 패턴을 출력한다. 상기 출력 제어 회로는 읽기 커맨드를 디코딩하여 읽기 신호를 발생하고, 상기 읽기 신호에 응답하여 상기 데이터 패턴이 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어한다.

다른 실시예로서, 상기 출력 제어 회로는 액티브 신호 및 상기 읽기 레벨링 신호를 OR 연산하여 인에이블 신호를 발생하는 제 1 논리 게이트; 상기 인에이블 신호에 응답하여 동작하며, 읽기 커맨드를 디코딩하여 읽기 신호를 발생하는 열 커맨드 디코더; 상기 읽기 레벨링 신호에 응답하여 열 선택 라인을 디스에이블하는 제 2 논리 게이트; 상기 인에이블 신호에 응답하여 클록 신호를 발생하는 지연 동기 회로; 및 상기 클록 신호에 동기하여, 상기 데이터 패턴이 레이턴시에 맞게 출력되도록 상기 데이터 출력 회로를 제어하는 레이턴시 회로를 포함한다. 상기 선택 회로는 상기 읽기 레벨링 신호에 응답하여 상기 데이터 패턴을 출력한다. 상기 제 2 논리 게이트는 상기 읽기 신호 및 반전한 읽기 레벨링 신호를 AND 연산하고, 연산 결과를 상기 열 선택 라인에 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부된 도면을 참조하여 설명한다.

도 1 내지 도 3은 본 발명에 따른 반도체 메모리 장치의 제 1 실시예를 보여준다. 도 1은 본 발명에 따른 반도체 메모리 장치(100)를 보여주는 블록도이다. 도 1을 참조하면, 반도체 메모리 장치(100)는 메모리 셀 어레이(110), 다목적 레지스터(Multi Purpose Register; MPR)(120), 선택 회로(130), 데이터 출력 회로(140), 그리고 출력 제어 회로(150)를 포함한다. 그리고 이들 이외에도 당업자에게 잘 알려진 행 디코더(112), 열 디코더 및 감지 증폭 회로(114), 그리고 행 커맨드 디코더(116)를 포함한다.

메모리 셀 어레이(110)는 복수의 메모리 셀(도시되지 않음)을 포함한다. 예를 들면, 메모리 셀은 NMOS 트랜지스터와 커패시터를 포함한 디램(DRAM) 셀이다. 메모리 셀에는 노말 데이터가 저장된다. 메모리 셀에 저장된 노말 데이터는 노말 읽기 동작 시에 출력된다.

행 디코더(112)는 노말 읽기 동작 시에 액티브 신호(ACT)에 응답하여 선택된 워드 라인을 구동한다. 열 디코더 및 감지 증폭 회로(114)는 읽기 신호(RD)에 응답하여 선택된 비트 라인의 전압 레벨을 감지 증폭한다. 행 커맨드 디코더(116)는 노말 읽기 동작 시에 액티브 커맨드(ACT\_CMD)를 디코딩하여 액티브 신호(ACT)를 발생한다. 여기에서, 액티브 커맨드(ACT\_CMD)는 칩 선택 신호(nCS), 행 어드레스 스트로브 신호(nRAS), 열 어드레스 스트로브 신호(nCAS), 쓰기 인에이블 신호(nWE) 등의 제어 신호들의 조합에 의해 디코딩된다. 예를 들면, 행 커맨드 디코더(116)는 nCS=L, nRAS=L, nCAS=H, nWE=H 등의 조합에 의해 액티브 신호(ACT)를 발생한다. 여기에서, 'L'은 로우 레벨, 'H'는 하이 레벨을 의미한다.

다목적 레지스터(120)는 미리 정의된 데이터 패턴(predefined data pattern)을 저장한다. 다목적 레지스터(120)는 모드 레지스터(Mode Register)에 의해 제어된다. 다목적 레지스터(120)는 여러 가지 용도로 사용된다. 예를 들면, DDR3 SDRAM에서, 다목적 레지스터(120)는 읽기 레벨링 동작(Read Leveling operation)을 수행하는 데 사용된다. 여기에서, 읽기 레벨링 동작이란 다목적 레지스터(120)에 미리 정의된 데이터 패턴을 칩 셋(도시되지 않음)으로 전송하여, 칩 셋과 메모리 칩 간의 DQS의 스큐(skew)를 조절하기 위한 동작이다. 다목적 레지스터(120)는 도 2 및 도 3을 참조하여 좀 더 상세히 설명된다.

선택 회로(130)는 동작 모드에 따라 메모리 셀 어레이(110)에 저장된 노말 데이터를 출력하거나 다목적 레지스터(120)에 저장된 데이터 패턴을 출력한다. 즉, 선택 회로(130)는 노말 읽기 동작(normal read operation) 시에 로우 레벨의 읽기 레벨링 신호(Read Leveling signal; R/L)에 응답하여 노말 데이터를 출력한다. 그리고 특수 읽기 동작(special read operation) 시에 하이 레벨의 읽기 레벨링 신호(R/L)에 응답하여 데이터 패턴을 출력한다.

데이터 출력 회로(140)는 선택 회로(130)의 출력을 외부로 내보낸다. 도 1에는 도시되어 있지 않지만, 데이터 출력 회로(140)는 버스트 데이터 오더링부, 래치 회로, 출력 데이터 버퍼를 포함한다. 데이터 출력 회로(140)의 내부 구성 및 동작 원리는 미국 특허(공개 번호; US 2004098551)에 "Data output circuit and method in DDR synchronous semiconductor device"이란 명칭으로 개시되어 있다.

출력 제어 회로(150)는 노말 읽기 동작 시에는 메모리 셀 어레이(110)로부터 읽기 데이터가 출력되도록 제어한다. 또한, 출력 제어 회로(150)는 특수 읽기 동작 시에 메모리 셀 어레이(110)에 대한 액세스를 차단하고, 다목적 레지스터(120)에 저장된 데이터 패턴이 레이턴시(latency)에 맞게 출력되도록 선택 회로(130) 및 데이터 출력 회로(140)를 제어한다. 도 1을 참조하면, 출력 제어 회로(150)는 MRS 커맨드 디코더(151), 제 1 논리 게이트(153), 열 커맨드 디코더(154), 제 2 논리 게이트(155), 지연 동기 회로(156), 그리고 레이턴시 회로(157)를 포함한다.

MRS 커맨드 디코더(151)는 MRS 커맨드(MRS\_CMD)를 디코딩하여, 모드 레지스터(152)를 셋팅한다. 여기에서, MRS 커맨드(MRS\_CMD)는 칩 선택 신호(nCS), 행 어드레스 스트로브 신호(nRAS), 열 어드레스 스트로브 신호(nCAS), 쓰기 인에이블 신호(nWE) 등의 조합에 의해 디코딩된다. 예를 들면, MRS 커맨드 디코더(151)는 nCS=L, nRAS=L, nCAS=L, nWE=L 등의 조합에 의해 모드 레지스터(152)를 셋팅한다.

DDR3 SDRAM은 4개의 모드 레지스터를 갖는다. 제 1 모드 레지스터는 BL(Burst Length), CL(CAS Latency), 테스트 모드(TM) 등을 제어한다. 제 2 모드 레지스터는 지연 동기 회로(DLL)의 인에이블 또는 디스에이블 등을 제어한다. 제 3 모드 레지스터는 리프레시 관련된 특성(refresh related features) 등을 제어한다. 제 4 모드 레지스터는 위에서 설명한 다목적 레지스터(120)를 제어한다.

도 2는 도 1에 도시된 모드 레지스터(152), 즉 제 4 모드 레지스터를 보여주는 개념도이다. 도 2(a)는 어드레스 필드를 보여주고, 도 2(b)는 어드레스 필드에 따른 모드 레지스터(152)의 셋 상태를 보여준다.

도 2를 참조하면, 모드 레지스터(152)는 어드레스(A2)의 값에 따라 노말 읽기 동작 또는 특수 읽기 동작을 제어한다. 어드레스(A2)가 '0'이면, 노말 읽기 동작이 수행된다. 이때에는 메모리 셀 어레이(110)로부터 노말 데이터가 출력된다. 반면에, 어드레스(A2)가 '1'이면, 특수 읽기 동작이 수행된다. 이때에는 다목적 레지스터(120)로부터 미리 정의된 데이터 패턴이 출력된다.

어드레스(A1, A0)는 다목적 레지스터(120)의 위치(location)를 정하는 데 사용된다. 예를 들어, 다목적 레지스터(120)가 4개 레지스터로 구성되고, 각각의 레지스터는 8\_bit 데이터를 저장한다고 가정하자. 여기에서, 제 1 내지 제 4 레지스터는 각각 '00', '01', '10', '11'의 어드레스(A1, A0)에 의해 정해진다. 따라서 A2='1', A1='0', A2='0'이면, 다목적 레지스터(120) 내의 제 1 레지스터에 저장된 8\_bit 데이터 패턴이 출력된다.

도 3은 도 2에 도시된 모드 레지스터 셋(MRS)에 따른 반도체 메모리 장치의 동작 모드를 보여준다. 어드레스(A2)가 '0'이면 노말 읽기 동작이 수행되고, 어드레스(A2)가 '1'이면 특수 읽기 동작이 수행된다. 그리고 어드레스(A1, A0)에 따라 서로 다른 데이터 패턴이 출력된다. 도 3을 참조하면, A1='0', A2='0'이면, 읽기 레벨링 동작을 수행하기 위한 읽기 레벨링 데이터 패턴이 출력됨을 알 수 있다.

다시 도 1을 참조하면, MRS 커맨드 디코더(151)는 MRS 커맨드(MRS\_CMD)를 디코딩하여, 모드 레지스터(152)를 셋팅한다. MRS 커맨드 디코더(151)는 모드 레지스터(152)의 값에 따라 다목적 레지스터(120)의 해당 레지스터를 활성화한다. 그리고 MRS 커맨드 디코더(151)는 모드 레지스터(152)의 A2 어드레스 필드가 '1'이면 읽기 레벨링 신호(R/L)를 발생한다. 읽기 레벨링 신호(R/L)는 선택 회로(130) 및 제 2 논리 게이트(155)에 제공된다.

제 1 논리 게이트(153)는 액티브 신호(ACT)와 읽기 레벨링 신호(R/L)를 OR 연산하여 인에이블 신호(EN)를 발생한다. 여기에서, 액티브 신호(ACT)는 노말 읽기 동작 시에 발생하고, 읽기 레벨링 신호(R/L)은 특수 읽기 동작 시에 발생한다. 제 1 논리 게이트(153)는 열 커맨드 디코더(154) 및 지연 동기 회로(DLL, 156)에 인에이블 신호(EN)를 제공한다.

열 커맨드 디코더(154)는 인에이블 신호(EN)에 응답하여 동작하며, 읽기 커맨드(RD\_CMD)를 디코딩하여 읽기 신호(RD)를 발생한다. 여기에서, 읽기 커맨드(RD\_CMD)는 칩 선택 신호(nCS), 행 어드레스 스트로브 신호(nRAS), 열 어드레스 스트로브 신호(nCAS), 쓰기 인에이블 신호(nWE) 등의 조합에 의해 디코딩된다. 예를 들면, 읽기 커맨드 디코더(154)는 nCS=L, nRAS=H, nCAS=L, nWE=H 등의 조합에 의해 읽기 신호(RD)를 발생한다. 읽기 신호(RD)는 제 2 논리 게이트(155) 및 레이턴시 회로(157)에 제공된다. 읽기 신호(RD)는 노말 읽기 동작 뿐만 아니라 특수 읽기 동작 시에도 발생한다.



제 2 논리 게이트(155)는 읽기 레벨링 신호(R/L)에 응답하여 열 선택 라인(Column Selection Line; CSL)을 디스에이블한다. 도 1을 참조하면, 제 2 논리 게이트(155)는 인버터(INV)와 AND 게이트로 구성된다. 인버터(INV)는 읽기 레벨링 신호(R/L)를 입력받는다. AND 게이트는 읽기 신호(RD)와 인버터(INV)의 출력을 입력받는다. 제 2 논리 게이트(155)는 노말 동작 시에는 열 선택 라인을 인에이블하고, 특수 읽기 동작 시에는 열 선택 라인(Column Selection Line; CSL)을 디스에이블한다.

지연 동기 회로(DLL, 156)는 인에이블 신호(EN)에 응답하여 동작하며, 클록 신호(CLK)를 발생한다. 레이턴시 회로(157)는 읽기 신호(RD)에 응답하여 동작하며, 선택 회로(130)의 출력이 클록 신호(CLK)와 모드 레지스터(152)에 정의된 레이턴시에 맞게 출력되도록 제어 신호(CDQ)를 발생한다. 제어 신호(CDQ)는 데이터 출력 회로(140)에 제공된다.

도 1에 도시된 반도체 메모리 장치(100)는 모드 레지스터(152)의 값에 따라 노말 읽기 동작 또는 특수 읽기 동작을 수행한다. 반도체 메모리 장치(100)는 특수 읽기 동작 시에 액티브 커맨드(ACT\_CMD) 없이, MRS 커맨드(MRS\_CMD)에 의해 다목적 레지스터(120)에 저장된 데이터 패턴이 출력되도록 한다. 또한, 반도체 메모리 장치(100)는 특수 읽기 동작 시에 읽기 레벨링 신호(R/L)를 발생하여 열 선택 라인(CSL)을 디스에이블한다. 그리고 반도체 메모리 장치(100)는 출력 데이터가 클록 신호(CLK) 및 레이턴시에 맞게 출력되도록 한다.

도 4는 본 발명에 따른 반도체 메모리 장치의 제 2 실시예를 보여주는 블록도이다. 도 4를 참조하면, 반도체 메모리 장치(200)는 메모리 셀 어레이(210), 시그네이처 퓨즈 회로(Signature Fuse Circuit)(220), 선택 회로(230), 데이터 출력 회로(240), 그리고 출력 제어 회로(250)를 포함한다. 도 4에 도시된 반도체 메모리 장치(200)의 구성 요소 중에서 도 1에 도시된 구성 요소와 동일한 명칭은 동일한 동작을 수행하므로, 그것에 대한 동작 설명은 생략한다.

시그네이처 퓨즈 회로(220)는 제조된 웨이퍼에서 다이(DIE)의 위치 정보, 랫 번호(Lot number) 등에 대한 데이터 패턴을 퓨즈 커팅을 이용하여 저장한다. 반도체 메모리 장치(200)는 특수 동작 시에 액티브 커맨드(ACT\_CMD) 없이, MRS 커맨드(MRS\_CMD)를 디코딩하여 시그네이처 퓨즈 회로(220)에 저장된 데이터 패턴을 출력하기 위한 시그네이처 신호(SIG)를 발생한다. 출력 제어 회로(250)는 시그네이처 신호(SIG)에 응답하여 열 선택 라인(CSL)을 디스에이블 한다. 그리고 반도체 메모리 장치(200)는 선택 회로(230)의 출력이 클록 신호(CLK) 및 레이턴시에 맞게 출력되도록 한다. 이것 이외의 도 4에 도시된 반도체 메모리 장치(200)의 동작은 도 1 내지 도 3에서 설명한 바와 동일하다.

이상에서 설명한 바와 같이, 본 발명에 따른 반도체 메모리 장치는 노말 데이터와 무관한 데이터 패턴을 읽을 때, 메모리 셀 어레이를 액세스하지 않기 때문에 불필요한 시간이나 전류 소비를 줄일 수 있다.

한편, 본 발명의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 상술한 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위 뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

### 발명의 효과

본 발명에 따른 반도체 메모리 장치는 노말 데이터와 무관한 데이터 패턴들을 읽어낼 때, 메모리 셀에 대한 액세스를 차단하여 불필요한 동작을 막는다. 본 발명에 의하면, 메모리 셀을 액세스하는 데 필요한 시간과 전류 소비를 줄일 수 있다.

### 도면의 간단한 설명

도 1은 본 발명에 따른 반도체 메모리 장치의 제 1 실시예를 보여주는 블록도이다.

도 2는 도 1에 도시된 모드 레지스터 셋(MRS)을 보여준다.

도 3은 도 2에 도시된 모드 레지스터 셋(MRS)에 따른 반도체 메모리 장치의 동작 모드를 보여준다.

도 4는 본 발명에 따른 반도체 메모리 장치의 제 2 실시예를 보여주는 블록도이다.

\*도면의 주요부분에 대한 부호의 설명\*

100, 200; 반도체 메모리 장치 110, 210; 메모리 셀 어레이

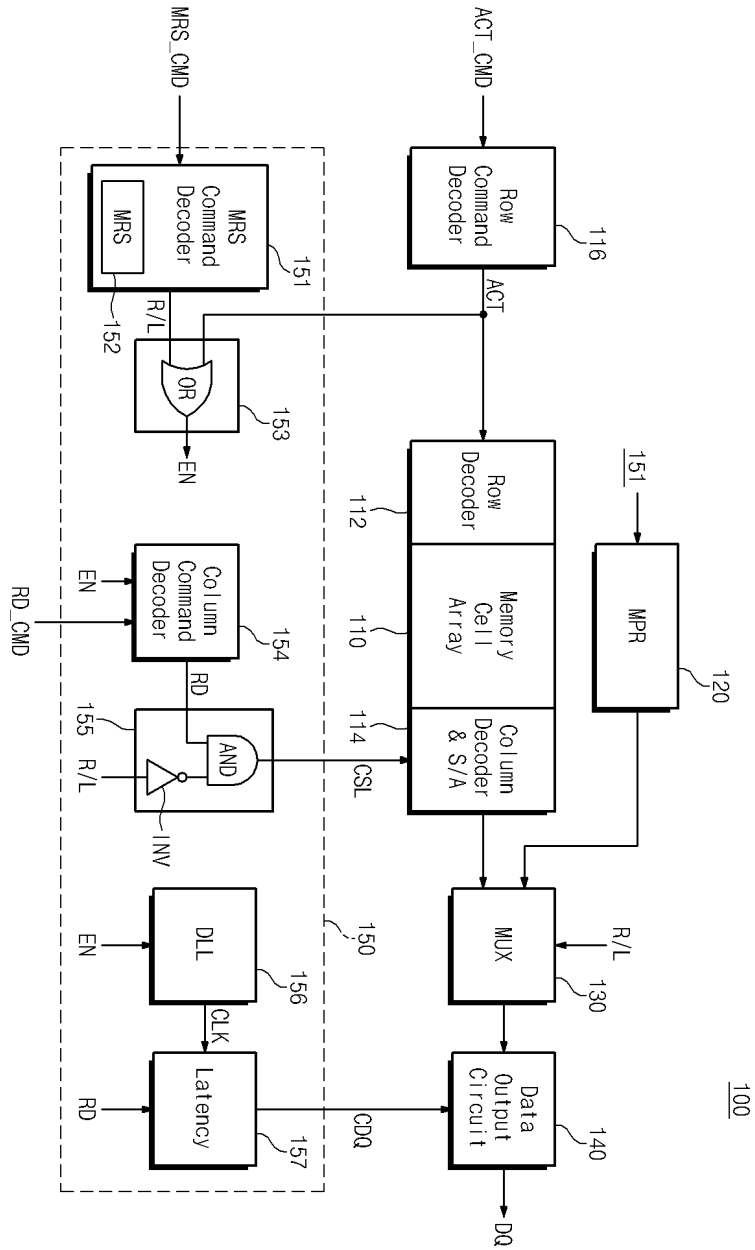
120; 다목적 레지스터 220; 시그네이처 퓨즈 회로

130, 230; 선택 회로 140, 240; 데이터 출력 회로

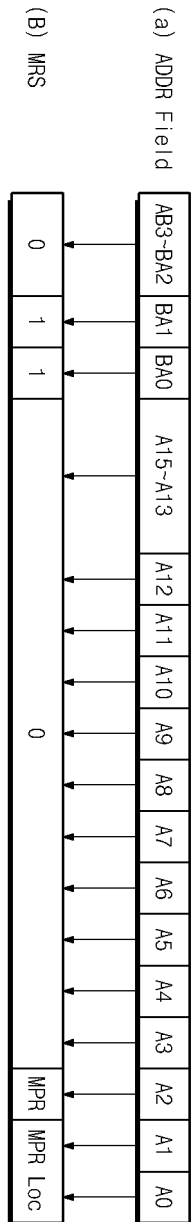
150, 250; 출력 제어 회로

도면

도면1



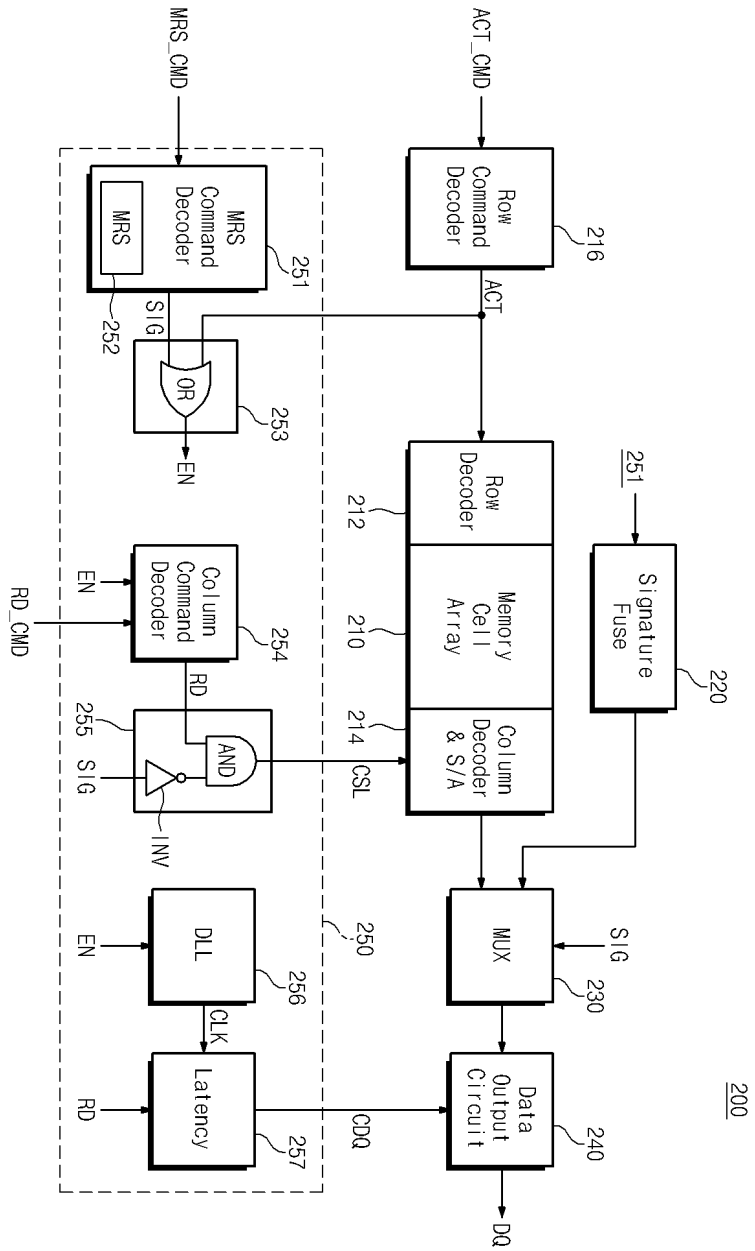
도면2



도면3

A2	A1	A0	Operation Mode	
0	*	*	Normal Read Operation	Dataflow from Memory Cell Array
1	0	0	Special Read Operation	Dataflow from MPR (R/L Data Pattern 1)
				Dataflow from MPR (Data Pattern 2)
				Dataflow from MPR (Data Pattern 3)
				Dataflow from MPR (Data Pattern 4)
1	1	1		

도면4



200