

298666

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 美國 1994年 1月 3日 08/176600 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、創作說明 (1)

本發明之範圍

本發明一般地係關於製造積體電路且係特別關於製造積體電路之多層閘疊層之方法。

本發明之背景

將一個閘疊層或多層構造典型地使用於MOS和CMOS積體電路中作為閘電極或互連。所建議之一種閘疊層係由各層的經摻雜之多晶矽或非晶矽，二矽化鎢 (WSi_2) 和二氧化矽 (SiO_2) 所組成。使氧化物層形成圖型並使用作為硬掩罩以便隨後蝕刻下面之多晶矽層和矽化物層。在以此種方式使閘疊層形成圖型後，將氧化物硬掩罩保留在最後閘構造中。因此該閘疊層的總高度包括氧化物掩罩層之高度，它構成多達30%的閘疊層之總高度。

在使閘疊層形成圖型後不能移去該氧化物掩罩層因為將它移去亦可能使場氧化物層變薄而因此不利地影響及相鄰電晶體間之隔離。因為氧化物掩罩及場氧化物層兩者均是氧化物，所以其中間之蝕刻選擇性不良。使場氧化物層變薄亦可能造成甚大之損害它可導致積體電路之故障。

業經嘗試不同方法的降低閘疊層高度但是由於成本效益之考量所造成之低報酬率，並沒有一種方法證明是成功的。一種方法涉及使用連同特殊濕蝕刻之BPTEOS硬掩罩。使用BPTEOS作為硬掩罩之一個問題是由於在移除硬掩罩期間增加濕蝕刻率而侵襲場氧化物層尤其在場

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、創作說明 (2)

氧化物的邊緣上於該處濕蝕刻速率特高。此方法中之另外問題是硼和磷雜質在該氧化物中迅速擴散之趨勢。

避免使用氧化物硬掩罩之先前建議未能控制具有所需要的精確性之電晶體尺寸且由於澱積物形成在經形成圖型之垂直側壁上之結果而蒙受不良之線幅控制。在較大之圖型幾何學中，100至200 Å的澱積物不致構成嚴重問題；然而，在新產生的較小圖型幾何學中，所產生之不良線寬控制可能導致有缺陷之電晶體或低報酬率。

本發明的概略及目的

本發明的一個目的在提供製造具有降低構形之一種閘疊層構造之積體電路之方法。

本發明的另外目的在提供製造積體電路之方法，其中可將閘疊層構造的硬氧化物掩罩經由一種簡單而可靠之方法予以移除。

降低閘疊層之高度依照本發明予以實現即：經由移除二氧化矽掩蔽層，只留下一個金屬層和一個多晶矽層在最後閘疊層中。可以移除使金屬層形成圖型所使用之氧化物硬掩罩因為使用多晶矽層來保護場氧化物層不受選擇性移除氧化物掩罩所使用之蝕刻劑的侵襲。該蝕刻係使用經形成圖型之金屬作為屏蔽來蝕刻多晶矽層下至閘氧化物予以完成而不須使該場氧化物層薄化。當與傳統式閘製造方法相比較時本發明方法的優點包括降低構形，處理均勻性及簡單性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、創作說明 ()
3圖式之簡單概述

本發明的前述各種特徵自連同附隨之圖式下文中所陳述之其特殊舉例說明之具體實施例的下列詳述可更為完全了解，此等圖式中圖 1 至 4 係舉例說明依照本發明其製造的連續階段時積體電路之橫截面圖。

本發明之詳細敘述

述及圖 1，依照本發明製造開疊層係自矽基質 1 0 開始，如在傳統式中一樣，形成一個開氧化物層 1 2 和一個環繞之場氧化物層 1 4，後者提供接鄰電晶體間之隔離。將一層的摻雜之多晶矽 1 6 或非晶矽形成在各氧化物層 1 2，1 4 上並將一個耐火之金屬層 1 8 例如二矽化鎢 ($\overline{W}Si_2$) 或氮化鈦 (TiN) 形成在多晶矽層 1 6 上將一個二氧化矽層 2 0 形成在金屬層 1 8 上及一層之光致抗蝕劑 2 2 形成在氧化物層 2 0 上。各層 1 6，1 8 與 2 0 之厚度每一者可能是大約 1 0 0 0 Å。

其次，如圖 2 中所示，如在傳統式中一樣，將該光致抗蝕層 2 2 經由照相石印術方法予以形成圖型而形成光致抗蝕掩蔽 2 4 並將下面之氧化矽層 2 0 蝕刻掉而留下一二氧化矽的一個經形成圖型之層 2 6 在經形成圖型之光致抗蝕劑 2 4 下面。

其後，如圖 3 中所示，將光致抗蝕掩蔽 2 4 以傳統方式移除。依照本發明，採用現在露出之經形成圖型之氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、創作說明 () 4

物層 2 6 作為硬掩罩來蝕刻掉所露出之金屬層 1 8 而留下金屬的一個經形成圖型之層 2 8，並亦部份地蝕刻掉所露出之多晶矽層 1 6。

如果金屬層和多晶矽層具有顯著之蝕刻選擇性，則於達到多晶矽層之上（表）面時可停止蝕刻金屬層。可蝕刻掉一部份的多晶矽層 1 6 大約經由蝕刻選擇性所決定之數量。

隨著選擇性蝕刻金屬層後，將氧化物硬掩罩 2 4 經由一種所熟知之技術完全移除，如圖 4 中所示，此技術可包括乾蝕刻或濕蝕刻。在移除硬掩罩期間，其餘之多晶矽層 1 6 具有充分之厚度來保護場氧化物層 1 4 不受此處理步驟中所使用之蝕刻劑侵襲。然後使用現在露出之經形成圖型之金屬矽化物層 2 8 作為硬掩罩以便蝕刻掉其餘之多晶矽層 2 4 如圖 4 中所示而形成一個經形成圖型之多晶矽層 3 0 在閘氧化物層 1 2 上。此蝕刻步驟可以安全地實施而不會侵襲閘和場氧化物等層因為多晶矽層對氧化物的蝕刻選擇性高，大約 2 0 : 1。

如圖 4 中所示，該方法產生一個閘疊層 3 2 包括經形成圖型之多晶矽層 3 0 和經形成圖型之金屬層 2 8 而與傳統式閘疊層（它僅包括一個蓋覆在上之氧化物層）相對比。以此種方式所製造之閘疊層簡化了配線之後（終）端過程等等（係由於降低閘疊層之高度的結束）。如圖 4 中所示，該閘疊層可構成 M O S 電晶體的閘電極或定位於場區域中之互連。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、創作說明 (5)

上述之方法僅是本發明原理的舉例說明。只要不遠離本發明的要旨和範圍，對於通常精於此項技藝之人士而言，其眾多變型及適應係顯然可見。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文創作摘要（創作之名稱：

製造高度降低的閘疊層之方法

本發明係關於經由使用一個形成圖型之氧化物硬掩罩使下面之金屬層形成圖型而製造具有降低高度之閘疊層之積體電路裝置。移除該氧化物掩罩並隨後使用經形成圖型之金屬作為掩罩來蝕刻多晶矽層。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

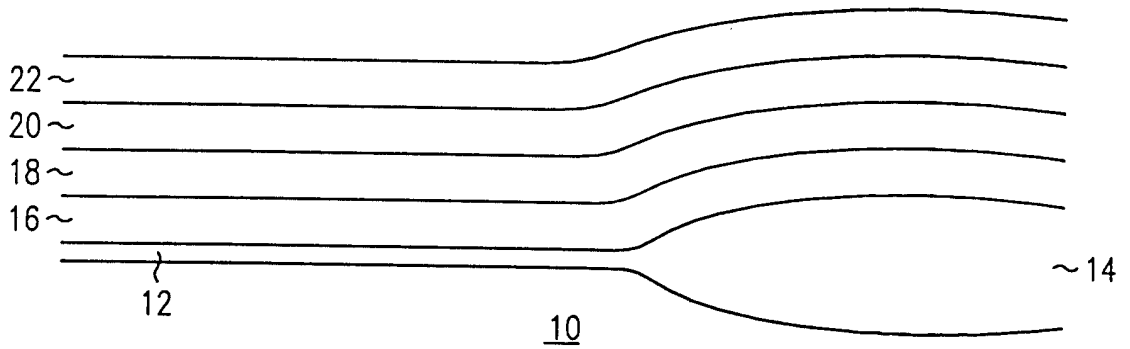
線

英文創作摘要（創作之名稱：

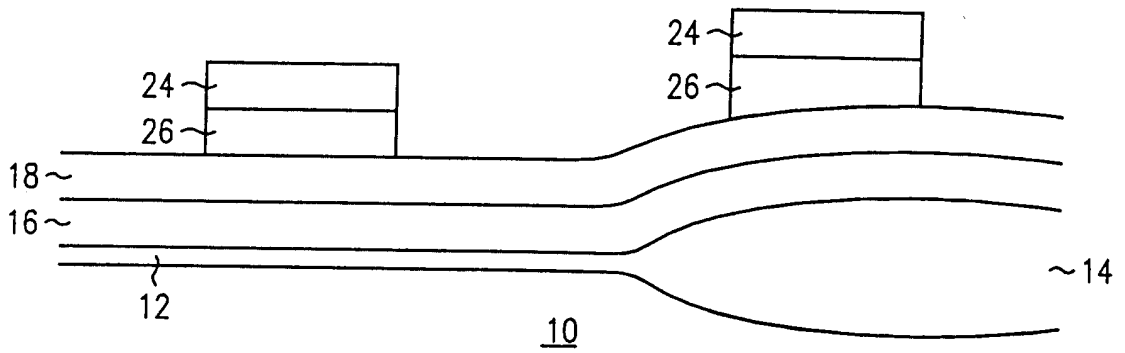
METHOD OF FABRICATING GATE STACK HAVING A REDUCED HEIGHT

ABSTRACT

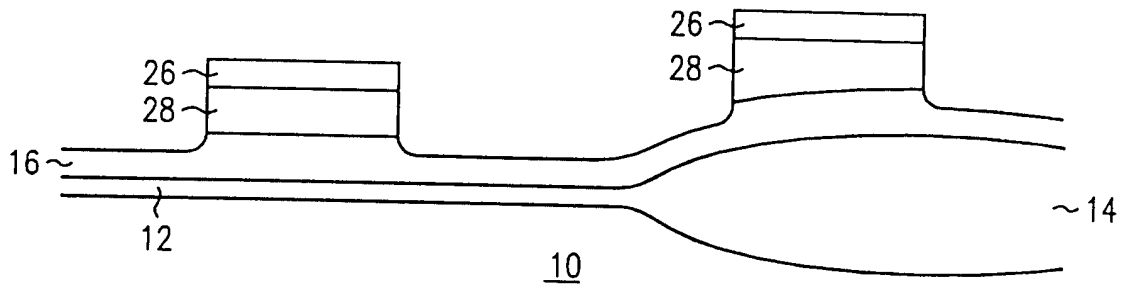
An integrated circuit device having reduced-height gate stack is fabricated by using a patterned oxide hard mask to pattern the underlying metal layer. The oxide mask is removed and the patterned metal is subsequently used as a mask to etch the polysilicon layer.



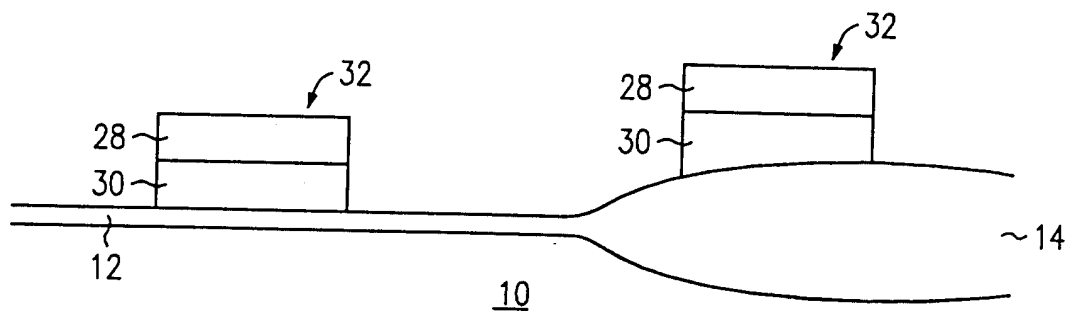
第 1 圖



第 2 圖



第 3 圖



第 4 圖

公告本

第 83103805

號專利申請案中文說明書修正本

申請日期	83 年 4 月 27 日
案 號	83103805
類 別	H01L 21/336

298666

民國 84 年 2 月修正

Int. Cl^U

A4
C4

298666

(以上各欄由本局填註)

84年2月27日修正/更正/補正

發明專利說明書

一、發明 名稱	中 文	製造高度降低的閘疊層之方法
	英 文	Method of fabricating gate stack having a reduced height
二、發明 創作人	姓 名	(1) 張崇平 Chang, Chorng-Ping (2) 李國華 Lee, Kuo-Hua (3) 劉軍廷 Liu, Chun-Ting
	國 籍	(1) 台灣 (2) 美國 (3) 台灣
	住、居所	(1) 美國新澤西州·柏克萊高地·秋瑟路二一五號 215 Chaucer Dr., Berkeley Heights, NJ 07922, U.S.A. (2) 美國賓州一八一〇六·威斯康辛市鄉村會館路 一三〇八號 1308 Country Club Road, Wescosville, PA 18106, U.S.A. (3) 美國賓夕法尼亞州一八一〇六·威斯康維爾· 寶吉道一四七五號 1475 Bogie Avenue, Wescosville, PA 18106 U.S.A.
三、申請人	姓 名 (名稱)	(1) 美國電話電報股份有限公司 AT&T Corp.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國紐約州·紐約市美州大道三十二號 32 Avenue of the Americas, New York, NY 10013-2412, U.S.A.
	代 表 人 姓 名	(1) 皮·汪爾德 Wilde, P. V. D.

裝

訂

線

經濟部中央標準局員工消費合作社印製

298666

申請日期	83 年 4 月 27 日
案 號	83103805
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 路奇·劉 Liu, Ruichen
	國 籍	(4) 美國
	住、居所	(4) 美國新澤西州〇七〇六〇華倫北山路四號 4 Northridge Way, Warren, New Jersey 07060, U. S. A.
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部中央標準局員工消費合作社印製

裝

訂

線

六、申請專利範圍

第 83103805 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 85 年 7 月 修正

1. 一種製造閘疊層在積體電路中之方法包括下列各步驟：

- a) 形成一個多晶矽層在基質上，
- b) 形成一個耐火之金屬層在該多晶矽層上；
- c) 形成一個氧化物層在金屬層上，
- d) 形成一個光致抗蝕層在該氧化物層上，
- e) 使該光致抗蝕層和下面之氧化物層形成圖型，
- f) 移除經形成圖型之光致抗蝕層，
- g) 使用其餘之經形成圖型之氧化物層作為硬掩模，蝕刻掉金屬層之所露出部份，
- h) 移除該氧化物硬掩模，及
- i) 使用該經形成圖型之金屬層作為掩模，蝕刻掉所露出之多晶矽層；

其中經形成圖型之金屬掩蔽和在該金屬下面之經形成圖型之多晶矽層形成低高度之閘疊層。

2. 如申請專利範圍第 1 項之方法，其中蝕刻金屬層之所露出部份之步驟亦包括部份蝕刻所露出之多晶矽層。

3. 如申請專利範圍第 1 項之方法，其中其餘之多晶層在蝕刻所露出之金屬層的步驟期間充作場氧化物層之蝕刻掩模。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

4. 如申請專利範圍第3項之方法，其中金屬層包括選自包括二矽化鎢和氮化鈦之該團的一種金屬。

(請先閱讀背面之注意事項再填寫本頁)

訂