



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I492547 B

(45) 公告日：中華民國 104 (2015) 年 07 月 11 日

(21) 申請案號：101142627

(22) 申請日：中華民國 101 (2012) 年 11 月 15 日

(51) Int. Cl. : **H03M1/12 (2006.01)**

(71) 申請人：國立臺灣大學 (中華民國) NATIONAL TAIWAN UNIVERSITY (TW)

臺北市大安區羅斯福路 4 段 1 號

(72) 發明人：戴宏彥 TAI, HUNG YEN (TW)；陳宏維 CHEN, HUNG WEI (TW)；陳信樹 CHEN, HSIN SHU (TW)

(74) 代理人：高玉駿；楊祺雄

(56) 參考文獻：

US 7903018B2

US 2012/0146822A1

US 2012/0176158A1

審查人員：陳臆聰

申請專利範圍項數：5 項 圖式數：5 共 34 頁

(54) 名稱

連續近似式類比至數位轉換器

SUCCESSIVE APPROXIMATION ANALOG-TO-DIGITAL CONVERTER

(57) 摘要

一種連續近似式類比至數位轉換器，包含一個開關模組、一個轉換模組、一個比較器及一個控制模組。開關模組包括兩個分別對應第一及第二輸入電壓的開關單元。每一開關單元包括第一至第三開關，第一與第二開關串聯，第一開關接收相對應的輸入電壓，第二開關電連接轉換模組，第三開關電連接第一與第二開關之間的一個共同節點，接收一個參考電壓，當第一及第二開關導通、第三開關不導通時，允許相對應的輸入電壓被傳遞到轉換模組，當第一及第二開關不導通、第三開關導通時，允許參考電壓被傳遞到第一與第二開關之間之共同節點。

A successive approximation analog-to-digital converter includes a switch module, a conversion module, a comparator and a control module. The switch module includes two switch units corresponding to first and second input voltages respectively. Each of the switch units includes first to third switches. The first and second switches are connected in series. The first switch receives the corresponding input voltage. The second switch is electrically coupled to the conversion module. The third switch is electrically coupled to a common node between the first and second switches and receives a reference voltage. When the first and second switches are ON and the third switch is OFF, the transmission of the corresponding input voltage to the conversion module is permitted. When the first and second switches are OFF and the third switch is ON, the transmission of the reference voltage to the common node between the first and second switches is permitted.

- 1 . . . 開關模組
- 11 . . . 開關單元
- 111~113 . . . 開關
- 2 . . . 轉換模組
- 21 . . . 電容陣列
- 211 . . . 電容

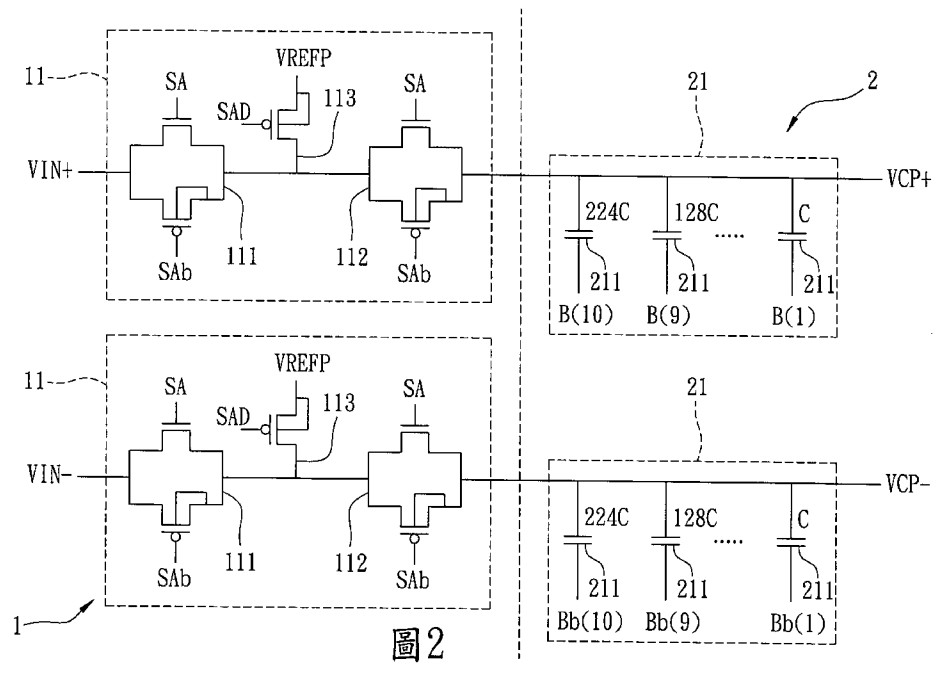


圖2

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101142629

※申請日：101.11.15

※IPC 分類：H03M 1/2 (2006.01)

一、發明名稱：(中文/英文)

連續近似式類比至數位轉換器 / Successive
Approximation Analog-to-Digital Converter

二、中文發明摘要：

一種連續近似式類比至數位轉換器，包含一個開關模組、一個轉換模組、一個比較器及一個控制模組。開關模組包括兩個分別對應第一及第二輸入電壓的開關單元。每一開關單元包括第一至第三開關，第一與第二開關串聯，第一開關接收相對應的輸入電壓，第二開關電連接轉換模組，第三開關電連接第一與第二開關之間的一個共同節點，接收一個參考電壓，當第一及第二開關導通、第三開關不導通時，允許相對應的輸入電壓被傳遞到轉換模組，當第一及第二開關不導通、第三開關導通時，允許參考電壓被傳遞到第一與第二開關之間共同節點。

三、英文發明摘要：

A successive approximation analog-to-digital converter includes a switch module, a conversion module, a comparator and a control module. The switch module includes two switch units corresponding to first and second input voltages respectively. Each of the switch units includes first to third switches. The first and second switches are connected in series. The first switch receives the

corresponding input voltage. The second switch is electrically coupled to the conversion module. The third switch is electrically coupled to a common node between the first and second switches and receives a reference voltage. When the first and second switches are ON and the third switch is OFF, the transmission of the corresponding input voltage to the conversion module is permitted. When the first and second switches are OFF and the third switch is ON, the transmission of the reference voltage to the common node between the first and second switches is permitted.

四、指定代表圖：

(一)本案指定代表圖為：圖(2)。

(二)本代表圖之元件符號簡單說明：

1……………開關模組

2……………轉換模組

11……………開關單元

21……………電容陣列

111~113…開關

211……………電容

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種類比至數位轉換器，特別是指一種連續近似式類比至數位轉換器。

【先前技術】

在各種類比至數位轉換器中，連續近似式類比至數位轉換器具有較佳的能源效率，且能夠只消耗動態功率，因此適合用在電力來源受限的情況。由於動態功率消耗正比於電源電壓的平方及電容性負載，因此降低電源電壓及減化電路能夠減少動態功率消耗以提高能源效率。然而，在這樣的發展過程中，低電源電壓下連續近似式類比至數位轉換器面臨以下問題：

(1)輸入干擾及低速度操作下的漏電流所導致的精確度降低未被有效解決。

(2)部分電路在低電源電壓下無法正常操作或操作速度不夠快，導致電源電壓無法再被降低。

(3)控制邏輯如何被簡化。

【發明內容】

因此，本發明之目的即在提供一種連續近似式類比至數位轉換器，可以解決上述至少部分問題。

於是，本發明連續近似式類比至數位轉換器包含一個開關模組、一個轉換模組、一個比較器及一個控制模組。該開關模組接收第一及第二輸入電壓，根據一個開關控制資訊於一個導通狀態與一個不導通狀態之間切換，於導通

狀態時允許該第一及第二輸入電壓的傳遞。該轉換模組提供第一及第二比較電壓。在該開關模組於該導通狀態時，該第一及第二比較電壓分別追蹤該第一及第二輸入電壓。該轉換模組還根據一個轉換控制資訊改變該第一及第二比較電壓的準位。該比較器比較該第一及第二比較電壓，以產生一個比較信號。該控制模組接收一個時鐘信號，根據該時鐘信號產生該開關控制資訊，根據該第一比較信號更新一個轉換輸出資訊，根據該時鐘信號及該轉換輸出資訊產生該轉換控制資訊，以在該開關模組於該不導通狀態時，使該轉換模組提升該第一及第二比較電壓的準位，連續改變該第一及第二比較電壓的準位而近似一個參考電壓的準位。該控制模組還根據該轉換輸出資訊及該第一比較信號，產生一個對應該第一及第二輸入電壓之準位差異的數位輸出。

該開關模組包括兩個分別對應該第一及第二輸入電壓的開關單元。每一開關單元包括第一至第三開關，該第一與第二開關串聯，該第一開關接收該相對應的輸入電壓，該第二開關電連接該轉換模組，該第三開關電連接該第一與第二開關之間的一個共同節點，接收該參考電壓，當該開關模組於該導通狀態時，該第一及第二開關導通，該第三開關不導通，以允許該相對應的輸入電壓被傳遞到該轉換模組，當該開關模組於該不導通狀態時，該第一及第二開關不導通，該第三開關導通，以允許該參考電壓被傳遞到該第一與第二開關之間의共同節點。

【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之一個較佳實施例的詳細說明中，將可清楚地呈現。

參閱圖 1，本發明連續近似式類比至數位轉換器之較佳實施例包含一個開關模組 1、一個轉換模組 2、一個比較器 3 及一個控制模組 4。

開關模組 1 接收一個第一輸入電壓 V_{IN+} 及一個第二輸入電壓 V_{IN-} ，根據一個開關控制資訊於一個導通狀態與一個不導通狀態之間切換，於導通狀態時允許第一輸入電壓 V_{IN+} 及第二輸入電壓 V_{IN-} 的傳遞。

轉換模組 2 提供一個第一比較電壓 V_{CP+} 及一個第二比較電壓 V_{CP-} 。在開關模組 1 於導通狀態時，第一比較電壓 V_{CP+} 及第二比較電壓 V_{CP-} 分別追蹤第一輸入電壓 V_{IN+} 及第二輸入電壓 V_{IN-} 。轉換模組 2 還根據一個轉換控制資訊改變第一比較電壓 V_{CP+} 及第二比較電壓 V_{CP-} 的準位。

比較器 3 比較第一比較電壓 V_{CP+} 及第二比較電壓 V_{CP-} ，以產生一個第一比較信號 $CO+$ 及一個第二比較信號 $CO-$ 。

控制模組 4 接收一個時鐘信號 CLK ，根據時鐘信號 CLK 產生開關控制資訊，根據第一比較信號 $CO+$ 及第二比較信號 $CO-$ 更新一個轉換輸出資訊，根據時鐘信號 CLK 及轉換輸出資訊產生轉換控制資訊，以在開關模組 1 於不導通狀態時，使轉換模組 2 提升第一比較電壓 V_{CP+} 及第二比

較電壓 V_{CP-} 的準位，連續改變第一比較電壓 V_{CP+} 及第二比較電壓 V_{CP-} 的準位而近似一個第一參考電壓 V_{REFP} 的準位。控制模組 4 還根據轉換輸出資訊及第一比較信號 $CO+$ ，產生一個對應第一輸入電壓 V_{IN+} 及第二輸入電壓 V_{IN-} 之準位差異的數位輸出。

下面以數位輸出具有十一個位元 $BIT(10:0)$ 為例進行詳細說明，本領域中具有通常知識者可以根據下面的說明推得數位輸出具有其它數量位元時的狀況，因此將不多加說明。

參閱圖 2，開關模組 1 包括兩個分別對應第一輸入電壓 V_{IN+} 及第二輸入電壓 V_{IN-} 的開關單元 11。每一個開關單元 11 包括一個第一開關 111、一個第二開關 112 及一個第三開關 113，第一開關 111 及第二開關 112 串聯，第一開關 111 接收相對應的輸入電壓 V_{IN+} 、 V_{IN-} ，第二開關 112 電連接轉換模組 2，第三開關 113 電連接第一開關 111 及第二開關 112 之間的一個共同節點，接收第一參考電壓 V_{REFP} ，當開關模組 1 於導通狀態時，第一開關 111 及第二開關 112 導通，第三開關 113 不導通，以允許相對應的輸入電壓 V_{IN+} 、 V_{IN-} 被傳遞到轉換模組 2，當開關模組 1 於不導通狀態時，第一開關 111 及第二開關 112 不導通，第三開關 113 導通，以允許第一參考電壓 V_{REFP} 被傳遞到第一開關 111 與第二開關 112 之間共同節點。在本實施例中，第一開關 111 及第二開關 112 都以傳輸閘來實現，第三開關 113 都以 P 型金氧半場效電晶體來實現，但本發明不以此為限。

轉換控制資訊包括十個第一轉換控制信號 $B(10:1)$ 及十個第二轉換控制信號 $Bb(10:1)$ 。

轉換模組 2 包括兩個電容陣列 21。電容陣列 21 分別對應第一比較電壓 $VCP+$ 及第二比較電壓 $VCP-$ ，分別對應第一轉換控制信號 $B(10:1)$ 及第二轉換控制信號 $Bb(10:1)$ 。每一電容陣列 21 包括十個電容 211。每一個電容 211 具有一個第一端及一個第二端。每一個電容陣列 21 的電容 211 的第一端電連接在一起且提供相對應比較電壓 $VCP+$ 、 $VCP-$ 。每一個電容陣列 21 的電容 211 的第二端分別接收相對應的轉換控制信號 $B(10:1)$ 、 $Bb(10:1)$ 。

在開關模組 1 於導通狀態時（第一開關 111 及第二開關 112 導通，第三開關 113 不導通），第一輸入電壓 $VIN+$ 及第二輸入電壓 $VIN-$ 被傳遞到轉換模組 2 以分別對電容陣列 21 的電容 211 充電或放電，使得第一比較電壓 $VCP+$ 及第二比較電壓 $VCP-$ 分別追蹤第一輸入電壓 $VIN+$ 及第二輸入電壓 $VIN-$ 。在開關模組 1 於不導通狀態時（第一開關 111 及第二開關 112 不導通，第三開關 113 導通），第一輸入電壓 $VIN+$ 及第二輸入電壓 $VIN-$ 不會被傳遞到轉換模組 2，使得第一比較電壓 $VCP+$ 及第二比較電壓 $VCP-$ 不會分別追蹤第一輸入電壓 $VIN+$ 及第二輸入電壓 $VIN-$ ，此時，如果第一轉換控制信號 $B(10:1)$ 改變，則第一比較電壓 $VCP+$ 會跟著改變，如果第二轉換控制信號 $Bb(10:1)$ 改變，則第二比較電壓 $VCP-$ 會跟著改變。

在本實施例中，每一個電容陣列 21 的電容 211 的容值

可以呈公比為 2 的等比數列（即所謂的二進制加權（binary weighted）），也可以呈公比為其它值的等比數列，甚至可以不是呈等比數列（即所謂的非二進制加權（non-binary weighted））。下面以容值比為 224:128:72:40:23:12:6:4:2:1 為例進行詳細說明，本領域中具有通常知識者可以根據下面的說明推得容值比呈其它值時的狀況，因此將不多加說明。

參閱圖 3，比較器 3 包括十三個電晶體 301~313、三個反相器 321~323、兩個反及閘 331、332 及一個反或閘 341，根據第一比較電壓 VCP+、第二比較電壓 VCP-及一個重置信號 RES，產生第一比較信號 CO+、第二比較信號 CO-及一個完成信號 DONE。當重置信號 RES 在邏輯'0'準位（又稱邏輯低準位）時，電晶體 305 不導通，使得第一比較電壓 VCP+及第二比較電壓 VCP-不會被比較，電晶體 310、313 導通，使得第一比較信號 CO+及第二比較信號 CO-都在邏輯'0'準位，完成信號 DONE 在邏輯'1'準位（又稱邏輯高準位），指示比較尚未完成。當重置信號 RES 轉為邏輯'1'準位時，電晶體 305 轉為導通，使得第一比較電壓 VCP+及第二比較電壓 VCP-開始被比較，電晶體 310、313 轉為不導通，使得第一比較信號 CO+轉為邏輯'1'準位（如果比較出第一比較電壓 VCP+的準位不小於第二比較電壓 VCP-的準位）或第二比較信號 CO-轉為邏輯'1'準位（如果比較出第一比較電壓 VCP+的準位小於第二比較電壓 VCP-的準位），完成信號 DONE 轉為邏輯'0'準位，指示比較已完成。

參閱圖 2 及圖 4，控制模組 4 包括一個開關控制單元 41、一個時序產生單元 42、一個連續近似暫存單元 43、一個轉換控制單元 44 及一個輸出產生單元 45。

開關控制單元 41 包括兩個電晶體 4111、4112、兩個電容 4121、4122 及六個反相器 4131~4136，根據時鐘信號 CLK 產生開關控制資訊。開關控制資訊具有一個第一開關控制信號 SA、一個第二開關控制信號 SAb 及一個第三開關控制信號 SAD。第一開關信號 SA 同相於時鐘信號 CLK。第二開關信號 SAb 互補於第一開關信號 SA，即互補於時鐘信號 CLK。第三開關信號 SAD 同相於第一開關信號 SA，即同相於時鐘信號 CLK。

對於開關模組 1 的每一開關單元 11 而言，第一開關 111 及第二開關 112 都受第一開關信號 SA 及第二開關信號 SAb 控制，第三開關 113 受第三開關控制信號 SAD 控制，因此，當時鐘信號 CLK 在邏輯'1'準位時，第一開關 111 及第二開關 112 導通，第三開關 113 不導通（即開關模組 1 於導通狀態），當時鐘信號 CLK 在邏輯'0'準位時，第一開關 111 及第二開關 112 不導通，第三開關 113 導通（即開關模組 1 於不導通狀態）。

較佳地，開關控制單元 41 利用電荷升壓（charge pumping）技術來使第一開關信號 SA 及第二開關信號 SAb 中的每一個的邏輯'1'準位大於第三開關信號 SAD 的邏輯'1'準位，以使開關單元 11 的第一開關 111 及第二開關 112 容易導通。在本實施例中，是藉由電晶體 4111、4112 及電容

4122、4121，來使第一開關信號 SA 及第二開關信號 SAb 中的每一個的邏輯'1'準位為一個第一電源電壓 VDD 的準位的兩倍，此外，第三開關信號 SAD 的邏輯'1'準位相同於第一電源電壓 VDD 的準位，但本發明不以此為限。

時序產生單元 42 根據時鐘信號 CLK 及完成信號 DONE，產生重置信號 RES 及十個鎖存控制信號 LA(10:1)。時序產生單元 42 在時鐘信號 CLK 在邏輯'0'準位時，先使重置信號 RES 在邏輯'0'準位（此時比較器 3 不比較，使完成信號 DONE 在邏輯'1'準位），在一段預設時間之後將重置信號 RES 轉為邏輯'1'準位（此時比較器 3 開始比較，在比較完成後使完成信號 DONE 轉為邏輯'0'準位），在完成信號 DONE 轉為邏輯'0'準位後將重置信號 RES 轉為邏輯'0'準位，然後重複前述將重置信號 RES 轉為邏輯'1'準位及轉為邏輯'0'準位的過程。時序產生單元 42 還在時鐘信號 CLK 在邏輯'1'準位時，使鎖存控制信號 LA(10:1)都在邏輯'0'準位，在重置信號 RES 每次轉為邏輯'0'準位時，將鎖存控制信號 LA(10:1)中的一個轉為邏輯'1'準位。值得注意的是，在本實施例中，是採用非同步的時序控制方式，但其它實施例中，可以採用同步的時序控制方式。

轉換輸出資訊具有十個第一轉換輸出信號 OUT(10:1)及十個第二轉換輸出信號 OUTb(10:1)。

參閱圖 4 及圖 5，連續近似暫存單元 43 包括十個分別對應鎖存控制信號 LA(10:1)、分別對應第一轉換輸出信號 OUT(10:1)及分別對應第二轉換輸出信號 OUTb(10:1)的暫存

器 431。每一個暫存器 431 包括一個第一 P 型電晶體 4311、一個第二 P 型電晶體 4312、一個第三 P 型電晶體 4313、一個第四 P 型電晶體 4314、一個第一 N 型電晶體 4321、一個第二 N 型電晶體 4322、一個第三 N 型電晶體 4323、一個第四 N 型電晶體 4324、一個第五 N 型電晶體 4325、一個第六 N 型電晶體 4326、一個第七 N 型電晶體 4327、一個第一反相器 4331 及一個第二反相器 4332。

第一 P 型電晶體 4311 具有一個接收第一電源電壓 VDD 的第一端、一個第二端及一個控制端。第二 P 型電晶體 4312 具有一個電連接第一 P 型電晶體 4311 之第一端的第一端、一個電連接第一 P 型電晶體 4311 之控制端的第二端，及一個電連接第一 P 型電晶體 4311 之第二端的控制端。第三 P 型電晶體 4313 並聯於第一 P 型電晶體 4311，具有一個接收相對應鎖存控制信號 LA(j) ($j=1, \dots, 10$) 的控制端。第四 P 型電晶體 4314 並聯於第二 P 型電晶體 4312，具有一個電連接第三 P 型電晶體 4313 之控制端的控制端。

第一 N 型電晶體 4321 具有一個電連接第一 P 型電晶體 4311 之第二端的第一端、一個第二端，及一個接收第一比較信號 CO+ 的控制端。第二 N 型電晶體 4322 具有一個電連接第一 P 型電晶體 4311 之控制端的第一端、一個第二端，及一個接收第二比較信號 CO- 的控制端。第三 N 型電晶體 4323 並聯於第一 N 型電晶體 4321，具有一個控制端。第四 N 型電晶體 4324 並聯於第二 N 型電晶體 4322，具有一個控制端。第五 N 型電晶體 4325 具有一個電連接第一 N 型電晶

體 4321 之第二端的第一端、一個第二端，及一個電連接第一 P 型電晶體 4311 之控制端的控制端。第六 N 型電晶體 4326 具有一個電連接第二 N 型電晶體 4322 之第二端的第一端、一個電連接第五 N 型電晶體 4325 之第二端的第二端，及一個電連接第一 P 型電晶體 4311 之第二端的控制端。第七 N 型電晶體 4327 具有一個電連接第五 N 型電晶體 4325 之第二端的第一端、一個接收一個第二電源電壓的第二端，及一個電連接第三 P 型電晶體 4313 之控制端的控制端。第二電源電壓的準位小於第一電源電壓 VDD 的準位。

第一反相器 4331 具有一個電連接第一 P 型電晶體 4311 之第二端的輸入端，及一個電連接第三 N 型電晶體 4323 之控制端且提供相對應第一轉換輸出信號 OUT(j) 的輸出端。第二反相器 4332 具有一個電連接第一 P 型電晶體 4311 之控制端的輸入端，及一個電連接第四 N 型電晶體 4324 之控制端且提供相對應第二轉換輸出信號 OUTb(j) 的輸出端。

對於每一個暫存器 431 而言，當相對應鎖存控制信號 LA(j) 在邏輯 '0' 準位時，第七 N 型電晶體 4327 不導通，第三 P 型電晶體 4313 及第四 P 型電晶體 4314 導通，使得第一比較信號 CO+ 及第二比較信號 CO- 不被鎖存，相對應第一轉換輸出信號 OUT(j) 及相對應第二轉換輸出信號 OUTb(j) 都在邏輯 '0' 準位，當相對應鎖存控制信號 LA(j) 轉為邏輯 '1' 準位時，第七 N 型電晶體 4327 導通，第三 P 型電晶體 4313 及第四 P 型電晶體 4314 不導通，使得此時的第一比較信號 CO+ 及第二比較信號 CO- 被鎖存，相對應第一

轉換輸出信號 $OUT(j)$ 轉為邏輯 '1' 準位 (如果第一比較信號 $CO+$ 在邏輯 '1' 準位、第二比較信號 $CO-$ 在邏輯 '0' 準位) 或相對應第二轉換輸出信號 $OUTb(j)$ 轉為邏輯 '1' 準位 (如果第一比較信號 $CO+$ 在邏輯 '0' 準位、第二比較信號 $CO-$ 在邏輯 '1' 準位)。由於鎖存信號 $LA(10:1)$ 中一次只有一個轉為邏輯 '1' 準位，因此暫存器 431 中一次只有一個進行鎖存動作。

參閱圖 2 及圖 4，轉換控制單元 44 包括四個反相器 4411~4414 及十八個反或閘 4421~4438，根據同相於時鐘信號 CLK 的第三開關控制信號 SAD 、第一轉換輸出信號 $OUT(10:1)$ 及第二轉換輸出信號 $OUTb(10:1)$ ，產生第一轉換控制信號 $B(1)~B(10)$ 及第二轉換控制信號 $Bb(1)~Bb(10)$ 。

串接的反相器 4411、4412 根據第二轉換輸出信號 $OUTb(10)$ 產生第一轉換控制信號 $B(10)$ ，因此，第一轉換控制信號 $B(10)$ 同相於第二轉換輸出信號 $OUTb(10)$ 。

串接的反相器 4413、4414 根據第一轉換輸出信號 $OUT(10)$ 產生第二轉換控制信號 $Bb(10)$ ，因此，第二轉換控制信號 $Bb(10)$ 同相於第一轉換輸出信號 $OUT(10)$ 。

反或閘 4421 根據第三開關控制信號 SAD 及第一轉換輸出信號 $OUT(9)$ 產生第一轉換控制信號 $B(9)$ ，因此，第一轉換控制信號 $B(9)$ 同相於第三開關控制信號 SAD 及第一轉換輸出信號 $OUT(9)$ 之反或運算結果。第一轉換控制信號 $B(8:1)$ 也以相同的方式被產生。

反或閘 4422 根據第三開關控制信號 SAD 及第二轉換輸出信號 $OUTb(9)$ 產生第二轉換控制信號 $Bb(9)$ ，因此，第二

轉換控制信號 Bb(9)同相於第三開關控制信號 SAD 及第二轉換輸出信號 OUTb(9)之反或運算結果。第二轉換控制信號 Bb(8:1)也以相同的方式被產生。

由於反相器 4412、4414 及反或閘 4421~4438 是由第一參考電壓 VREFP 及一個第二參考電壓 VREFN (其準位小於第一參考電壓 VREFP 的準位) 供電，因此，每一個轉換控制信號 B(10:1)、Bb(10:1)的邏輯 '1' 準位相同於第一參考電壓 VREFP 的準位，每一個轉換控制信號 B(10:1)、Bb(10:1)的邏輯 '0' 準位相同於第二參考電壓 VREFN 的準位。

輸出產生單元 45 根據第一轉換輸出信號 OUT(10:1)及第一比較信號 CO+，產生數位輸出的位元 BIT(10:0)。在本實施中，輸出產生單元 45 直接儲存第一轉換輸出信號 OUT(10:1)及第一比較信號 CO+以分別作為數位輸出的位元 BIT(10:0)，因此，數位輸出的位元 BIT(j)相同於第一轉換輸出信號 OUT(j)，數位輸出的位元 BIT(0)相同於第一比較信號 CO+。但在其它實施例中，輸出產生單元 45 可以根據第一轉換輸出信號 OUT(10:1)及第一比較信號 CO+進行運算，以得到數位輸出的位元 BIT(10:0)，數位輸出的碼值為 $448 \times \text{OUT}(10)$ 、 $256 \times \text{OUT}(9)$ 、 $144 \times \text{OUT}(8)$ 、 $80 \times \text{OUT}(7)$ 、 $46 \times \text{OUT}(6)$ 、 $24 \times \text{OUT}(5)$ 、 $12 \times \text{OUT}(4)$ 、 $8 \times \text{OUT}(3)$ 、 $4 \times \text{OUT}(2)$ 、 $2 \times \text{OUT}(1)$ 、 $1 \times \text{CO}+$ 的加總結果，介於 0~1025 範圍內。

參閱圖 2、圖 4 及表 1，本實施例的操作可以分為取樣階段及第一至第十二轉換階段。下面舉 (VIN+)-(VIN-

)=(278/512)VREF (其中 $VREF=VREFP-VREFN$) 為例說明本實施例的各個階段。

表 1

階段	OUT(10:1)	VCP+	VCP-	(VCP+) -(VCP-)
取樣階段 CLK=1 LA(10:1)=000H	都為 0	VIN+	VIN-	$\frac{278}{512}VREF$
第一轉換階段 CLK=0 LA(10:1)=000H	都為 0	(VIN+) $+\frac{288}{512}VREF$	(VIN-) $+\frac{288}{512}VREF$	$\frac{278}{512}VREF$
第二轉換階段 CLK=0 LA(10:1)=200H	OUT(10)=1 其餘不變	(VIN+) $+\frac{288}{512}VREF$	(VIN-) $+\frac{512}{512}VREF$	$\frac{54}{512}VREF$
第三轉換階段 CLK=0 LA(10:1)=300H	OUT(9)=1 其餘不變	(VIN+) $+\frac{160}{512}VREF$	(VIN-) $+\frac{512}{512}VREF$	$-\frac{74}{512}VREF$
第四轉換階段 CLK=0 LA(10:1)=380H	OUT(8)=0 其餘不變	(VIN+) $+\frac{160}{512}VREF$	(VIN-) $+\frac{440}{512}VREF$	$-\frac{2}{512}VREF$
第五轉換階段 CLK=0 LA(10:1)=3C0H	OUT(7)=0 其餘不變	(VIN+) $+\frac{160}{512}VREF$	(VIN-) $+\frac{400}{512}VREF$	$\frac{38}{512}VREF$
第六轉換階段 CLK=0 LA(10:1)=3E0H	OUT(6)=1 其餘不變	(VIN+) $+\frac{137}{512}VREF$	(VIN-) $+\frac{400}{512}VREF$	$\frac{15}{512}VREF$
第七轉換階段 CLK=0 LA(10:1)=3F0H	OUT(5)=1 其餘不變	(VIN+) $+\frac{125}{512}VREF$	(VIN-) $+\frac{400}{512}VREF$	$\frac{3}{512}VREF$
第八轉換階段 CLK=0 LA(10:1)=3F8H	OUT(4)=1 其餘不變	(VIN+) $+\frac{119}{512}VREF$	(VIN-) $+\frac{400}{512}VREF$	$-\frac{3}{512}VREF$

第九轉換階段 CLK=0 LA(10:1)=3FCH	OUT(3)=0 其餘不變	(VIN+) $+\frac{119}{512}VREF$	(VIN-) $+\frac{396}{512}VREF$	$\frac{1}{512}VREF$
第十轉換階段 CLK=0 LA(10:1)=3FEH	OUT(2)=1 其餘不變	(VIN+) $+\frac{117}{512}VREF$	(VIN-) $+\frac{396}{512}VREF$	$-\frac{1}{512}VREF$
第十一轉換階段 CLK=0 LA(10:1)=3FFH	OUT(1)=0 其餘不變	(VIN+) $+\frac{117}{512}VREF$	(VIN-) $+\frac{395}{512}VREF$	0
第十二轉換階段 CLK=0 LA(10:1)=3FFH	不變 (CO+)=1	(VIN+) $+\frac{117}{512}VREF$	(VIN-) $+\frac{395}{512}VREF$	0

<取樣階段>

時鐘信號 CLK 在邏輯'1'準位，鎖存信號 LA(10:1)都在邏輯'0'準位，此時，第一轉換輸出信號 OUT(10:1)都在邏輯'0'準位，第二轉換輸出信號 OUTb(10:1)都在邏輯'0'準位，第一轉換控制信號 B(10:1)都在邏輯'0'準位，第二轉換控制信號 Bb(10:1)都在邏輯'0'準位，第一比較電壓 VCP+及第二比較電壓 VCP-分別追蹤第一輸入電壓 VIN+及第二輸入電壓 VIN-，第一比較電壓 VCP+及第二比較電壓 VCP-之準位差異為 $(278/512)VREF$ 。

<第一轉換階段>

時鐘信號轉為邏輯'0'準位，鎖存信號 LA(10:1)不變，此時，第一轉換輸出信號 OUT(10:1)不變，第二轉換輸出信號 OUTb(10:1)不變，第一轉換控制信號 B(9:1)轉為邏輯'1'準位，第一轉換控制信號 B(10)不變，第二轉換控制信號 Bb(9:1)都轉為邏輯'1'準位，第二轉換控制信號 Bb(10)不變

，使得第一比較電壓 V_{CP+} 的準位被提升到 $(V_{IN+})+(288/512)V_{REF}$ ，第二比較電壓 V_{CP-} 的準位被提升到 $(V_{IN-})+(288/512)V_{REF}$ ，第一比較電壓 V_{CP+} 及第二比較電壓 V_{CP-} 之準位差異為 $(278/512)V_{REF}$ ，第一比較信號 $CO+$ 及第二比較信號 $CO-$ 分別在邏輯 '1' 準位及邏輯 '0' 準位。

<第二轉換階段>

時鐘信號不變，鎖存信號 $LA(10)$ 轉為邏輯 '1' 準位，其餘鎖存信號 $LA(9:1)$ 不變，此時，第一轉換輸出信號 $OUT(10)$ 轉為邏輯 '1' 準位，其餘第一轉換輸出信號 $OUT(9:1)$ 不變，第二轉換輸出信號 $OUTb(10:1)$ 不變，第一轉換控制信號 $B(10:1)$ 不變，第二轉換控制信號 $Bb(10)$ 轉為邏輯 '1' 準位，其餘第二轉換控制信號 $Bb(9:1)$ 不變，使得第一比較電壓 V_{CP+} 的準位不變，第二比較電壓 V_{CP-} 的準位變為 $(V_{IN-})+(512/512)V_{REF}$ ，第一比較電壓 V_{CP+} 及第二比較電壓 V_{CP-} 之準位差異為 $(54/512)V_{REF}$ ，第一比較信號 $CO+$ 及第二比較信號 $CO-$ 分別在邏輯 '1' 準位及邏輯 '0' 準位。

<第三轉換階段>

時鐘信號不變，鎖存信號 $LA(9)$ 轉為邏輯 '1' 準位，其餘鎖存信號 $LA(10)$ 、 $LA(8:1)$ 不變，此時，第一轉換輸出信號 $OUT(9)$ 轉為邏輯 '1' 準位，其餘第一轉換輸出信號 $OUT(10)$ 、 $OUT(8:1)$ 不變，第二轉換輸出信號 $OUTb(10:1)$ 不變，第一轉換控制信號 $B(9)$ 轉為邏輯 '0' 準位，其餘第一轉換控制

信號 B(10)、B(8:1)不變，第二轉換控制信號 Bb(10:1)不變，使得第一比較電壓 VCP+ 的準位變為 $(VIN+)+(160/512)VREF$ ，第二比較電壓 VCP-的準位不變，第一比較電壓 VCP+及第二比較電壓 VCP-之準位差異為 $-(74/512)VREF$ ，第一比較信號 CO+及第二比較信號 CO-分別在邏輯'0'準位及邏輯'1'準位。

<第四轉換階段>

時鐘信號不變，鎖存信號 LA(8)轉為邏輯'1'準位，其餘鎖存信號 LA(10:9)、LA(7:1)不變，此時，第一轉換輸出信號 OUT(10:1)不變，第二轉換輸出信號 OUTb(8)轉為邏輯'1'準位，其餘第二轉換輸出信號 OUTb(10:9)、OUTb(7:1)不變，第一轉換控制信號 B(10:1)不變，第二轉換控制信號 Bb(8)轉為邏輯'0'準位，其餘第二轉換控制信號 Bb(10:9)、Bb(7:1)不變，使得第一比較電壓 VCP+的準位不變，第二比較電壓 VCP-的準位變為 $(VIN-)+(440/512)VREF$ ，第一比較電壓 VCP+及第二比較電壓 VCP-之準位差異為 $-(2/512)VREF$ ，第一比較信號 CO+及第二比較信號 CO-分別在邏輯'0'準位及邏輯'1'準位。

<第五轉換階段>~<第十轉換階段>

第五轉換階段至第十轉換階段的情況可以根據前述說明類推，因此將不多加說明。

<第十一轉換階段>

時鐘信號不變，鎖存信號 LA(1)轉為邏輯'1'準位，其餘鎖存信號 LA(10:2)不變，此時，第一轉換輸出信號

OUT(10:1)不變，第二轉換輸出信號 OUTb(1)轉為邏輯'1'準位，其餘第二轉換輸出信號 OUTb(10:2)不變，第一轉換控制信號 B(10:1)不變，第二轉換控制信號 Bb(1)轉為邏輯'0'準位，其餘第二轉換控制信號 Bb(10:2)不變，使得第一比較電壓 VCP+的準位不變，第二比較電壓 VCP-的準位變為 $(VIN-)+(395/512)VREF$ ，第一比較電壓 VCP+及第二比較電壓 VCP-之準位差異為 0，第一比較信號 CO+及第二比較信號 CO-分別在邏輯'1'準位及邏輯'0'準位。

<第十二轉換階段>

時鐘信號不變，鎖存信號 LA(10:1)不變，此時，第一轉換輸出信號 OUT(10:1)不變，第二轉換輸出信號 OUTb(10:1)不變，第一轉換控制信號 B(10:1)不變，第二轉換控制信號 Bb(10:1)不變，使得第一比較電壓 VCP+的準位不變，第二比較電壓 VCP-的準位不變，第一比較電壓 VCP+及第二比較電壓 VCP-之準位差異為 0，第一比較信號 CO+及第二比較信號 CO-分別在邏輯'1'準位及邏輯'0'準位。在此階段中，可以得到數位輸出的位元 BIT(10:0)為 11001110101。

綜上所述，上述實施例具有以下優點：

(1)當上述實施例操作在第一至第十二轉換階段時，每一開關單元 11 的第一開關 111 及第二開關 112 之間共同點會被拉到第一參考電壓 VREFP 的準位，可以避免相對應輸入信號 VIN+、VIN-的變動透過電容耦合對相對應比較信號 VCP+、VCP-造成干擾，而且隨著轉換階段的遞進，比較

信號 VCP+、VCP-的準位會趨近第一參考電壓 VREFP 的準位，使得第二開關 112 所承受的電壓差趨近 0，第二開關 112 的漏電流變小，比較電壓 VCP+、VCP-所受的干擾也變小。

(2)開關控制單元 41 提升第一開關控制信號 SA 及第二開關控制信號 SAb 的邏輯'1'準位，可以避免當上述實施例操作在取樣階段時，開關單元 11 的第一開關 111 及第二開關 112 難以導通，另外，當上述實施例操作在第一至第十二轉換階段時，比較信號 VCP+、VCP-的共模準位會高於輸入信號 VIN+、VIN-的共模準位，可以加快比較器 3 的操作速度。

(3)控制模組 4 的電路簡單，可以減少動態功率消耗。

故上述實施例確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1 是一個方塊圖，說明本發明連續近似式類比至數位轉換器之較佳實施例；

圖 2 是一個電路圖，說明較佳實施例的一個開關模組及一個轉換模組；

圖 3 是一個電路圖，說明較佳實施例的一個比較器；

圖 4 是一個示意圖，說明較佳實施例的一個控制模組

；及

圖 5 是一個電路圖，說明控制模組的一個連續近似暫存器元的一個暫存器。

【主要元件符號說明】

1 ……………	開關模組	4121、4122…	電容
11 ……………	開關單元	4131~4136…	反相器
111~113	開關	42 ……………	時序產生單元
2 ……………	轉換模組	43 ……………	連續近似暫存單 元
21 ……………	電容陣列	431 ………	暫存器
211 ………	電容	4311~4313…	電晶體
3 ……………	比較器	4321~4327…	電晶體
301~313	電晶體	4331、4332…	反相器
331、332…	反及開	44 ……………	轉換控制單元
322、323…	反相器	4411~4414…	反相器
341 ………	反或開	4421~4438…	反或開
4 ……………	控制模組	45 ……………	輸出產生單元
41 ……………	開關控制單元		
4111、4112…	電晶體		

七、申請專利範圍：

1. 一種連續近似式類比至數位轉換器，包含：

一個開關模組，接收第一及第二輸入電壓，根據一個開關控制資訊於一個導通狀態與一個不導通狀態之間切換，於導通狀態時允許該第一及第二輸入電壓的傳遞；

一個轉換模組，提供第一及第二比較電壓，在該開關模組於該導通狀態時，該第一及第二比較電壓分別追蹤該第一及第二輸入電壓，該轉換模組還根據一個轉換控制資訊改變該第一及第二比較電壓的準位；

一個比較器，比較該第一及第二比較電壓，以產生一個第一比較信號；及

一個控制模組，接收一個時鐘信號，根據該時鐘信號產生該開關控制資訊，根據該第一比較信號更新一個轉換輸出資訊，根據該時鐘信號及該轉換輸出資訊產生該轉換控制資訊，以在該開關模組於該不導通狀態時，使該轉換模組提升該第一及第二比較電壓的準位，連續改變該第一及第二比較電壓的準位而近似一個第一參考電壓的準位，該控制模組還根據該轉換輸出資訊及該第一比較信號，產生一個對應該第一及第二輸入電壓之準位差異的數位輸出；

其中，該開關模組包括兩個分別對應該第一及第二輸入電壓的開關單元，每一個開關單元包括：

串聯的第一與第二開關，該第一開關接收該相

對應的輸入電壓，該第二開關電連接該轉換模組；

一個第三開關，電連接該第一與第二開關之間的一個共同節點，接收該第一參考電壓；

當該開關模組於該導通狀態時，該第一及第二開關導通，該第三開關不導通，以允許該相對應的輸入電壓被傳遞到該轉換模組，當該開關模組於該不導通狀態時，該第一及第二開關不導通，該第三開關導通，以允許該第一參考電壓被傳遞到該第一與第二開關之間共同節點。

2. 依據申請專利範圍第 1 項所述之連續近似式類比至數位轉換器，其中，

該比較器還比較該第一及第二比較電壓，以產生一個第二比較信號；

該轉換輸出資訊具有多個第一轉換輸出信號及多個第二轉換輸出信號；

該控制模組包括多個分別對應該等第一轉換輸出信號及分別對應該等第二轉換輸出信號的暫存器，每一個暫存器包括：

一個第一 P 型電晶體，具有一個接收一個第一電源電壓的第一端、一個第二端及一個控制端；

一個第二 P 型電晶體，具有一個電連接該第一 P 型電晶體之第一端的第一端、一個電連接該第一 P 型電晶體之控制端的第二端，及一個電連接該第一 P 型電晶體之第二端的控制端；

一個第三P型電晶體，並聯於該第一P型電晶體，具有一個控制端；

一個第四P型電晶體，並聯於該第二P型電晶體，具有一個電連接該第三P型電晶體之控制端的控制端；

一個第一N型電晶體，具有一個電連接該第一P型電晶體之第二端的第一端、一個第二端，及一個接收該第一比較信號的控制端；

一個第二N型電晶體，具有一個電連接該第一P型電晶體之控制端的第一端、一個第二端，及一個接收該第二比較信號的控制端；

一個第三N型電晶體，並聯於該第一N型電晶體，具有一個控制端；

一個第四N型電晶體，並聯於該第二N型電晶體，具有一個控制端；

一個第五N型電晶體，具有一個電連接該第一N型電晶體之第二端的第一端、一個第二端，及一個電連接該第一P型電晶體之控制端的控制端；

一個第六N型電晶體，具有一個電連接該第二N型電晶體之第二端的第一端、一個電連接該第五N型電晶體之第二端的第二端，及一個電連接該第一P型電晶體之第二端的控制端；

一個第七N型電晶體，具有一個電連接該第五N型電晶體之第二端的第一端、一個接收一個第二電

源電壓的第二端，及一個電連接該第三P型電晶體之控制端的控制端；

一個第一反相器，具有一個電連接該第一P型電晶體之第二端的輸入端，及一個電連接該第三N型電晶體之控制端且提供該相對應第一轉換輸出信號的輸出端；及

一個第二反相器，具有一個電連接該第一P型電晶體之控制端的輸入端，及一個電連接該第四N型電晶體之控制端且提供該相對應第二轉換輸出信號的輸出端。

3. 依據申請專利範圍第 2 項所述之連續近似式類比至數位轉換器，其中，

該轉換控制資訊包括多個第一轉換控制信號及多個第二轉換控制信號，每一個轉換控制信號的第一邏輯準位相同於該第一參考電壓的準位，每一轉換控制信號的第二邏輯準位相同於一個第二參考電壓的準位；

該控制模組根據該等第二轉換輸出信號中的一個第一者產生該等第一轉換控制信號中的一個第一者，該等第一轉換控制信號中的第一者同相於該等第二轉換輸出信號中的第一者；

該控制模組根據該等第一轉換輸出信號中的一個第一者產生該等第二轉換控制信號中的一個第一者，該等第二轉換控制信號中的第一者同相於該等第一轉換輸出信號中的第一者；

該控制模組根據該時鐘信號及該等第一轉換輸出信號中的一個第二者產生該等第一轉換控制信號中的一個第二者，該等第一轉換控制信號中的第二者同相於該時鐘信號及該等第一轉換輸出信號中的第二者之反或運算結果；

該控制模組根據該時鐘信號及該等第二轉換輸出信號中的一個第二者產生該等第二轉換控制信號中的一個第二者，該等第二轉換控制信號中的第二者同相於該時鐘信號及該等第二轉換輸出信號中的第二者之反或運算結果。

4. 依據申請專利範圍第 1 項所述之連續近似式類比至數位轉換器，其中，

該開關控制資訊具有第一、第二及第三開關控制信號，該第二開關信號互補於該第一開關信號，該第三開關信號同相於該第一開關信號；

該控制模組利用電荷升壓技術來使該第一及第二開關信號中的每一個的邏輯高準位大於該第三開關信號的邏輯高準位；

對於該開關模組的每一開關單元而言，該第一及第二開關受該第一及第二開關控制信號控制，該第三開關受該第三開關控制信號控制。

5. 依據申請專利範圍第 1 項所述之連續近似式類比至數位轉換器，其中，

該轉換控制資訊包括多個第一轉換控制信號及多個

第二轉換控制信號；

該轉換模組包括二個電容陣列，該等電容陣列分別對應該第一及第二比較電壓，分別對應該等第一及第二轉換控制信號，每一個電容陣列包括多個電容，每一個電容具有一個第一端及一個第二端，每一個電容陣列的電容的第一端電連接在一起且提供該相對應比較電壓，每一個電容陣列的電容的第二端分別接收該等相對應的轉換控制信號，每一個電容陣列的電容的容值不是呈等比級數。

八、圖式

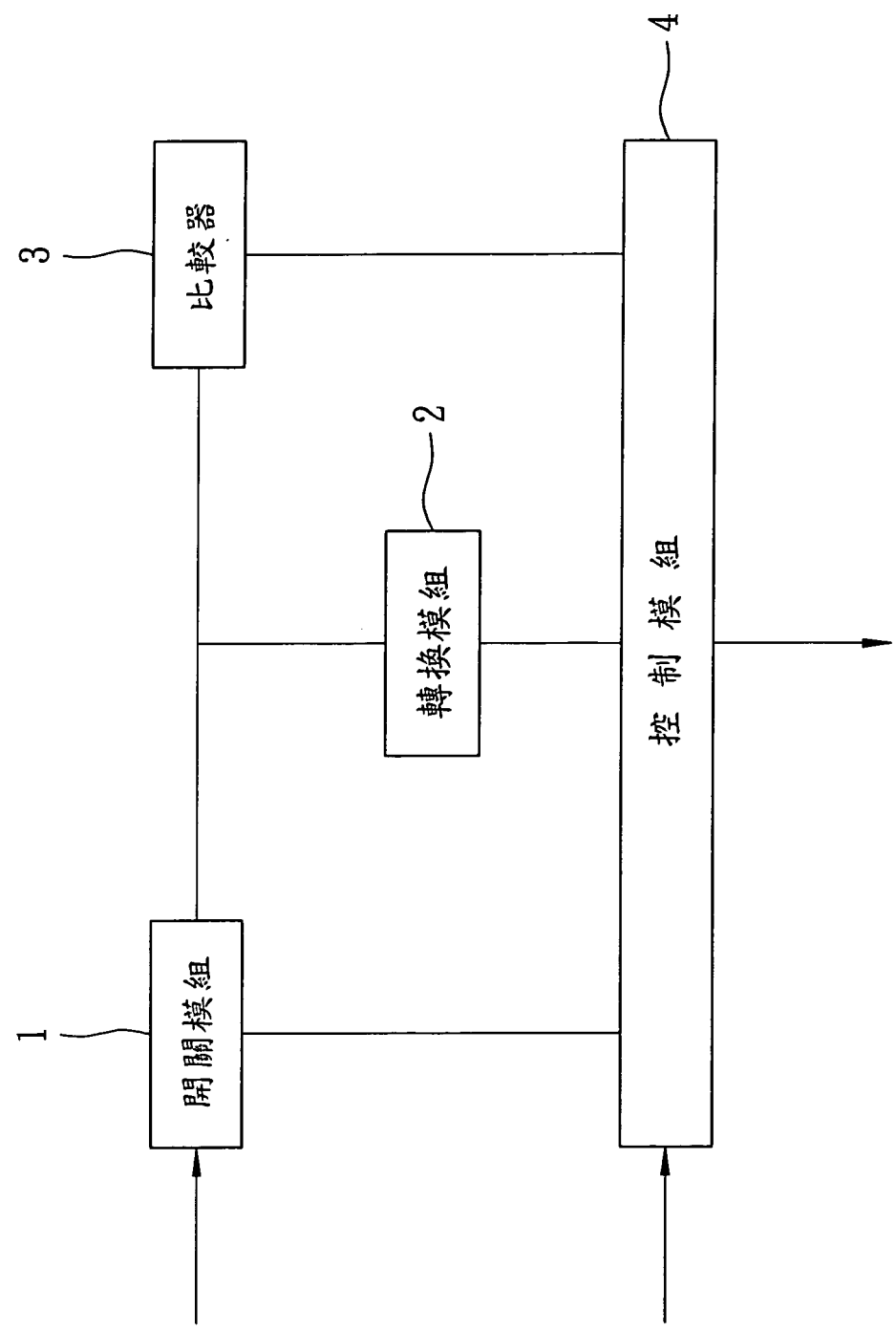


圖1

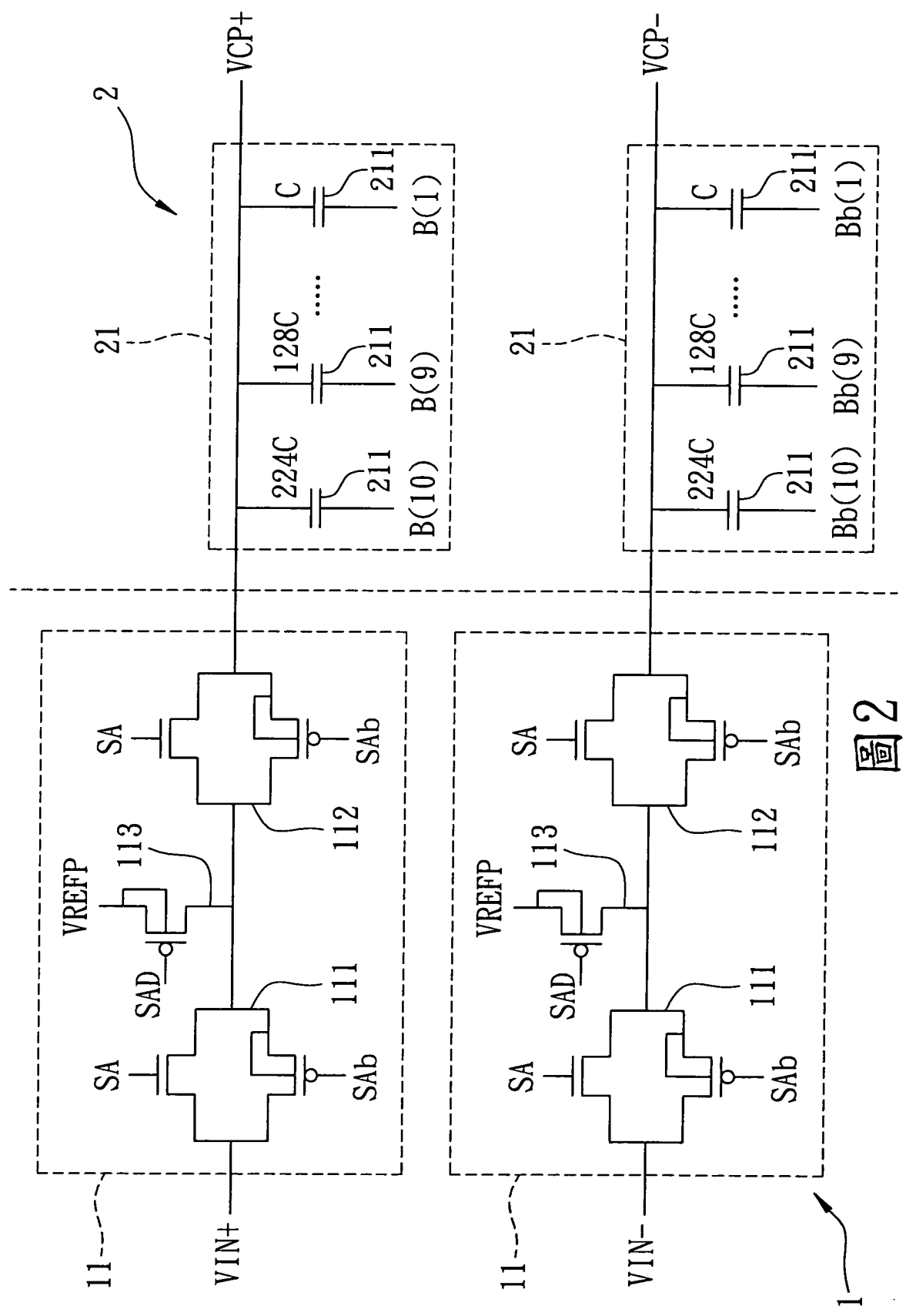


圖2

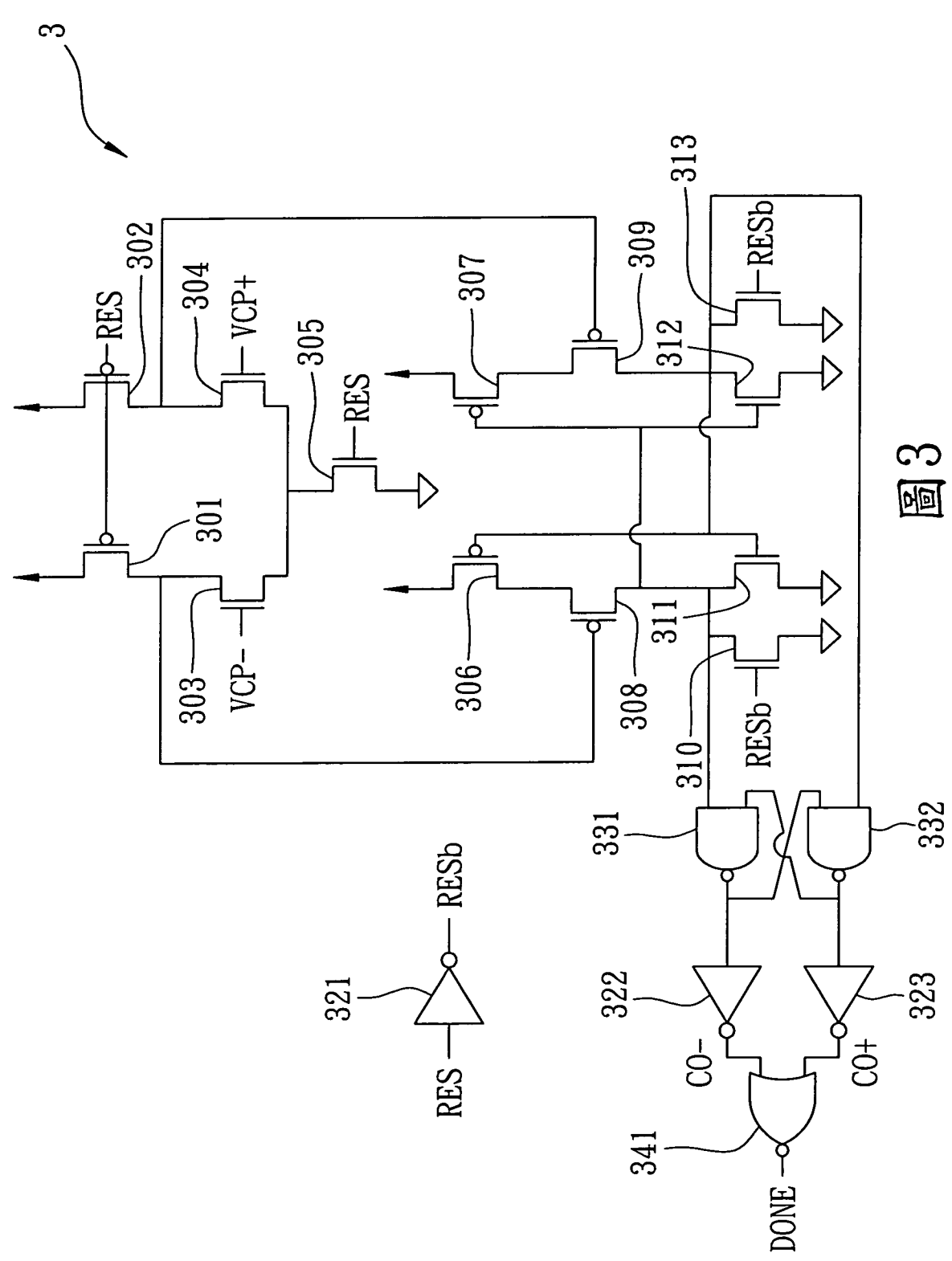


圖3

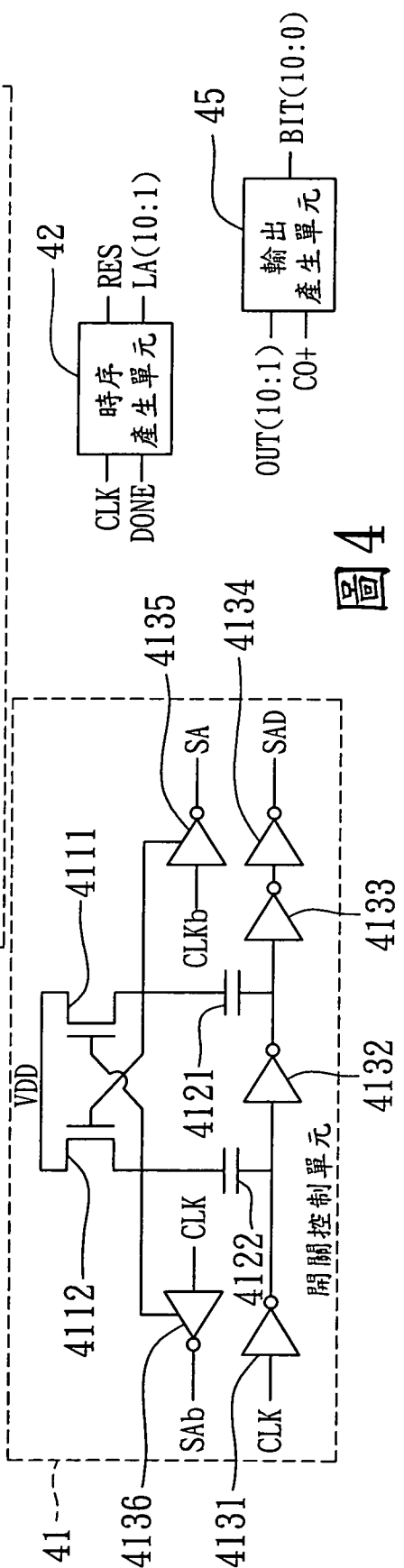
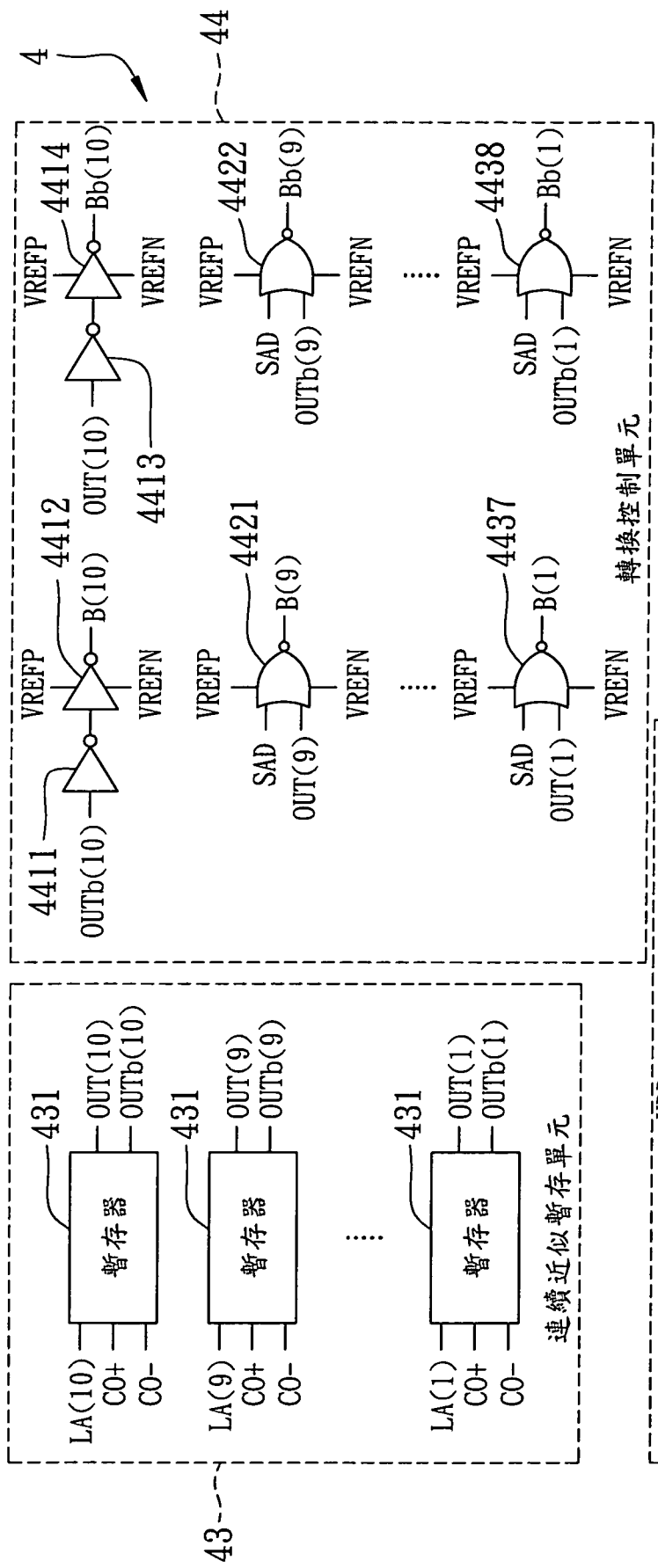


圖4

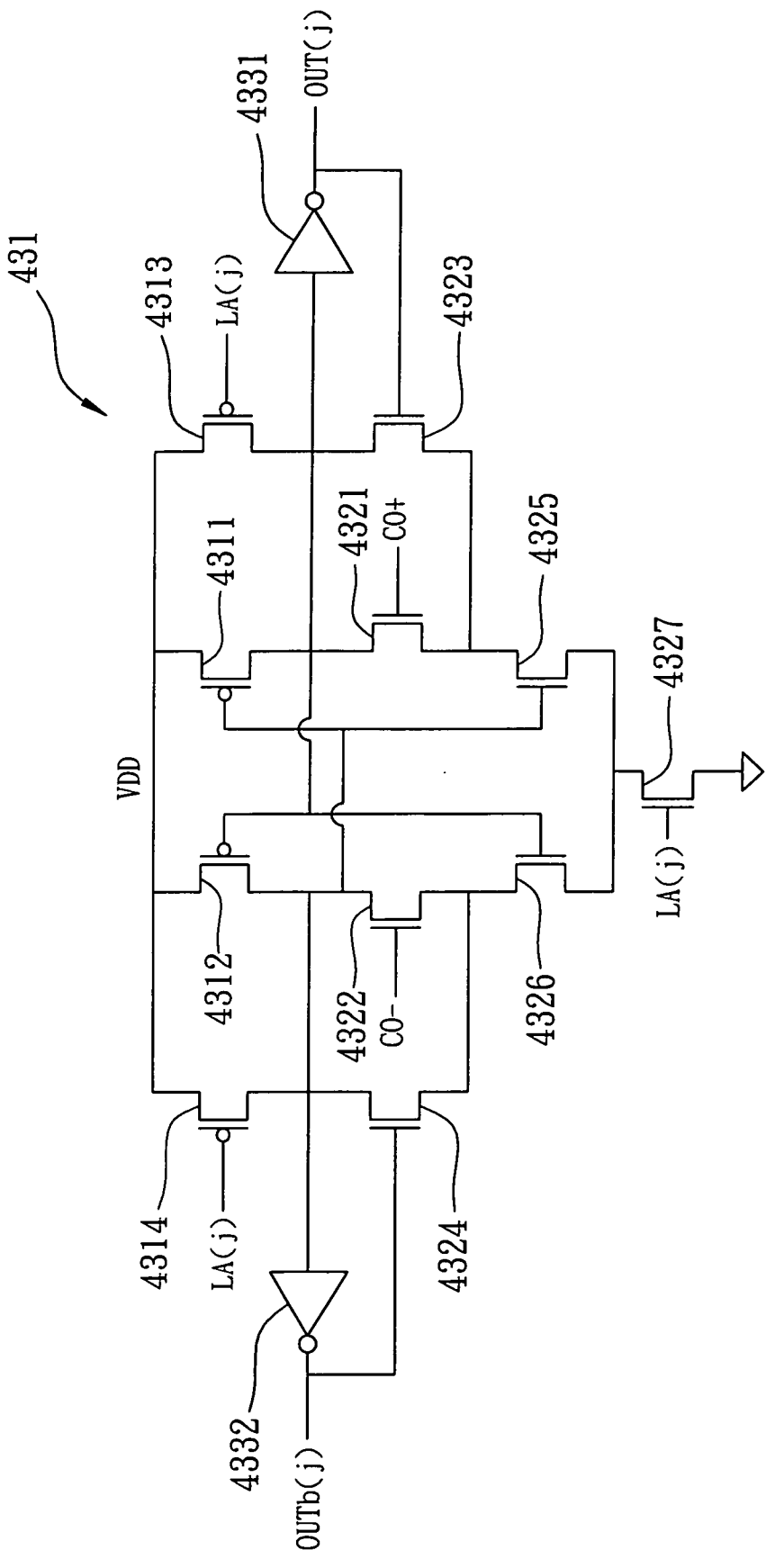


圖5