

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3815936号

(P3815936)

(45) 発行日 平成18年8月30日(2006.8.30)

(24) 登録日 平成18年6月16日(2006.6.16)

(51) Int. Cl.		F I		
G06K	19/077	(2006.01)	G06K	19/00 L
B42D	15/10	(2006.01)	B42D	15/10 521
			G06K	19/00 K

請求項の数 11 (全 31 頁)

(21) 出願番号	特願2000-18030 (P2000-18030)	(73) 特許権者	503121103
(22) 出願日	平成12年1月25日(2000.1.25)		株式会社ルネサステクノロジ
(65) 公開番号	特開2001-209773 (P2001-209773A)		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成13年8月3日(2001.8.3)	(74) 代理人	100089071
審査請求日	平成16年3月8日(2004.3.8)		弁理士 玉村 静世
		(72) 発明者	西沢 裕孝
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		(72) 発明者	石原 晴次
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		(72) 発明者	白石 敦
			東京都小平市上水本町5丁目22番1号
			株式会社日立超エル・エス・アイ・システムズ内
			最終頁に続く

(54) 【発明の名称】 ICカード

(57) 【特許請求の範囲】

【請求項1】

表側および裏側を有する基板と、
 前記基板の表側に設けられたフラッシュメモリチップと、
 前記基板の表側に設けられ、前記フラッシュメモリチップを制御するためのコントローラチップと、
 前記基板の裏側に配置され、前記コントローラチップに接続された複数個のコネクタ端子と、を有し、前記コネクタ端子を露出してケーシングに収容されたICカードであって、
 前記複数個のコネクタ端子は、第1列目と第2列目のそれぞれに3個以上配置されるように、前記ICカードの挿入方向の前後に2列に配置され、
 前記第1列目のコネクタ端子の配置は、前記第2列目のコネクタ端子の配置と、前記複数個のコネクタ端子が配置される方向でずらされており、
 前記第2列目のコネクタ端子は、前記第1列目のコネクタ端子間領域の後方に配置されており、
 前記第1列目のコネクタ端子は電源電圧供給用のコネクタ端子を有し、
 前記第2列目のコネクタ端子は、前記電源電圧供給用のコネクタ端子の両側に隣り合う前記コネクタ端子の間の領域の後方以外の領域に配置されており、
 前記複数個のコネクタ端子は、前記第1列目および前記第2列目のそれぞれに配置された8ビット分のデータ端子を含み、

10

20

前記コントローラチップは、前記 8 ビット分のデータ端子のうちの 1 ビットを用いる 1 ビットモード、前記 8 ビット分のデータ端子のうちの 4 ビットを用いる 4 ビットモード、および前記 8 ビット分のデータ端子のうちの 8 ビットを用いる 8 ビットモードを備え、

前記コントローラチップは前記 1 ビットモードにおいて前記第 2 列目に配置されたデータ端子を用いず、前記第 1 列目に配置されたデータ端子を用い、また、前記 4 ビットモードおよび 8 ビットモードにおいて前記第 1 列目および前記第 2 列目に配置されたデータ端子を用い、

前記第 2 列目のコネクタ端子配列の両端には前記 4 ビットモードおよび 8 ビットモードで用いられるデータ端子を有し、前記第 2 列目の両端のデータ端子は、前記第 1 列目のコネクタ端子に並ぶように延在していることを特徴とする IC カード。

10

【請求項 2】

表側および裏側を有する基板と、

前記基板の表側に設けられたフラッシュメモリチップと、

前記基板の表側に設けられ、前記フラッシュメモリチップを制御するためのコントローラチップと、

前記フラッシュメモリチップおよび前記コントローラチップを覆うモールド樹脂と、

前記基板の裏側に配置され、前記コントローラチップに接続された複数個のコネクタ端子と、を有し、前記コネクタ端子を露出してケーシングに收容された IC カードであって、

前記複数個のコネクタ端子は、第 1 列目と第 2 列目のそれぞれに 3 個以上配置されるように、前記 IC カードの挿入方向の前後に 2 列に配置され、

20

前記第 1 列目のコネクタ端子の配置は、前記第 2 列目のコネクタ端子の配置と、前記複数個のコネクタ端子が配置される方向でずらされており、

前記第 2 列目のコネクタ端子は、前記第 1 列目のコネクタ端子間領域の後方に配置されており、

前記第 1 列目のコネクタ端子は電源電圧供給用のコネクタ端子を有し、

前記第 2 列目のコネクタ端子は、前記電源電圧供給用のコネクタ端子の両側に隣り合う前記コネクタ端子の間の領域の後方には配置されておらず、

前記複数個のコネクタ端子は、前記第 1 列目および前記第 2 列目のそれぞれに配置された 8 ビット分のデータ端子を含み、

30

前記コントローラチップは、前記 8 ビット分のデータ端子のうちの 1 ビットを用いる 1 ビットモード、前記 8 ビット分のデータ端子のうちの 4 ビットを用いる 4 ビットモード、および前記 8 ビット分のデータ端子のうちの 8 ビットを用いる 8 ビットモードを備え、

前記コントローラチップは前記 1 ビットモードにおいて前記第 2 列目に配置されたデータ端子を用いず、前記第 1 列目に配置されたデータ端子を用い、また、前記 4 ビットモードおよび 8 ビットモードにおいて前記第 1 列目および前記第 2 列目に配置されたデータ端子を用い、

前記第 2 列目のコネクタ端子配列の両端には前記 4 ビットモードおよび 8 ビットモードで用いられるデータ端子を有し、前記第 2 列目の両端のデータ端子は、前記第 1 列目のコネクタ端子に並ぶように延在していることを特徴とする IC カード。

40

【請求項 3】

表側および裏側を有する基板と、

前記基板の表側に設けられたフラッシュメモリチップと、

前記基板の表側に設けられ、前記フラッシュメモリチップを制御するためのコントローラチップと、

前記フラッシュメモリチップおよび前記コントローラチップを覆うモールド樹脂と、

前記基板の裏側に配置され、前記コントローラチップに接続された複数個のコネクタ端子と、を有し、前記コネクタ端子を露出してケーシングに收容された IC カードであって、

前記複数個のコネクタ端子は、第 1 列目と第 2 列目のそれぞれに 3 個以上配置されるよ

50

うに、前記 IC カードの挿入方向の前後に 2 列に配置され、

前記第 1 列目のコネクタ端子の配置は、前記第 2 列目のコネクタ端子の配置と、前記複数個のコネクタ端子が配置される方向でずらされており、

前記第 2 列目のコネクタ端子は、前記第 1 列目のコネクタ端子間領域の後方に配置されており、

前記複数個のコネクタ端子は、前記第 1 列目および前記第 2 列目のそれぞれに配置された 8 ビット分のデータ端子を含み、

前記コントローラチップは、前記 8 ビット分のデータ端子のうちの 1 ビットを用いる 1 ビットモード、前記 8 ビット分のデータ端子のうちの 4 ビットを用いる 4 ビットモード、および前記 8 ビット分のデータ端子のうちの 8 ビットを用いる 8 ビットモードを備え、

10

前記コントローラチップは前記 1 ビットモードにおいて前記第 2 列目に配置されたデータ端子を用いず、前記第 1 列目に配置されたデータ端子を用い、また、前記 4 ビットモードおよび 8 ビットモードにおいて前記第 1 列目および前記第 2 列目に配置されたデータ端子を用い、

前記第 2 列目のコネクタ端子配列の両端には前記 4 ビットモードおよび 8 ビットモードで用いられるデータ端子を有し、前記第 2 列目の両端のデータ端子は、前記第 1 列目のコネクタ端子に並ぶように延在していることを特徴とする IC カード。

【請求項 4】

前記複数個のコネクタ端子は 2 個の接地電圧供給用端子、及び 1 個のクロック信号入力用端子を含んで成るものであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の IC カード。

20

【請求項 5】

前記複数個のコネクタ端子は、全部で 13 個設けられて成るものであることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の IC カード。

【請求項 6】

前記複数個のコネクタ端子が配置される方向は、前記 IC カードの挿入方向と直行する方向であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の IC カード。

【請求項 7】

前記フラッシュメモリチップの平面寸法は、前記コントローラチップの平面寸法よりも大きいことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の IC カード。

30

【請求項 8】

前記フラッシュメモリチップとして第 1 フラッシュメモリチップと第 2 フラッシュメモリチップを別々に有することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の IC カード。

【請求項 9】

前記第 2 フラッシュメモリチップは前記第 1 フラッシュメモリチップ上に積層されていることを特徴とする請求項 8 に記載の IC カード。

【請求項 10】

前記 IC カードの厚さは、1.4 mm であることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の IC カード。

40

【請求項 11】

前記 IC カードの平面形状の外形寸法は、24 mm × 32 mm であることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の IC カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、IC カードのコネクタ端子の配列や機能に関する互換性、更には IC カードの便利性及び信頼性を向上させる技術に関し、例えば、マルチメディアカード (Multi Media Card) の互換メモリカードに適用して有効な技術に関する。

【0002】

50

【従来の技術】

携帯電話、デジタルネットワーク機器間での情報の移動等を目的としたマルチメディアカードなどの小型軽量化及びインタフェースの簡素化を実現したメモリカードが提供されている。マルチメディアカードは、例えばCQ出版社発行のインタフェース(1999年12月号)に記載されるように、外部インタフェース端子として7個のコネクタ端子を有し、シリアルインタフェースが採用されて、PCカードやハードディスクが採用するATAインタフェースに比べてホストシステムの負荷を軽減でき、より簡易なシステムでも利用できるようになっている。また、同文献には、シリアルインタフェースを採用し、9個のコネクタ端子を有し、マルチメディアカードの上位互換メモリカードとしてSDカードが提案されている、との記載がある。

10

【0003】**【発明が解決しようとする課題】**

本発明者はマルチメディアカードに対する互換性、機能拡張、信頼性向上等について種々の検討を行った。

【0004】

第1に、マルチメディアカード等のコネクタ端子の形状や配置について検討した。個々のメモリカードのインタフェース仕様の相違点はカードのコネクタ端子の形状や配置に及び、その相違点がカードソケットのソケット端子に反映される。したがって、ケーシングの大きさや厚さに統一性があってもコネクタ端子の配列や形状に共通性が無ければ、メモリカード相互間での互換性や上位互換を実現し難い事が本発明者によって明らかにされた。

20

【0005】

第2に、ATAインタフェースを採用するPCカードやコンパクトフラッシュカード等に比べてシリアルインタフェースではデータ処理上必要なデータ入出力レートを得られない場合のあることが予想される。これに答えるにはデータ入出力用のコネクタ端子の数を増やさなければならず、そのときは上記観点による互換性が考慮されるべきである。

【0006】

第3に、ICカードの大きさを変えずにコネクタ端子の数を増やす場合には、カードソケットにICカードを挿入するとき、ICカードのコネクタ端子とカードソケットのソケット端子との如何なる相対位置によっても電源間ショートを生じない工夫の必要性が本発明者によって見出された。

30

【0007】

第4にPCカードに比べて小さく薄いICカードには保管、携行、出荷などの形態を考慮した工夫が必要である。

【0008】

第5に、マルチメディアカード等の薄いメモリカードではコネクタ端子を選択的に露出させるための機械的シャッタ機構を採用するスペースを得難い。したがって、マルチメディアカードの着脱や携行時にコネクタ端子に直接指などが触れると、実装されている半導体集積回路チップのESD保護耐性を超えるサージによっては静電破壊を生ずる虞がある。マルチメディアカードは、単体で持ち運ばれたり、ホスト装置から頻りに着脱される場合も予想され、静電破壊防止を強化することの有用性が本発明者によって見出された。

40

【0009】

第6に、ICカードの機能向上やコネクタ端子の増加等によってカード基板上の空き領域が減ってくるので、信号線の不所望なリークによる誤動作を生じないように、配線パターンの密集やボンディングワイヤの密集を避ける考慮がICカードの信頼性向上につながる。

【0010】

本発明の目的はICカードの便利性及び信頼性を向上させることにある。

【0011】

本発明の別の目的は、コネクタ端子の配列や機能に関する互換性の実現が容易なICカードを提供することにある。

50

【 0 0 1 2 】

本発明の別の目的は、カードソケットへの装着時に電源間ショートを生じ難いＩＣカードを提供することにある。

【 0 0 1 3 】

本発明の更に別の目的は、配線パターンの密集やボンディングワイヤの密集を回避できるＩＣカードを提供することにある。

【 0 0 1 4 】

本発明のその他の目的は、簡単な構成によってコネクタ端子からのサージ流入を阻止可能なＩＣカードを提供することにある。

【 0 0 1 5 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 6 】

【 課題を解決するための手段 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 7 】

《 ＩＣカードの互換性 》

〔 1 〕コネクタ端子配列の特定の仕様に対してデータ用端子などを追加し上位互換を実現するとき、上位のＩＣカードに関する仕様の上位互換性（例えば上位ＩＣカードのカードソケットに下位ＩＣカードを挿入して利用できるという互換性）と共に、下位互換性（例えば上位ＩＣカードを下位ＩＣカードのソケットに挿入して利用できるという互換性）にも対応可能にすることを、コネクタ端子の配列に対して考慮する。

【 0 0 1 8 】

上記観点によるＩＣカードは、半導体集積回路チップが実装され複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケーシングから露出する。前記コネクタ端子はＩＣカード挿入方向の前後に隣合う列相互間で千鳥状に複数列配置される。

【 0 0 1 9 】

上記千鳥状の配置に対して別の表現をすれば、前記コネクタ端子はＩＣカード挿入方向の前後に形成された２列の配列を有し、第１列目に配置されたコネクタ端子の端子間領域の配列と第２列目に配置されたコネクタ端子の端子間領域の配列とが列方向で相互にずらされて成る。

【 0 0 2 0 】

上記千鳥状の配置に対して更に別の表現をすれば、前記コネクタ端子はＩＣカード挿入方向の前後に形成された２列の配列を有し、第１列目に配置されたコネクタ端子の列方向配置と第２列目に配置されたコネクタ端子の列方向配置とが列方向で相互にずらされて成る。

【 0 0 2 1 】

前記コネクタ端子の配列に、千鳥状で代表される形態の複数列配置を採用することにより、カードソケットのソケット端子の突出量を変えて縦一列に配置する比較的簡単に構成を採用することができる。また、下位ＩＣカードのコネクタ端子配列をそのまま特定のコネクタ端子列に採用し、これに対して千鳥状の別のコネクタ端子配列に上位ＩＣカード専用の機能を割当てれば、上位ＩＣカードを下位ＩＣカードのカードスロットに装着して利用可能にするような下位互換も容易に実現可能になる。

【 0 0 2 2 】

〔 2 〕また、３世代間以上もしくは３種類以上のＩＣカード間での互換性達成を企図するとき、第１のＩＣカードのコネクタ端子配列をそのまま第１列目のコネクタ端子列に採用し、これに対して千鳥状の別の第２列目のコネクタ端子列に第２のＩＣカード専用の機能を割当て、また、前記特定の第１列目の端子列と前記第２列目のコネクタ端子列の双方に第３のＩＣカード専用の機能を割当てるとような場合が想定される。このとき第２のＩＣカードと第３のＩＣカードとの間で上位互換及び下位互換を実現する事を考慮する。そのた

10

20

30

40

50

めに、前記第2列目に配置されたコネクタ端子の列方向一端のコネクタ端子は前記第1列目に配置されコネクタ端子の列方向一端のコネクタ端子と列方向で隣合う位置まで延在させ、前記第2列目に配置されたコネクタ端子の列方向他端のコネクタ端子は前記第1列目に配置されコネクタ端子の列方向他端のコネクタ端子と列方向で隣合う位置まで延在させる構成を採用する。

【0023】

これによれば、第1乃至第3のICカードは相互に他の何れのICカードの-slotにも挿入して利用可能な互換性を容易に実現可能に成る。

【0024】

〔3〕前記コネクタ端子の具体的な機能は任意であるが、現状のマルチメディアカードなどを考慮すれば、前記コネクタ端子は1個の電源電圧供給用端子、2個の接地電圧供給用端子、及び1個のクロック信号入力用端子を含んでよい。

10

【0025】

マルチメディアカードはデータ端子は1ビットであるが、データ入出力レートを上げる事を考慮したとき、4ビット分のデータ用端子を設け前記コネクタ端子を全部で9個設ける構成、或いは8ビット分のデータ用端子を設け前記コネクタ端子を全部で13個設ける構成などを採用してよい。

【0026】

例えばコネクタ端子が前記9端子のICカードを想定したとき、データ端子1ビットのメモリカードとの互換性を実現するとき、前記半導体チップは前記コネクタ端子に接続されたコントローラチップを有し、前記コントローラチップは所定のコネクタ端子の状態又は所定のコネクタ端子からの入力状態に应答して設定される、前記4ビットのデータ用端子の内の1ビットを用いる1ビットモードと、前記4ビットのデータ用端子を用いて4ビット並列入出力を行う4ビットモードとを有する構成が考えられる。

20

【0027】

同様に、コネクタ端子が前記13端子のICカードを想定したとき、データ端子1ビット、4ビットのメモリカードとの互換性を実現する場合、前記コントローラチップは、所定のコネクタ端子の状態又は所定のコネクタ端子からの入力状態に应答して設定される、前記8ビットのデータ用端子の内の1ビットを用いる1ビットモードと、前記8ビットのデータ用端子の内の4ビットを用いて4ビット並列入出力を行う4ビットモードと、前記8

30

【0028】

〔4〕前記1ビットモードだけを有するICカード、前記4ビットモードだけを有するICカード、前記1ビットモードと4ビットモードを選択可能なICカードの何れも利用可能にするデータ処理システムを想定する。このデータ処理システムは、前記1ビットモードと4ビットモードを選択可能なICカードが装着可能なカードソケットを有し、前記カードソケットは装着されたICカードのコネクタ端子に接続される複数個のソケット端子を有し、前記ソケット端子を介して前記ICカードに前記1ビットモード又は4ビットモードを選択的に設定可能なカードインタフェースコントローラを有し、前記カードインタフェースコントローラはホスト制御装置の制御を受ける。

40

【0029】

前記1ビットモードだけを有するICカード、前記4ビットモードだけを有するICカード、前記8ビットモードだけを有するICカード、前記1ビット又は4ビットモードを選択可能なICカード、前記1ビット、4ビットモード又は8ビットモードを選択可能なICカード、の何れも利用可能にするデータ処理システムを想定する。このデータ処理システムは、前記1ビットモード、4ビットモード又は8ビットモードを選択可能なICカードが装着可能なカードソケットを有し、前記カードソケットは装着されたICカードのコネクタ端子に接続される複数個のソケット端子を有し、前記ソケット端子を介して前記ICカードに前記1ビットモード、4ビットモード又は8ビットモードを選択的に設定可能

50

なカードインタフェースコントローラを有し、前記カードインタフェースコントローラはホスト制御装置の制御を受ける。

【0030】

前記ICカードとしてメモリカードを想定すると、前記半導体チップとして、前記コントローラチップに接続される単数又は複数個の例えば電气的に書き換え可能な不揮発性メモリチップを更に備えれば、前記コントローラチップは外部からの指示に従って前記不揮発性メモリチップに対するリード・ライト動作を制御するメモリコントロール機能を備える。不揮発性メモリチップはROMであってもよい。また、用途によっては不揮発性メモリをRAMに代えてもよい。

【0031】

データセキュリティーを考慮するなら、前記コントローラチップは更に、前記不揮発性メモリチップに書込むデータに対して暗号化を行い、前記不揮発性メモリチップから読み出したデータに対して復号を行う機密保護機能を有するとよい。

【0032】

《電源間ショート防止》

ICカード挿入方向第1列目のコネクタ端子列に電源電圧供給用のコネクタ端子が配置されているとき、第2列目のコネクタ端子列には前記電源電圧供給用のコネクタ端子に隣り合う位置に端子間領域を形成しておく。仮に、第2列目のコネクタ端子列に前記電源電圧供給用のコネクタ端子に隣り合う別のコネクタ端子が千鳥状で配置されている場合、当該別のコネクタ端子に割当てられるカードソケットのソケット端子は前記別のコネクタ端子に至る前にその前方に位置する電源供給用コネクタ端子と他のコネクタ端子との双方に接触する虞があり、この状態で電源電圧供給用のコネクタ端子に電源用のソケット端子が既に接触しているなら、電源間ショートの虞がある。前記端子間領域を配置する構成を採用すれば、コネクタ端子の第1列目と第2列目の列間距離を大きくしたり、コネクタ端子の幅を狭くしたりする手段を講じなくてもよい。

【0033】

上記同様の目的で、ICカード挿入方向第1列目のコネクタ端子列には、第2列目のコネクタ端子列に臨む部分に幅広の端子間距離を設定したコネクタ端子を設けてもよい。

【0034】

《ICカードの破損防止》

ICカードをカードソケットに挿入するとき、先ず、ICカードの先端部にソケット端子の接点が当接する。これにより、経時的にICカードのケーシング先端部が変形し或いは亀裂が入る虞がある。また、逆にソケット端子に曲がりを生ずる虞もある。これを回避するために、ICカードのケーシングに、ICカード挿入方向先端縁部からケーシングのコネクタ端子形成面に至る斜面又は円弧で形成された案内部を形成する。この案内部の斜面又は円弧はその他の端縁部に形成された斜面及び円弧よりも大きくする。

【0035】

《配線引き回しの削減》

ICカードは、メモリチップと前記メモリチップを制御するコントローラチップとが実装され複数個のコネクタ端子と共に前記コネクタ端子に導通された複数個の接続パッドが形成されたカード基板を有し、前記カード基板上での配置順序は当該カード基板の一辺に対して前記コネクタ端子、コントローラチップ、メモリチップの順とされ、前記コネクタ端子をケーシングから露出する。前記コントローラチップは前記コネクタ端子の配列方向に沿って縦長形状を有し、コネクタ端子側には当該コネクタ端子に前記接続パッドを介して接続される複数個のコネクタインタフェース端子と前記メモリチップ側には当該メモリチップに接続される複数個のメモリインタフェース端子とを有する。前記メモリチップはコントローラチップ側に当該コントローラチップに接続される複数個のコントローラインタフェース端子を有する。

【0036】

これによれば、縦長のコントローラチップをコネクタ端子側に寄せ、コントローラチップ

10

20

30

40

50

の反対側にメモリチップを配置するから、メモリチップの配置領域を比較的大きくすることができる。さらに、前記コネクタ端子、コントローラチップ、メモリチップを夫々接続する配線はそれらの配列方向に規則的に配置すればよく、チップを迂回したり、複雑に折れ曲がる配線を採用しなくてもよい。

【0037】

前記コントローラチップのコネクタインタフェース端子に前記接続パッドをボンディングワイヤを介して接続し、また、前記メモリチップのコントローラインタフェース端子に前記コントローラチップのメモリインタフェース端子をボンディングワイヤを介して接続してよい。これによれば、カード基板の配線層を簡素化でき、コスト低減に寄与できる。

【0038】

《ハンドリング性向上》

マルチメディアカードなどの比較的小さく薄いICカードの保管及び取り扱い性能を向上させるために、ICカードのケーシングに表裏に貫通する貫通孔を形成するとよい。リングに貫通孔を通せば保管及び持ち運びが容易である。また、貫通孔にストラップを通してよい。

【0039】

また前記貫通孔に枢支され前記ケーシングに重ねられた状態で前記コネクタ端子を覆う端子保護カバーを設けてもよい。この保護カバーは不用意にコネクタ端子に触れてしまう事態を抑制する事ができるから、この点で、ICカードに実装されている半導体集積回路チップの静電破壊防止を強化することができる。

【0040】

《テスト端子》

半導体集積回路チップの実装後におけるテストを効率化するには前記メモリチップ及びコントローラチップを実装したカード基板に、前記コントローラチップ及び前記メモリチップに接続するテスト端子を設けるとよい。テスト端子はケーシングに組み込んだ後は常時露出させない方がよいから、この観点に立てば、前記テスト端子は前記カード基板のコネクタ端子形成面とは反対側の面に形成するのがよい。また、前記コントローラチップのメモリインタフェース側端子を高インピーダンス状態に制御する制御信号を前記コントローラチップに供給するコントロール端子を設ければ、テスト端子を用いてメモリチップを単独テストすることも容易になる。

【0041】

《情報表示》

メモリカードの記憶容量というように、通常ICカードにはその属性情報等が表示される。そのような情報表示はケーシングへのシール貼り付けで行ってもよいが、部品点数削減等を考慮すると、所要の文字情報をケーシングの表面に印刷し、又はその表面に凹陷形成してもよい。

【0042】

また、カードソケットへのICカードの挿入方向を指示する指示記号を前記ケーシングの表面に印刷し、又はその表面に凹陷形成してもよい。

【0043】

【発明の実施の形態】

《マルチメディアカードの上位互換メモリカード》

図1乃至図5にはマルチメディアカードの上位互換メモリカードが例示され、夫々において(A)は端子面、(B)はチップ実装面を示す。

【0044】

先ず、それらメモリカードの基本になるマルチメディアカード準拠のメモリカード(マルチメディアカード準拠メモリカード)MC1について図6を参照しながら説明する。マルチメディアカード準拠メモリカードMC1のカード基板(マルチメディアカード準拠カード基板とも称する)1は、ガラスエポキシ樹脂等の樹脂基板で成る基板の端子面に、夫々同一形状で矩形のコネクタ端子2が等間隔で7個配置され、実装面には前記コネクタ端子

10

20

30

40

50

2に1対1対応で接続パッド3が形成されている。接続パッド3はアルミニウム、銅又は鉄合金などの導電パターンで形成される。コネクタ端子2はアルミニウム、銅又は鉄合金などの導電パターンに金メッキやニッケルメッキ等が施されて成る。接続パッド3とコネクタ端子2との接続はカード基板1上の図示を省略する配線パターンとカード基板1の表裏を導通されるスルーホールとによって行われる。

【0045】

カード基板1の実装面には、例えば電氣的に書き換え可能なフラッシュメモリチップ4と前記フラッシュメモリチップ4を制御するコントローラチップ5とが実装されている。前記コントローラチップ5はコネクタ端子2を介して外部から与えられる指示に従って前記フラッシュメモリチップ4に対するリード・ライト動作を制御する。データセキュリティを考慮する場合には、前記コントローラチップ5は更に、前記フラッシュメモリチップ4に書込むデータに対して暗号化を行い、前記フラッシュメモリチップ4から読み出したデータに対して復号を行う機密保護機能を備えるようにすればよい。

10

【0046】

前記コントローラチップ5は、前記コネクタ端子2の配列方向に沿って縦長形状を有し、コネクタ端子2側には当該コネクタ端子2に前記接続パッド3を介して接続される複数個のコネクタインタフェース端子5Piと前記メモリチップ4側には当該メモリチップ4に接続される複数個のメモリアンタフェース端子5Pjとを有する。前記メモリチップ4はコントローラチップ5側に当該コントローラチップ5に接続される複数個のコントローラインタフェース端子4Pkを有する。前記接続パッド3は前記コントローラチップ5のコネクタインタフェース端子5Piにボンディングワイヤ7で接続される。前記コントローラチップ5のメモリアンタフェース端子5Pjはメモリチップ4のコントローラインタフェース端子4Pkにボンディングワイヤ8で接続される。9は中継パターンである。

20

【0047】

更にカード基板1には、前記コントローラチップ5及び前記メモリチップ4にボンディングワイヤ(又は配線パターン)11で接続するテスト端子10を有する。カード基板1は実装面を内側に向けてケーシング12に取り付け固定され、実装面はケーシング12で覆われて保護され、端子面はケーシング12から露出される。尚、ボンディングワイヤ7, 8, 11による接続は一例を図示してあり、図示を省略する端子も同様にボンディングワイヤ等で接続されている。

30

【0048】

ここで、端子面のコネクタ端子2には便宜上端子番号#1~#7を付してある。マルチメディアカードモードでは#1はリザーブ端子(オープン又は論理値“1”に固定)、#2はコマンド端子(コマンド入力及び応答信号出力を行う)、#3及び#6は回路の接地電圧(グランド)端子、#4は電源電圧供給端子、#5はクロック入力端子、#7はデータの入出力端子として機能される。SPI(Serial Peripheral Interface)モードでは#1はチップセレクト端子(負論理)、#2はデータ入力端子(ホスト装置からカードへのデータ及びコマンド入力用)、#3及び#6は回路の接地電圧(グランド)端子、#4は電源電圧供給端子、#5はクロック入力端子、#7はデータ出力端子(メモリカードからホスト装置へのデータ及びステータス出力)として機能される。マルチメディアカードモードは複数のマルチメディアカードを同時に使用するシステムに好適な動作モードであり、マルチメディアカードの識別は図示を省略するホスト装置がマルチメディアカードに設定したカード識別ID(相対アドレス)を用いる。SPIモードは簡易で安価なシステムでの利用に最適であり、マルチメディアカードの動作選択はホスト装置から#1のコネクタ端子に供給されるチップ選択信号によって行われる。何れの動作モードにおいても、コントローラチップ5はホスト装置から与えられるコマンドにตอบสนองしてメモリチップのアクセス制御とホスト装置とのインタフェース制御を行う。

40

【0049】

図1には前記マルチメディアカードに対してデータ端子が4ビットとされる上位互換のメモリカードMC2が例示される。メモリカードMC1との相違点は、コネクタ端子2及び

50

接続パッド3が9個配置される点である。前記端子番号#1～#7はマルチメディアカード準拠メモリカードMC1とレイアウト構成が同一であり、追加された2個のコネクタ端子は端子番号#8、#9とされる。

【0050】

前記#1～#7のコネクタ端子2はカード基板1Aに対して第1列目のコネクタ端子列を構成し、追加された前記#8、#9のコネクタ端子2は第1列目のコネクタ端子列に対して離間配置された第2列目のコネクタ端子列を構成する。#8、#9のコネクタ端子2の大きさは他のコネクタ端子2の大きさと同じである。第1列目のコネクタ端子列と第2列目のコネクタ端子列とはコネクタ端子の列方向配置が列方向で相互にずれている。換言すれば、#7と#9のコネクタ端子2、そして#7と#8のコネクタ端子2は千鳥状に配置されている。

10

【0051】

このメモリカードMC2は、端子#2～#7がマルチメディアカード準拠メモリカードMC1のマルチメディアカードモードと同一機能に割り当てられ、当該マルチメディアカードモードにおいてリザーブ端子であった端子#1は第4ビット目のデータ端子DATA3、追加された端子#8、#9は第2ビット目のデータ端子DATA1、第3ビット目のデータ端子DATA2とされる。第1ビット目のデータ端子DATA0はマルチメディアカードモードと同じ端子#7である。従ってこのメモリカードMC2は、前記メモリカードMC1のマルチメディアカードモードにおいてデータ入出力が4ビット並列で可能にされる点で前記メモリカードMC1と相違される。

20

【0052】

更にこのメモリカードMC2は、前記マルチメディアカード準拠メモリカードMC1に対して下位互換モードを備える。即ち、前記コントローラチップ5Aは、前記4ビットのデータ用端子#1、#7、#8、#9の内の1ビット#7を用いる1ビットモードと、前記4ビットのデータ用端子#1、#7、#8、#9を用いた4ビット並列入出力を行う4ビットモードとを有する。前記1ビットモードはメモリカードMC2をマルチメディアカード準拠メモリカードMC1として動作させる動作モードである。

【0053】

前記動作モードの設定は所定のコネクタ端子の状態又は所定のコネクタ端子からのコマンド入力状態に応答して設定すればよい。例えば、メモリカードMC2をマルチメディアカード準拠メモリカードMC1のカードソケットに装着したとき前記端子#8、#9はフローティングになるから、電源投入時にコントローラチップ5Aが端子#8、#9の双方又は一方のフローティング状態を検出することによって当該メモリカードMC2に前記1ビットモードを設定すればよい。また、コネクタ端子2が9個のメモリカードMC2をそれぞれ専用のカードソケットに装着したとき前記端子#8、#9はカードソケットのソケット端子に導通されるから、電源投入時にコントローラチップ5Aが少なくとも端子#8、#9の双方又は一方にホスト装置から特定の信号若しくはコマンドが供給されるのを検出することによって当該メモリカードMC2に前記4ビットモードを設定すればよい。

30

【0054】

コントローラチップ5Aは接続パッド3に接続されるデータ入出力端子の数が4個である点で前記コントローラチップ5と相違する。その他の構成は図6と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

40

【0055】

図2には前記マルチメディアカードに対してデータ端子が4ビットとされる上位互換の別のメモリカードMC3が例示される。このメモリカードMC3のカード基板1Bは、メモリカードMC2に対して、前記端子番号#8、#9のデータ端子の配置及び大きさの点で相違している。#8のデータ端子は第1列目の端子列に完全に組み込まれ、他のコネクタ端子2に比べて僅かに幅が小さくされている。#9のデータ端子は#1のデータ端子の外側でこれと入れ子の状態になる位置に配置変更されている。その他の構成は図1と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

50

【0056】

図3には前記マルチメディアカードに対してデータ端子が8ビットとされる上位互換のメモリカードMC4が例示される。メモリカードMC1との相違点は、コネクタ端子2及び接続パッド3が13個配置される点である。前記端子番号#1～#7はマルチメディアカード準拠メモリカードMC1とレイアウト構成が同一であり、追加された6個のコネクタ端子は端子番号#8～#13とされる。

【0057】

前記#1～#7のコネクタ端子2はカード基板1Cに対して第1列目のコネクタ端子列を構成し、追加された前記#8～#13のコネクタ端子2は第1列目のコネクタ端子列に対して離間配置された第2列目のコネクタ端子列を構成する。#8～#13のコネクタ端子2の大きさは他のコネクタ端子2の大きさと同じである。第1列目のコネクタ端子列と第2列目のコネクタ端子列とはコネクタ端子の列方向配置が列方向で相互にずれている。コネクタ端子2の端子間領域に着目すれば、第1列目のコネクタ端子列の端子間領域の配列と第2列目のコネクタ端子列の端子間領域の配列とが列方向で相互にずれている。要するに、図1のメモリカードMC2と同様に、第1列目と第2列目のコネクタ端子は列相互間で千鳥状に配置されている。

10

【0058】

このメモリカードMC4は、端子#2～#7がマルチメディアカード準拠メモリカードMC1のマルチメディアカードモードと同一機能に割り当てられ、当該マルチメディアカードモードにおいてリザーブ端子であった端子#1は第4ビット目のデータ端子DATA3、追加された端子#8、#9、#10、#11、#12、#13は順次第2ビット目のデータ端子DATA1、第5ビット目のデータ端子DATA4、第7ビット目のデータ端子DATA6、第8ビット目のデータ端子DATA7、第6ビット目のデータ端子DATA5、第2ビット目のデータ端子DATA1とされる。第1ビット目のデータ端子DATA0はマルチメディアカードモードと同じ端子#7である。従ってこのメモリカードMC4は、前記メモリカードMC1のマルチメディアカードモードにおいてデータ入出力が8ビット並列で可能にされる点で前記メモリカードMC1と相違される。

20

【0059】

更にこのメモリカードMC4は、前記マルチメディアカード準拠メモリカードMC1に対して下位互換モードを備える。即ち、コントローラチップ5Bは、前記8ビットのデータ用端子#1、#7～#13の内の1ビット#7を用いる1ビットモードと、前記8ビットのデータ用端子#1、#7～#13の内の4ビット#1、#7、#8、#13を用いた4ビット並列入出力を行う4ビットモードと、前記8ビットのデータ用端子#1、#7～#13を用いた8ビット並列入出力を行う8ビットモードとを有する。前記1ビットモードはメモリカードMC4をマルチメディアカード準拠メモリカードMC1として動作させる動作モードである。前記4ビットモードはメモリカードMC2、MC3の4ビットモードと同じ動作モードである。

30

【0060】

前記動作モードの設定は所定のコネクタ端子の状態又は所定のコネクタ端子からのコマンド入力状態に応答して設定すればよい。例えば、メモリカードMC4をマルチメディアカード準拠メモリカードMC1のカードソケットに装着したとき前記端子#8～#13はフローティングになるから、電源投入時にコントローラチップ5Bが前記4ビットモードとの相違を認識できるデータ端子DATSA1、DATA2の双方又は一方のコネクタ端子2のフローティング状態をソフト的又はハード的に(ソフトウェアを専ら利用し又はハードウェア的な構成を専ら利用して)検出することにより、当該メモリカードMC4に前記1ビットモードを設定すればよい。

40

【0061】

また、前記メモリカードMC4を図1のメモリカードMC2のカードソケットに装着したとき前記端子#9～#12はフローティングになるから、電源投入時にコントローラチップ5Bがデータ端子DATSA4～DATA7の全部又は一部のコネクタ端子2のフロー

50

ティング状態をソフト的又はハード的に検出することによって当該メモリカードMC4に前記4ビットモードを設定すればよい。

【0062】

また、前記メモリカードMC4をそれ専用のカードソケットに装着したとき前記端子#9～#12はカードソケットのソケット端子に導通されるから、電源投入時にコントローラチップ5Bが少なくともデータ端子DATSA4～DATA7の全部又は一部に宿主装置から特定の信号若しくはコマンドが供給されるのを検出することによって当該メモリカードMC4に前記8ビットモードを設定すればよい。

【0063】

コントローラチップ5Bは接続パッド3に接続されるデータ入出力端子の数が8個である点で前記コントローラチップ5と相違する。その他の構成は図6と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

10

【0064】

図4には前記マルチメディアカードに対してデータ端子が8ビットとされる上位互換の別のメモリカードMC5が例示される。このメモリカードMC5のカード基板1Dは、メモリカードMC4に対して、前記端子番号#8、#13のコネクタ端子2の配置を図2のメモリカードMC3と同様にした点で相違している。#13のデータ端子は第1列目の端子列に完全に組み込まれ、他のコネクタ端子2に比べて僅かに幅が小さくされている。#8のデータ端子は#1のデータ端子の外側でこれと入れ子の状態になる位置に配置変更されている。その他の構成は図3と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

20

【0065】

図5には前記マルチメディアカードに対してデータ端子が8ビットとされる上位互換の更に別のメモリカードMC6が例示される。このメモリカードMC6のカード基板1Eは、図3のメモリカードMC4に対して、前記端子番号#8、#13のコネクタ端子2の形状を図4の端子番号#8、#13のコネクタ端子2を包含するように延在させた点で相違している。即ち、端子番号#13のコネクタ端子2は前記第1列目に配置されコネクタ端子列の列方向一端のコネクタ端子#7と列方向で完全に隣合う位置まで延在され、端子番号#8のコネクタ端子2は前記第1列目に配置されコネクタ端子列のコネクタ端子#1と列方向で部分的に重なって隣合う位置まで延在されている。その他の構成は図3と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

30

【0066】

《ICカードの互換性》

上記より明らかなように図1乃至図5のメモリカードMC2～MC6は図6のマルチメディアカード準拠メモリカードMC1もしくは図示しない公知のマルチメディアカードに対して上位互換性を有し、例えば上位メモリカードのカードソケットに下位メモリカードを挿入して利用できる。更に、例えば上位メモリカードを下位メモリカードのソケットに挿入して利用できるという下位互換性も備える。詳しくは、図1、図2のメモリカードMC2、MC3は図6のメモリカードMC1との関係において上位及び下位互換性がある。図3のメモリカードMC4は図6、図1のメモリカードMC1、MC2との関係において上位及び下位互換性がある。図4のメモリカードMC5は図6、図2のメモリカードMC1、MC3との関係において上位及び下位互換性がある。そして図5のメモリカードMC6は、図3のメモリカードMC4のコネクタ端子2の配列と図4のメモリカードMC5のコネクタ端子2の配列との双方を包含するコネクタ端子配列を有しているから、図1、図2、図3、図4及び図6の何れとの関係においても上位及び下位互換性のあるオールマイティカードとして位置付けられる。

40

【0067】

図7には前記オールマイティカードMC6に対応されたカードソケットに当該メモリカードMC6を装着した状態が示される。カードソケット22は奥部に夫々のコネクタ端子2に対応して突出されたソケット端子22Aを有する。前記コネクタ端子2の配列に、前

50

記千鳥状で代表される形態の複数列配置を採用しているから、カードソケット 2 2 のソケット端子 2 2 A の突出量を変えて縦一列に配置する比較的簡単に構成を採用することができる。コネクタ端子 2 との接点はソケット端子 2 2 A の先端（ 印）部分である。

【 0 0 6 8 】

図 8 には図 1 のマルチメディアカード準拠メモリカード M C 1 又は図示を省略するマルチメディアカードに対応されたカードソケット 2 1 に前記オールマイティなメモリカード M C 6 を装着した状態が示される。前述のように、メモリカード M C 6 は前記 1 ビットモードが設定されることによってマルチメディアカード準拠メモリカード M C 1 又は図示を省略するマルチメディアカードと同じ動作が可能にされる。

【 0 0 6 9 】

図 9 には図 2 のマルチメディアカード準拠メモリカード M C 3 に対応されたカードソケット 2 2 に前記オールマイティなメモリカード M C 6 を装着した状態が示される。前述のように、メモリカード M C 6 は前記 4 ビットモードが設定されることによってメモリカード M C 3 と同じ動作が可能にされる。

【 0 0 7 0 】

特に図示はしないが、図 7 のカードソケット 2 2 に図 6 及び図 1 乃至図 4 のメモリカード M C 1 ~ M C 5 を装着しても、夫々所定の動作モードで動作することができ、カード厚さがマルチメディアカードの 1 . 4 m m 厚と略同じであり、相互に他の何れのカードソケットにも挿入して利用可能な互換性が容易に実現可能になる。

【 0 0 7 1 】

図 1 0 には図 7 の前記カードソケット 2 2 を有するデータ処理システムの概略ブロック図が示される。同図に示されるデータ処理システムは、前記 1 ビットモード、 4 ビットモード又は 8 ビットモードを選択可能なメモリカード M C 6 が装着可能なカードソケット 2 2 を有し、前記カードソケット 2 2 は図 7 に示されるように装着されたメモリカード M C のコネクタ端子 2 に接続される複数個のソケット端子 2 2 A を有し、前記ソケット端子 2 2 A を介して前記メモリカード M C に前記 1 ビットモード、 4 ビットモード又は 8 ビットモードを選択的に設定可能なカードインタフェースコントローラ 3 0 を備える。前記カードインタフェースコントローラ 3 0 はホスト制御装置 3 1 の制御を受ける。ホスト装置 3 1 は例えば C P U ボードのような回路であり、マイクロプロセッサ、このマイクロプロセッサのワーク R A M を有し、バスを介して前記カードインタフェースコントローラ 3 0 との間でコマンドやデータのインタフェース制御、そして、カードソケット 2 2 に装着されたメモリカード M C に対して前述のような動作モードの設定制御を行う。これにより、 M C 1 乃至 M C 6 の何れのメモリカードも利用することができる。

【 0 0 7 2 】

尚、図示はしないが、メモリカード M C 2 又は M C 3 のカードソケットを有するデータ処理システムに対しても、同様にして複数種類のメモリカードを利用可能に構成することができる。

【 0 0 7 3 】

《電源間ショート防止》

前記図 1 乃至図 5 のメモリカード M C 2 ~ M C 6 において前後 2 列のコネクタ端子 2 の配列には電源間ショートの防止が考慮されている。上記の例では電源供給用コネクタ端子である # 4 の端子の後方には端子が配置されていない。図 7 に例示されるように行方向の前後にコネクタ端子 2 が配置されている部分では、カードソケット 2 2 のソケット端子は、短い端子 2 2 A s と長い端子 2 2 A l が交互にコネクタ端子 2 の半分のピッチで密集して配置されている。これに対して後ろにコネクタ端子が無ければ、図 7 に例示されるように、電源電圧 (V d d) 供給用の # 4 のコネクタ端子に対応されるソケット端子 2 2 A a の両隣には長いソケット端子 2 2 A l が配置されない。

【 0 0 7 4 】

これに対して図 1 1 の (A) に例示されるように、電源電圧 (V d d) 供給用の # 4 のコネクタ端子の後ろに # 1 0 、 # 1 1 のデータ端子を配置したメモリカード M C 7 を想定す

10

20

30

40

50

る。このメモリカードMC7に対応されるカードソケット23では、#4のコネクタ端子に対応されるソケット端子23Aaの隣には長いソケット端子23Abが配置される事になる。

【0075】

上記メモリカードMC7をカードソケット23に挿入するとき、図11の(B)に例示されるようにソケット端子23Abの接点(印部分)は電源電圧Vddを入力する#4のコネクタ端子と回路の接地電圧Vssを入力する#3のコネクタ端子の表面に摺接する。このとき、電源電圧Vddを受けるソケット端子23Aaが#4のコネクタ端子に導通し、回路の接地電圧Vssを受けるソケット端子23Acが#3のコネクタ端子に導通すると、図11の(C)に示されるように、23Aaの接点、#4、23Abの接点、#3、23Acの接点を介して電源電圧Vddと接地電圧Vssがショートする。

10

【0076】

図7に例示されるように電源供給用コネクタ端子である#4の端子の後方にコネクタ端子を配置しないことにより、そのような電源ショートの虞を未然に防止する事ができる。

【0077】

前記電源ショートの対策は、図12に例示されるように、メモリカード挿入方向第1列目のコネクタ端子列には、第2列目のコネクタ端子列に臨む部分に幅広の端子間距離を設定したコネクタ端子2Aを設ければよい。要するにコネクタ端子2Aの後方の角部分には比較的大きな面取り部分を形成しておけばよい。

【0078】

その他の電源ショートの対策は、図13に例示されるように、短い方のソケット端子23Aa、23Acの接点の先端から、長い方のソケット端子23Abの接点の基端までの距離D1が、#3、#4のコネクタ端子の幅寸法B1よりも大きければよい。また、ソケット端子23Abの太さが#3、#4のコネクタ端子の間隔寸法より十分小さければよい。但し、寸法的な規定によって電源ショートを防止する場合には、加工誤差や組立て誤差があり、また、メモリカード自体剛体と見なすには無理があるため、高い信頼性をもって電源ショートを防止するには図7や図12の手段を講ずるのが得策である。

20

【0079】

《配線引き回しの削減》

図1乃至図6で説明したメモリカードMC1~MC6は、前記カード基板上での配置順序は当該カード基板の一辺に対して前記コネクタ端子2、コントローラチップ5(5A,5B)、フラッシュメモリチップ4の順とされ、前記コネクタ端子2はケーシング12から露出される。前記コントローラチップ5(5A,5B)は前記コネクタ端子2の配列方向に沿って縦長形状を有し、コネクタ端子2の側には当該コネクタ端子2に前記接続パッド3を介して接続される複数個のコネクタインタフェース端子5Piと前記フラッシュメモリチップ4の側には当該フラッシュメモリチップ4に接続される複数個のメモリインタフェース端子5Pjとを有する。前記フラッシュメモリチップ4はコントローラチップ5(5A,5B)の側に当該コントローラチップ5(5A,5B)に接続される複数個のコントローラインタフェース端子4Pkを有する。前記端子5Pi,5Pj,4Pkは例えばボンディングパッドによって構成される。

30

【0080】

これによれば、縦長のコントローラチップ5(5A,5B)をコネクタ端子2の側に寄せ、コントローラチップ5(5A,5B)の反対側にフラッシュメモリチップ4を配置するから、フラッシュメモリチップ4の配置領域を比較的大きくすることができる。さらに、前記コネクタ端子2、コントローラチップ5(5A,5B)、メモリチップ4を夫々接続する配線はそれらの配列方向に規則的に配置すればよく、チップを迂回したり、複雑に折れ曲がる配線を採用しなくてもよい。

40

【0081】

前記コントローラチップ5(5A,5B)のコネクタインタフェース端子5Piに前記接続パッド3をボンディングワイヤ7を介して接続し、また、前記フラッシュメモリチップ

50

4のコントローラインタフェース端子4Pkに前記コントローラチップ5(5A,5B)のメモリインタフェース端子5Pjをボンディングワイヤ8及び導電パターン9を介して接続してよい。これにより、カード基板の配線層を簡素化でき、コスト低減に寄与できる。

【0082】

図14の比較例に示されるようにコントローラチップやフラッシュメモリチップのボンディングパッドのようなインタフェース端子の向きが接続パッド3の向きに対してバラバラである場合には、接続パッド、コントローラチップ、メモリチップを夫々接続する配線はチップを迂回したり、複雑な経路を通り、カード基板の配線層を複雑化し、電気的特性を劣化させ、コストを上昇させ、信頼性も低くなってしまふ。

10

【0083】

図15には図6のマルチメディアカード準拠メモリカードMC1の回路素子実装状態の詳細な構成を平面的に例示してある。図16はその縦断面図である。図15及び図16の構成ではテスト端子10は図示を省略してある。また、図15、図16では図6とは異なる参照符号を用いた部分がある。

【0084】

カード基板1はガラスエポキシ樹脂などで構成され、そのカード基板1の裏面には前記コネクタ端子2が導電パターンで形成されている。カード基板1の表面には、配線パターンや導電パターンを介して前記コントローラチップ5、フラッシュメモリチップ4が実装されている。図において、3はスルーホール40を介して対応するコネクタ端子2に接続された接続パッドである。

20

【0085】

図15において図6のボンディングワイヤ8は8a、8b、8cに分けて図示してある。コントローラチップ5やメモリチップ4は所謂ベアチップであり、それらの前記外部端子5Pi,5Pj,4Pkは、アルミニウム、アルミニウム合金、銅又は鉄合金等のボンディングパッドである。

【0086】

前記フラッシュメモリチップ4は、例えばコントロールゲート、フローティングゲート、ソース及びドレインを持つ不揮発性メモリセルトランジスタをマトリクス配置したメモリセルアレイを有し、外部から供給されるコマンドとアドレスにしたがって、データ読み出し、消去、書込み、ベリファイなどの動作を行うようになっている。このフラッシュメモリチップ4は、複数個の外部端子4Pkとして、チップ選択を指示するチップイネーブル信号(チップ選択信号とも称する)/CEの入力端子、書込み動作を指示するライトイネーブル信号/WEの入力端子、入出力端子I/O0~I/O7、入出力端子I/O0~I/O7をコマン・データの入出力又はアドレスの入力の何れに用いるかを指示するコマン・データイネーブル信号/CDEの入力端子、出力動作を指示するアウトプットイネーブル信号/OEの入力端子、データラッチタイミングを指示するクロック信号/SCの入力端子、書込み動作中かを外部に指示するレディ・ビジー信号R/Bの出力端子、リセット信号/RESの入力端子を有する。

30

【0087】

前記コントローラチップ5は外部からの指示に従って前記フラッシュメモリチップ4に対するリード・ライト動作を制御し、更に、データセキュリティ若しくは著作権保護などを考慮して、前記フラッシュメモリチップ4に書込むデータに対して暗号化を行い、前記フラッシュメモリチップ4から読み出したデータに対して復号を行う機密保護機能を備えている。

40

【0088】

コントローラチップ5の外部端子5Piは、コネクタ端子3の入出力機能に対応される。コントローラチップ5におけるメモリアクセスのための外部端子5Pjとして、フラッシュメモリチップ4に対するチップ選択信号/CE0の出力端子、フラッシュメモリチップ4に対するチップ選択信号/CE1の出力端子を有し、更に前記フラッシュメモリチップ

50

4の外部端子4Pkに対応され且つそれとは入出力方向が逆にされた外部端子を有する。

【0089】

上述のように、前記接続パッド3とコントローラチップ5の外部端子5Piとの接続にボンディングワイヤ7を用い、前記コントローラチップ5とフラッシュメモリチップ4との接続にボンディングワイヤ8a、8b、8cを用いることにより、前記ボンディングワイヤによる接続と同機能の多数の配線パターンをカード基板1に密集させて形成しなくてもよい。コントローラチップ5やフラッシュメモリチップ4の上方空間を配線に利用できる。要するに、ボンディングワイヤの空中配線により、基板配線を簡略化することが可能になる。したがって、カード基板1のコスト低減に寄与することができる。

【0090】

図15の構成では2個のフラッシュメモリチップ4をボンディングワイヤでコントローラチップ5に並列的に接続している。このとき、前記2個の不揮発性メモリチップ4を夫々の外部端子4Pkが露出するように位置をずらして重ねた状態で前記カード基板1に実装してある。これにより、夫々の不揮発性メモリチップ4を重ねずに配置する場合に比べて、コントローラチップ5との距離が短くなり、ボンディングワイヤ8b、8cの引き回し長さが短くなる。したがって、ボンディングワイヤの不所望な接触や断線の虞を低減することができる。複数個の不揮発性メモリチップを積層するときのずらし量は、上層チップのボンディング用外部端子の下には一つ下層のチップが存在できる範囲で決めればよい。ボンディング用外部端子の下に下層のチップが存在していないと、ボンディング時の機械的な力によるチップ損傷の虞があるからである。

【0091】

図16において、前記コントローラチップ5及び不揮発性メモリチップ4は全体として熱硬化性樹脂55でモールドされている。このとき、熱硬化性樹脂55によるモールド領域にはスルーホール40を含まないようにしている。したがって、圧力をかけてモールドを行うとき、モールド樹脂55がスルーホール40を介してカード基板1の裏側に漏れて、モールド不良を生ずるような虞を排除することができる。

【0092】

図16において、カード基板1の表面を覆うケーシング12は例えば表面を絶縁コーティングした金属キャップ等で構成することができる。これにより、樹脂キャップに比べて、EMI (Electro Magnetic Interference: 電磁波妨害) 対策になり、機械的な締め付けによる封止や高温のキャップ封止も可能になる。

【0093】

《テスト端子》

図1乃至図6で説明したカード基板1、1A~1Eは、コントローラチップ5及びフラッシュメモリチップ4の実装後におけるテストを効率化するために、前記コントローラチップ5及び前記メモリチップ4に接続するテスト端子10が設けられている。テスト端子10はケーシングに組み込んだ後は常時露出させない方がよいから、この観点に立てば、前記テスト端子は前記カード基板のコネクタ端子3の形成面とは反対側の面に形成されている。

【0094】

図17には図6のマルチメディアカード準拠メモリカードMC1のテスト端子の接続状態が例示される。図17ではテスト端子の接続状態を強調するためにコントローラチップ5と不揮発性メモリチップ4との接続状態については図示を簡略化している。図17において図6と同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

【0095】

コントローラチップ5は、図6には図示を省略しているが外部端子5Pjの一つとして内部でプルアップしたテスト信号/TESTの入力端子(単にテスト端子/TESTとも記す)を有する。このテスト端子/TESTは、ローレベルが入力されているとき、不揮発性メモリチップ4とのインタフェース端子、特に出力端子及び入出力端子を高出力インピーダンス状態、又は入出力動作不可能な状態に制御する。また、TEST入力端子はセキ

10

20

30

40

50

ュリティーのためシリアルコマンド（暗号命令）で入力制御してもよい。

【0096】

カード基板1には前記コントローラチップ5のメモリアンタフェース側のテスト端子/TESTに配線11aで接続されたテスト制御端子10aが形成されている。カード基板1には前記コントローラチップ5のメモリアンタフェース側の残りの全ての外部端子5Pjに配線11bで一対一対応に接続されたテスト端子10bが形成されている。また、前記コントローラチップ5のコネクタフェース側の外部端子5Piのうちグランド電源Vss用の外部端子に配線11cで接続されたテスト用グランド端子10cと、同様に、前記コントローラチップ5のコネクタインタフェース側の外部端子5Piのうち電源電源Vdd用の外部端子に配線11dで接続されたテスト用電源端子10dが設けられている。図17において、33で示されるものは静電破壊防止のためにカード基板1に追加されたガードリングである。このガードリング33はカード基板1を周回し、回路のグランド電源端子に接続されている。

10

【0097】

前記コントローラチップ5のメモリアンタフェース側端子を高インピーダンス状態に制御する制御信号/TESTを前記コントローラチップ5に供給するコントロール端子10aを有するから、テスト端子10b~10dを用いてメモリチップ4を単独テストすることが容易になる。

【0098】

テスト端子10b、10c、10dが前記カード基板1に形成されているから、コントローラチップ5が静電破壊等によってメモリコントロール動作不可能にされたとき、外部からテスト端子10b、10c、10dを介し前記不揮発性メモリチップ4を直接アクセス制御することができる。これにより、コントローラチップ5が破壊されても、不揮発性メモリチップ4にデータが残っていれば、これを容易に回復することができる。

20

【0099】

《ハンドリング性向上》

図1乃至図6で説明したマルチメディアカード準拠カード等のメモリカードは、1.4mmのように比較的薄く、また、24mm×32mmのように比較的小さい。そのようなメモリカードMC1~MC6の保管及び取り扱い性能を向上させるために、図18、図19に例示されるようにメモリカードMC1~MC6のケーシング12に表裏に貫通する貫通孔40を形成する。貫通孔40の周囲は、座ぐられていてケーシング12の外縁に連通されている。図18の例では座ぐり部分41はメモリカードの種別などの情報を表示するための段差部（キャビティー領域）が流用されている。図19では特別に座ぐり部分41を形成してある。図19において42で示される部分はメモリカードの種別などの情報を表示するための領域である。貫通孔40の周囲を補強するために所謂ハトメのような中空部材を挿入してもよい。

30

【0100】

図20に例示されるように開閉可能なリング43に貫通孔40を通せば、メモリカードMC1（MC2~MC6）の保管及び持ち運びが容易になる。またリング43に通した状態を出荷形態としてもよい。

40

【0101】

図21に例示されるように、貫通孔40にストラップ44を通してよい。図22に例示されるようにストラップ44をつけたままでメモリカードMC1（MC2~MC6）をPCカードアダプタ45に装着する場合を想定する。同図（A）、（B）、（C）の順に装着が進むと、前記貫通孔40の部分もPCカードアダプタ45に挿入されることになる。このとき、メモリカードMC1（MC2~MC6）の外縁に連通する前記座ぐり部分41がストラップ44の接続リング部分の逃げになり、ストラップ44がメモリカードMC1（MC2~MC6）の装着を妨げる事はない。

【0102】

また前記貫通孔40には、図23に例示されるように中空リベット50を用いてコネクタ

50

端子 2 の保護カバー 5 1 を枢支（回動可能に軸支）してもよい。即ち、メモリカード MC 1（MC 2～MC 6）の端子面と概略相似形の平板状の保護カバー 5 1 を用意し、この保護カバー 5 1 をメモリカード MC 1（MC 2～MC 6）の端子面（コネクタ端子 2 が形成されている面）に重ね、その上から中空リベット 5 0 を貫通孔 4 0 に向けて挿入し、中空リベット 5 0 の突出端を幅広に変形して、保護カバー 5 1 を開閉可能にする。保護カバー 5 1 は例えば薄いプラスチック板であり、前記ケーシング 1 2 に重ねられた状態で前記コネクタ端子 2 を覆う。この保護カバー 5 1 は不用意にコネクタ端子 2 に触れてしまう事態を抑制する事ができるから、この点で、メモリカード MC 1（MC 2～MC 6）に実装されているコントローラチップ 5 の静電破壊防止を強化することができる。

【 0 1 0 3 】

図 2 4 に示されるように、前記中空リベット 5 0 の中空孔 4 0 A に前記リング 4 3 を通せば、メモリカード MC 1（MC 2～MC 6）の保管及び持ち運びに便利である。

【 0 1 0 4 】

図 2 5 に例示されるように保護カバー 5 1 をつけたままでもメモリカード MC 1（MC 2～MC 6）を PC カードアダプタ 4 5 に装着する事ができる。同図（A）、（B）、（C）の順に装着が進むと、前記中空リベット 5 0 も PC カードアダプタ 4 5 に挿入されることになるが、中空リベット 5 0 の頭部が比較的薄ければメモリカード MC 1（MC 2～MC 6）の装着を妨げる事はない。

【 0 1 0 5 】

尚、図 2 0 乃至図 2 5 においてメモリカード MC 1（MC 2～MC 6）のキャビティ一部分には前記貫通孔 4 0 や中空リベット 5 0 を避けてシールが貼り付けられている。シールには記憶容量などが印刷されている。前記貫通孔 4 0 の形成とシール貼り付けは別工程で行われるから、相互の孔の位置合わせなどを行わなくて済む。

【 0 1 0 6 】

《メモリカードの破損防止》

図 2 6 にはメモリカード MC 1（MC 2～MC 6）の端子面の状態が、（A）平面図、（B）正面図、（C）側面図によって例示される。メモリカード MC 1（MC 2～MC 6）に、メモリカード挿入方向先端縁部 6 0 からケーシング 1 2 の端子面 6 1 に至る斜面又は円弧で形成された案内部 6 2 を形成する。この案内部 6 2 の斜面（所謂 C 加工面）又は円弧（R 加工面）はその他の端縁部に形成された斜面及び円弧よりも大きくされている。

【 0 1 0 7 】

メモリカード MC 1（MC 2～MC 6）をカードソケットに挿入するとき、先ず、メモリカード MC 1（MC 2～MC 6）の前記案内部 6 2 にソケット端子 2 0 A（2 1 A，2 2 A）の接点が当接し、接点が衝撃的にカードの先端に衝突することなく、接点を緩やかに端子面 6 1 に案内する。これにより、経時的にメモリカード MC 1（MC 2～MC 6）のケーシング 1 2 の先端部が変形したり亀裂が入る虞を未然に防止することができる。ソケット端子に曲がりを生ずる虞もない。

【 0 1 0 8 】

前記案内部 6 2 はカード基板 1（1 A～1 E）に形成するのは難しく、ケーシング 1 2 に形成するのが容易である。したがって、端子面 6 1 においてカード基板 1（1 A～1 E）の周囲にはある程度の幅を持ってケーシングの肉厚が残っていなければならない。このとき、図 2 6 に代表されるようにカード基板の方向性を示すための斜め切取り部分 6 3 が存在すると、前記肉厚部分を確保するのが難しい場合も想定される。その場合には、図 2 7 に例示されるように、斜め切取り部分 6 3 を 2 辺切り取り部分 6 4 として成形すれば、ケーシング 1 2 のその部分の肉厚を確保し易くなる。

【 0 1 0 9 】

《情報表示》

メモリカード MC 1（MC 2～MC 6）では記憶容量等のようにその属性情報等が表示される。そのような情報表示は図 2 8 に例示されるようにケーシング 1 2 へのシール 6 6 の貼り付けで行ってもよい。部品点数削減等を考慮する場合は、図 2 9 に例示されるよう

10

20

30

40

50

に、所要の文字情報 67 をケーシング 12 の表面に予め印刷しておけばよい。特に図示はしないが、印刷に代えて文字情報 67 をケーシング 12 の表面に予め凹陷形成してもよい。前記印刷又は凹陷形成はメモリカードの組立て前に行うのが良い。半導体チップに無用なストレスを与えずに済む。

【0110】

また、図 30 に例示されるように、カードソケットへのメモリカード MC1 (MC2 ~ MC6) の挿入方向を指示する指示記号 (例えば三角記号) 68 を前記ケーシング 12 の表面に予め凹陷形成する。特に図示はしないが、凹陷形成に代えて指示記号 (例えば三角記号) 68 をケーシング 12 の表面に予め印刷してもよい。これにより、指示記号を有するシール等をの部品を削減する事ができる。

10

【0111】

《ライトプロテクト》

メモリカード MC1 (MC2 ~ MC6) は前述のように比較的小さく薄いから、ライトプロテクトのために機械的なスライド機能を採用するスペースを割く事は難しい。このような事情の下で、ライトプロテクトが必要な場合には、図 31 及び図 32 に例示されるシール構造、図 33 及び図 34 に例示される爪構造を採用すればよい。

【0112】

図 31 はシール方式によるライトプロテクト解除状態 (書換え可能状態) を示し、図 32 はシール方式によるライトプロテクト状態を示す。各図において (A) は平面図、(B) は (A) の A-A 矢視断面図である。シール方式ではケーシング 12 に溝 70 を形成しておき、溝 70 をシール 71 で覆う事によって、カードソケット側の図示を省略するレバーが溝 70 に入り込まず、これによってライトプロテクト解除状態が検出される。ライトプロテクトを行う場合には図 32 に例示されるように溝 70 からシールを外せばよい。再度シールを貼ればライトプロテクトを解除できる。

20

【0113】

シール 71 の段差の増加を防止するには、図示には明示されていないが、その領域だけキャピティ化、即ち薄く凹状にして、ケーシングの全体的な厚さを抑えるようにしてもよい。

【0114】

図 33 は爪方式によるライトプロテクト解除状態 (書換え可能状態) を示し、図 34 は爪方式によるライトプロテクト状態を示す。各図において (A) は平面図、(B) は (A) の A-A 矢視断面図である。爪方式ではケーシング 12 の 1 辺に表裏に貫通する一对の割端部 73A, 73A を離間形成し、割端部 73A、73A の間にはケーシング 12 の表裏に割溝 73B を形成し、これにより、折り曲げ可能な爪 73 を形成しておく。爪 73 が折られていない状態では、カードソケット側の図示を省略するレバーが爪 73 に阻まれて動かさず、これによってライトプロテクト解除状態が検出される。ライトプロテクトを行う場合には図 34 に例示されるように爪 73 を折ってケーシング 12 に溝 74 を形成すればよい。溝 74 をシール等で覆えばライトプロテクトを再び解除できる。

30

【0115】

《フラッシュメモリチップ》

ここで、前記フラッシュメモリチップ 4 について説明しておく。図 35 にはフラッシュメモリチップ 4 の一例が示される。同図において、103 で示されるものはメモリアレイであり、メモリマツト、データラッチ回路及びセンスラッチ回路を有する。メモリマツト 103 は電氣的に消去及び書き込み可能な不揮発性のメモリセルトランジスタを多数有する。メモリセルトランジスタは、例えば図 36 に例示されるように、半導体基板若しくはメモリウェル SUB に形成されたソース S 及びドレイン D と、チャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート FG、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲート CG を有して構成される。コントロールゲート CG はワード線 106 に、ドレイン D はビット線 105 に、ソース S は図示を省略するソース線に接続される。

40

50

【0116】

外部入出力端子I/O0～I/O7は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。外部入出力端子I/O0～I/O7から入力されたXアドレス信号はマルチプレクサ107を介してXアドレスバッファ108に供給される。Xアドレスデコーダ109はXアドレスバッファ108から出力される内部相補アドレス信号をデコードしてワード線を駆動する。

【0117】

前記ビット線105の一端側には、図示を省略するセンスラッチ回路が設けられ、他端には同じく図示を省略するデータラッチ回路が設けられている。ビット線105はYアドレスデコーダ111から出力される選択信号に基づいてYゲートアレイ回路113で選択される。外部入出力端子I/O0～I/O7から入力されたYアドレス信号はYアドレスカウンタ112にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記Yアドレスデコーダ111に与えられる。

10

【0118】

Yゲートアレイ回路113で選択されたビット線は、データ出力動作時には出力バッファ115の入力端子に導通され、データ入力動作時にはデータ制御回路116を介して入力バッファ117の出力端子に導通される。出力バッファ115、入力バッファ117と前記入出力端子I/O0～I/O7との接続は前記マルチプレクサ107で制御される。入出力端子I/O0～I/O7から供給されるコマンドはマルチプレクサ107及び入力バッファ117を介してモード制御回路118に与えられる。前記データ制御回路116は、入出力端子I/O0～I/O7から供給されるデータの他に、モード制御回路118の制御に従った論理値のデータをメモリアレイ103に供給可能にする。

20

【0119】

制御信号バッファ回路119には、アクセス制御信号として前記チップイネーブル信号/CE、アウトプットイネーブル信号/OE、ライトイネーブル信号/WE、データラッチタイミングを指示する信号/SC、リセット信号/RES及びコマンド・データイネーブル信号/CDEが供給される。モード制御回路118は、それら信号の状態に応じて外部との信号インタフェース機能などを制御し、また、コマンドコードに従って内部動作を制御する。入出力端子I/O0～I/O7に対するコマンド又はデータ入力の場合、前記信号/CDEがアサートされ、コマンドであれば更に信号/WEがアサート、データであれば信号/WEがネゲートされる。アドレス入力であれば、前記信号/CDEがネゲートされ、信号/WEがアサートされる。これにより、モード制御回路118は、外部入出力端子I/O0～I/O7からマルチプレクス入力されるコマンド、データ及びアドレスを区別できる。モード制御回路118は、消去や書込み動作中にレディー・ビジー信号R/Bをアサートしてその状態を外部に知らせることができる。

30

【0120】

内部電源回路120は、書込み、消去、ベリファイ、読み出しなどのための各種動作電源121を生成して、前記Xアドレスデコーダ109やメモリアレイ103に供給する。

【0121】

前記モード制御回路118は、コマンドに従ってフラッシュメモリチップ4を全体的に制御する。フラッシュメモリチップ4の動作は、基本的にコマンドによって決定される。フラッシュメモリに割り当てられているコマンドは、読み出し、消去、書込み、等のコマンドとされる。

40

【0122】

フラッシュメモリチップ4はその内部状態を示すためにステータスレジスタ122を有し、その内容は、信号/OEをアサートすることによって入出力端子I/O0～I/O7から読み出すことができる。

【0123】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明は

50

それに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0124】

例えば、本発明はマルチメディアカードの外形仕様以外のメモリカード、例えばコンパクトフラッシュメモリ等の別の規格のメモリにも適用することができる。また、メモリカードに限らず、インタフェースカードとして機能するICカードにも適用できる。マルチメディアカード等の小さく薄いICカードの仕様であってもインタフェースカードに適用することは可能である。本発明のICカードに実装されるメモリは不揮発性メモリに限定されるものではなく、揮発性メモリ(SRAM、DRAM等)であってもよい。また、不揮発性メモリと揮発性メモリとの双方が搭載されるICカードであってもよい。メモリカードの用途によっては、前記フラッシュメモリチップは、別の記憶形式による不揮発性メモリチップ、マスクROMであってもよい。

10

【0125】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるメモリカードに適用した場合について説明したが、本発明はそれに限定されず、通帳、クレジットカード、IDカード等のICカードの用途にも適用することができる。

【0126】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

20

【0127】

すなわち、ICカードの便利性及び信頼性を向上させることができる。

【0128】

コネクタ端子の配列や機能に関する互換性の実現が容易なICカードを提供することができる。

【0129】

カードソケットへの装着時に電源間ショートを生じ難いICカードを実現することができる。

【0130】

配線パターンの密集やボンディングワイヤの密集を回避でき、高速且つ高性能で高信頼性のICカードを提供することができる。

30

【0131】

簡単な構成によってコネクタ端子からのサージ流入を阻止可能なICカードを実現することができる。

【図面の簡単な説明】

【図1】マルチメディアカードに対してデータ端子が4ビットとされる上位互換のメモリカードの端子面と実装面を示す説明図である。

【図2】マルチメディアカードに対してデータ端子が4ビットとされる上位互換の別のメモリカードの端子面と実装面を示す説明図である。

【図3】マルチメディアカードに対してデータ端子が8ビットとされる上位互換のメモリカードの端子面と実装面を示す説明図である。

40

【図4】マルチメディアカードに対してデータ端子が8ビットとされる上位互換の別のメモリカードの端子面と実装面を示す説明図である。

【図5】マルチメディアカードに対してデータ端子が8ビットとされる上位互換の更に別のメモリカードの端子面と実装面を示す説明図である。

【図6】マルチメディアカード準拠メモリカードの端子面と実装面の状態を示す説明図である。

【図7】図5のオールマイティーカードに対応されたカードソケットに当該メモリカードを装着した状態を示す説明図である。

【図8】図1のマルチメディアカード準拠メモリカードに対応されたカードソケットに前

50

記オールマイティーなメモリカードを装着した状態を示す説明図である。

【図 9】マルチメディアカード準拠メモリカードに対応されたカードソケットに前記オールマイティーなメモリカードを装着した状態を示す説明図である。

【図 10】図 7 のカードソケットを有するデータ処理システムの概略ブロック図である。

【図 11】電源間ショートを生ずるコネクタ端子配列を比較例として示す説明図である。

【図 12】コネクタ端子の面取り部分によって電源間ショート防止を講ずる例を示す説明図である。

【図 13】ソケット端子の長さ寸法などによって電源間ショート防止を講ずる例を示す説明図である。

【図 14】カード基板上で配線引き回しが増大する比較例を示す説明図である。

10

【図 15】図 6 のマルチメディアカード準拠メモリカードの回路素子実装状態の詳細な構成を例示した平面図である。

【図 16】図 15 の縦断面図である。

【図 17】図 6 のマルチメディアカード準拠メモリカードのテスト端子等の接続状態を専ら例示する平面図である。

【図 18】メモリカードに貫通孔を形成した第 1 の例を示す斜視図である。

【図 19】メモリカードに貫通孔を形成した第 2 の例を示す斜視図である。

【図 20】メモリカードに形成した貫通孔の第 1 の利用形態を例示する斜視図である。

【図 21】メモリカードに形成した貫通孔の第 2 の利用形態を例示する斜視図である。

【図 22】図 21 のメモリカードを P C カードアダプタに装着する操作を示す説明図である。

20

【図 23】メモリカードに保護カバーを設けた例を示す斜視図である。

【図 24】保護カバーを設けたメモリカードの保管態様を例示する斜視図である。

【図 25】図 23 のメモリカードを P C カードアダプタに装着する操作を示す説明図である。

【図 26】メモリカードのケーシングに案内部を設けた第 1 の例を示す説明図である。

【図 27】メモリカードのケーシングに案内部を設けた第 2 の例を示す説明図である。

【図 28】メモリカードの属性情報をシールを貼って表示するメモリカードの例を示す分解斜視図である。

【図 29】メモリカードの属性情報をケーシングへの印刷で表示するメモリカードの例を示す分解斜視図である。

30

【図 30】メモリカードの挿入方向を示す支持記号をケーシングに凹陷形成で表示するメモリカードの例を示す斜視図である。

【図 31】シール方式によるライトプロテクト解除状態を示す説明図である。

【図 32】シール方式によるライトプロテクト状態を示す説明図である。

【図 33】爪方式によるライトプロテクト解除状態を示す説明図である。

【図 34】爪方式によるライトプロテクト状態を示す説明図である。

【図 35】フラッシュメモリチップの構成を例示するブロック図である。

【図 36】フラッシュメモリチップ用の不揮発性メモリセルトランジスタの構造を概略的に示す断面図である。

40

【符号の説明】

M C 1 ~ M C 6 メモリカード

1、1 A ~ 1 E カード基板

2 コネクタ端子

2 A 面取部分を有するコネクタ端子

3 接続パッド

4 フラッシュメモリチップ

4 P k コントローラインタフェース端子

5 コントローラチップ

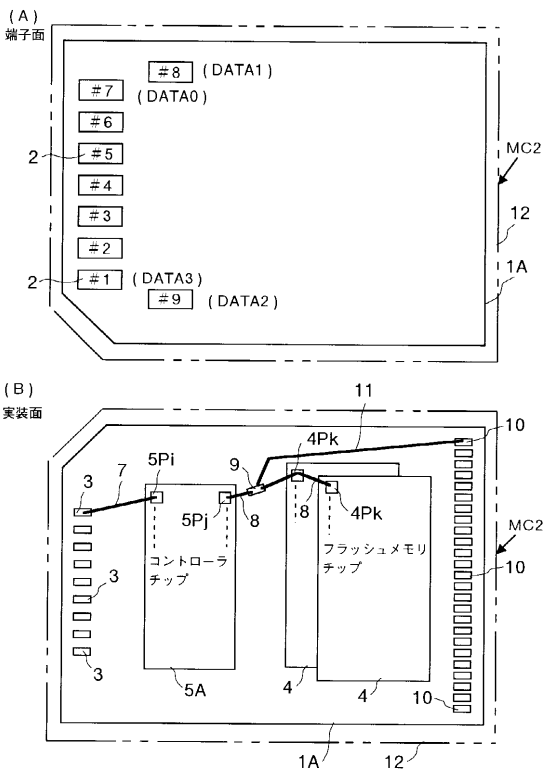
5 P i コネクタインタフェース端子

50

- 5 P j メモリインタフェース端子
- 7, 8, 9, 11 ボンディングワイヤ
- 10 テスト端子
- 10 a 制御端子
- 12 ケーシング
- 20, 21, 22 カードソケット
- 20 A, 21 A, 22 A ソケット端子
- 30 カードインタフェースコントローラ
- 31 ホスト装置
- 40 貫通孔
- 41 座ぐり部分
- 51 保護カバー
- 62 案内部
- 67 文字情報
- 68 指示記号
- 70 溝
- 71 シール
- 73 爪

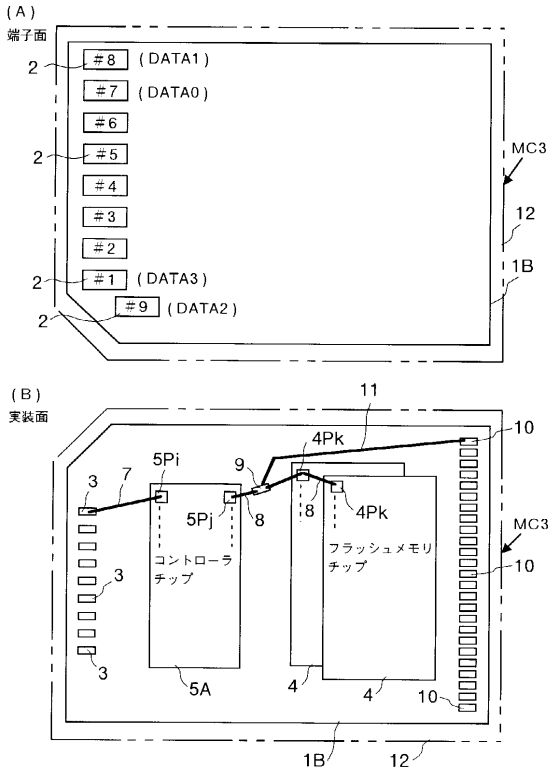
【図1】

図1

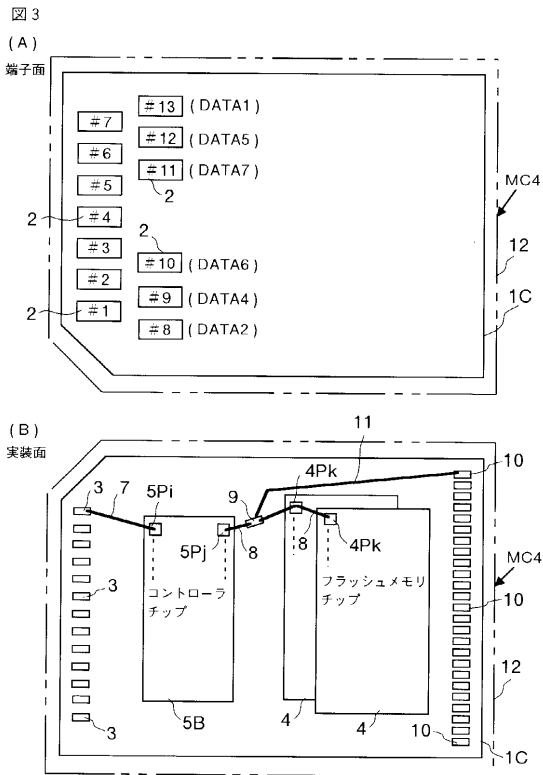


【図2】

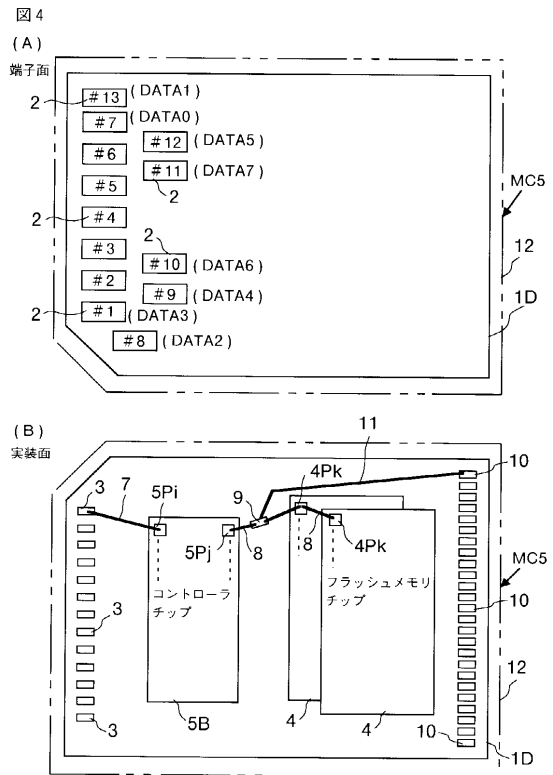
図2



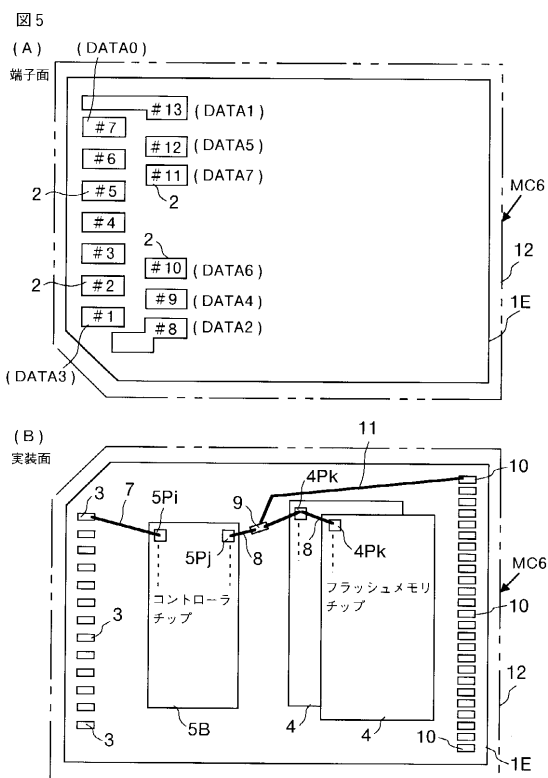
【図3】



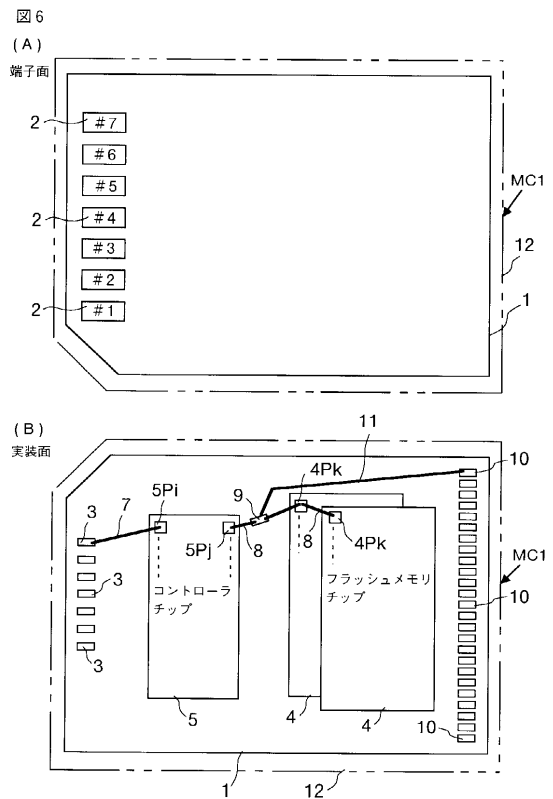
【図4】



【図5】

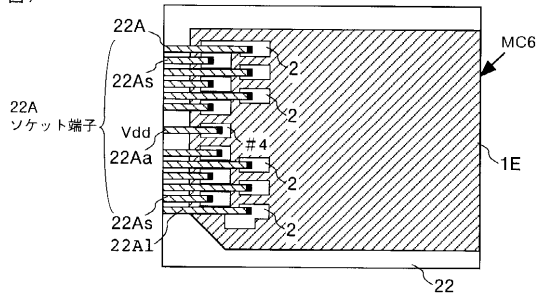


【図6】



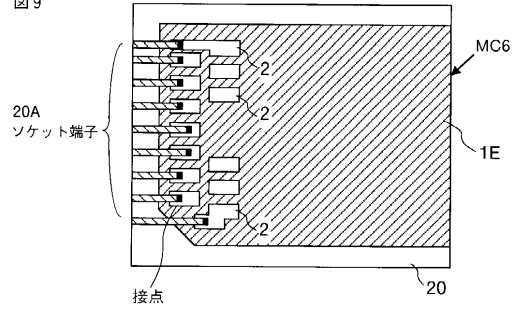
【図7】

図7



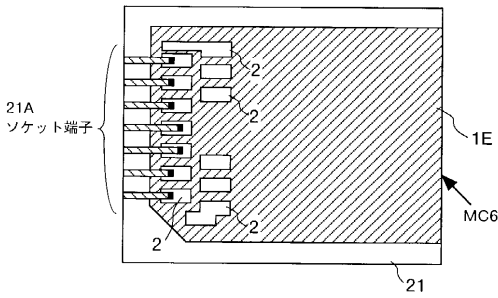
【図9】

図9



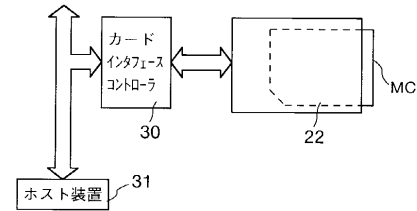
【図8】

図8



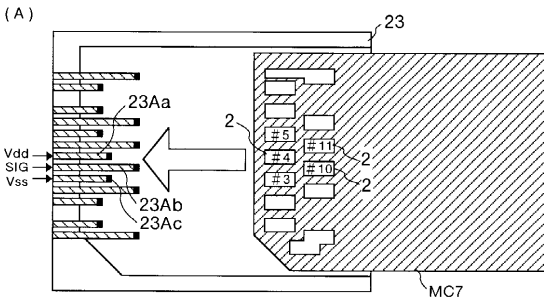
【図10】

図10

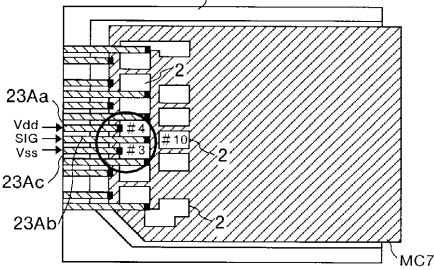


【図11】

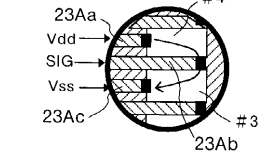
図11



(B)

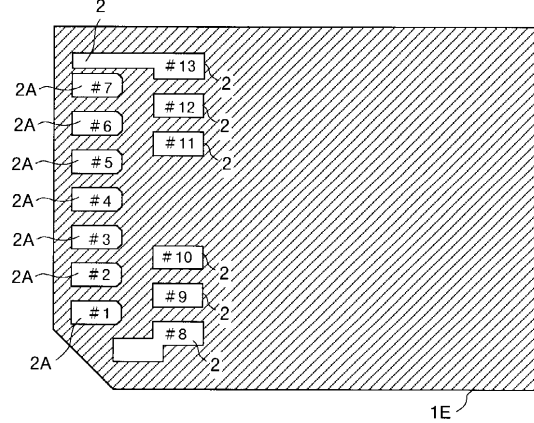


(C)



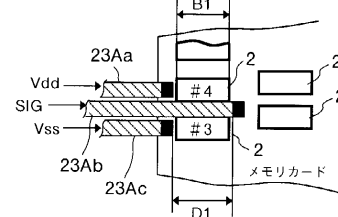
【図12】

図12



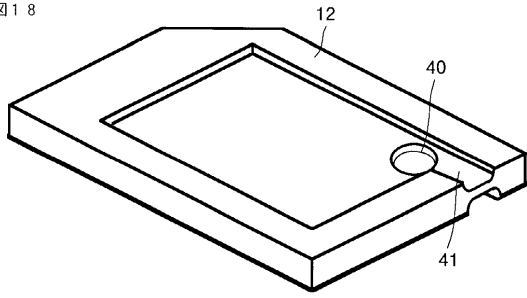
【図13】

図13



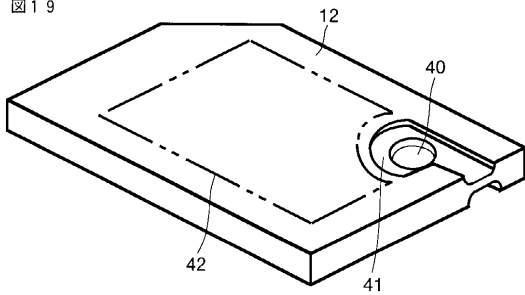
【図18】

図18



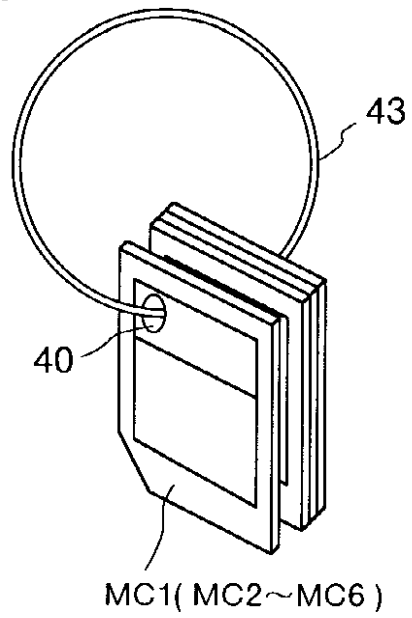
【図19】

図19



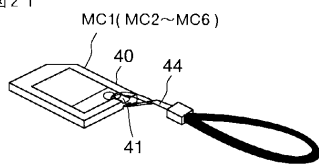
【図20】

図20



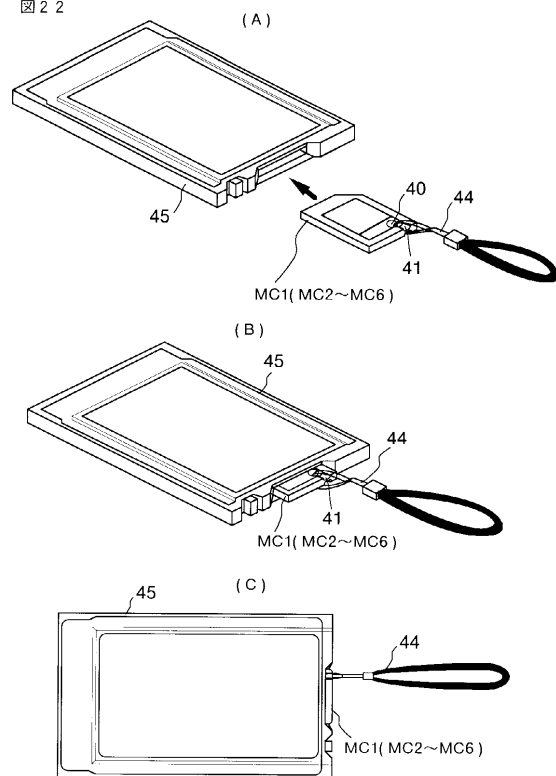
【図21】

図21



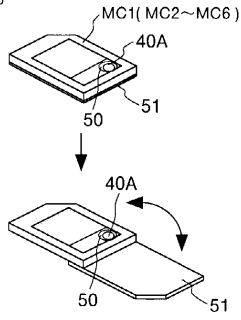
【図22】

図22



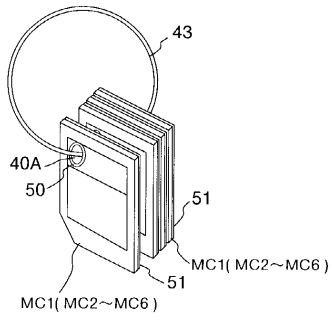
【図 2 3】

図 2 3



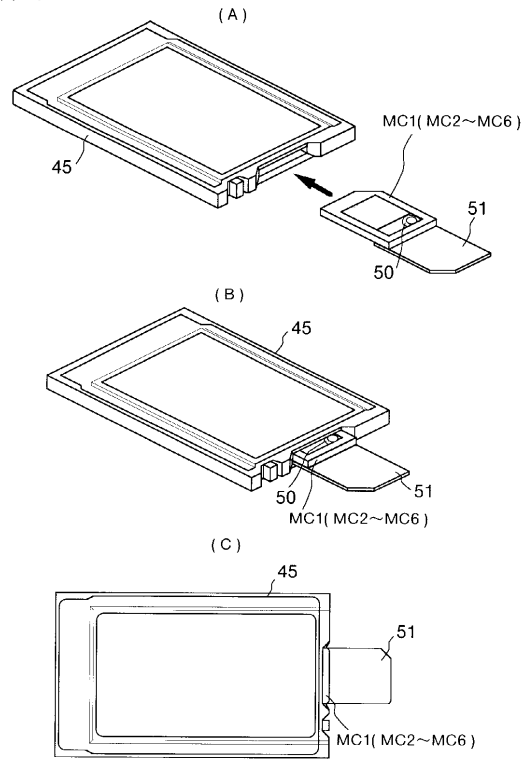
【図 2 4】

図 2 4



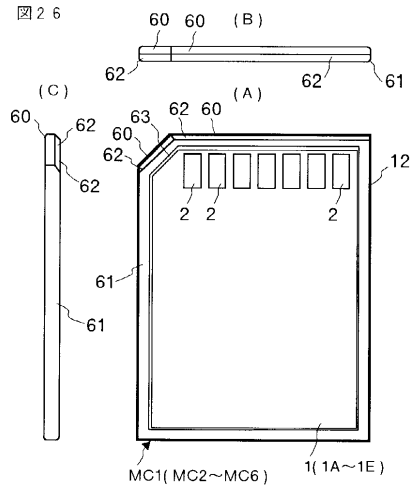
【図 2 5】

図 2 5



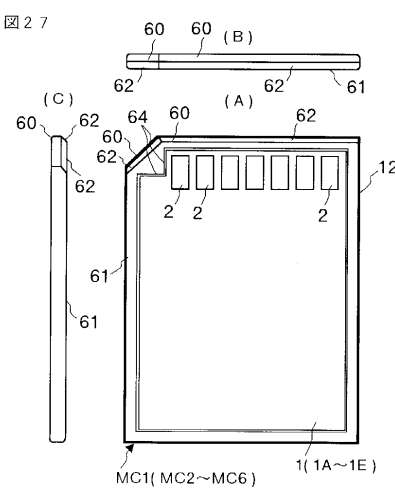
【図 2 6】

図 2 6



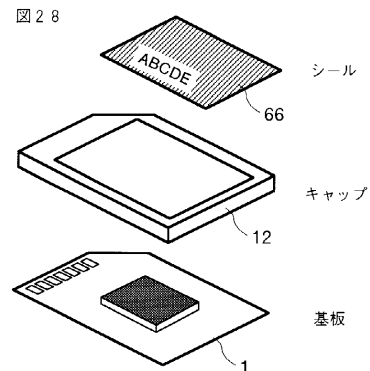
【図 2 7】

図 2 7



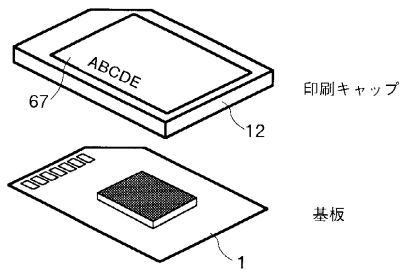
【図 2 8】

図 2 8



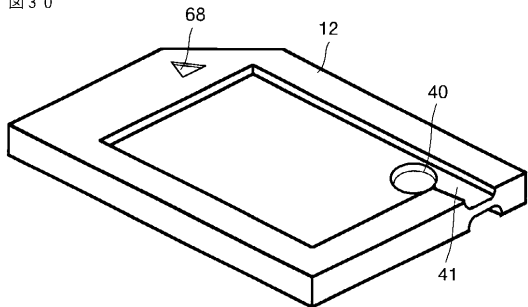
【図 29】

図 29



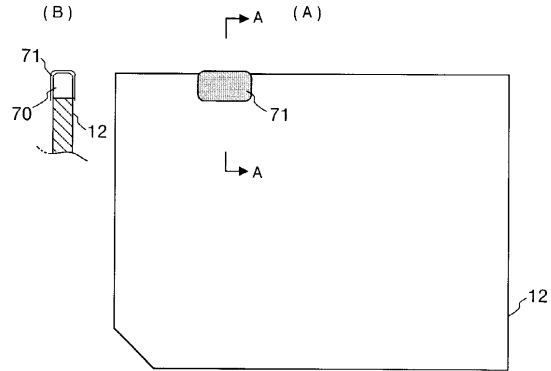
【図 30】

図 30



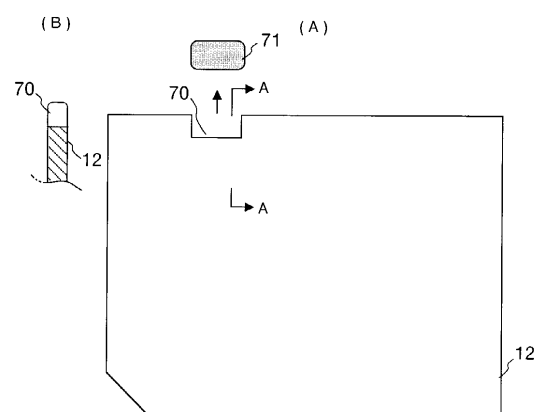
【図 31】

図 31



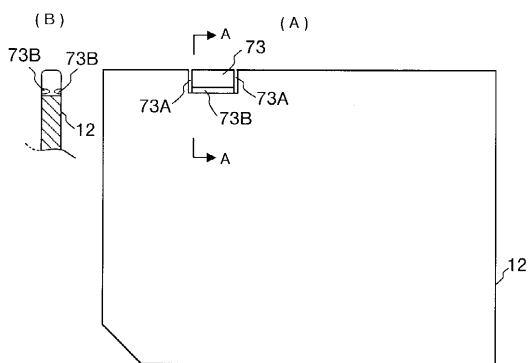
【図 32】

図 32



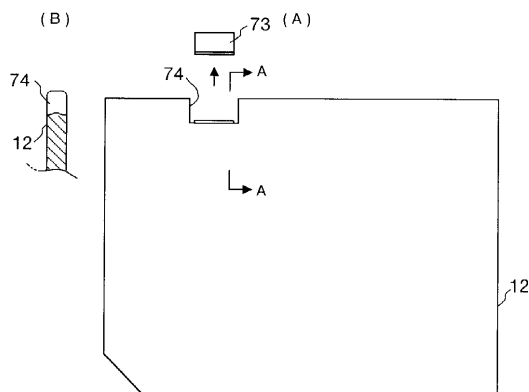
【図 33】

図 33



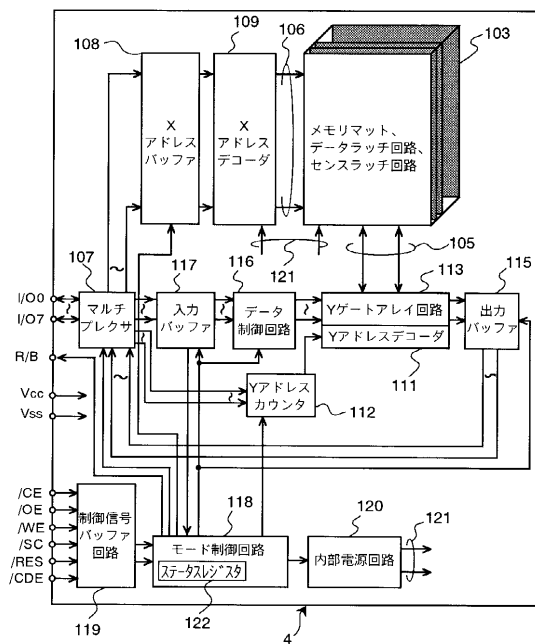
【図 34】

図 34



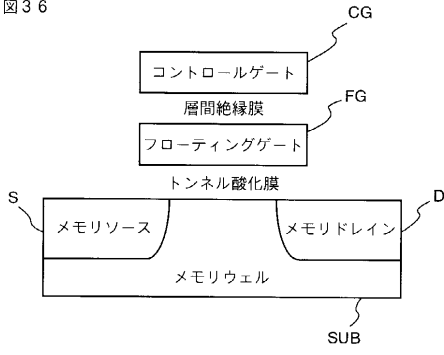
【図 35】

図 35



【図 36】

図 36



フロントページの続き

(72)発明者 金本 光一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

(72)発明者 湯川 洋介

東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

審査官 大塚 良平

(56)参考文献 特開2001-067303(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06K 19/00-19/10