

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3862346号  
(P3862346)

(45) 発行日 平成18年12月27日(2006.12.27)

(24) 登録日 平成18年10月6日(2006.10.6)

(51) Int. Cl.	F I
<b>G 1 1 C 11/413 (2006.01)</b>	G 1 1 C 11/34 3 O 1 A
<b>G 1 1 C 11/407 (2006.01)</b>	G 1 1 C 11/34 3 5 4 D
<b>H O 3 K 19/0175 (2006.01)</b>	H O 3 K 19/00 1 O 1 N
	H O 3 K 19/00 1 O 1 F

請求項の数 5 (全 11 頁)

(21) 出願番号	特願平9-58766	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成9年3月13日(1997.3.13)		神奈川県川崎市中原区上小田中4丁目1番 1号
(65) 公開番号	特開平10-255477	(74) 代理人	100094525 弁理士 土井 健二
(43) 公開日	平成10年9月25日(1998.9.25)	(74) 代理人	100094514 弁理士 林 恒徳
審査請求日	平成15年5月9日(2003.5.9)	(72) 発明者	古用 和人 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		審査官	須原 宏光

最終頁に続く

(54) 【発明の名称】 駆動回路及びそれを利用した半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

所定のタイミングで駆動信号を発生する信号発生部と、  
該駆動信号に応答して、複数の被制御回路が接続された第一の配線の一端側を駆動する第一のドライバ回路と、  
該駆動信号に応答して、前記第一の配線より駆動負荷が小さい第二の配線の一端側を駆動する第二のドライバ回路と、  
前記第二の配線の他端側及び前記第一の配線の他端側に入力が接続され、前記第一の配線の他端側と該第二の配線の他端側のレベルが一致しない時に前記第一の配線の他端側を駆動する出力端子を有する高速化ドライバ回路と  
を有する駆動回路。

【請求項2】

請求項1において、  
前記高速ドライブ回路は、  
前記第一の配線の他端側をプルアップするプルアップトランジスタと、プルダウンするプルダウントランジスタとを有し、該第一の配線の他端側がLレベルで該第二の配線の他端側がHレベルの時に前記プルアップトランジスタを駆動し、前記第一の配線の他端側がHレベルで前記第二の配線の他端側がLレベルの時に前記プルダウントランジスタを駆動することを特徴とする駆動回路。

【請求項3】

10

20

複数のワード線と、複数のビット線と、それらの交差部分に配置される複数のメモリセルとを有する半導体記憶装置において、

前記ワード線に接続され該ワード線を駆動する複数のワード線駆動回路と、

メモリのアドレスサイクルより短いワード線駆動制御信号を発生する駆動信号発生部と、

前記複数のワード線駆動回路に沿って配置され、該ワード線駆動回路に前記ワード線駆動制御信号を供給する第一の配線と、

前記ワード線駆動制御信号に応答して、該第一の配線の一端側を駆動する第一のドライバ回路と、

前記第一の配線に沿って配置され、前記第一の配線よりも駆動負荷が小さい第二の配線と、

前記ワード線駆動制御信号に応答して、該第二の配線の一端側を駆動する第二のドライバ回路と、

前記第二の配線他端側及び前記第一の配線他端側に入力が接続され、前記第一の配線他端側と該第二の配線他端側のレベルが一致しない時に前記第一の配線他端側を駆動する出力端子を有する高速化ドライバ回路と

を有することを特徴とする半導体記憶装置。

【請求項 4】

請求項 3 において、

前記高速化ドライバ回路は、

前記第一の配線他端側をプルアップするプルアップトランジスタと、プルダウンするプルダウントランジスタとを有し、該第一の配線他端側が L レベルで該第二の配線他端側が H レベルの時に前記プルアップトランジスタを駆動し、前記第一の配線他端側が H レベルで前記第二の配線他端側が L レベルの時に前記プルダウントランジスタを駆動することを特徴とする半導体記憶装置。

【請求項 5】

請求項 3 において、

前記ワード線駆動回路は、

ワード線のデコーダ回路の出力信号と前記第一の配線を介して供給されるワード線駆動制御信号とを入力し、選択されたワード線を前記ワード線駆動制御信号のタイミングで駆動することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の被制御回路を駆動する駆動信号を供給するための配線を駆動する回路、及びその駆動回路を用いた半導体記憶装置に関する。

【0002】

【従来の技術】

半導体装置において、複数の被制御回路を駆動する場合、それらの複数の被制御回路に沿って配線を設け、その配線の一端側からドライバ回路により駆動制御信号を与え、その配線に接続された複数の被制御回路を一斉に駆動することが行われる。その場合、複数の被制御回路が接続された配線は、特に容量性の負荷が大きく、配線の一端側に接続されたドライバ回路により駆動される場合は、配線他端側でその駆動制御信号の形状が大きくなることがある。

【0003】

図 7 は、従来の駆動回路の一例を示す図である。この例では、駆動制御信号を発生する信号発生回路 10 の駆動制御信号 11 が、ドライバ回路 20 に与えられ、そのタイミングで配線 100 の一端側がドライバ回路 20 により駆動される。配線 100 は、その配線に沿って設けられた被制御回路 31 ~ 36 にその駆動制御信号を供給する。被制御回路 30 は、例えば図示しない別の入力信号を与えられ、駆動制御信号の発生回路 10 が発生する駆動制御信号のタイミングで一斉に所定の動作を行う。

10

20

30

40

50

## 【 0 0 0 4 】

## 【 発明が解決しようとする課題 】

近年の半導体装置の高集積化に伴い、上記の配線 1 0 0 の幅や厚みが小さくなる傾向にある。特に、多層化の要請から下層側にある配線の厚みは薄くなる傾向にあり、一方占有面積の問題から配線の幅を大きくすることは制限される。従って、配線 1 0 0 の抵抗は大きくなる傾向にある。しかも、非常に多くの被制御回路 3 0 に駆動制御信号を供給する場合は、上記配線 1 0 0 の長さは長くなり、それに接続される被制御回路の入力端子の負荷容量により、配線 1 0 0 は大きな駆動負荷を有する。

## 【 0 0 0 5 】

図 8 は、図 7 の配線 1 0 0 のドライバ回路 2 0 の出力側に近い点 A での信号波形と、反対側の先端部に近い点 B での信号波形とを示す図である。ドライバ回路 2 0 に近い点 A では、図中の実線に示される通り比較的シャープな波形になるが、配線 1 0 0 の先端側の点 B では、図中の破線に示される通りかなりなまめた波形になる。この現象は、被制御回路 3 0 の数が多ければ多いほど、更に配線 1 0 0 の長さが長ければ長い程顕著になる。即ち、配線の C R 時定数の増大に伴い信号波形のなまりが顕著になる。従って、図 7 中点 A 付近に配置される被制御回路 3 1 は信号発生回路 1 0 の出力と同等のタイミングで駆動制御されるが、点 B 付近に接続される被制御回路 3 6 はそれよりかなり遅れたタイミングで駆動制御される。

10

## 【 0 0 0 6 】

かかる問題は、例えば、駆動制御信号が短い期間のみで被制御回路を駆動制御したいといった要請がある場合は、被制御回路 3 1 と 3 6 とで制御期間のタイミングが異なり、デバイス内で高速に制御する場合に好ましくない。

20

## 【 0 0 0 7 】

そこで、本発明の目的は、上記従来の問題点を解決し、駆動制御信号の伝播の遅延をなくした駆動回路を提供することにある。

## 【 0 0 0 8 】

更に、本発明の目的は、ワード線駆動回路の駆動制御信号の伝播遅延をなくした駆動回路を有する半導体記憶回路を提供することにある。

## 【 0 0 0 9 】

## 【 課題を解決するための手段 】

上記の目的を達成する為に、本発明の駆動回路は、所定のタイミングで駆動信号を発生する信号発生部と、

30

該駆動信号にตอบสนองして、複数の被制御回路が接続された第一の配線の一端側を駆動する第一のドライバ回路と、

該駆動信号にตอบสนองして、前記第一の配線より駆動負荷が小さい第二の配線の一端側を駆動する第二のドライバ回路と、

前記第二の配線その他端側及び前記第一の配線その他端側に入力接続され、前記第一の配線その他端側と該第二の配線その他端側のレベルが一致しない時に前記第一の配線その他端側を駆動する出力端子を有する高速化ドライバ回路と

を有することを特徴とする。

40

## 【 0 0 1 0 】

第二の配線がバイパス配線として駆動信号を遅延することなく高速化ドライバ回路に与え、それにตอบสนองして高速化ドライバ回路が第一の配線を駆動することで、駆動負荷が大きい第一の配線により供給される駆動信号の伝播遅延をできるだけなくすることができる。

## 【 0 0 1 1 】

さらに、本発明における高速ドライブ回路は、前記第一の配線その他端側をプルアップするプルアップトランジスタと、プルダウンするプルダウントランジスタとを有し、該第一の配線その他端側が L レベルで該第二の配線その他端側が H レベルの時に前記プルアップトランジスタを駆動し、前記第一の配線その他端側が H レベルで前記第二の配線その他端側が L レベルの時に前記プルダウントランジスタを駆動することを特徴とする。

50

## 【 0 0 1 2 】

上記の目的を達成するために、他の発明は、複数のワード線と、複数のビット線と、それらの交差部分に配置される複数のメモリセルとを有する半導体記憶装置において、前記ワード線に接続され該ワード線を駆動する複数のワード線駆動回路と、メモリのアドレスサイクルより短いワード線駆動制御信号を発生する駆動信号発生部と、前記複数のワード線駆動回路に沿って配置され、該ワード線駆動回路に前記ワード線駆動制御信号を供給する第一の配線と、前記ワード線駆動制御信号に反応して、該第一の配線の一端側を駆動する第一のドライバ回路と、前記第一の配線に沿って配置され、前記第一の配線よりも駆動負荷が小さい第二の配線と、前記ワード線駆動制御信号に反応して、該第二の配線の一端側を駆動する第二のドライバ回路と、前記第二の配線の他端側及び前記第一の配線の他端側に入力が接続され、前記第一の配線の他端側と該第二の配線の他端側のレベルが一致しない時に前記第一の配線の他端側を駆動する出力端子を有する高速化ドライバ回路とを有することを特徴とする。

10

## 【 0 0 1 3 】

かかる構成にすることで、各ワード線ドライバ回路は、ほぼ同じタイミングで駆動される。

20

## 【 0 0 1 4 】

## 【 発明の実施の形態 】

以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

## 【 0 0 1 5 】

図1は、本実施の形態例の駆動回路の原理図である。この例では、複数の被制御回路が接続された配線100と別に、その配線100よりも駆動負荷が軽い第二の配線110を設け、その第二の配線110をドライバ回路40で一端側から駆動する。従って、ドライバ回路40からの信号は点Cから点Dに遅延することなく伝播する。そして、第二の配線110の他端側に高速化ドライバ回路50を設けて、遅延することなく伝播してきた信号に反応して、第一の配線100の他端側を駆動する。

30

## 【 0 0 1 6 】

また、この高速化ドライバ回路50は、第一の配線100の点Bの部分の信号伝播の遅れを取り戻す為に動作し、特に、第一の配線100の点Bの部分の信号レベルと第二の配線110の点Dの部分の信号レベルとが異なる時に、第一の配線100の他端側を駆動する様に動作する。従って、定常状態の時には、高速化ドライバ回路50はドライブ動作はしない。

## 【 0 0 1 7 】

図2は、図1の駆動回路における動作を説明するための各点の信号波形図である。上記した通り、第二の配線110には被制御回路が接続されず、またデバイス構造上、その抵抗が低く、全体の負荷が第一の配線100よりも小さくなる様に構成されている。従って、ドライバ回路40により第二の配線110に与えられた信号は、点Cと点Dとでほとんど遅延時間はなく立ち上がり、立ち下がる。一方、ドライバ回路20により第一の配線100に与えられた信号は、点Aでは、点Cと同等のタイミングで立ち上がり、立ち下がる。そして、点Bでは、多少の遅延はあるが、高速化ドライバ回路50により点Dでの信号に反応して駆動されるので、従来の様に立ち上がり立ち下がりの傾斜がなだらかになることはなく、比較的急峻な立ち上がり立ち下がりの信号になる。

40

## 【 0 0 1 8 】

図3は、本実施の形態例の駆動回路の詳細回路図の例である。駆動制御信号の発生回路10は、外部信号18の立ち上がりエッジを検出して、3段のインバータ回路12、13、

50

14の遅延時間分の幅を持つパルス信号11を生成する。第一のドライバ回路20は、信号発生回路10が発生した駆動制御信号11を与えられて第一の配線100に駆動制御信号を転送する。その構成は、2つのインバータ回路21、22からなる。第二のドライバ回路40は、同様に、信号発生回路10が発生した駆動制御信号11を与えられて第二の配線110に駆動制御信号を転送する。その構成は、2つのインバータ回路41、42からなる。

#### 【0019】

第一の配線100を通じて駆動制御信号11が与えられる被制御回路30は、この例では、それぞれNANDゲート311、321...361とインバータ312、322...326で構成される。このNANDゲートの一方の入力端子に第一の配線100が接続される。そして、NANDゲートの他方の入力端子には、適宜それぞれの制御信号が与えられる。

10

#### 【0020】

図3に示した駆動回路の例には、高速化ドライバ回路50の詳細回路例が示されている。この高速化ドライバ回路は、プルダウン用の回路510とプルアップ用の回路520とからなる。プルダウン用の回路510には、第一の配線100を駆動するプルダウン用のN型のMOSトランジスタ511、NORゲート512、インバータ513を有する。インバータ513には、第一の配線100の他端側(点B側)が入力として与えられる。また、NORゲート512には、第二の配線110の他端側(点D側)とインバータ513の出力がそれぞれ入力として与えられる。

20

#### 【0021】

プルアップ用の回路520には、第一の配線100を駆動するプルアップ用のP型のMOSトランジスタ521、NANDゲート522、インバータ523を有する。インバータ523には、第一の配線100の他端側(点B側)が入力として与えられる。また、NANDゲート522には、第二の配線110の他端側(点D側)とインバータ523の出力がそれぞれ入力として与えられる。

#### 【0022】

図4は、駆動制御信号11の立ち下がりと立ち上がりにおける、図3の各部分の信号波形を示す図である。今仮に、駆動制御信号11が立ち下がる場合の動作を説明する。図4に示される通り、駆動制御信号11の立ち下がりに応答して、インバータ21と41の出力23と43とが、インバータ1段分の遅れをもって立ち上がる。従って、第一と第二のドライバ回路20と40に近い点Aと点Cとがインバータ22、42分の遅れをもって立ち下がる。この時、負荷が軽い第二の配線110の点Dにおいても、ほとんどの遅延を伴わずに信号が立ち下がる。

30

#### 【0023】

但し、その時点では配線100の負荷が大きいため、点Bでの信号レベルはHレベルのままである。従って、インバータ513の出力514はLレベルであり、点Dの信号レベルのLレベルにより、NORゲート512の出力515は一時的にHレベルに上昇する。この出力515のHレベルにより、プルダウン用のN型のトランジスタ511が導通し、第一の配線100の他端側(点B側)のレベルを立ち下げる。従って、点Bでの信号レベルは、図4にBで示した通り、従来BOの如く鈍い立ち下がり特性を示していたのに対して、この高速化ドライバ回路50により急峻に立ち下がる。

40

#### 【0024】

従って、点Aの信号により駆動制御されるNANDゲート311と点Bの信号により駆動制御されるNANDゲート361との動作は、僅かの遅延のずれを伴うだけである。そして、点Bの信号レベルが急峻に立ち下がるのに伴い、インバータ513の出力514は立ち上がり、NORゲート512の出力515を立ち下げる。その結果、プルダウン用のトランジスタ511は非導通となる。

#### 【0025】

即ち、図4中に示した $t_{down}$ に期間だけノード515に発生するパルス信号により、プル

50

ダウントランジスタ511が過渡的に導通するだけである。従って、高速化ドライバ回路50は、その後ノード11がHレベルになったときに配線100を駆動するドライバ回路20と競合することはなく、従って、電源からグランドに向かって流れる貫通電流は発生しない。

#### 【0026】

次に、駆動制御信号11が立ち上がる時の駆動回路の動作について説明する。まず、駆動制御信号11が立ち上がると、遅延してインバータ出力23、43が立ち下がる。そして、それに伴い、第一の配線100の点Aと第二の配線110の点CおよびDが立ち上がる。その時、第一の配線100の点Bでの信号レベルがLレベルのままであるので、インバータ523の出力524はHレベルのままである。そこで、点Dの信号もHレベルになり、NANDゲート522の出力525は立ち下がり、P型のプルアップトランジスタ521が導通し、第一の配線110の他端側(点B側)のレベルを引き上げる。従って、点Bが急峻に立ち上がる。図4中に示した様に、従来のBOの如き緩慢な立ち上がり特性ではなく、Bで示した通り急峻な立ち上がり特性となる。

10

#### 【0027】

その後、点Bの立ち上がりに伴い、インバータ523の出力524が立ち下がり、NANDゲート522の出力525はHレベルとなり、P型のトランジスタ521は非導通となる。即ち、図4中の期間 $t_{up}$ の間に出力525に発生する負のパルス信号により、過渡的にP型のトランジスタ521が導通して、第一の配線100の他端側のレベルを急峻に引き上げる。定常状態では、P型のトランジスタ521はオフのままであるので、その後ノード11がLレベルになったときに配線100を駆動するドライバ回路20と競合することはなく、従って、電源からグランドに向かって流れる貫通電流は発生しない。

20

#### 【0028】

上記の通り、第一の配線100の点Aと点Bでの信号が僅かの遅延はあるが、共に急峻な立ち上がり立ち下がり特性をもつので、それにより駆動制御される被制御回路のNANDゲート311と361とは、ほとんど遅延なく動作する。

#### 【0029】

図5は、上記の駆動回路を有するクロックド・ワード方式で動作する半導体記憶装置の全体構成図である。また、図6は、その詳細部分図である。図5に示された半導体記憶装置60は、スタティック型のメモリの例である。行アドレスをデコードする行デコーダ61の出力と、駆動制御信号の発生回路10の出力とにより各ワード線 $WL_1 \sim WL_m$ が駆動される。メモリセルアレイ62内には、複数のワード線 $WL_1 \sim WL_m$ と、それに交差する複数のビット線対 $BL_1 \sim BL_n$ が配置される。そして、それらの交差部分にメモリセルMCが設けられる。

30

#### 【0030】

ビット線対BLは、コラム選択ゲート631～63nを介してセンスアンプ64に接続される。センスアンプ回路64には入出力端子Dout / Dinが接続される。Y1～Ynは、コラム選択信号であり、図示しないコラムデコーダの出力である。

#### 【0031】

このメモリにおいて、各ワード線は、それぞれのワードドライバ回路により選択される。例えば、ワード線 $WL_1$ は、ワードドライバ回路313、314、315により駆動される。同様に、ワード線 $WL_2$ は、ワードドライバ回路323、324、325により駆動される。

40

#### 【0032】

これらのワードドライバ回路は、図1及び図3で説明した被制御回路に対応する。これらのワードドライバ回路は、駆動制御信号発生回路10により生成され、ドライバ回路20により第一の配線100に送出される駆動制御信号のタイミングで動作する。したがって、行デコーダ61により1本のワード線が選択され、第一の配線100に与えられる駆動制御信号のタイミングで、ワード線が一定期間だけ立ち上げられる。例えば、1サイクル期間の間のごく一部の期間のみ駆動制御信号が第一の配線100に与えられると、ワード

50

線は、そのごく一部の期間のみ選択レベルに立ち上げられる。

【0033】

そして、この第一の配線100は、ワード駆動回路に沿ってコラム方向に延びる配線であり、多くのワード駆動回路が接続される。したがって、その負荷は大きくなる。そこで、第二の配線110を平行に配置し、その一端をドライバ40で駆動し、その他端側に設けた高速化ドライバ回路50により、第一の配線100の他端側を駆動する。この高速化ドライバ回路50は、上記した通り、第一の配線100の他端側が未だ立ち上がっていない期間と、未だ立ち下がっていない期間のみ、当該第一の配線100の他端側を駆動する。したがって、ワードドライバ回路の動作のタイミングは、ほぼ同一のタイミングとなる。

【0034】

図6に、メモリセルの詳細回路図の例が示される。このメモリセルMCは、6トランジスタから構成される。N型のトランジスタ70, 71とP型のトランジスタ72, 73とからなるCMOSインバータがそれぞれゲートとドレインとを交差接続している。そして、N型のトランジスタ74, 75によりメモリセルがビット線対BL1に接続される。上記した一部の期間のみワード線WLが選択レベルに駆動されることにより、メモリセルMCのトランジスタ74, 75は、一部の期間のみ導通する。

【0035】

トランジスタ74, 75が導通することにより、ビット線BLをメモリセルのデータを記憶しているトランジスタ70, 71の一方及びトランジスタ72, 73の一方が駆動し、それをセンスアンプ回路64が検出する。したがって、トランジスタ74または75からの電流の流入により、記憶データに応じてHまたはLレベルであったノードn1, n2のレベルが不安定となり、ワード線を長期間にわたって選択レベルにすると記憶データの反転を招く。したがって、ワード線を選択レベルにしてトランジスタ74, 75を導通させる期間はできるだけ短くしたほうが良い。更に、ある程度メモリセルのトランジスタ70, 71, 72, 73によりビット線が駆動されれば、センスアンプ回路64が検出することができる。その場合は、必要最小限の時間だけ駆動させることで、メモリセルのビット線駆動による消費電力を最小限に抑えることができる。そこで、上記したクロックド・ワード方式により、ワード線が駆動されるのである。

【0036】

そして、選択されたメモリセルがビット線を駆動した後に、センスアンプ回路64がその状態を検出して、外部に出力される。そのため、複数のワード線が駆動されるタイミングをできるだけあわせることが要求される。本発明の実施の形態例で示した駆動回路を利用することにより、駆動制御信号を第一の配線100を通じて各ワード線駆動回路にほぼ同一のタイミングで供給することができる。

【0037】

図6の651, 652, 65mは、行デコーダ回路例であり、その出力はワードドライバ回路のNORゲート313, 323, 3m3に与えられる。

【0038】

第一の配線100は、複数のワードドライバ回路に接続されるので、その駆動負荷は大きい。一方、第二の配線110は、高速化ドライバ50をできるだけ早いタイミングで駆動させるために、できるだけ駆動負荷を小さくする様に構成される。例えば、一般に半導体装置は、下層側の配線は比較的薄い配線層で構成される。これは多層化される時の上層の凹凸をできるだけ小さくするためである。そこで、上記の第一の配線100を下層側の配線層で実現し、第二の配線110を上層側の配線層で実現することが好ましい。

【0039】

或いは、第二の配線構造を、第一の配線よりも抵抗値が低い材料からなる配線とすることも良い。更に、必要な場合は、第二の配線110を駆動するドライバ回路40の駆動能力を大きくするために、駆動トランジスタを大きいサイズにすることも良い。

【0040】

【発明の効果】

10

20

30

40

50

以上説明した通り、本発明によれば、駆動制御信号を複数の被制御回路に供給する第一の配線に加えて、第二の配線を設け、第二の配線の一端側を第一の配線と同様にドライバ回路で駆動し、第二の配線の他端側に設けた高速化ドライバ回路により、第二の配線の他端側のレベルと第一の配線の他端側のレベルとがことなる期間だけ、第一の配線の他端側を駆動することができる。したがって、少ない消費電流で、複数の被制御回路にほぼ同等のタイミングで駆動制御信号を第一の配線から与えることができる。

【 0 0 4 1 】

上記の駆動回路をメモリセルのクロックド・ワード方式に利用することにより、消費電力が少なく記憶データの反転を防止した半導体記憶装置を提供することができる。

【 図面の簡単な説明 】

【 図 1 】 本実施の形態例の駆動回路の原理図である。

【 図 2 】 図 1 の駆動回路における動作を説明するための各点の信号波形図である。

【 図 3 】 本実施の形態例の駆動回路の詳細回路図の例である。

【 図 4 】 駆動制御信号 1 1 の立ち下がり立ち上がりにおける、図 3 の各部分の信号波形を示す図である。

【 図 5 】 駆動回路を有するクロックド・ワード方式で動作する半導体記憶装置の全体構成図である。

【 図 6 】 図 6 の半導体記憶装置の詳細部分図である。

【 図 7 】 従来の駆動回路の一例を示す図である。

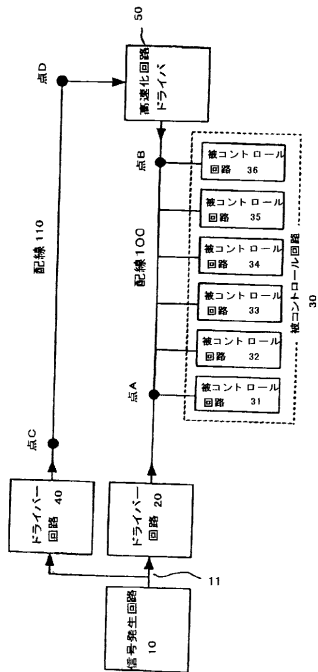
【 図 8 】 配線 1 0 0 のドライバ回路 2 0 の出力側に近い点 A での信号波形と、反対側の先端部に近い点 B での信号波形とを示す図である。

【 符号の説明 】

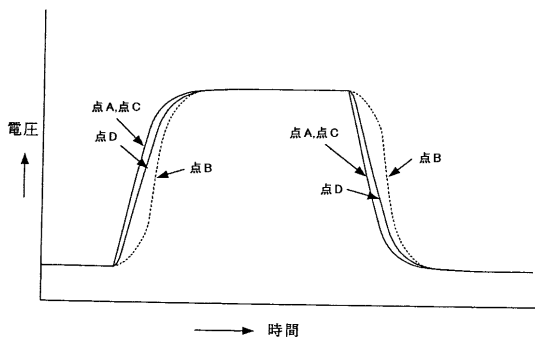
1 0	信号発生部
2 0	第一のドライバ回路
3 0	被制御回路
4 0	第二のドライバ回路
5 0	高速化ドライバ回路
1 0 0	第一の配線
1 1 0	第二の配線



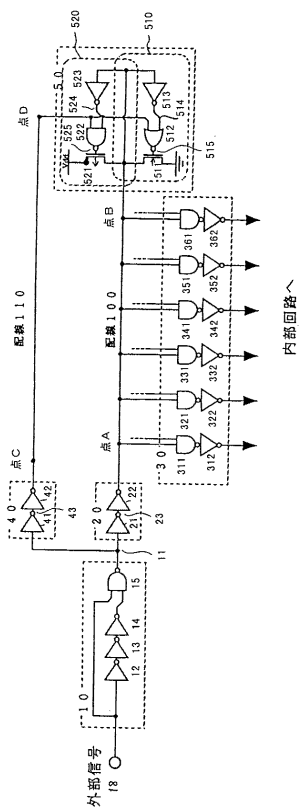
【 図 1 】



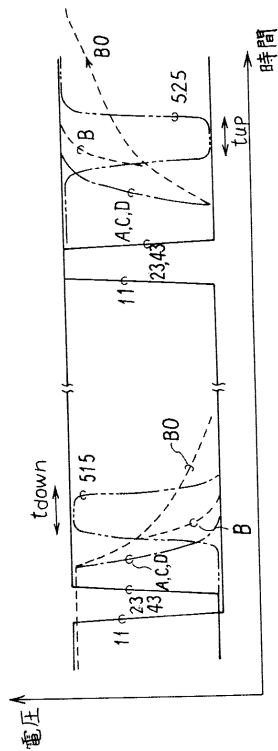
【 図 2 】



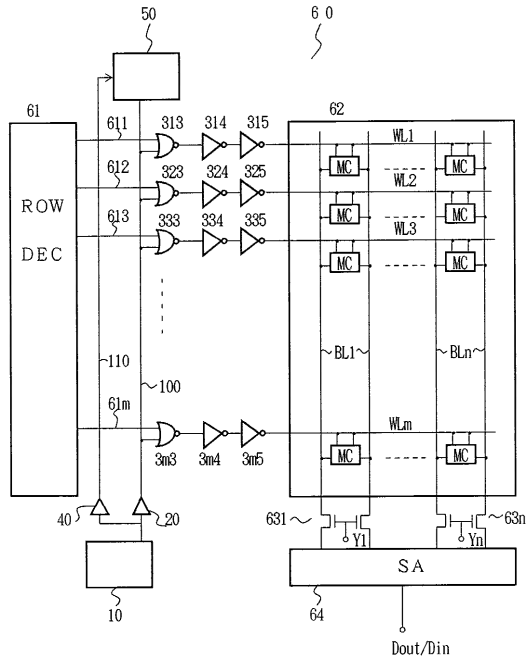
【 図 3 】



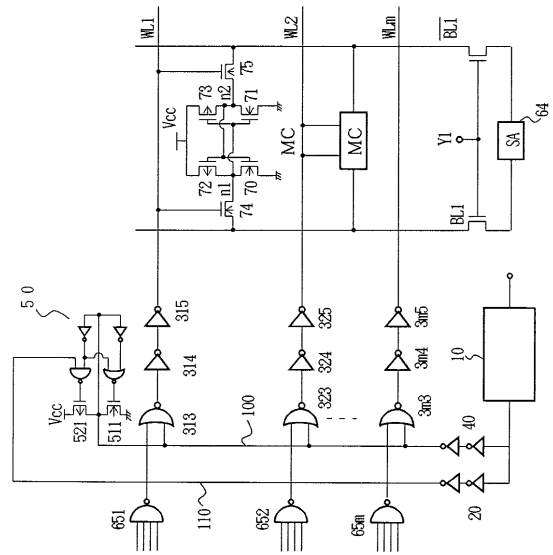
【 図 4 】



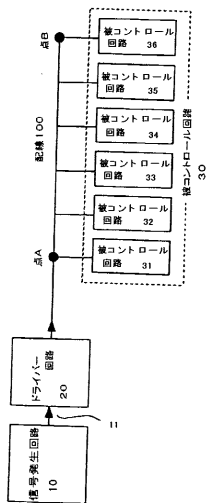
【 図 5 】



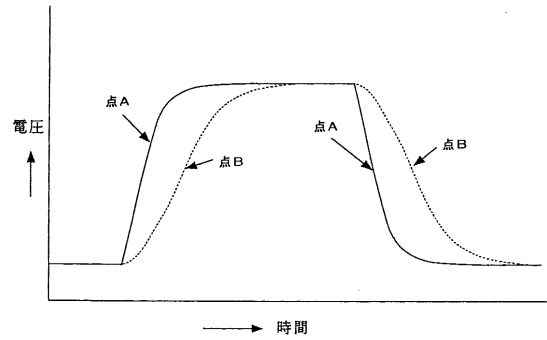
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

(56)参考文献 特開平03 - 225694 (JP, A)  
特開昭63 - 276793 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/40-419

G03K 19/00

G06F 3/00