

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-23250
(P2015-23250A)

(43) 公開日 平成27年2月2日(2015.2.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 0	5 C 0 2 4
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 6 9 0	

審査請求 未請求 請求項の数 9 O L (全 22 頁)

(21) 出願番号 特願2013-152895 (P2013-152895)
(22) 出願日 平成25年7月23日 (2013.7.23)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100082131
弁理士 稲本 義雄
(74) 代理人 100121131
弁理士 西川 孝
(72) 発明者 萩原 浩樹
東京都港区港南1丁目7番1号 ソニー株式会社内
(72) 発明者 戸谷 貴宏
東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像素子及びその駆動方法、並びに電子機器

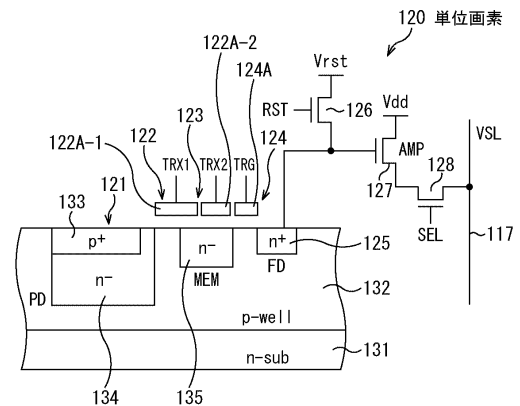
(57) 【要約】

【課題】感度と保持電荷量を犠牲にすることなく、電荷の転送能力を確保することができるようにする。

【解決手段】固体撮像素子には、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、光電変換素子に蓄積された電荷を転送する第1転送ゲートと、第1転送ゲートによって光電変換素子から転送される電荷を保持する電荷保持領域と、電荷保持領域に保持された電荷を転送する第2転送ゲートと、第2転送ゲートによって電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域とを有する複数の単位画素が配列されている。電荷保持領域は、電荷を保持するための複数段の領域を有し、複数段の領域間は、N型の領域となる。本技術は、例えば、グローバルシャッタ方式に対応したCMOSイメージセンサに適用できる。

【選択図】 図8

図8



【特許請求の範囲】**【請求項 1】**

入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、
前記光電変換素子に蓄積された電荷を転送する第 1 転送ゲートと、
前記第 1 転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持領域と、

前記電荷保持領域に保持された電荷を転送する第 2 転送ゲートと、
前記第 2 転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域と

を有する複数の単位画素を備え、

10

前記電荷保持領域は、電荷を保持するための複数段の領域を有し、

前記複数段の領域間は、N型の領域となる

固体撮像素子。

【請求項 2】

前記複数段の領域は、前記光電変換素子に蓄積された電荷の読み出しに用いられる第 1 の領域と、前記第 1 の領域以外の第 2 の領域のいずれかの領域からなる

請求項 1 に記載の固体撮像素子。

【請求項 3】

前記第 1 の領域では、前記第 1 転送ゲートによるゲートバイアスによって、前記光電変換素子と前記電荷保持領域との素子分離がなされ、

20

前記第 2 の領域では、前記第 1 の領域と異なる素子分離構造により素子分離がなされる

請求項 2 に記載の固体撮像素子。

【請求項 4】

前記第 2 の領域では、p + 不純物拡散領域により素子分離がなされる

請求項 3 に記載の固体撮像素子。

【請求項 5】

前記第 2 の領域では、酸化膜の領域により素子分離がなされる

請求項 3 に記載の固体撮像素子。

【請求項 6】

前記複数段の領域は、2 段構成である

30

請求項 1 に記載の固体撮像素子。

【請求項 7】

前記第 1 転送ゲートは、前記複数段の領域に対応する複数の電極から構成されている

請求項 1 に記載の固体撮像素子。

【請求項 8】

入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、
前記光電変換素子に蓄積された電荷を転送する第 1 転送ゲートと、
前記第 1 転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持領域と、

40

前記電荷保持領域に保持された電荷を転送する第 2 転送ゲートと、

前記第 2 転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域と

を有する複数の単位画素と、

前記単位画素の駆動を制御する駆動制御部と

を備える固体撮像素子の駆動方法であって、

前記駆動制御部が、前記電荷保持領域における電荷を保持するための複数段の領域であって、その間の領域がN型の領域となる前記複数段の領域に対応する複数の電極から構成されている前記第 1 転送ゲートの駆動を、電極ごとに制御する

ステップを含む駆動方法。

【請求項 9】

50

入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、
前記光電変換素子に蓄積された電荷を転送する第1転送ゲートと、
前記第1転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持領域と、

前記電荷保持領域に保持された電荷を転送する第2転送ゲートと、
前記第2転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域と

を有する複数の単位画素を備え、

前記電荷保持領域は、電荷を保持するための複数段の領域を有し、

前記複数段の領域間は、N型の領域となる

10

固体撮像素子を搭載した電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像素子及びその駆動方法、並びに電子機器に関し、特に、感度と保持電荷量を犠牲にすることなく、電荷の転送能力を確保することができるようにした固体撮像素子及びその駆動方法、並びに電子機器に関する。

【背景技術】

【0002】

従来より、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの固体撮像素子は、デジタルスチルカメラやデジタルビデオカメラなどに広く用いられている。

20

【0003】

また、CMOSイメージセンサの電子シャッタの方式として、グローバルシャッタ方式が提案されている(例えば、特許文献1, 2参照)。グローバルシャッタ方式とは、撮像に有効な全ての画素について同時に露光を開始し、同時に露光を終了する動作を行うものである。そのため、露光終了後に読み出しの順番を待つ間、フォトダイオードにより蓄積された光電荷を一時的に保持するために、メモリ部を搭載する必要がある。

【0004】

すなわち、図1の単位画素の断面図に示すように、単位画素内にメモリ部(MEM) 23を設け、第1転送ゲート(TRX) 22によって、フォトダイオード(PD) 21にて蓄積した電荷を全画素一括でメモリ部23に転送し、行ごとの読み出し動作まで電荷を保持する画素構造が用いられることになる。

30

【0005】

ここで、図2及び図3を参照して、図1の単位画素の駆動方法について説明する。ただし、図3のポテンシャル図において、期間t1乃至期間t5のそれぞれの状態は、図2のタイミングチャートにおける期間t1乃至期間t5に対応している。

【0006】

期間t1において、フォトダイオード21及びメモリ部23の電荷が排出されたあと、全画素一括で、新たに被写体からの光から得られる電荷がフォトダイオード21に蓄積される。また、期間t2において、第1転送ゲート22のゲート電極に印加される駆動信号の電圧のレベルがVHレベルになると、フォトダイオード21に蓄積された電荷が、メモリ部23に転送される。そして、期間t3において、第1転送ゲート22のゲート電極に印加される駆動信号の電圧レベルがVLレベルになると、メモリ部23には電荷が保持されることになる。

40

【0007】

その後、期間t4において、第2転送ゲート(TRG) 24のゲート電極に印加される駆動信号の電圧レベルがVHレベルになると、メモリ部23に保持されている電荷が、浮遊拡散領域(FD: Floating Diffusion) 25に転送される。そして、期間t5において、第2転送ゲート24のゲート電極に印加される駆動信号の電圧レベルがVLレベルになると、浮遊拡

50

散領域 25 に保持されている電荷に応じた電圧が信号レベルとして読み出されることになる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2012-129797号公報

【特許文献2】特開2011-217315号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところで、上述した単位画素において、感度をできる限り確保するためには、開口の面積をできるだけ大きくし、かつ、一辺の長さだけが短いような開口ではなく、正方形に近い開口形状とすることが集光の観点からは好ましい。このような単位画素の配置パターンを示すと、図4に示すようになる。なお、図5に示すように、第1転送ゲート(TRX)22におけるA-A'の断面について図示すると、図6の断面図のようになる。

【0010】

図4に示すように、第1転送ゲート(TRX)22は長方形の形状となるため、そのアスペクト比が大きくなる。ここで、第1転送ゲート(TRX)22から浮遊拡散領域(FD)25への転送に注目すれば、転送方向のL長が長くなるため、転送がしづらくなる。このような場合に、確実に転送を行うためには、第2転送ゲート(TRG)24から浮遊拡散領域(FD)25に向けて電界がつくようにポテンシャルの調整を行う必要があるが、浮遊拡散領域(FD)25における電位を変更せずを実現するためには、転送上流のポテンシャルを浅くする必要がある。このとき、メモリ部23にて保持できる電荷量が少なくなるという弊害が生じてしまう。

【0011】

一方、特許文献2には、電荷転送蓄積部が複数段ある構造が開示されており、この構造を用いることで、転送長が短くなるために転送はしやすくなるが、この構造においても、電荷蓄積部が段数分減ってしまうため、その分だけ保持できる電荷量は少なくなることになる。

【0012】

本技術はこのような状況に鑑みてなされたものであり、感度と保持電荷量を犠牲にすることなく、電荷の転送能力を確保することができるようにするものである。

【課題を解決するための手段】

【0013】

本技術の一側面の固体撮像素子は、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、前記光電変換素子に蓄積された電荷を転送する第1転送ゲートと、前記第1転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持領域と、前記電荷保持領域に保持された電荷を転送する第2転送ゲートと、前記第2転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域とを有する複数の単位画素を備え、前記電荷保持領域は、電荷を保持するための複数段の領域を有し、前記複数段の領域間は、N型の領域となる。

【0014】

前記複数段の領域は、前記光電変換素子に蓄積された電荷の読み出しに用いられる第1の領域と、前記第1の領域以外の第2の領域のいずれかの領域からなる。

【0015】

前記第1の領域では、前記第1転送ゲートによるゲートバイアスによって、前記光電変換素子と前記電荷保持領域との素子分離がなされ、前記第2の領域では、前記第1の領域と異なる素子分離構造により素子分離がなされる。

【0016】

前記第2の領域では、p+不純物拡散領域により素子分離がなされる。

10

20

30

40

50

【0017】

前記第2の領域では、酸化膜の領域により素子分離がなされる。

【0018】

前記複数段の領域は、2段構成である。

【0019】

前記第1転送ゲートは、前記複数段の領域に対応する複数の電極から構成されている。

【0020】

本技術の一側面の駆動方法は、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、前記光電変換素子に蓄積された電荷を転送する第1転送ゲートと、前記第1転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持領域と、前記電荷保持領域に保持された電荷を転送する第2転送ゲートと、前記第2転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域とを有する複数の単位画素と、前記単位画素の駆動を制御する駆動制御部とを備える固体撮像素子の駆動方法であって、前記駆動制御部が、前記電荷保持領域における電荷を保持するための複数段の領域であって、その間の領域がN型の領域となる前記複数段の領域に対応する複数の電極から構成されている前記第1転送ゲートの駆動を、電極ごとに制御するステップを含む。

10

【0021】

本技術の一側面の電子機器は、入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、前記光電変換素子に蓄積された電荷を転送する第1転送ゲートと、前記第1転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持領域と、前記電荷保持領域に保持された電荷を転送する第2転送ゲートと、前記第2転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域とを有する複数の単位画素を備え、前記電荷保持領域は、電荷を保持するための複数段の領域を有し、前記複数段の領域間は、N型の領域となる固体撮像素子を搭載している。

20

【0022】

本技術の一側面の固体撮像素子及びその駆動方法、並びに電子機器においては、電荷保持領域が、電荷を保持するための複数段の領域を有するように構成されており、また、複数段の領域間が、N型の領域として形成されている。

【発明の効果】

30

【0023】

本技術の一側面によれば、感度と保持電荷量を犠牲にすることなく、電荷の転送能力を確保することができる。

【図面の簡単な説明】

【0024】

【図1】従来の単位画素の構成を示す断面図である。

【図2】従来の単位画素の駆動方法を説明するタイミングチャートである。

【図3】従来の単位画素の駆動方法を説明するポテンシャル図である。

【図4】従来の単位画素の構成を示す平面図である。

【図5】第1転送ゲート（TRX）におけるA-A'の断面を説明する図である。

40

【図6】図5のA-A'における断面図である。

【図7】本技術を適用したCMOSイメージセンサの一実施の形態を示す図である。

【図8】本技術を適用した単位画素の一実施の形態を示す断面図である。

【図9】本技術を適用した単位画素の一実施の形態を示す平面図である。

【図10】第1転送ゲート（TRX1, TRX2）におけるB-B', C-C'の断面を説明する図である。

【図11】図10のB-B'とC-C'における断面図である。

【図12】図10のB-B'とC-C'における断面図である。

【図13】本技術を適用した単位画素の第1の駆動例を説明するタイミングチャートである。

50

【図 1 4】本技術を適用した単位画素の第 1 の駆動例を説明するポテンシャル図である。

【図 1 5】本技術を適用した単位画素の第 2 の駆動例を説明するタイミングチャートである。

【図 1 6】本技術を適用した単位画素の第 2 の駆動例を説明するポテンシャル図である。

【図 1 7】本技術を適用した単位画素の第 3 の駆動例を説明するタイミングチャートである。

【図 1 8】本技術を適用した単位画素の第 3 の駆動例を説明するポテンシャル図である。

【図 1 9】本技術を適用した単位画素の他の構成例を示す平面図である。

【図 2 0】本技術を適用した CMOS イメージセンサの他の実施の形態を示す図である。

【図 2 1】本技術を適用した CMOS イメージセンサの他の実施の形態を示す図である。

10

【図 2 2】本技術を適用した電子機器の一実施の形態を示す図である。

【発明を実施するための形態】

【0025】

以下、図面を参照しながら本技術の実施の形態について説明する。

【0026】

< 固体撮像素子の構成例 >

【0027】

図 7 は、本技術が適用される固体撮像素子としての CMOS イメージセンサの一実施の形態を示す図である。

【0028】

20

図 7 に示すように、CMOS イメージセンサ 100 は、画素アレイ部 111 と、周辺回路部とを有する構成となっている。この周辺回路部は、垂直駆動部 112、カラム処理部 113、水平駆動部 114、及び、システム制御部 115 からなる。

【0029】

CMOS イメージセンサ 100 はさらに、信号処理部 118 及びデータ格納部 119 を備えている。信号処理部 118 及びデータ格納部 119 は、CMOS イメージセンサ 100 と同じ基板上に搭載しても構わないし、CMOS イメージセンサ 100 とは別の基板に設けられる外部信号処理部、例えば DSP (Digital Signal Processor) やソフトウェアによる処理でも構わない。

【0030】

30

画素アレイ部 111 には、光電変換素子を有する単位画素（以下、単に「画素」と記述する場合もある）が行列状に 2 次元配置されている。単位画素の具体的な構成については後述する。

【0031】

画素アレイ部 111 にはさらに、行列状の画素配列に対して行ごとに画素駆動線 116 が図の左右方向に沿って形成され、列ごとに垂直信号線 117 が図の上下方向に沿って形成されている。画素駆動線 116 の一端は、垂直駆動部 112 の各行に対応した出力端に接続されている。

【0032】

垂直駆動部 112 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 111 の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。

40

【0033】

垂直駆動部 112 によって選択走査された画素行の各単位画素から出力される信号は、垂直信号線 117 の各々を通してカラム処理部 113 に供給される。カラム処理部 113 は、画素アレイ部 111 の画素列ごとに、選択行の各単位画素から垂直信号線 117 を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0034】

具体的には、カラム処理部 113 は、信号処理として少なくとも、ノイズ除去処理、例えば CDS (Correlated Double Sampling) 処理を行う。このカラム処理部 113 による CDS

50

処理により、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理部 1 1 3 にノイズ除去処理以外に、例えば、A/D (Analog/Digital) 変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

【 0 0 3 5 】

水平駆動部 1 1 4 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 1 1 3 の画素列に対応する単位回路を順番に選択する。この水平駆動部 1 1 4 による選択走査により、カラム処理部 1 1 3 で信号処理された画素信号が順番に出力される。

【 0 0 3 6 】

システム制御部 1 1 5 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、当該タイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動部 1 1 2、カラム処理部 1 1 3、水平駆動部 1 1 4、及び、データ格納部 1 1 9 などの駆動制御を行う。

【 0 0 3 7 】

信号処理部 1 1 8 は、少なくとも加算処理機能を有し、カラム処理部 1 1 3 から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部 1 1 9 は、信号処理部 1 1 8 での信号処理に当たって、その処理に必要なデータを一時的に格納する。

【 0 0 3 8 】

< 単位画素の構造 >

【 0 0 3 9 】

次に、図 8 を参照して、図 7 の画素アレイ部 1 1 1 に行列状に配置されている単位画素 1 2 0 の具体的な構造について説明する。図 7 は、単位画素 1 2 0 の構成を示す平面図である。

【 0 0 4 0 】

単位画素 1 2 0 は、光電変換素子として、例えばフォトダイオード (PD) 1 2 1 を有している。フォトダイオード 1 2 1 は、例えば、n 型基板 1 3 1 上に形成された p 型ウェル層 1 3 2 に対して p 型層 1 3 3 を基板表面側に形成して n 型埋め込み層 1 3 4 を埋め込むことによって形成される埋め込み型のフォトダイオードである。なお、p 型層 1 3 3 及び n 型埋め込み層 1 3 4 は、電荷排出時に空乏状態となる不純物濃度とされる。

【 0 0 4 1 】

単位画素 1 2 0 は、フォトダイオード 1 2 1 に加えて、第 1 転送ゲート (TRX1, TRX2) 1 2 2、メモリ部 (MEM) 1 2 3、第 2 転送ゲート (TRG) 1 2 4、及び、浮遊拡散領域 (FD) 1 2 5 を有する。なお、図示はしていないが、単位画素 1 2 0 は、フォトダイオード 1 2 1 に光を導入する開口部や、各トランジスタのコンタクト部など以外の部分を遮光する遮光膜により遮光されている。

【 0 0 4 2 】

第 1 転送ゲート 1 2 2 は、ポリシリコンからなるゲート電極 1 2 2 A を含むように構成される。このゲート電極 1 2 2 A は 2 電極に分割されており、一方のゲート電極 1 2 2 A - 1 は、フォトダイオード 1 2 1 とメモリ部 1 2 3 の間と、メモリ部 1 2 3 の上部の一部を覆うように形成されている。また、他方のゲート電極 1 2 2 A - 2 は、メモリ部 1 2 3 の上部の一部を覆うように形成されている。ゲート電極 1 2 2 A - 1, 1 2 2 A - 2 の上部には、配線用のコンタクトがそれぞれ接続されている。

【 0 0 4 3 】

第 1 転送ゲート 1 2 2 は、コンタクトを介してゲート電極 1 2 2 A - 1 に転送パルス TRX1 が印可され、ゲート電極 1 2 2 A - 2 に転送パルス TRX2 が印加されることにより、フォトダイオード 1 2 1 に蓄積されている電荷をメモリ部 1 2 3 に転送する。

【 0 0 4 4 】

メモリ部 1 2 3 は、ゲート電極 1 2 2 A - 1, 1 2 2 A - 2 の下部に形成された、電荷排出時に空乏状態となる不純物濃度の n 型埋め込みチャネル 1 3 5 によって形成され、第

10

20

30

40

50

1 転送ゲート 1 2 2 によってフォトダイオード 1 2 1 から転送された電荷を保持する。

【 0 0 4 5 】

また、メモリ部 1 2 3 の上部に、ゲート電極 1 2 2 A - 1 , 1 2 2 A - 2 を配置し、それらのゲート電極 1 2 2 A - 1 , 1 2 2 A - 2 に転送パルスTRX1 , TRX2を印加することにより、メモリ部 1 2 3 に変調をかけることができる。すなわち、ゲート電極 1 2 2 A - 1 , 1 2 2 A - 2 に転送パルスTRX1 , TRX2が印加されることにより、メモリ部 1 2 3 のポテンシャルが深くなる。これにより、メモリ部 1 2 3 の飽和電荷量を、変調をかけない場合よりも増やすことができる。

【 0 0 4 6 】

第 2 転送ゲート 1 2 4 は、ポリシリコンからなるゲート電極 1 2 4 A を含むように構成される。ゲート電極 1 2 4 A は、メモリ部 1 2 3 と浮遊拡散領域 1 2 5 の境界部分の上部に形成されている。また、ゲート電極 1 2 4 A の上部には、配線用のコンタクトが接続されている。第 2 転送ゲート 1 2 4 は、コンタクトを介してゲート電極 1 2 4 A に転送パルスTRGが印加されることにより、メモリ部 1 2 3 に保持された電荷を浮遊拡散領域 1 2 5 に転送する。

【 0 0 4 7 】

浮遊拡散領域 1 2 5 は、配線用のコンタクトを電氣的に接続できる不純物濃度の n 型層からなる電荷電圧変換部であり、第 2 転送ゲート 1 2 4 によってメモリ部 1 2 3 から転送された電荷を電圧に変換する。浮遊拡散領域 1 2 5 の上部には、配線用のコンタクトが接続されている。

【 0 0 4 8 】

リセットトランジスタ 1 2 6 は、電源Vrstと浮遊拡散領域 1 2 5 との間に接続されており、ゲート電極に、制御パルスRSTが印加されることにより、浮遊拡散領域 1 2 5 をリセットする。

【 0 0 4 9 】

増幅トランジスタ 1 2 7 は、ドレイン電極が電源Vddに接続され、ゲート電極が浮遊拡散領域 1 2 5 に接続される。また、選択トランジスタ 1 2 8 は、ドレイン電極が増幅トランジスタ 1 2 7 のソース電極に、ソース電極が垂直信号線 1 1 7 にそれぞれ接続される。

【 0 0 5 0 】

選択トランジスタ 1 2 8 は、ゲート電極に制御パルスSELが印加されることで、信号を読み出すべき単位画素 1 2 0 を選択する。そして、増幅トランジスタ 1 2 7 は、選択トランジスタ 1 2 8 によって画素信号を読み出す対象となる単位画素 1 2 0 が選択された場合、浮遊拡散領域 1 2 5 の電圧を示す画素信号を読み出して増幅し、ソース電極から出力する。選択トランジスタ 1 2 8 は、増幅トランジスタ 1 2 7 からの画素信号を、垂直信号線 1 1 7 を介してカラム処理部 1 1 3 に供給する。

【 0 0 5 1 】

なお、図 8 において、単位画素 1 2 0 では、ゲート電極 1 2 2 A - 1 の下部で、かつ、フォトダイオード 1 2 1 とメモリ部 1 2 3 との境界部分は、p 型ウェル層 1 3 2 となっているが、p - の不純物拡散領域を設け、この不純物濃度を調整することで、ゲート電極 1 2 2 A - 1 の電圧レベルが高レベル (VHレベル) 時のフォトダイオード 1 2 1 からメモリ部 1 2 3 への転送と、電圧レベルが低レベル (VLレベル) 時のフォトダイオード 1 2 1 とメモリ部 1 2 3 の素子分離の両立を実現できる。

【 0 0 5 2 】

このような構造を有する複数の単位画素 1 2 0 が行列状に配置された画素アレイ部 1 1 1 を備える CMOS イメージセンサ 1 0 0 は、全画素同時に露光を開始し、全画素同時に露光を終了し、フォトダイオード 1 2 1 に蓄積された電荷を、遮光されたメモリ部 1 2 3 へ転送することで、グローバルシャッタ動作 (グローバル露光) を実現する。このグローバルシャッタ動作により、全画素一致した露光期間による歪みのない撮像が可能となる。

【 0 0 5 3 】

< 第 1 転送ゲートの詳細構造 >

10

20

30

40

50

【0054】

次に、図9乃至図12を参照して、第1転送ゲート122の詳細構造について説明する。

【0055】

図9は、図8の単位画素120の構成例を示す平面図である。図9に示すように、単位画素120においては、第1転送ゲート122のゲート電極が、ゲート電極122A-1と、ゲート電極122A-2の2電極に分割されている。第1転送ゲート122では、ゲート電極122A-1に転送パルスTRX1が印可され、ゲート電極122A-2に転送パルスTRX2が印加されることで、フォトダイオード121に蓄積されている電荷をメモリ部123に転送することになる。

10

【0056】

ここで、図10に示すように、ゲート電極122A-1におけるB-B'の断面と、ゲート電極122A-2におけるC-C'の断面について図示すると、図11の断面図のようになる。

【0057】

図11Aに示すように、ゲート電極122A-1の断面図では、フォトダイオード121と、メモリ部123との素子分離をするためのp-の不純物拡散領域が形成されている。このp-の不純物拡散領域は、ゲート電極122A-1に印加される転送パルスTRX1の電圧レベルが高レベル(VHレベル)となる時、電荷の読み出し機能を実現する一方、転送パルスTRX1の電圧レベルが低レベル(VLレベル)となる時、フォトダイオード121とメモリ部123との素子分離としての機能を実現する必要がある。そのため、ゲート電圧に対するポテンシャル追従性が必要となり、また、図11Aに示すように、p-の不純物拡散領域は、ゲート電極122A-1の下部に配置するとともに、ある程度の領域を有する必要がある。

20

【0058】

単位画素120においては、ゲート電極122A-1とゲート電極122A-2の2電極に分割されているので、電荷を読み出すための電極をゲート電極122A-1のみとすることで、ゲート電極122A-2では、電荷の読み出し機能を実現する必要がない。この場合、図11Bに示すように、ゲート電極122A-2の下部においては、例えばp-の不純物拡散領域を細線化するなどの構造を用いることができるので、メモリ部123に保持できる電荷量を増加させることができる。また、浮遊拡散領域(FD)125への転送に注目すれば、その転送方向における幅が広がるため、転送がしやすくなる。

30

【0059】

また、図11Bに示すように、ゲート電極122A-2の下部においては、p+不純物拡散領域151を形成することで、フォトダイオード121とメモリ部123との素子分離を行うことができる。

【0060】

このように、フォトダイオード121に蓄積された電荷の読み出しに用いられる第1の領域では、ゲート電極122A-1によるゲートバイアスによって、フォトダイオード121とメモリ部123との素子分離がなされる一方、電荷の読み出しに用いられない第2の領域では、第1の領域とは異なる素子分離構造により素子分離がなされることになる。

40

【0061】

なお、図12には、図10に示したゲート電極122A-1におけるB-B'の断面と、ゲート電極122A-2におけるC-C'の断面の他の構造例が図示されている。図12Aの断面図は、図11Aの断面図と同様に、電荷の読み出しに用いられる第1の領域の構造を示している。また、図12Bの断面図においては、図11Bのp+不純物拡散領域151の代わりに、STI(Shallow Trench Isolation)により浅い溝を形成したあと、酸化膜(SiO₂)152等の絶縁層で埋め戻すことで素子分離領域が形成されている。図12Bの素子分離構造を用いることで、電荷の読み出しに用いられない第2の領域において、フォトダイオード121とメモリ部123との素子分離を行うことができる。

50

【 0 0 6 2 】

< 単位画素の駆動方法 >

【 0 0 6 3 】

(単位画素の第 1 の駆動例)

次に、図 1 3 及び図 1 4 を参照して、図 8 の単位画素 1 2 0 の第 1 の駆動例について説明する。ただし、図 1 4 のポテンシャル図において、期間 t1 乃至期間 t7 のそれぞれの状態は、図 1 3 のタイミングチャートにおける期間 t1 乃至期間 t7 に対応している。また、各ゲート電極に印加される転送パルスの電圧レベルは、高レベルの「VHレベル」、低レベルの「VLレベル」、又はそれらの中間電位のレベルとなる「VMレベル」のいずれかとなる。この電圧レベルの関係は、後述する他のタイミングチャートでも同様とされる。

10

【 0 0 6 4 】

期間 t1 において、フォトダイオード 1 2 1 及びメモリ部 1 2 3 の電荷が排出されたあと、全画素一括で、新たに被写体からの光から得られる電荷がフォトダイオード 1 2 1 に蓄積される。また、期間 t2 において、第 1 転送ゲート 1 2 2 におけるゲート電極 1 2 2 A - 1 , 1 2 2 A - 2 に印加される転送パルス TRX1 , TRX2 の電圧レベルが VH レベルになると、フォトダイオード 1 2 1 に蓄積された電荷が、メモリ部 1 2 3 に転送される。

【 0 0 6 5 】

期間 t3 において、第 1 転送ゲート 1 2 2 のゲート電極 1 2 2 A - 1 , 1 2 2 A - 2 に印加される転送パルス TRX1 , TRX2 の電圧レベルが VM レベルになると、メモリ部 1 2 3 には電荷が保持されることになる。

20

【 0 0 6 6 】

その後、期間 t4 において、第 2 転送ゲート 1 2 4 のゲート電極 1 2 4 A に印加される転送パルス TRG の電圧レベルが高レベル (VH レベル又は VM レベル) になると、メモリ部 1 2 3 に保持されていた電荷の一部が浮遊拡散領域 1 2 5 に転送される。なお、このとき、メモリ部 1 2 3 には、浮遊拡散領域 1 2 5 に転送されていない一部の電荷が保持されたままとなる。

【 0 0 6 7 】

期間 t5 において、第 1 転送ゲート 1 2 2 のゲート電極 1 2 2 A - 1 に印加される転送パルス TRX1 の電圧レベルが VL レベルになると、メモリ部 1 2 3 において、ゲート電極 1 2 2 A - 1 の下部に保持されていた電荷が、ゲート電極 1 2 2 A - 2 の下部に移動することになる。これにより、浮遊拡散領域 1 2 5 に保持されている電荷量が増加することになる。

30

【 0 0 6 8 】

その後、期間 t6 において、第 1 転送ゲート 1 2 2 のゲート電極 1 2 2 A - 2 に印加される転送パルス TRX2 の電圧レベルが VL レベルになると、メモリ部 1 2 3 に保持されていた電荷の全てが、浮遊拡散領域 1 2 5 に転送される。そして、期間 t7 において、第 2 転送ゲート 1 2 4 のゲート電極 1 2 4 A に印加される転送パルス TRG の電圧レベルが低レベル (VL レベル) になると、浮遊拡散領域 1 2 5 に保持されている電荷に応じた電圧が信号レベルとして読み出されることになる。

【 0 0 6 9 】

以上、第 1 の駆動例について説明した。第 1 の駆動例においては、第 1 転送ゲート 1 2 2 におけるゲート電極 1 2 2 A - 1 と、ゲート電極 1 2 2 A - 2 とが別々に駆動されるので、期間 t5 で、ゲート電極間の電界を確保しやすくなり、転送能力が向上する。一方で、メモリ部 1 2 3 に電荷が保持される電荷保持期間 t3 においては、ゲート電極 1 2 2 A - 1 と、ゲート電極 1 2 2 A - 2 とでは同じ電圧条件となるため、飽和信号量の減少を抑えることができる。

40

【 0 0 7 0 】

(単位画素の第 2 の駆動例)

次に、図 1 5 及び図 1 6 を参照して、図 8 の単位画素 1 2 0 の第 2 の駆動例について説明する。ただし、図 1 6 のポテンシャル図において、期間 t1 乃至期間 t7 のそれぞれの状態は、図 1 5 のタイミングチャートにおける期間 t1 乃至期間 t7 に対応している。

50

【 0 0 7 1 】

期間t1乃至期間t2においては、上述した第1の駆動例と同様に、フォトダイオード121に蓄積された電荷がメモリ部123に転送される。そして、期間t3において、第1転送ゲート122におけるゲート電極122A-1, 122A-2に印加される転送パルスTRX1, TRX2の電圧レベルがVLレベルになると、メモリ部123には電荷が保持されることになる。

【 0 0 7 2 】

その後、期間t4において、第2転送ゲート124のゲート電極124Aに印加される転送パルスTRGの電圧レベルが高レベル(VHレベル又はVMレベル)になると、メモリ部123に保持されていた電荷が浮遊拡散領域125に転送される。そして、第1転送ゲート122のゲート電極122A-2に印加される転送パルスTRX2の電圧レベルが、期間t5においてVLレベルからVMレベルになったあと、期間t6においてVLレベルに戻される。

10

【 0 0 7 3 】

すなわち、図16のポテンシャル図では、期間t4乃至期間t6において、電荷の移動が図示されていないが、例えば、メモリ部123において、ごくわずかの電荷が第1転送ゲート122のゲート電極122A-1の下部に残存している場合に、期間t5においてその電荷がゲート電極122A-2の下部に移動することになる。これにより、メモリ部123に残存している電荷が完全に浮遊拡散領域125に転送されることになるので、転送不良の発生を抑制することができる。

【 0 0 7 4 】

その後、期間t7において、第2転送ゲート124のゲート電極124Aに印加される転送パルスTRGの電圧レベルが低レベル(VLレベル)になると、浮遊拡散領域125に保持されている電荷に応じた電圧が信号レベルとして読み出されることになる。

20

【 0 0 7 5 】

以上、第2の駆動例について説明した。第2の駆動例においては、上述した第1の駆動例と異なり、メモリ部123に電荷が保持される電荷保持期間t3において、転送パルスTRX1, TRX2の電圧レベルがVLレベルとなっている。第1の駆動例のように電荷保持期間t3における転送パルスTRX1, TRX2の電圧レベルをVMレベルとしたほうが、電荷保持期間での飽和電荷数をためやすい代わりに、ゲート電極に印加される電圧が高くなることにより、Si界面でのホール密度が低くなり、電荷転送保持部における暗電流が増加することとなる。つまり、飽和信号量と暗電流の関係はトレードオフの関係にあるので、どちらを優先させるかによって電荷保持期間t3における転送パルスTRX1, TRX2の電圧レベルを、VMレベルとするか、あるいはVLレベルにするかに適宜定めればよい。

30

【 0 0 7 6 】

なお、図15のタイミングチャートにおいては、期間t4で、第2転送ゲート124のゲート電極124Aに印加される転送パルスTRGの電圧レベルが立ち上がり、その後、期間t5で、第1転送ゲート122のゲート電極122A-2に印加される転送パルスTRX2の電圧レベルが立ち上がるとして説明したが、それらの電圧レベルの立ち上がりの順序は逆でもよく、あるいは同時に立ち上がるようにしてもよい。

【 0 0 7 7 】

(単位画素の第3の駆動例)

次に、図17及び図18を参照して、図8の単位画素120の第3の駆動例について説明する。ただし、図18のポテンシャル図において、期間t1乃至期間t7のそれぞれの状態は、図17のタイミングチャートにおける期間t1乃至期間t7に対応している。

40

【 0 0 7 8 】

第3の駆動例では、上述した第2の駆動例における期間t5において、第1転送ゲート122のゲート電極122A-2に印加される転送パルスTRX2の電圧レベルを、VMレベルではなく、VHレベルとしている。この場合でも、例えば、メモリ部123において、ごくわずかの電荷が第1転送ゲート122のゲート電極122A-1の下部に残存している場合に、期間t5においてその電荷がゲート電極122A-2の下部に移動することになる。こ

50

れにより、メモリ部 1 2 3 に残存している電荷が完全に浮遊拡散領域 1 2 5 に転送されることになるので、転送不良の発生を抑制することができる。

【 0 0 7 9 】

なお、ゲート電極 1 2 2 A - 2 を電荷の読み出しに用いる場合には、期間 t5 において、フォトダイオード 1 2 1 とメモリ部 1 2 3 の素子分離ができなくなってしまう。しかしながら、図 1 0 乃至図 1 2 に示したように、ゲート電極 1 2 2 A - 2 を電荷の読み出しに用いず、さらにフォトダイオード 1 2 1 とメモリ部 1 2 3 の素子分離を強固にしておけば、第 3 の駆動例のように、第 1 転送ゲート 1 2 2 のゲート電極 1 2 2 A - 2 に印加される転送パルス TRX2 の電圧レベルを、VH レベルとすることが可能となる。

【 0 0 8 0 】

以上、第 3 の駆動例について説明した。第 3 の駆動例においては、上述した第 2 の駆動例と異なり、時間 t5 において、第 1 転送ゲート 1 2 2 のゲート電極 1 2 2 A - 2 に印加される転送パルス TRX2 の電圧レベルを、VH レベルとしている。これにより、第 1 の駆動例及び第 2 の駆動例が、VH レベルと、VL レベルと、VM レベルの 3 値駆動であるのに対し、第 3 の駆動例では、VH レベル（高レベル）と VL レベル（低レベル）の 2 値駆動とすることができるので、回路規模を小さくすることができるというメリットがある。

【 0 0 8 1 】

なお、図 1 7 のタイミングチャートにおいては、期間 t4 で、第 2 転送ゲート 1 2 4 のゲート電極 1 2 4 A に印加される転送パルス TRG の電圧レベルが立ち上がり、その後、期間 t5 で、第 1 転送ゲート 1 2 2 のゲート電極 1 2 2 A - 2 に印加される転送パルス TRX2 の電圧レベルが立ち上がるとして説明したが、それらの電圧レベルの立ち上がりの順序は逆でもよく、あるいは同時に立ち上がるようにしてもよい。

【 0 0 8 2 】

以上、第 1 の駆動例乃至第 3 の駆動例によれば、第 1 転送ゲート 1 2 2 において、2 電極に分割されているゲート電極 1 2 2 A - 1 とゲート電極 1 2 2 A - 2 に、転送パルス TRX1 と転送パルス TRX2 をそれぞれ印加することで、メモリ部 1 2 3 が 2 段構成で電荷を保持することになるが、その 2 段構成の領域の間には素子分離領域が設けられていない。つまり、メモリ部 1 2 3 における 2 段構成の領域間は、N 型の領域となるので、その領域間においても電荷を保持することができることになる。

【 0 0 8 3 】

< 変形例 >

【 0 0 8 4 】

上述した説明では、第 1 転送ゲート 1 2 2 におけるゲート電極 1 2 2 A が、ゲート電極 1 2 2 A - 1 とゲート電極 1 2 2 A - 2 の 2 電極に分割されている例を説明したが、分割数は 2 電極に限らず、2 以上の分割数であれば、いずれの分割数であってもよい。図 1 9 には、第 1 転送ゲート 1 2 2 のゲート電極 1 2 2 A を、k 電極（k は 2 以上の整数）に分割した場合を図示している。図 1 9 において、k 個の各ゲート電極のそれぞれは、図 1 1 を参照して説明したように、図 1 1 A 又は図 1 1 B のいずれかの構造を有することになる。なお、図 1 1 B の構造の代わりに、図 1 2 B の構造を用いてもよい。

【 0 0 8 5 】

< 固体撮像素子の構成の変形例 >

【 0 0 8 6 】

上述した説明では、図 7 に示したように、データ格納部 1 1 9 をカラム処理部 1 1 3 の後段において信号処理部 1 1 8 に対して並列的に設ける構成としたが、これに限られるものではない。例えば、図 2 0 に示すように、データ格納部 1 1 9 をカラム処理部 1 1 3 と並列的に設け、水平駆動部 1 1 4 による水平走査によって同時に読み出されたデータに対し、後段の信号処理部 1 1 8 で信号処理を実行する構成を採ることも可能である。

【 0 0 8 7 】

さらに、図 2 1 に示すように、画素アレイ部 1 1 1 の列ごとあるいは複数列ごとに A/D 変換する A/D 変換機能をカラム処理部 1 1 3 に持たせるとともに、当該カラム処理部 1 1

10

20

30

40

50

3 に対してデータ格納部 119 及び信号処理部 118 を並列的に設け、信号処理部 118 においてアナログ又はデジタルでノイズ除去処理を行った後、データ格納部 119 及び信号処理部 118 での各処理を列ごとあるいは複数列ごと実行する構成を採ることも可能である。

【0088】

なお、本技術は、固体撮像素子への適用に限られるものではない。すなわち、本技術は、デジタルスチルカメラやデジタルビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機など、画像取込部（光電変換部）に固体撮像素子を用いる電子機器全般に対して適用可能である。固体撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

10

【0089】

< 本技術を適用した電子機器の構成例 >

【0090】

図 22 は、本技術を適用した電子機器の一実施の形態を示す図である。

【0091】

図 22 の電子機器 300 は、レンズ群などからなる光学部 301、上述した単位画素 120 の各構成が採用される固体撮像素子 302、及び、カメラ信号処理回路である DSP (Digital Signal Processor) 回路 303 を備える。また、電子機器 300 は、フレームメモリ 304、表示部 305、記録部 306、操作部 307、及び、電源部 308 も備える。DSP 回路 303、フレームメモリ 304、表示部 305、記録部 306、操作部 307、及び、電源部 308 は、バスライン 309 を介して相互に接続されている。

20

【0092】

光学部 301 は、被写体からの入射光（像光）を取り込んで固体撮像素子 302 の撮像面上に結像する。固体撮像素子 302 は、光学部 301 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像素子 302 として、上述した実施の形態に係る CMOS イメージセンサ 100 等の固体撮像素子、すなわちグローバル露光によって歪みのない撮像を実現できる固体撮像素子を用いることができる。

【0093】

表示部 305 は、例えば、液晶パネルや有機 EL (electro luminescence) パネル等のパネル型表示装置からなり、固体撮像素子 302 で撮像された動画または静止画を表示する。記録部 306 は、固体撮像素子 302 で撮像された動画または静止画を、ビデオテープや DVD (Digital Versatile Disk)、フラッシュメモリ等の記録媒体に記録する。

30

【0094】

操作部 307 は、ユーザによる操作の下に、電子機器 300 が持つ様々な機能について操作指令を発する。電源部 308 は、DSP 回路 303、フレームメモリ 304、表示部 305、記録部 306、及び、操作部 307 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【0095】

固体撮像素子 302 として、上述した実施の形態に係る CMOS イメージセンサ 100 を用いることで、kTC ノイズをも含めたノイズ低減処理が可能となるので、高い S/N を確保することができる。従って、デジタルスチルカメラやデジタルビデオカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの電子機器 300 においても、撮像画像の高画質化を図ることができる。

40

【0096】

また、上述した実施形態においては、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなる CMOS イメージセンサに適用した場合を例に挙げて説明した。しかしながら、本技術は CMOS イメージセンサへの適用に限られるものではなく、画素アレイ部の画素列ごとにカラム処理部を配置してなるカラム方式の固体撮像素子

50

全般に対して適用可能である。

【0097】

また、本技術は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像素子（物理量分布検知装置）全般に対して適用可能である。

【0098】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

10

【0099】

また、本技術は、以下のような構成をとることができる。

【0100】

(1)

入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、
前記光電変換素子に蓄積された電荷を転送する第1転送ゲートと、
前記第1転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持領域と、

前記電荷保持領域に保持された電荷を転送する第2転送ゲートと、
前記第2転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域と

20

を有する複数の単位画素を備え、

前記電荷保持領域は、電荷を保持するための複数段の領域を有し、

前記複数段の領域間は、N型の領域となる

固体撮像素子。

(2)

前記複数段の領域は、前記光電変換素子に蓄積された電荷の読み出しに用いられる第1の領域と、前記第1の領域以外の第2の領域のいずれかの領域からなる

(1)に記載の固体撮像素子。

(3)

前記第1の領域では、前記第1転送ゲートによるゲートバイアスによって、前記光電変換素子と前記電荷保持領域との素子分離がなされ、

30

前記第2の領域では、前記第1の領域と異なる素子分離構造により素子分離がなされる

(2)に記載の固体撮像素子。

(4)

前記第2の領域では、p+不純物拡散領域により素子分離がなされる

(3)に記載の固体撮像素子。

(5)

前記第2の領域では、酸化膜の領域により素子分離がなされる

(3)に記載の固体撮像素子。

40

(6)

前記複数段の領域は、2段構成である

(1)乃至(5)のいずれか一項に記載の固体撮像素子。

(7)

前記第1転送ゲートは、前記複数段の領域に対応する複数の電極から構成されている

(1)乃至(6)のいずれか一項に記載の固体撮像素子。

(8)

入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、

前記光電変換素子に蓄積された電荷を転送する第1転送ゲートと、

前記第1転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持

50

領域と、

前記電荷保持領域に保持された電荷を転送する第2転送ゲートと、
前記第2転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域と

を有する複数の単位画素と、

前記単位画素の駆動を制御する駆動制御部と

を備える固体撮像素子の駆動方法であって、

前記駆動制御部が、前記電荷保持領域における電荷を保持するための複数段の領域であって、その間の領域がN型の領域となる前記複数段の領域に対応する複数の電極から構成されている前記第1転送ゲートの駆動を、電極ごとに制御する

ステップを含む駆動方法。

10

(9)

入射光量に応じた電荷を発生して内部に蓄積する光電変換素子と、

前記光電変換素子に蓄積された電荷を転送する第1転送ゲートと、

前記第1転送ゲートによって前記光電変換素子から転送される電荷を保持する電荷保持領域と、

前記電荷保持領域に保持された電荷を転送する第2転送ゲートと、

前記第2転送ゲートによって前記電荷保持領域から転送される電荷を信号として読み出すために保持する浮遊拡散領域と

を有する複数の単位画素を備え、

20

前記電荷保持領域は、電荷を保持するための複数段の領域を有し、

前記複数段の領域間は、N型の領域となる

固体撮像素子を搭載した電子機器。

【符号の説明】

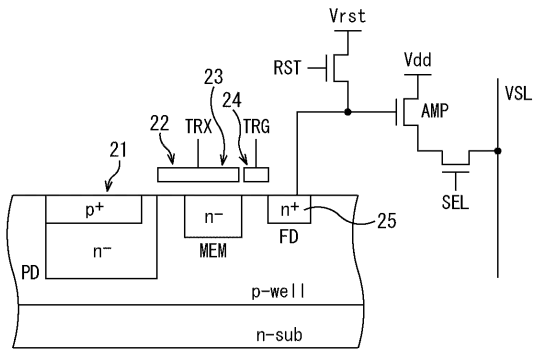
【0101】

100 CMOSイメージセンサ, 111 画素アレイ部, 120 単位画素, 121 フォトダイオード, 122 第1転送ゲート, 122A, 122A-1, 122A-2 ゲート電極, 123 メモリ部, 124 第2転送ゲート, 124A ゲート電極, 125 浮遊拡散領域, 126 リセットトランジスタ, 127 増幅トランジスタ, 128 選択トランジスタ, 151 p+不純物拡散領域, 152 酸化膜, 300 電子機器, 302 固体撮像素子

30

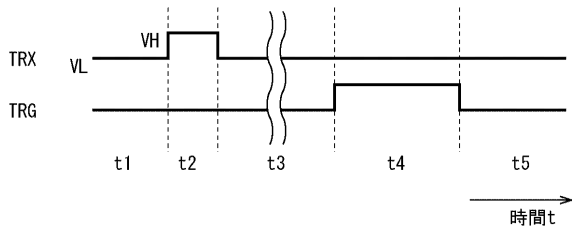
【 図 1 】

図1



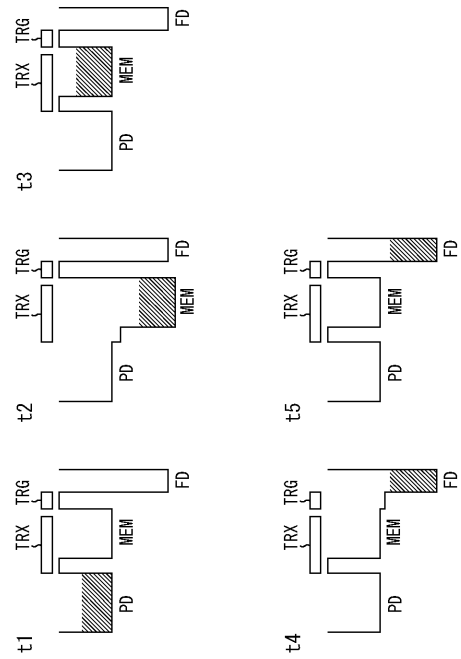
【 図 2 】

図2



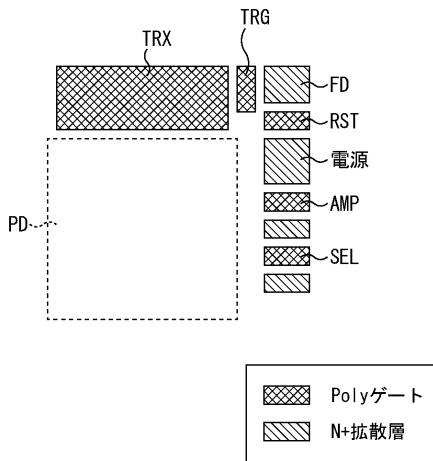
【 図 3 】

図3



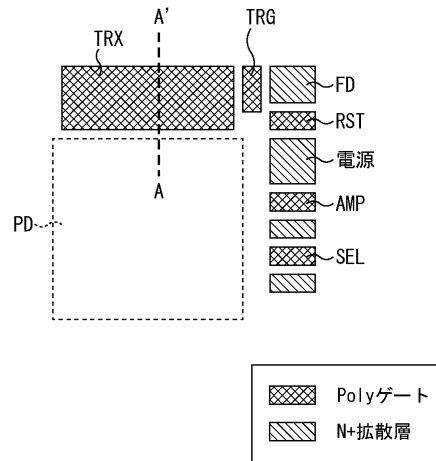
【 図 4 】

図4



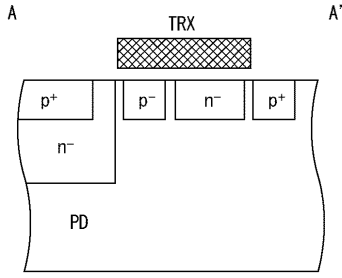
【 図 5 】

図5



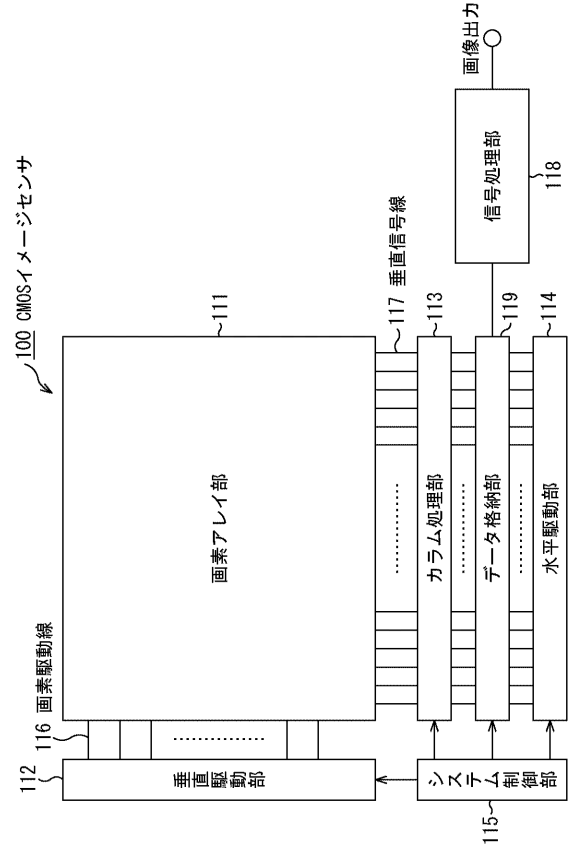
【図6】

図6



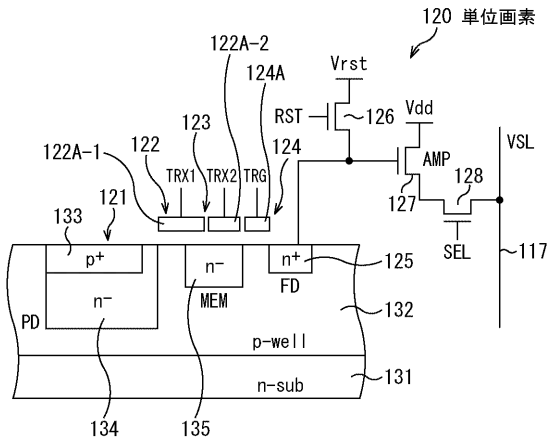
【図7】

図7



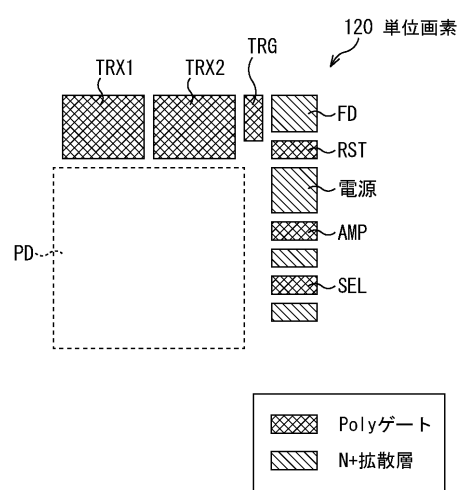
【図8】

図8



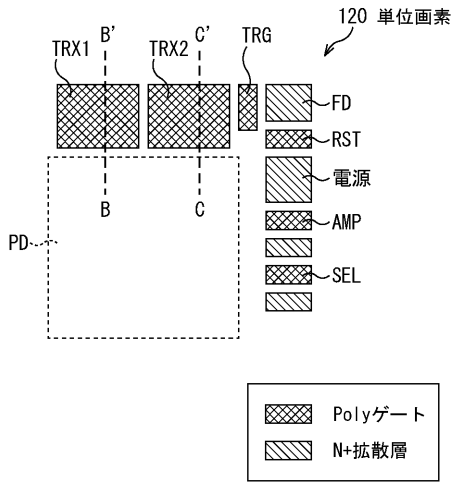
【図9】

図9



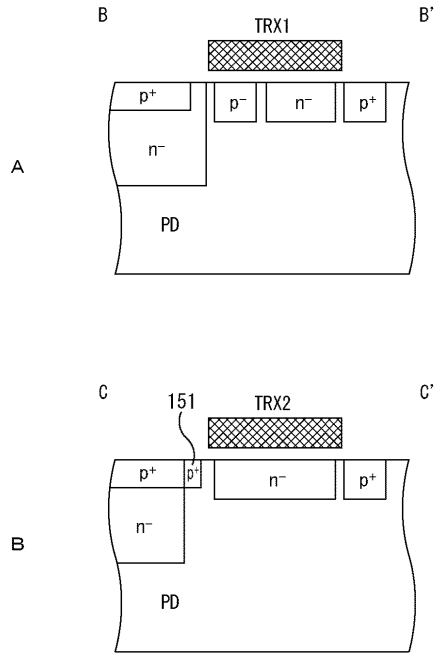
【図10】

図10



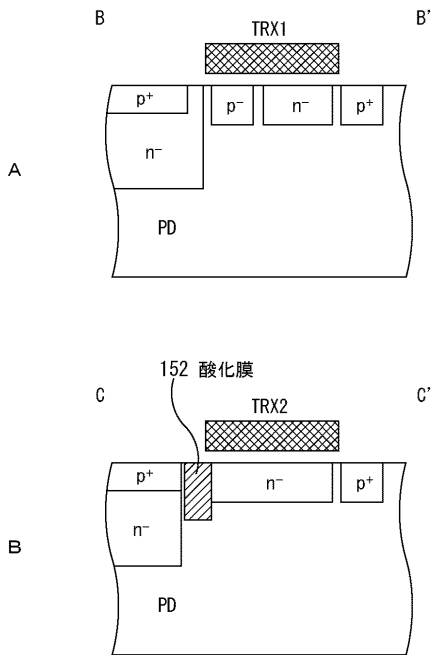
【図11】

図11



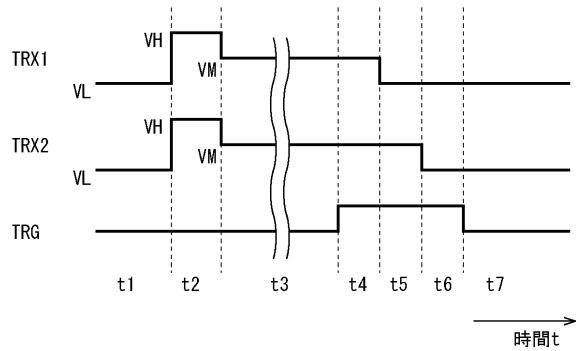
【図12】

図12

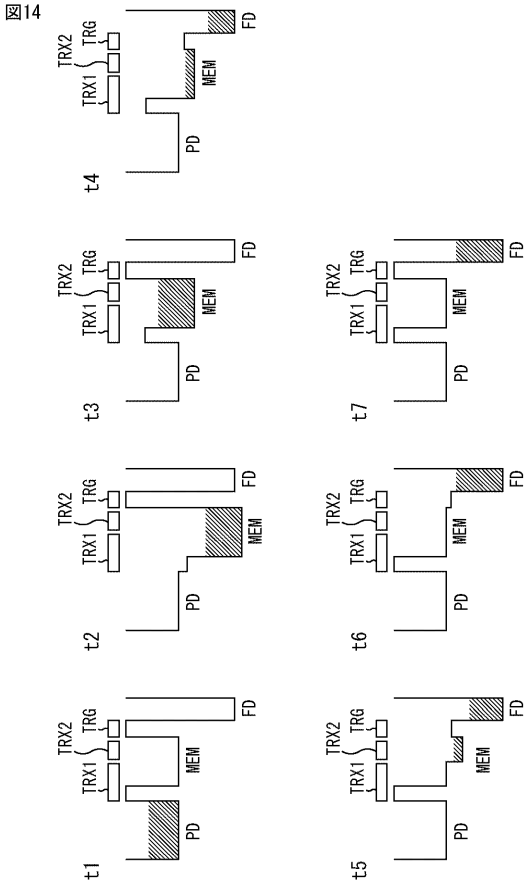


【図13】

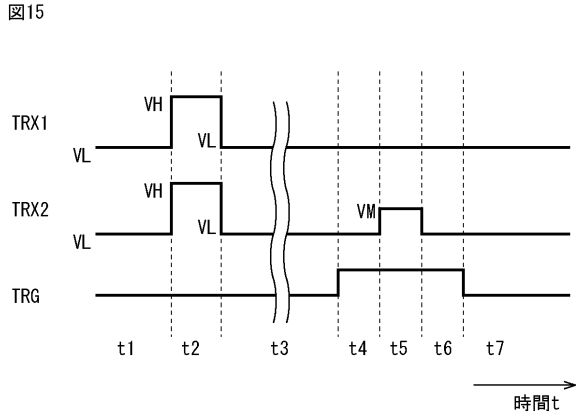
図13



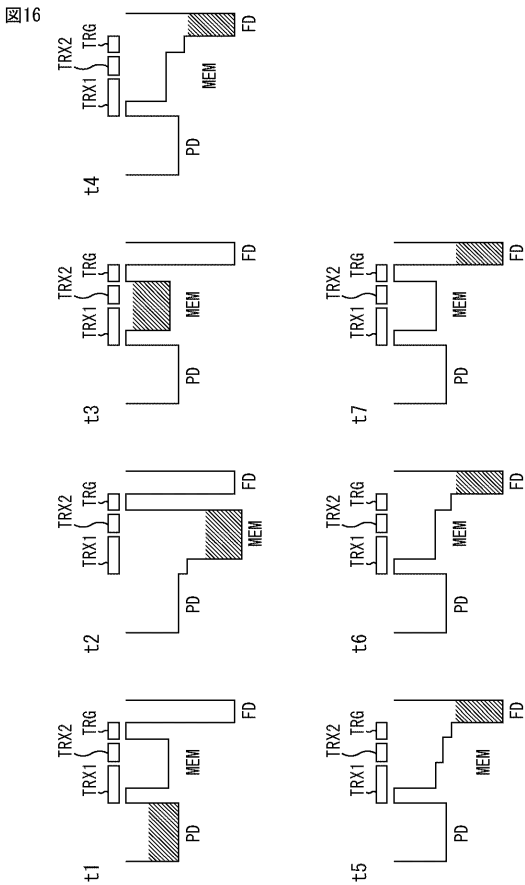
【 14 】



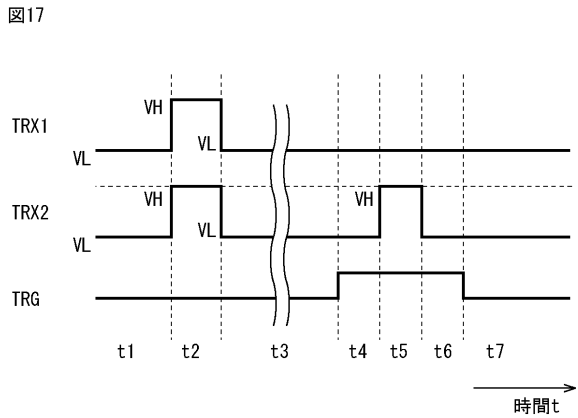
【 15 】



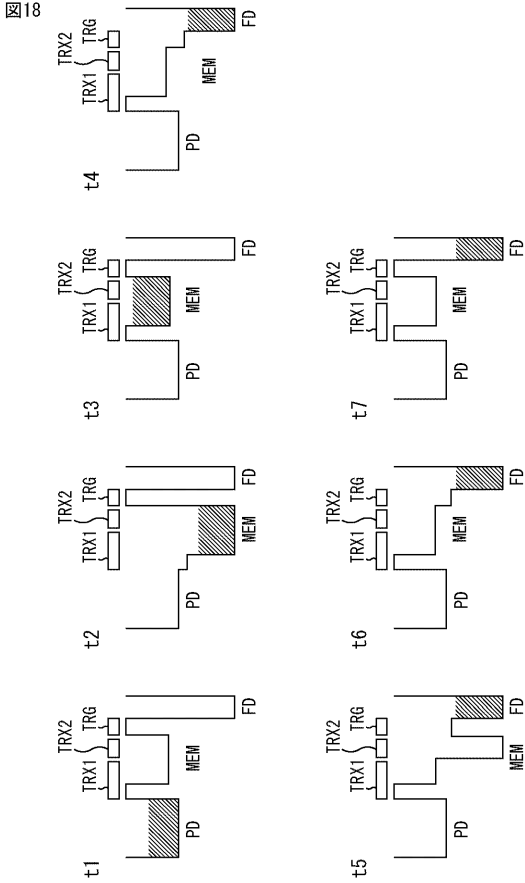
【 16 】



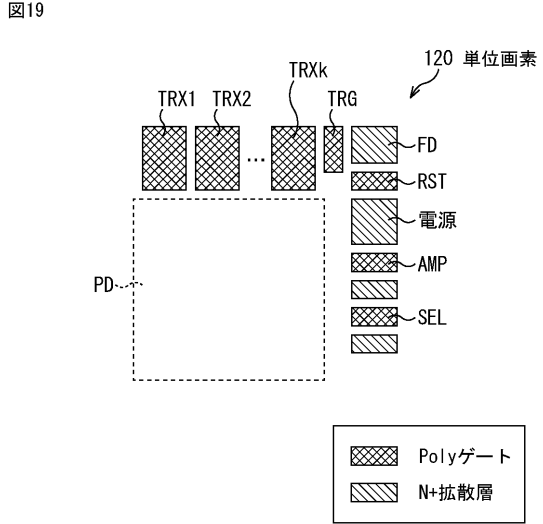
【 17 】



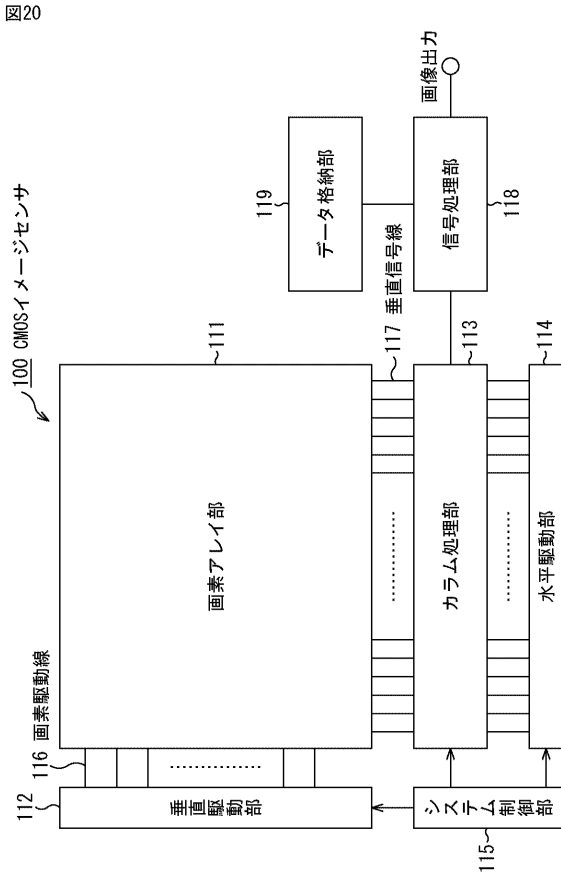
【図18】



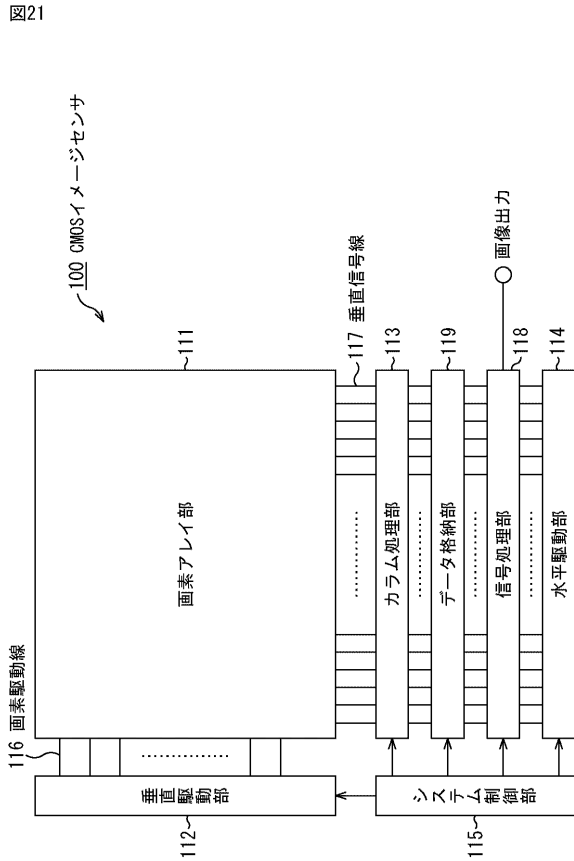
【図19】



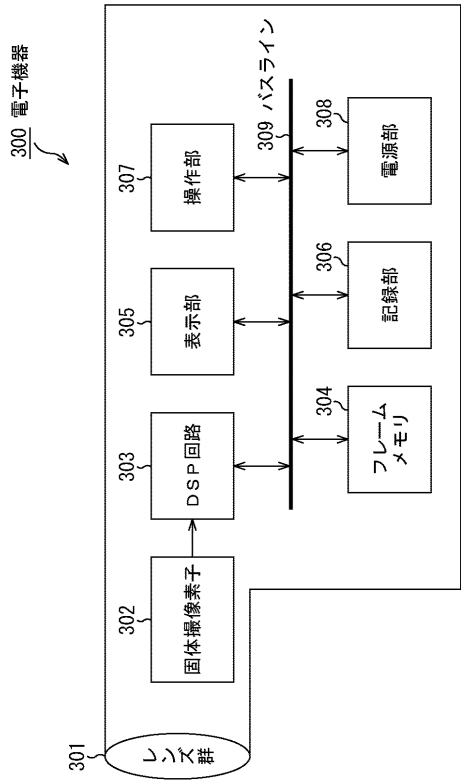
【図20】



【図21】



【図 22】
図22



フロントページの続き

(72)発明者 沼津 真也

熊本県菊池郡菊陽町大字原水4000-1 ソニーセミコンダクタ株式会社内

Fターム(参考) 4M118 AA03 AB01 BA14 CA04 DD04 FA06 FA26 FA28 FA29 FA34

GB03 GB07 GD03

5C024 CY47 GX02 GX03 GY31 GY39