



(12) 发明专利

(10) 授权公告号 CN 101542699 B

(45) 授权公告日 2011.05.18

(21) 申请号 200880000106.4

H01L 21/8238(2006.01)

(22) 申请日 2008.01.04

H01L 27/092(2006.01)

(30) 优先权数据

H01L 29/423(2006.01)

000978/2007 2007.01.09 JP

H01L 29/49(2006.01)

329564/2007 2007.12.21 JP

H01L 29/78(2006.01)

(85) PCT申请进入国家阶段日

(56) 对比文件

2008.09.09

JP 特开 2006-229071 A, 2006.08.31, 全文.

(86) PCT申请的申请数据

JP 特开 2006-270051 A, 2006.10.05, 全文.

PCT/JP2008/050007 2008.01.04

JP 特开 2006-261283 A, 2006.09.28, 全文.

(87) PCT申请的公布数据

CN 1525542 A, 2004.09.01, 全文.

WO2008/084765 JA 2008.07.17

JP 特开 2004-31753 A, 2004.01.29, 全文.

(73) 专利权人 索尼株式会社

WO 2004/097942 A1, 2004.11.11, 全文.

地址 日本东京都

US 2005/0082616 A1, 2005.04.21, 全文.

(72) 发明人 山川真弥

审查员 张跃

(74) 专利代理机构 北京东方亿思知识产权代理
有限责任公司 11258

代理人 王安武 南霆

(51) Int. Cl.

H01L 21/336(2006.01)

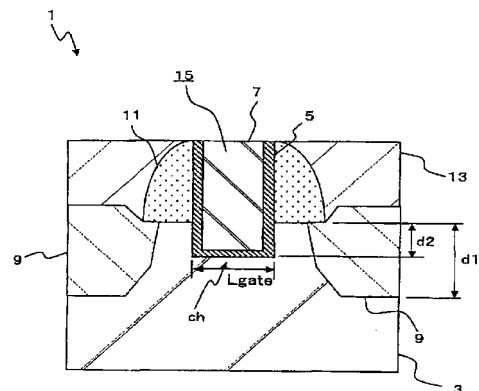
权利要求书 3 页 说明书 16 页 附图 19 页

(54) 发明名称

半导体器件和制造半导体器件的方法

(57) 摘要

提供了一种半导体器件,其中可有效地将应力从格子常数与半导体衬底不同的半导体层施加到通道部分,由此提高载体移动度,并实现更高功能性。半导体器件(1)设置有栅电极(7),其通过栅绝缘膜(5)布置在半导体衬底(3)上;以及半导体层(应力施加层)(9),其通过外延生长形成在半导体衬底(3)的表面、栅电极(7)的两侧的内凹处。半导体层(9)是格子常数与半导体衬底(3)不同的层,并且栅绝缘膜(5)和栅电极(7)布置成埋入半导体衬底(3)上半导体层(9)之间的内凹。栅绝缘膜(5)距半导体衬底(3)的表面的深度位置(d2)小于半导体层(9)的深度位置。



1. 一种半导体器件,其特征在于包括:
栅电极,其经由栅绝缘膜设置在半导体衬底上;以及
应力施加层,其用于将应力施加到所述栅电极下的通道部分;
其中,所述应力施加层设置在比所述半导体衬底在所述栅电极两侧的表面更深的位置处,

在填充通过下挖所述半导体衬底在所述应力施加层之间的表面而形成的部分的状态下设置所述栅绝缘膜和所述栅电极,

所述通道部分相对于所述半导体衬底的表面的深度位置比所述应力施加层的深度位置浅,并且

所述应力施加层由格子常数与所述半导体衬底不同的半导体材料形成,并且是在通过下挖所述半导体衬底在所述栅电极的两侧的表面所获得的部分中通过外延生长而形成的半导体层。

2. 根据权利要求 1 所述的半导体器件,其特征在于:

所述半导体衬底由单晶硅形成,并且

通过使硅包括格子常数与硅不同的元素材料来形成所述半导体层。

3. 根据权利要求 1 所述的半导体器件,其特征在于:

以所述半导体衬底作为底表面的槽图案设置在覆盖所述半导体衬底和所述应力施加层的夹层绝缘膜中的所述应力施加层之间,所述槽图案通过下挖所述半导体衬底形成,并且

在经由覆盖至少所述半导体衬底的露出表面的所述栅绝缘膜来填充所述槽图案的状态下形成所述栅电极。

4. 根据权利要求 3 所述的半导体器件,其特征在于:

在覆盖包括所述槽图案的所述底表面的内壁的状态下设置所述栅绝缘膜。

5. 根据权利要求 3 所述的半导体器件,其特征在于:

在露出所述槽图案的内壁的上部的状态下设置所述栅绝缘膜。

6. 根据权利要求 1 所述的半导体器件,其特征在于:

所述栅绝缘膜具有包括从铝 (Al)、钇 (Y)、锆 (Zr)、镧 (La)、铪 (Hf) 和钽 (Ta) 中选择的至少一种的氧化物、氧化硅化物、氮氧化物或者氧化氮化硅化物。

7. 根据权利要求 1 所述的半导体器件,其特征在于:

所述栅电极具有包括用于调节所述栅电极的功函数的功函数控制层的层叠结构。

8. 根据权利要求 7 所述的半导体器件,其特征在于:

设置所述功函数控制层以与所述栅绝缘膜接触。

9. 根据权利要求 1 所述的半导体器件,其特征在于:

包括所述栅绝缘膜、所述栅电极和所述应力施加层的 p 型场效应晶体管 and n 型场效应晶体管设置在所述半导体衬底上,并且

所述 p 型场效应晶体管和所述 n 型场效应晶体管中至少一者的所述栅电极包括用于调节所述栅电极的功函数的功函数控制层的层叠结构。

10. 根据权利要求 9 所述的半导体器件,其特征在于:

所述 p 型场效应晶体管和所述 n 型场效应晶体管的所述栅电极具有各自不同的功函

数。

11. 一种制造半导体器件的方法,所述方法特征在于包括:

第一步骤:在半导体衬底上形成伪栅电极,并通过以所述伪栅电极作为掩膜进行蚀刻来下挖所述半导体衬底的表面;

第二步骤:通过外延生长在所述半导体衬底的所述下挖表面上形成格子常数与所述半导体衬底不同的半导体材料的应力施加层;

第三步骤:在覆盖所述伪栅电极和所述应力施加层的状态下形成夹层绝缘膜,使所述伪栅电极从所述夹层绝缘膜露出,然后去除所述伪栅电极,由此在所述夹层绝缘膜中形成槽图案,并且露出所述半导体衬底;

第四步骤:下挖所述半导体衬底在所述槽图案的底部处露出的露出表面,所述半导体衬底被下挖的深度比所述应力施加层的深度位置浅;并且

第五步骤:在其中所述半导体衬底的露出表面被下挖的所述槽图案内经由栅绝缘膜来填充并形成新的栅电极。

12. 根据权利要求 11 所述的制造半导体器件的方法,其特征在于:

在所述第一步骤中,侧壁形成在所述伪栅电极的侧壁上,并且通过以所述伪栅电极和所述侧壁作为掩膜进行蚀刻来下挖所述半导体衬底的所述表面,并且

在所述第二步骤中,所述应力施加层形成在所述侧壁的外侧。

13. 根据权利要求 11 所述的制造半导体器件的方法,其特征在于:

在所述第五步骤中,形成包括用于调节功函数的功函数控制层的层叠结构的所述栅电极。

14. 一种制造半导体器件的方法,所述方法特征在于包括:

第一步骤:通过下挖半导体衬底的表面一侧而形成凹部;

第二步骤:在所述凹部中形成伪栅电极,并通过以所述伪栅电极作为掩膜进行蚀刻来下挖所述半导体衬底的表面,所述半导体衬底被下挖的深度比所述凹部的深度位置深;

第三步骤:通过外延生长在所述半导体衬底的下挖表面上形成格子常数与所述半导体衬底不同的半导体材料的应力施加层;

第四步骤:在覆盖所述伪栅电极和所述应力施加层的状态下形成夹层绝缘膜,使所述伪栅电极从所述夹层绝缘膜露出,然后去除所述伪栅电极,由此形成与所述半导体衬底的所述凹部重叠的槽图案;并且

第五步骤:在包括所述半导体衬底的所述凹部的所述槽图案内经由栅绝缘膜填充并形成新的栅电极。

15. 根据权利要求 14 所述的制造半导体器件的方法,其特征在于:

在所述第二步骤中,侧壁形成在所述伪栅电极的侧壁上,并且通过以所述伪栅电极和所述侧壁作为掩膜进行蚀刻来下挖所述半导体衬底的所述表面,并且

在所述第三步骤中,所述应力施加层形成在所述侧壁的外侧。

16. 根据权利要求 14 所述的制造半导体器件的方法,其特征在于:

在所述第五步骤中,形成包括用于调节功函数的功函数控制层的层叠结构的所述栅电极。

17. 根据权利要求 14 所述的制造半导体器件的方法,其特征在于:

在所述第二步骤中,经由所述栅绝缘膜形成所述伪栅电极,并且
在所述第五步骤中,在所述第二步骤中形成的所述栅绝缘膜上填充并形成新的栅电极。

18. 根据权利要求 17 所述的制造半导体器件的方法,其特征在于:

在所述第二步骤中,在所述栅绝缘膜和所述伪栅电极之间形成帽膜,并且
当在所述第四步骤去除所述伪栅电极时,以所述帽膜作为阻挡膜进行蚀刻。

19. 根据权利要求 18 所述的制造半导体器件的方法,其特征在于:

在所述第四步骤中,在所述栅绝缘膜上留下所述帽膜作为用于调节所述栅电极的功函数的功函数控制层。

20. 根据权利要求 18 所述的制造半导体器件的方法,其特征在于:

在所述第四步骤中,在所述帽膜留在所述栅绝缘膜上的情况下去除所述伪栅电极,并且

在所述第五步骤中,使其与所述帽膜反应的金属膜形成在所述帽膜上,使所述帽膜和所述金属层彼此反应以形成功函数控制层,然后在包括所述半导体衬底的所述凹部的所述槽图案内经由所述功函数控制层填充并形成栅电极材料,并且形成其功函数被所述功函数控制层控制的新的栅电极。

半导体器件和制造半导体器件的方法

技术领域

[0001] 本发明涉及半导体器件及其制造方法,更具体地,本发明的目的是提供一种半导体器件及其制造方法,其应用了在场效应晶体管结构的半导体器件中向半导体衬底中的通道部分施加应力来提高载体的移动度 (mobility) 的技术。

背景技术

[0002] 使用场效应晶体管的集成电路的小型化具有例如增大速度和降低电力消耗、价格和尺寸的各种优点,因而获得了不断的进步。现今,可以形成栅长度小于 100nm 的晶体管。此外,在 ITRS 路线图 (国际半导体技术发展路线图) 中,在称为 32nm 节点的晶体管中预测到 20nm 或者更小的栅长度。

[0003] 此外,不仅栅长度的降低而且器件自身结构的缩小 (缩放) 已经正在发生。然而,当栅长度在从亚微区域到小于 100nm 的区域的范围中时,从抑制栅泄漏电流的观点来看,传统上用作栅绝缘膜的氧化硅 (SiO_2) 基绝缘膜的物理膜厚度正达到极限。

[0004] 鉴于此,通过使用氧化铪基高介电常数 (高-K) 绝缘膜作为栅绝缘膜来增大栅绝缘膜的介电常数的方法、通过使用金属材料抑制栅电极的损耗的方法等被考虑为用于减小栅绝缘膜的有效膜厚度的方法。

[0005] 在这些方法当中的抑制栅电极的损耗的方法中,考虑使用钨 (W)、钛 (Ti)、铪 (Hf)、钌 (Ru)、铱 (Ir) 等作为用于栅电极的金属材料。然而,这些金属材料受到高位热处理时与栅绝缘膜等反应,造成栅绝缘膜的恶化和晶体管的阈值电压变化的问题。因而,在形成栅电极之后形成诸如源区域和漏区域的杂质扩散层的传统处理在杂质活性化的热处理中引起上述问题。

[0006] 为了解决由这种金属材料形成的栅电极的问题,已经提出一种镶嵌栅处理,其在形成源区域和漏区域之后形成栅电极 (参见日本专利申请早期公开 No. 2000-315789 和日本专利申请早期公开 No. 2005-26707)。在镶嵌栅处理中,首先在形成伪栅的状态下形成源区域和漏区域。此后,形成覆盖伪栅的夹层绝缘膜,然后对其研磨以露出伪栅,通过蚀刻去除伪栅,并且在伪栅被去除的部分中形成新的栅绝缘膜和新的栅电极。此方法能够防止在形成源区域和漏区域中杂质活性化热处理对栅电极栅产生的影响。

[0007] 另一方面,积极使用通过向通道部分施加应力来增大硅衬底中的通道部分的载体移动度的方法。作为这种技术之一,已经提出了一种技术,其通过外延生长形成格子常数 (lattice constant) 与硅 (Si) 不同的硅锗 (SiGe) 或者碳化硅 (SiC) 的半导体层作为源/漏 (S/D) 来向通道部分施加应力 (例如,参见日本专利申请早期公开 No. 2006-186240 和 “IEDM2003 Technical Digest”, T. Ghani et al., “A 90nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate Length Strained Silicon CMOS Transistors” (US), 2003, p. 987)。

[0008] 在此情况下,如图 20 的 (1) 所示,在器件隔离区域 102 形成在硅衬底 101 的表面一侧之后,经由栅绝缘膜 103 形成栅电极 104。阻挡层 105 形成在栅电极 104 上。此外,绝

缘侧壁 106 形成在栅绝缘膜 103、栅电极 104 和阻挡层 105 的侧壁上。接着,如图 20 的 (2) 所示,硅衬底 101 的表面层被向下挖,且阻挡层 105 和侧壁 106 作为掩膜。接着,如图 20 的 (3) 所示,格子常数与 Si 不同的半导体层 107 在下挖的硅衬底 101 的露出的表面上外延生长。侧壁 106 在形成半导体层 107 之后去除。接着,如图 20 的 (4) 所示,以阻挡层 105 作为掩膜执行用于形成源区域和漏区域的延伸物 108 的离子注入。接着,如图 20 的 (5) 所示,再次形成侧壁 109,并以阻挡层 105 和侧壁 109 作为掩膜执行用于形成半导体层 107 中的源 / 漏区域的离子注入。然后,执行通过离子注入引入的杂质活性化热处理。

[0009] 在这样制造的半导体器件 113 中,来自半导体层 107 的应力施加到栅电极下的通道部分 ch。此时,如图 21 的 (a) 所示,当半导体器件 113 是 p 通道型 MOS 晶体管时,格子常数比 Si 大的 SiGe 外延生长作为半导体层 107。由此,压缩应力施加到通道部分 ch,使得能提高载体(正孔)的移动度。另一方面,如图 21 的 (b) 所示,当半导体器件 113 是 n 通道型 MOS 晶体管时,格子常数比 Si 小的 SiC 外延生长为半导体层 107。由此,张力施加到通道部分 ch,使得能提高载体(电子)的移动度。

[0010] 然而,在如参照图 20 和图 21 所述将应力施加到通道部分 ch 的技术中,从半导体层 107 施加到通道部分 ch 的应力被来自设置在通道部分上方的栅电极 104 的反作用减弱。因而,来自半导体层 107 的应力不会有效地施加到通道部分 ch,从而阻碍了载体的移动度的提高。

[0011] 此外,在这种技术中,半导体层 107 中的 Ge 的浓度或者 C 的浓度越高,提高载体移动度的效果越高。然而,当 Ge 的浓度或者 C 的浓度太高时,在硅衬底 101 和半导体层 107 之间的界面处发生缺陷,由此引起应力降低和接合泄漏增大的问题。

[0012] 因而,本发明的目的是提供一种半导体器件及其制造方法,其中应力能从格子常数与衬底不同的半导体层施加到通道部分,由此能提高载体移动度,并能实现更高的功能性。

发明内容

[0013] 用于实现以上目的根据本发明的半导体器件包括:栅电极,其经由栅绝缘膜设置在半导体衬底上;以及应力施加层,其用于将应力施加到栅电极下的通道部分。应力施加层设置在比半导体衬底在栅电极两侧的表面更深的位置处。此外,在填充通过下挖半导体衬底在应力施加层之间的表面而形成的部分的状态下设置栅绝缘膜和栅电极。

[0014] 在具有这种构造的半导体器件中,设置形成为填充通过下挖半导体衬底的表面形成的部分的栅绝缘膜和栅电极,因而,通道部分是在壁半导体衬底的表面深的位置处。由此,沿着设置在壁半导体衬底在栅电极两侧的表面深的位置处的应力施加层的深度方向上施加到半导体衬底在应力施加层之间的部分的应力集中地施加到通道部分。因而,相比在与半导体衬底的表面大致相同高度处形成通道部分的传统构造,来自应力施加层的应力能够更有效地施加到通道部分。

[0015] 此外,用于实现以上目的根据本发明的制造半导体器件的方法特征在于由以下工序来执行。首先,在第一步骤中,在半导体衬底上形成伪栅电极,并通过以伪栅电极作为掩膜进行蚀刻下挖半导体衬底的表面。在接下来的第二步骤中,通过外延生长在半导体衬底的下挖表面上形成格子常数与半导体衬底不同的半导体材料的应力施加层。然后,在第三

步骤中,在覆盖伪栅电极和应力施加层的状态下形成夹层绝缘膜,使伪栅电极从夹层绝缘膜露出,然后去除伪栅电极。由此,在夹层绝缘膜中形成槽图案,并且露出半导体衬底。接着,在第四步骤中,下挖半导体衬底在槽图案底部处露出的露出表面。此后,在第五步骤中,在其中半导体衬底的露出表面被下挖的槽图案内经由栅绝缘膜填充并形成新的栅电极。

[0016] 根据该工序,通过在第三步骤中在形成应力施加层的情况下去除伪栅电极,防止从应力施加层施加到半导体衬底在伪栅电极下的部分的应力被来自伪栅电极的反作用减弱。由此,来自应力施加层的应力被有效地施加到衬底在应力施加层之间的部分。然后,具体地,通过在随后第四步骤中进一步下挖伪栅电极下的半导体衬底,在第五步骤中形成栅绝缘膜和栅电极的状态下,通道部分在比衬底在应力施加层之间的表面更深的位置处,应力被有效地施加在应力施加层之间。由此,在应力施加层的深度方向上施加到半导体衬底在应力施加层之间的部分的应力被集中地施加到通道部分。因而,可以有效地和集中地将应力从应力施加层施加到通道部分。

[0017] 此外,用于实现以上目的根据本发明的制造半导体器件的方法的另一示例的特征在于由以下工序执行。首先,在第一步骤中,通过下挖半导体衬底的表面一侧形成凹部。在接下来的第二步骤中,在凹部形成伪栅电极,并通过以栅电极作为掩膜进行蚀刻来下挖半导体衬底的表面。然后,在第三步骤中,通过外延生长在半导体衬底的下挖表面上形成格子常数与半导体衬底不同的半导体材料的应力施加层。接下来,在第四步骤中,在覆盖伪栅电极和应力施加层的状态下形成夹层绝缘膜,使伪栅电极从夹层绝缘膜露出,然后去除伪栅电极,由此形成与半导体衬底的凹部重叠的槽图案。此后,在第五步骤中,在包括半导体衬底的凹部的槽图案内经由栅绝缘膜填充并形成新的栅电极。

[0018] 根据该工序,通过在第四步骤中在形成应力施加层的状态下去除伪栅电极,防止从应力施加层施加到半导体衬底在伪栅电极下的部分的应力被来自伪栅电极的反作用减弱。由此,来自应力施加层的应力被有效地施加到衬底在半导体层之间的部分。然后,在接下来的第五步骤中,经由栅绝缘层在包括半导体衬底的凹部的槽图案内形成新的栅电极。由此,通道部分在应力有效施加到的部分中,即,比衬底在应力施加层之间的表面更深的位置中。由此,在应力施加层的深度方向上施加到半导体衬底在半导体层之间的部分的应力被集中地施加到通道部分。因而,可以有效地和集中地将应力从应力施加层施加到通道部分。

[0019] 如上所述,根据本发明,应力能够从在栅电极的两侧通过外延生长形成的应力施加层更有效地施加到通道部分。因而,可以无需依赖于形成应力施加层的材料的浓度就可以提高载体移动度。结果,能够增强半导体器件的功能性。

附图说明

[0020] 图1是根据本实施例的半导体器件的截面图。

[0021] 图2是根据实施例的制造方法的第一示例的截面工程图(1)。

[0022] 图3是根据本实施例的制造方法的第一示例的截面工程图(2)。

[0023] 图4是根据本实施例的制造方法的第一示例的截面工程图(3)。

[0024] 图5是根据本实施例的制造方法的第一示例的截面工程图(4)。

[0025] 图6是根据本实施例的制造方法的第一示例的截面工程图(5)。

[0026] 图 7 是示出对于每个半导体层的深度在通道部分上的应力的的大小相对于半导体衬底的凹陷量 d_2 的曲线图。

[0027] 图 8 是示出对于每个半导体层的 Ge 浓度在通道部分上的应力大小相对于半导体衬底的凹陷量 d_2 的曲线图。

[0028] 图 9 是示出对于每个槽图案的宽度在通道部分上的应力的的大小相对于半导体衬底的凹陷量 d_2 的曲线图。

[0029] 图 10 是根据实施例制造方法的第二示例的截面工程图 (1)。

[0030] 图 11 是根据本实施例的制造方法的第二示例的截面工程图 (2)。

[0031] 图 12 是根据本实施例的制造方法的第二示例的截面工程图 (3)。

[0032] 图 13 是根据本实施例的制造方法的第二示例的截面工程图 (4)。

[0033] 图 14 是根据实施例制造方法的第三示例的截面工程图 (1)。

[0034] 图 15 是根据本实施例制造方法的第三示例的截面工程图 (2)。

[0035] 图 16 是根据实施例制造方法的第四示例的截面工程图 (1)。

[0036] 图 17 是根据本实施例制造方法的第四示例的截面工程图 (2)。

[0037] 图 18 是对其中本实施例应用到 CMOS 的实施例作为第五示例进行说明的截面工程图。

[0038] 图 19 是对其中本实施例应用到 CMOS 的实施例作为第六示例进行说明的截面工程图。

[0039] 图 20 是说明传统技术的截面工程图。

[0040] 图 21 是说明应力被半导体层施加到通道部分的图。

具体实施方式

[0041] 以下将参照附图详细描述本发明实施例。

[0042] (半导体器件)

[0043] 图 1 是应用了本发明的半导体器件 1 的主要部分的剖视图。在此附图中示出的半导体器件是场效应晶体管构造的半导体器件,并且如下形成。

[0044] 即,栅电极 7 经由栅绝缘膜 5 形成在由单晶硅制成的半导体衬底 3 上。在通过在栅电极 7 的两侧上下挖半导体器件 3 的表面形成的凹部中设置半导体层 9 作为用于向半导体衬底 3 中栅电极 7 下部的通道部分 ch 施加应力的应力施加层。假定:如下文将在接下来的方法中详细描述,此半导体器件 9 是通过使格子常数与半导体衬底 3 不同的半导体材料在半导体衬底 3 的凹部中外延生长而形成的层。

[0045] 作为本发明的特定的特征构造,在填充通过在半导体 9 之间下挖半导体衬底 3 的表面而形成的凹部的状态下设置栅绝缘膜 5 和栅电极 7。由此,设置在半导体衬底 3 中与栅绝缘膜 5 分界的一侧的通道部分 ch 设定在比半导体衬底 3 的半导体层 9 之间的表面更深的部分处。

[0046] 半导体衬底 3 的一部分优选地留在栅绝缘膜 5 以及栅电极 7 与半导体层 9 之间。

[0047] 栅绝缘膜 5 和栅电极 7 例如具有镶嵌栅结构,并具有绝缘侧壁 11。在此结构中,其侧壁被侧壁 11 限定的槽图案 15 设置在覆盖例如半导体衬底 3 和半导体层 9 的夹层绝缘膜 13 中。槽图案 15 的底表面设定在半导体衬底 3 的一部分被进一步下挖的位置处。在覆盖

槽图案 15 的内壁的状态下设置栅绝缘膜 5, 并且在经由栅绝缘膜 5 填充槽图案 15 的内部的内部状态下设置栅电极 7。

[0048] 在此情况下假定设置半导体层 9 的凹部相对于半导体衬底 3 的表面的深度是半导体层 9 的深度 d_1 。此外, 假定相对于半导体衬底 3 的表面设置镶嵌栅结构的凹部的深度即栅绝缘膜 5 的深度位置是通道深度 d_2 。在此情况下, 通道深度 $d_2 <$ 半导体层 9 的深度 d_1 。此外, 如下文详细所述, 假定在此范围中的通道深度 d_2 的最佳深度以经验的方式确定以使施加到通道部分 ch 的应力最大。

[0049] 此外, 栅绝缘膜 5 不限于在附图中所示的覆盖槽图案 15 的包括槽图案 15 的底表面的内壁的整体的结构。在至少覆盖半导体衬底 3 的露出表面的状态下设置栅绝缘膜 5 就足够了。因而, 如以下的制造方法中详细描述, 可以在露出槽图案 15 的内壁的上部的状态下设置栅绝缘膜 5。

[0050] 此外, 期望栅绝缘膜 5 由高介电常数 (高-K) 绝缘膜形成以在维持物理膜厚度的同时降低有效膜厚度。在此情况下, 在如上所述在露出槽图案 15 的内壁的上部的状态下设置栅绝缘膜 5 的构造能够抑制在栅电极 $7r$ 和另一电极之间由于栅绝缘膜 5 而发生的寄生电容。

[0051] 由包括从铝 (Al)、钇 (Y)、锆 (Zr)、镧 (La)、铪 (Hf) 和钽 (Ta) 的氧化物、氧化硅化物、氮氧化物或者氧化氮化硅化物制成的膜用作形成栅绝缘膜 5 的介电常数绝缘膜。具体地, 进一步图示 HfO_2 、 ZrO_2 、 La_2O_3 、 Y_2O_3 、 Ta_2O_5 、 Al_2O_3 、 $HfSiO_x$ 、 $ZrSiO_x$ 、 $ZrTiO_x$ 、 $HfAlO_x$ 、 $ZrAlO_x$ 和其氮化物 ($HfSiON$ 等)。尽管这些材料的相对介电常数取决于组成和结晶性而稍微变化, 但是例如 HfO_2 的相对介电常数是 25 至 30, ZrO_2 的相对介电常数是 20 至 30。此外, 栅绝缘膜 5 可以是硅氧化膜和高介电常数 (高-K) 绝缘膜层叠的结构。

[0052] 诸如 Ti、Ru、Hf、Ir、Co、W、Mo、La、Ni、Cu、Al 的金属、这些金属的 Si 化合物或者 N 化合物以及其组合用作形成栅电极 7 的主金属层。在层叠结构的情况下, 多个金属层可以被层叠以调节栅电极的功函数 (work function) (调节阈值电压) 或者降低栅电极的电阻。

[0053] 在此情况下, 一般地, 在 n 型场效应晶体管的情况下, 栅电极 7 的功函数是 4.6eV 或者更低, 并且期望为 4.3eV 或者更低。另一方面, 在 p 型场效应晶体管的情况下, 栅电极 7 的功函数是 4.6eV 或者更高, 并且期望为 4.9eV。于是, n 型和 p 型之间栅电极 7 的功函数的差期望为 0.3eV 或者更多。

[0054] 因而, 当栅电极 7 被制成层叠结构, 并且其下层部分被制成功函数控制层, 显示适合的功函数的材料从以下构成的组形成的金属中选择: Ti、V、Ni、Zr、Nb、Mo、Ru、Hf、Ta、W、Pt 等或者包括这些金属的合金, 并用作制成功函数控制层的材料。此外, 使用这些金属的化合物 (例如, 金属氮化物和作为金属和半导体材料的化合物的金属硅化物)。

[0055] 具体地, 由 Hf、Ta 等组成的组形成的金属、包括这些金属的合金或者化合物适合用于 n 型场效应晶体管的栅电极 7, 并且 $HfSiX$ 更合适。取决于组成和结晶性而不同的 $HfSi$ 的功函数为约 4.1 至 4.3eV。

[0056] 此外, 由 Ti、Mo、Ru 等组成的组形成的金属。包括这些金属的合金或者这些金属的化合物适合用于 p 型场效应晶体管的栅电极 7, 并且 TiN 和 Ru 更合适。取决于组成和结晶性而不同的 TiN 的功函数为约 4.5 至 5.0eV。

[0057] 在具有以上所述的构造的半导体器件 1 中, 设置在半导体衬底 3 中与栅绝缘膜 5

界面一侧的通道部分 ch 设定在比半导体层 9 之间的半导体衬底 3 的表面深的部分处。

[0058] 由此,在半导体层 9 的深度方向上施加到半导体衬底 3 的在半导体层 9 之间的部分的应力被集中地施加到位于半导体层 9 的深度方向的中间部分处的通道部分 ch。因而,与通道部分形成在与半导体衬底 3 的表面大致相同的高度处的传统构造相比,来自半导体层 9 的应力能被更有效地施加到通道部分 ch。

[0059] 结果,不管形成半导体层 9 的材料的浓度如何,都能提高载体移动度。因而,可以实现半导体器件 1 更高的功能性。此外,当要获得相同的 ON 电流值时,Ge 或者 C 的浓度作为应力施加源能够被降低。因而,可以抑制晶体缺陷和由此导致的泄漏电流的发生。

[0060] (制造半导体器件的方法—1)

[0061] 图 2 至图 6 是应用了本发明的半导体器件制造方法的第一示例的截面工程图,并且是制造具有参照图 1 描述的构造的半导体器件的方法的示例。以下将参照这些附图描述制造方法的实施例。此外,将与参照图 1 所描述相同的构成元件用相同的参考标号来表示的方式进行描述。

[0062] 首先,如图 2 的 (1) 所示,通过在由单晶硅形成的半导体衬底 3 的表面一侧上用硅氧化物膜填充槽的内部来形成 STI (浅沟隔离) 结构的器件隔离 21。

[0063] 接着,如图 2 的 (2) 所示,通过表面氧化等以膜厚度约为 5 至 10nm 形成用于防止形成通道的氧化硅的保护膜 23。此后,针对阈值调节执行诸如磷 (P)、砷 (As)、硼 (B)、铟 (In) 的杂质的离子注入。此时,执行针对用于形成 n 通道型场效应晶体管的区域 (以下将描述为 nMOS 区域) 和用于形成 p 通道型场效应晶体管的区域 (以下将描述为 pMOS 区域) 中的每一个选择的杂质的离子注入。在离子注入之后去除保护膜 23。

[0064] 接着,如图 2 的 (3) 所示,通过例如热氧化方法以膜厚度约为 1 至 3nm 形成氧化硅的伪栅绝缘膜 25。此后,通过 CVD 方法以膜厚度约为 100 至 150nm 形成多晶硅或者非晶硅的伪栅电极膜 27。此外,通过 CVD 方法以膜厚度约为 30 至 100nm 在伪栅电极膜 27 上形成氮化硅的硬掩膜层 29。

[0065] 接着,如图 2 的 (4) 所示,硬掩膜层 29、伪栅电极膜 27 和伪栅绝缘膜 25 被图案蚀刻成栅电极的形状,由此形成伪栅结构 A。

[0066] 如下执行此图案蚀刻。首先,通过使用光刻技术或者电子束光刻技术在硬掩膜层 29 上形成用于栅电极的光阻图案 29。接着,以此光阻图案作为掩膜,蚀刻硬掩膜层 29。由此,硬掩膜层 29 被图案化。通过从经图案化的硬掩膜层 29 上方蚀刻,伪栅电极膜 27 然后被图案化成伪栅电极 27a。此外,伪栅绝缘膜 25 被图案化。假定通过以选择比进行干蚀刻使得几乎不蚀刻硬掩膜层 29 来执行此图案化。此外,期望在伪栅电极膜 27 的图案化中,通过以伪栅绝缘膜 25 作为阻挡膜来执行蚀刻,防止对伪栅结构 A 的两侧上半导体衬底 3 的表面造成蚀刻损坏。

[0067] 此后,如图 2 的 (5) 所示,在伪栅结构 A 的侧壁上形成绝缘第一侧壁 11—1。在此情况下,通过例如 CVD 方法形成的膜厚度约为 1 至 10nm 的氮化硅膜通过使用干蚀刻方法的各向异性蚀刻被回蚀 (etch back)。此氮化硅膜由此仅仅留在伪栅结构的侧壁上以形成第一侧壁 11—1。此外,第一侧壁 11—1 可以通过回蚀通过沉积形成的氧化硅膜而形成。此外,第一侧壁 11—1 可以通过氧化伪栅电极 27a 的侧壁而形成。

[0068] 此外,第一侧壁 11—1 设置用于在形成源区域和漏区域的延伸物 (该形成以后进

行)中延伸物位置调节。因而,能够根据需要提供第一侧壁 11—1。因而,能够根据需要执行此处理。

[0069] 接着,如图 3 的 (1) 所示,在第一侧壁 11—1 的外侧上形成将在以后去除的氧化硅的牺牲侧壁 31。在此情况下,通过 CVD 方法形成氧化硅膜并随后对氧化硅膜进行回蚀来形成牺牲侧壁 31。此外,假定当没有应用本发明的 MOS 晶体管(场效应晶体管)同时形成在半导体衬底 3 的表面侧时,在此区域上的氧化硅膜没有被蚀刻而是照原样留下。

[0070] 接着,如图 3 的 (2) 所示,执行凹陷蚀刻,其中通过以伪栅结构 A、牺牲侧壁 31 和器件隔离 21 作为掩膜进行干蚀刻,半导体衬底 3 的表面被下挖。在此情况下,假定半导体衬底 3 的表面被下挖(凹陷)到约为 50 至 100nm 的深度 d1。此外,在伪栅结构 A 的正下方设置与牺牲侧壁 31 成比例的空间的情况下半导体衬底 3 由此被下挖。

[0071] 此后,如图 3 的 (3) 所示,格子常数与半导体衬底 3 不同的半导体衬底 9 在下挖半导体衬底 3 的露出表面上通过外延生长被形成为应力施加层。在此情况下,针对 pMOS 区域和 nMOS 区域不同地形成半导体层 9。

[0072] 在 pMOS 区域的情况下,格子常数比形成半导体衬底 3 的单晶硅更大的 SiGe 的半导体层 9 被外延生长以能向半导体衬底 3 施加压缩应力。此外,为了防止在半导体衬底 3 和半导体层 9 之间的界面处的缺陷,Ge 的浓度设定在约 15%至 40%的范围中。此外,在与外延生长的同时,在 $5 \times 10^{18} \sim 5 \times 10^{20}/\text{cm}^3$ 的浓度范围可以将诸如硼(B)等的 p 型杂质引入半导体层 9 中。由此,整个半导体层 9 起着源区域和漏区域的作用。

[0073] 另一方面,在 nMOS 区域的情况下,通过外延生长形成格子常数比形成半导体衬底 3 的单晶硅更小的 SiC 的半导体层 9,以能够将张力施加到半导体衬底 3。此外,为了防止在半导体衬底 3 和半导体层 9 之间的界面处的缺陷,C 的浓度设定在约 0.5%至 4%的范围中。此外,在与外延生长的同时,在 $5 \times 10^{18} \sim 5 \times 10^{20}/\text{cm}^3$ 的浓度范围可以将诸如磷(P)、砷(As)等的 n 型杂质引入到半导体层 9 中。由此,整个半导体层 9 起着源区域和漏区域的作用。

[0074] 在这样形成半导体层 9 之后,通过湿蚀刻使用氢氟酸去除由氧化硅膜形成的牺牲侧壁 31。

[0075] 接着,如图 3 的 (4) 所示,用于形成源区域和漏区域的延伸物 35 的杂质通过离子注入引入到半导体衬底 3 和半导体层 9 的表面层。此时,诸如 B、In 的 p 型杂质引入到 pMOS 区域,并且诸如 As、P 的 n 型杂质引入到 nMOS 区域。此外,假定以约 0.5 至 2keV 的注入能量和约 5×10^{14} 至 $2 \times 10^{15}/\text{cm}^2$ 的剂量执行离子注入。

[0076] 接着,如图 4 的 (1) 所示,在第一侧壁 11—1 的外侧形成绝缘的第二侧壁 11—2。在此情况下,通过 CVD 方法形成氮化硅膜,并随后对氮化硅膜进行回蚀形成第二侧壁 11—2。此后,执行诸如 P、As、B 杂质的离子注入以减小下次执行硅化物形成时的阻力。此外,当在半导体层 9 的外延生长时尚未引入杂质时,根据需要注入用于形成源区域和漏区域的杂质。在杂质注入之后,在 60 秒或者更小的范围中执行 900°C 至 1100°C 的热处理以使注入的杂质活性化。

[0077] 然后,如图 4 的 (2) 所示,在半导体层 9 的形成源和漏的表面上通过硅化物处理技术形成钴(Co)、镍(Ni)、铂(Pt)或者其硅化物层 39 以减小源和漏的接触阻力。

[0078] 接着,如图 4 的 (3) 所示,在填埋伪栅结构 A 的状态下形成例如氧化硅的夹层绝

缘膜 13。

[0079] 接着,如图 4 的 (4) 所示,通过 CMP 方法研磨夹层绝缘膜 13 的表面,直到伪栅结构 A 中的伪栅电极 27a 被露出。

[0080] 接着,如图 5 的 (1) 所示,多晶硅或者非晶硅的伪栅电极 27a 通过干蚀刻被去除,此后氧化硅的伪栅绝缘膜 25 通过湿蚀刻被去除。由此,通过去除伪栅结构 A 获得的槽图案 15 形成在覆盖半导体衬底 3 和半导体层 9 的夹层绝缘膜 13 中,并且半导体衬底 3 露出在槽图案 15 的底表面处。槽图案 15 的侧壁被侧壁 11—1 和 11—2 限定。

[0081] 接着,如图 5 的 (2) 所示,执行凹陷蚀刻,下挖半导体衬底 3 在槽图案 15 的底部处露出的表面。在此情况下,当设置半导体层 9 的凹部相对于半导体衬底 3 的表面的深度设定为半导体层 9 的深度 d_1 时,在此情况下凹部的通道深度 d_2 是 [通道深度 d_2] < [半导体层 9 的深度 d_1]。此外,假定在此范围中的通道深度 d_2 的最佳值以经验的方式确定以使施加到在此情况下形成的 MOS 晶体管(场效应晶体管)的通道部分的应力最大,这将在下文详细描述。

[0082] 应用到这种凹陷蚀刻的方法是膜厚度约为 1 至 2nm 的氧化硅膜通过等离子体氧化形成在单晶硅的半导体衬底 3 的表面上,在等离子体氧化中在等离子体气氛中执行氧化,此后通过湿蚀刻使用氢氟酸去除氧化硅膜。假定根据通道深度 d_2 以需要的次数重复执行等离子体氧化和湿蚀刻。这防止对半导体衬底 3 的露出表面(该表面通过凹陷蚀刻被露出)造成损坏。此外,期望在 500°C 或者更低的温度下执行此时的等离子体氧化以防止由于杂质受热而引起的再扩散。

[0083] 此外,除了以上所述的等离子体氧化,可以执行使用臭氧的氧化或者使用气体的氧化作为半导体衬底 3 的表面的氧化。存在着通过干蚀刻方法对硅表面直接蚀刻的另一方法。

[0084] 因而,槽图案 15 在半导体层 9 之间分离的位置处被下挖。

[0085] 接着,如图 5 的 (3) 所述,在覆盖通过下挖半导体衬底 3 的表面形成的槽图案 15 的内壁状态下形成栅绝缘层 5。在此情况下,期望通过 CVD 方法和 ALD 方法等形成如上所述的高介电常数材料的栅绝缘层 5。

[0086] 接着,如图 5 的 (4) 所示,在填充槽图案 15 的内部的状态下经由栅绝缘膜 5 形成栅电极材料膜 7a。在此情况下,用于金属栅的金属层通过 CVD 方法、PVD 方法或者 ALD 方法形成为栅电极材料膜 7a。假定栅电极材料膜 7a 可以是单层结构或者层叠结构,并且使用在器件构造中所描述的材料形成。

[0087] 接着,如图 6 的 (1) 所述,通过 CMP 对栅电极材料膜 7a 和栅绝缘膜 5 研磨,直到夹层绝缘膜 13 露出。由此,在槽图案 15 内通过经由栅绝缘膜 5 留下栅电极材料膜 7a 形成栅电极 7a。

[0088] 此后,根据需要,如图 6 的 (2) 所示,在覆盖夹层绝缘膜 13 和栅电极 7 的状态下形成氧化硅的上层绝缘膜 41。接着,在上层绝缘膜 41 和夹层绝缘膜 13 中形成到达硅化物层 39 的连接孔 43。然后形成填充这些连接孔 43 的插塞和连接到插塞的配线 45。

[0089] 因而,如参照图 1 所描述,获得以下半导体器件 1:用于施加应力的半导体层 9 设置在通过在栅电极 7 的两侧下挖半导体衬底 3 的表面形成的凹部中,并且在填充通过下挖半导体衬底 3 的表面形成的凹部的状态下还设置栅绝缘膜 5 和栅电极 7。

[0090] 于是,根据以上所述制造方法的第一示例,通过用如图 5 的 (1) 所描述形成的半导体层 9 去除伪栅结构 A,防止从半导体层 9 施加到半导体衬底 3 在伪栅结构 A 下的部分的应力被来自伪栅电极 27a 的反作用减弱。因而,来自半导体层 9 的应力被有效地施加到作为半导体层 9 之间的半导体衬底 3 的通道部分 ch。

[0091] 于是,具体地,如参照图 5 的 (2) 所描述,通过进一步下挖在通过去除伪栅结构 A 获得的槽图案 15 的底部处的半导体衬底 3,通道部分 ch 处于壁半导体 3 在半导体层 9 之间的表面更低的位置处。由此,在半导体层 9 的深度方向施加到半导体衬底 3 在半导体层 9 之间的部分的应力集中施加到通道部分 ch。因而,可以制造具有能够有效和集中地从半导体层 9 向通道部分施加应力的构造的半导体器件 1。

[0092] 结果,可以制造具有能够无需依赖于形成半导体层 9 的材料的浓度就提高载体移动度的构造的半导体器件 1。

[0093] 以下将就参照图 1 所描述的 [通道深度 d2]<[半导体层 9 的深度 d1] 的范围中 [通道深度 d2] 的最佳值进行描述。在此情况下,在 SiGe 的半导体层 9 被外延生长以将压缩应力施加到由单晶硅制成的半导体衬底 3 的半导体器件 1 的前提下执行模拟。于是,计算施加到从通道部分中心处的表面相对于通道深度 d2 深 1nm 的应力的的大小 [应力 (Pa)]。

[0094] 图 7 示出了 [槽图案 15 的宽度 LGate] 固定为 40nm,并且 [半导体层 9 的 Ge 的浓度] 固定为 20%,并且 [半导体层 9 的深度 d1] 设定为值 20nm、40nm、60nm 和 100nm 中的每个的构造的模拟结果。此结果确认在 [通道深度 d2]<[半导体层 9 的深度 d1] 的范围中,施加到通道部分的应力比在 [通道深度 d2] = 0 的构造中要高。此外,因为应力最高的 [通道深度 d2] 取决于 [半导体层 9 的深度 d1] 而不同,期望根据 [半导体层 9 的深度 d1] 设定 [通道深度 d2] 的最佳值。

[0095] 图 8 示出了 [槽图案 15 的宽度 LGate] 固定为 40nm, [半导体层 9 的深度 d1] 固定为 60nm,并且 [半导体层 9 的 Ge 的浓度] 设定为值 15%、20% 和 25% 中的每个的构造的模拟结果。此结果确认当 [槽图案 15 的宽度 LGate] 和 [半导体层 9 的深度 d1] 被固定时,应力最高的 [通道深度 d2] 不会取决于半导体层 9 的材料构成(组分)而变化。

[0096] 图 9 示出了 [半导体层 9 的深度 d1] 固定为 60nm, [半导体层 9 的 Ge 的浓度] 固定为值 20%,并且 [槽图案 15 的宽度 LGate] 设定为值 30nm、40nm、60nm 和 100nm 中的每个的构造的模拟结果。此结果确认在 [槽图案 15 的宽度 LGate] = 30nm 和 40nm 的微型化方面进步的构造中,在 [通道深度 d2]<[半导体层 9 的深度 d1] 的范围中,施加到通道部分的应力高于 [通道深度 d2] = 0 的构造。并且因为应力最高的 [通道深度 d2] 取决于 [槽图案 15 的宽度 LGate] 而不同,期望根据 [槽图案 15 的宽度 LGate] 设定 [通道深度 d2] 的最佳值。

[0097] (制造半导体器件的方法—2)

[0098] 图 10 至图 13 是应用了本发明的半导体器件制造方法的第二示例的截面工程图,并且是制造具有参照图 1 所述的构造的半导体器件的方法的另一示例。以下将参照这些附图描述制造方法的实施例。此外,在进行描述时,与前述附图相同的构成元件用相同的参考标号表示。

[0099] 首先,如在 10(1) 所示,在半导体衬底 3 的表面一侧形成器件隔离 21。此外,形成在此情况下未示出的保护膜。通过保护膜执行用于阈值调节的杂质的离子注入。在离子注

入之后去除保护膜。以与第一示例相同的方式执行到此步骤的处理。

[0100] 接着,如图 10 的 (2) 所示,与用于形成以后形成的栅电极的部分一致的槽形凹部 3a 形成在由半导体衬底 3 中的器件隔离 21 隔离的空间中。此凹部 3a 通过用以通过应用光刻技术或者电子束光刻技术形成的光阻图案作为掩膜对半导体衬底 3 进行凹陷蚀刻形成凹部 3a。此外,在此情况下,凹部 3a 的表面层变成通道部分,因而凹部 3a 的深度在第一示例中所描述的通道深度 d_2 。如在第一实施例中那样,此通道深度 d_2 设定成 [通道深度 d_2] < [半导体层的深度 d_1], 其中 d_1 是以后形成的应力施加区域中半导体层的深度。

[0101] 以后,如图 10 的 (3) 所示,如在第一示例中那样,还依次形成氧化硅的伪栅绝缘膜 25、多晶硅或非晶硅的伪栅电极膜 27 和氮化硅的硬掩膜层 29。

[0102] 接着,如图 10 的 (4) 所示,硬掩膜层 29、伪栅电极膜 27 和伪栅绝缘膜 25 被图案蚀刻成栅电极的形状,由此伪栅结构 A 形成为与凹部 3a 重叠。这种图案蚀刻可以如在第一示例中那样执行。例如,执行使用光阻图案作为掩膜的蚀刻。此时,通过以伪栅绝缘膜 25 作为阻挡膜执行蚀刻能期望防止对半导体衬底 3 的伪栅结构 A 的两侧的表面造成的蚀刻损坏。

[0103] 此外,在附图所示的示例中,示出了伪栅结构 A 与凹部 3a 一致的状态。然而,对于伪栅结构 A,只要伪栅结构 A 设置成与凹部 3a 重叠就可以接受,并且这些图案可以不重合。

[0104] 可以与第一示例相同的方式执行在以上之后的从图 10 的 (5) 到图 12 的 (4) 的处理。

[0105] 即,如图 10 的 (5) 所示,在伪栅结构 A 的侧壁上形成绝缘的第一侧壁 11—1。第一侧壁 11—1 设置用于在形成源区域和漏区域的延伸物中(该形成在以后执行)的延伸物的位置调节。因而,能够根据需要提供第一侧壁 11—1。因而,能够根据需要执行此处理。

[0106] 接着,如图 11 的 (1) 所示,如第一示例中那样,要在以后去除的氧化硅的牺牲侧壁 31 形成在第一侧壁 11—1 的外侧。此外,当在此时间点伪栅结构 A 和凹部 3a 的图案不重合,并且凹部 3a 的底表面从伪栅结构 A 露出时,期望凹部 3a 的露出部分被牺牲侧壁 31 完全覆盖。

[0107] 接着,如图 11 的 (2) 所示,执行凹陷蚀刻,其中通过以伪栅结构 A、牺牲侧壁 31 和器件隔离 21 作为掩膜进行干蚀刻来下挖半导体衬底 3 的表面。在此情况下,因为先前形成的凹部 3a 的深度是在第一示例中描述的通道深度 d_2 , 假定半导体衬底 3 的表面被下挖(凹入)到约为 50 至 100nm 的深度 d_1 , 使得如在前述第一示例中那样 [通道深度 d_2] < [半导体层的深度 d_1]。此外,如在第一示例中那样,在与牺牲侧壁 31 成比例的空间设置在伪栅结构 A 的正下的情况下,由此下挖半导体衬底 3。

[0108] 此后,如图 11 的 (3) 所示,格子常数与半导体衬底 3 部部同的半导体层 9 作为应力施加层通过外延生长形成在下挖半导体衬底 3 的露出表面上。在此情况下,针对 pMOS 区域和 nMOS 区域不同地形成半导体层 9。此外,如在第一示例中那样,在这样形成半导体层 9 之后,通过湿蚀刻使用氢氟酸去除由氧化硅形成的牺牲侧壁 31。

[0109] 接着,如图 11 的 (4) 所示,用于形成源区域和漏区域的延伸物 35 的杂质通过离子注入引入到半导体衬底 3 和半导体层 9 的表面层。此时,如在第一示例中那样,通过执行不同的离子注入将不同杂质引入到 pMOS 区域和 nMOS 区域中。

[0110] 接着,如图 12 的 (1) 所示,绝缘的第二侧壁 11—2 形成在第一侧壁 11—1 的外侧。

此后,执行杂质离子注入以减小接下来形成硅化物时的阻力。此时,当在半导体层 9 外延生长时杂质没有引入时,如在第一示例中那样,根据需要注入用于形成源区域和漏区域的杂质。此外,如在第一示例中那样,执行热处理以使杂质活性化。此外,当伪栅结构 A 和凹部 3a 的图案不重合,并且凹部 3a 的底表面从伪栅结构 A 露出时,能期望凹部 3a 的露出部分被第二侧壁 11—2 完全覆盖。

[0111] 此后,如图 12 的 (2) 所示,通过硅化物处理技术在半导体层 9 的形成源和漏的表面上形成硅化物层 39。此外,如图 12 的 (3) 所示,在填埋伪栅结构 A 的状态下形成例如氧化硅的夹层绝缘膜 13。此后,如图 12 的 (4) 所示,通过 CMP 方法研磨夹层绝缘膜 13 的表面,直到伪栅结构 A 的伪栅电极 27a 露出。以与第一示例相同的方式来执行以上步骤。

[0112] 接着,如图 13 的 (1) 所示,通过干蚀刻去除多晶硅或者非晶硅的伪栅电极 27a,此后通过湿蚀刻去除氧化硅的伪栅绝缘膜 25。由此,通过去除伪栅结构 A 获得的槽图案 15 形成在覆盖半导体衬底 3 和半导体层 9 的夹层绝缘膜 13 中,并且半导体衬底 3 露出在槽图案 15 的底表面处。此槽图案 15 形成为与凹部 3a 重叠。因而,通过下挖半导体衬底 3 至通道深度 d2 所获得的凹部 3a 来形成槽图案 15 的底部。此外,如在第一示例中那样,由侧壁 11—1 和 11—2 限定槽图案 15 的侧壁。

[0113] 此后,如图 13 的 (2) 所示,在覆盖包括通过下挖半导体衬底 3 的表面形成的凹部 3a 的槽图案 15 的内壁的状态下,通过 CVD 方法、ALD 方法等形成以上所述的高介电常数材料的栅绝缘膜 5。此外,在填充槽图案 15 的内部的状态下经由栅绝缘膜 5 形成类似于第一示例的栅电极材料膜 7a。

[0114] 此外,如图 13 的 (3) 所示,通过 CMP 研磨栅电极材料膜 7a 和栅绝缘膜 5,直到夹层绝缘膜 13 露出。由此,通过经由栅绝缘膜 5 将栅电极材料膜 7a 留在槽图案 15 内形成栅电极 7。

[0115] 此后,根据需要,如图 13 的 (4) 所示,在覆盖夹层绝缘 13 和栅电极 7 的状态下形成氧化硅的上层绝缘膜 41。接着,在上层绝缘膜 41 和夹层绝缘膜 13 中形成到达硅化物层 39 的连接孔 43。然后形成填充这些连接孔 43 的插塞和连接这些插塞的配线 45。

[0116] 因而,如参照图 1 所说明的,获得这样的半导体器件 1:在通过在上电极 7 的两侧下挖半导体衬底 3 的表面所形成的凹部中设置用于施加应力的半导体层 9,并且还在填充通过下挖半导体衬底 3 的表面所形成的凹部(凹部 3a)的状态下设置栅绝缘膜 5 和栅电极 7。

[0117] 于是,即使对于以上所述的第二示例的制造方法,通过如参照图 13 的 (1) 所示在形成半导体层 9 的情况下去除伪栅结构 A,防止从半导体层 9 施加到半导体层 9 的伪结构 A 下的部分的应力被来自伪栅电极 27a 的反作用减弱。因而,来自半导体层 9 的应力被有效地施加到作为半导体层 9 之间的半导体衬底 3 的通道部分 ch。

[0118] 此外,因为通过下挖半导体衬底 3 形成的凹部 3a 的底表面变成通道部分 ch,通道部分 ch 在比半导体 3 在半导体层 9 之间的表面更深的位置。如在第一示例中那样,沿着半导体层 9 的深度方向施加到半导体 3 在半导体层 9 之间的部分的应力集中施加到通道部分 ch。因而,可以制造具有能够将应力从半导体层 9 有效和集中地施加到通道部分的构造的半导体器件 1。

[0119] 结果,如在第一实施例中那样,可以制造具有无需依赖于形成半导体层 9 的材料

的浓度就能提高载体移动度的构造的半导体器件 1。

[0120] (制造半导体器件的方法—3)

[0121] 图 14 至图 15 是应用了本发明的半导体器件制造方法的第三示例的主要部分的截面工程图。以下将参照这些附图描述制造方法的实施例。此外,在这些附图中所代表的制造方法的第三示例是以上所述的第二示例的修改的示例。与参照前述附图所描述的相同的构成元件用相同的参考标号表示,并且省略其重复的描述。

[0122] 首先,如在前述第二示例中所描述,如在图 14 的 (1) 所示,器件隔离 21 形成在半导体衬底 3 的表面侧。此外,如图 14 的 (2) 所示,被制成与用于形成以后形成的栅电极的部分一致的槽形凹部 3a 形成在半导体衬底 3 中被器件隔离 21 隔离的空间中。在此情况下,凹部 3a 变成通道部分,并且如在第一示例和第二示例中那样,此通道深度 d_2 设定成 [通道深度 d_2] < [半导体层的深度 d_1], 其中, d_1 是以后形成的应力施加区域中的半导体层的深度。

[0123] 接着,如图 14 的 (3) 所示,在覆盖通过下挖半导体衬底 3 的表面形成的凹部 3a 的内壁的状态下通过 CVD 方法、ALD 方法等形成由如上所述的高介电常数材料形成的栅绝缘膜 5。第三示例与前述第二示例不同在于提前这样形成栅绝缘膜 5。

[0124] 此后,如图 14 的 (4) 所示,进一步依次在栅绝缘膜 5 上形成多晶硅 或者非晶硅的伪栅电极膜 27 和氮化硅的硬掩膜层 29。

[0125] 接着,如图 14 的 (5) 所示,以此附图中未示出的光阻图案作为掩膜蚀刻硬掩膜层 29,由此,硬掩膜层 29 被图案化。通过从经图案化的硬掩膜层 29 上方蚀刻,伪栅电极 27 然后被图案化成伪栅电极 27a。在伪栅电极膜 27 的图案化中,通过以由高介电常数材料形成的栅绝缘膜 5 作为阻挡膜执行蚀刻,防止对半导体 3 的伪栅结构 A 的两侧的表面造成蚀刻损坏。对于这样的蚀刻,执行使用例如 HBr/O_2 作为蚀刻气体的干蚀刻。

[0126] 此外,在以上干蚀刻之后蚀刻栅绝缘膜 5,仅仅留下伪栅结构 A 下的栅绝缘膜 5。

[0127] 此外,在附图所示的示例中,示出了伪栅结构 A 与凹部 3a 一致的状态。然而,如在第二示例中那样,伪栅结构 A 能设置成与凹部 3a 重叠,并且这些图案可以不重合。

[0128] 在以上之后,执行与在第二示例中参照图 11 和图 12 所描述的相同的处理。由此,如图 15 的 (1) 所示,伪栅电极 27a 从覆盖伪栅结构 A 和设置在伪栅结构 A 的两侧的侧壁 11—1 和 11—2 的夹层绝缘层 13 露出。

[0129] 接着,如图 15 的 (2) 所示,在保留栅绝缘膜 5 的情况下,通过干蚀刻去除多晶硅或者非晶硅的伪栅电极 27a。由此,通过去除伪栅结构 A 获得的槽图案 15 形成在覆盖半导体衬底 3 和半导体层 9 的夹层绝缘膜 13 中。在槽图案 15 的底表面覆盖有栅绝缘膜 5 的同时,如在第二示例中那样,此槽图案 15 形成为与凹部 3a 重叠。此外,如在第一示例和第二示例中那样,槽图案 15 的侧壁被侧壁 11—1 和 11—2 限定。

[0130] 此后,如图 15 的 (3) 所示,在填埋槽图案的内部的状态下形成与第一示例相同的栅电极材料膜。此外,通过 CMP 研磨栅电极材料膜。由此,栅电极 7 形成在槽图案 15 内。

[0131] 此后,根据需要,如图 15 的 (4) 所示,在覆盖夹层绝缘膜 13 和栅电极 7 的状态下形成氧化硅的上层绝缘膜 41。接着,在上层绝缘膜 41 和夹层绝缘膜 13 中形成到达硅化物层 39 的连接孔 43。然后形成填充这些连接孔 43 的插塞和连接这些插塞的配线 45。

[0132] 于是,即使对于以上所述的制造方法的第三示例,通过参照图 15 的 (2) 所描述在

形成半导体层 9 的情况下去除伪栅电极 27a, 防止从半导体层 9 施加到半导体衬底 3 在伪栅电极 27a 下的部分的应力被来自伪栅电极 27a 的反作用减弱。因而, 来自半导体层 9 的应力被有效地施加到作为半导体层 9 之间的半导体衬底 3 的通道部分 ch。

[0133] 此外, 因为通过下挖半导体衬底 3 形成的凹部 3a 的底表面变成通道部分 ch, 通道部分 ch 在比半导体 3 在半导体层 9 之间的表面更深的位置处。如在第一示例中那样, 沿着半导体层 9 的深度方向施加到半导体 3 在半导体层 9 之间的部分的应力集中施加到通道部分 ch。因而, 可以制造具有能够将应力从半导体层 9 有效和集中地施加到通道部分的构造的半导体器件 1。

[0134] 此外, 在第三示例的制造处理中, 栅绝缘膜 5 没有形成在包括凹部 3a 的槽图案的侧壁的上部上。即, 构造成在露出槽图案 15 的内壁的上部的状态下设置栅绝缘膜 5。因而, 由高介电常数的材料形成的栅绝缘膜 5 不存在于栅电极 7 和配线 45 之间, 使得能够获得能够防止器件由于栅电极 7 和配线 45 之间的寄生电容而恶化的效果。

[0135] (制造半导体器件的方法—4)

[0136] 图 16 至图 17 是应用了本发明的半导体器件制造方法的第四示例的主要部分的截面工程图。以下将参照这些附图描述制造方法的实施例。此外, 在这些附图中所代表的制造方法的第四示例是以上所述的第二示例和第三示例的修改的示例。与参照前述附图所描述的相同的构成元件用相同的参考标号表示, 并且省略其重复的描述。

[0137] 首先, 如在前述第二示例中所描述, 如在图 16 的 (1) 所示, 器件隔离 21 形成在半导体衬底 3 的表面侧。此外, 如图 14 的 (2) 所示, 被制成与用于形成以后形成的栅电极的部分一致的槽形凹部 3a 形成在半导体衬底 3 中被器件隔离 21 隔离的空间中。在此情况下, 凹部 3a 变成通道部分, 并且如在第一示例和第二示例中那样, 此通道深度 d2 设定成 [通道深度 d2] < [半导体层的深度 d1], 其中, d1 是以后形成的应力施加区域中的半导体层的深度。

[0138] 接着, 如图 16 的 (3) 所示, 在覆盖通过下挖半导体衬底 3 的表面形成的凹部 3a 的内壁的状态下通过 CVD 方法、ALD 方法等形成由如上所述的高介电常数材料形成的栅绝缘膜 5。帽膜 (cap film) 50 还通过 CVD 方法、PVD 方法、ALD 方法等形成在栅绝缘膜 5 上。帽膜 50 是在随后的处理中保护上绝缘膜 5。例如以约 1 至 10nm 的膜厚度形成钛氮化物 (TiN) 膜作为这种帽膜 50。

[0139] 此后, 如图 16 的 (4) 所示, 进一步依次在帽膜 50 上形成多晶硅或者非晶硅的伪栅电极膜 27 和氮化硅的硬掩膜层 29。

[0140] 接着, 如图 16 的 (5) 所示, 以此附图中未示出的光阻图案作为掩膜蚀刻硬掩膜层 29, 由此, 硬掩膜层 29 被图案化。通过从经图案化的硬掩膜层 29 上方蚀刻, 伪栅电极 27 然后被图案化成伪栅电极 27a。此外, 在蚀刻伪栅电极膜 27 之后, 蚀刻帽膜 50, 然后蚀刻栅绝缘膜 5。由此, 仅仅在伪栅结构 A 下方留下栅绝缘膜 5。

[0141] 此外, 如在前述第三示例中那样, 在对伪栅电极膜 27 进行图案化当中, 通过以帽膜 50 和由高介电常数材料制成的栅绝缘膜 5 作为阻挡膜执行蚀刻, 防止对伪栅结构 A 的两侧的半导体结构 3 的表面造成的蚀刻损坏。此外, 在附图所示的示例中, 示出了伪栅结构 A 与凹部 3a 一致的状态。然而, 如在第二示例和第三示例中那样, 伪栅结构 A 能够设置成与凹部 3a 重叠, 并且这些图案可以不重合。

[0142] 在以上之后,如在第二示例和第三示例中那样执行参照图 11 和图 12 所描述的处理。由此,如图 17 的 (1) 所示,伪栅电极 27a 从覆盖伪栅结构 A 和设置在伪栅结构 A 的两侧的侧壁 11—1 和 11—2 的夹层绝缘层 13 露出。

[0143] 接着,如图 17 的 (2) 所示,通过干蚀刻去除多晶硅或者非晶硅的伪栅电极 27a。此时,帽膜 50 用作蚀刻阻挡膜,由此防止对由高介电常数材料形成的栅绝缘膜 5 造成损坏。此后,通过对基础造成很小蚀刻损坏的干蚀刻或者湿蚀刻选择性地去除帽膜 50。

[0144] 由此,通过去除伪栅结构 A 获得的槽图案 15 形成在覆盖半导体衬底 3 和半导体层 9 的夹层绝缘膜 13 中。在槽图案 15 的底表面覆盖有栅绝缘膜 5 的同时,此槽图案 15 形成与凹部 3a 重叠。此外,如在第一示例和第三示例中那样,槽图案 15 的侧壁被侧壁 11—1 和 11—2 限定。

[0145] 此后,如图 17 的 (3) 所示,在填埋槽图案的内部的状态下形成与第一示例相同的栅电极材料膜。此外,通过 CMP 研磨栅电极材料膜 7a。由此,通过经由栅绝缘膜 5 将栅电极材料膜 7a 留在槽图案 15 内形成栅电极 7。

[0146] 此后,根据需要,如图 17 的 (4) 所示,在覆盖夹层绝缘膜 13 和栅电极 7 的状态下形成氧化硅的上层绝缘膜 41。接着,在上层绝缘膜 41 和夹层绝缘膜 13 中形成到达硅化硅层 39 的连接孔 43。然后形成填充这些连接孔 43 的插塞和连接这些插塞的配线 45。

[0147] 于是,即使对于以上所述的制造方法的第四示例,通过参照图 17 的 (2) 所描述在形成半导体层 9 的情况下去除伪栅电极 27a,防止从半导体层 9 施加到半导体衬底 3 在伪栅电极 27a 下的部分的应力被来自伪栅电极 27a 的反作用减弱。因而,来自半导体层 9 的应力被有效地施加到作为半导体层 9 之间的半导体衬底 3 的通道部分 ch。

[0148] 此外,因为通过下挖半导体衬底 3 形成的凹部 3a 的底表面变成通道部分 ch,通道部分 ch 在比半导体 3 在半导体层 9 之间的表面更深的位置处。如在第一示例中那样,沿着半导体层 9 的深度方向施加到半导体 3 在半导体层 9 之间的部分的应力集中施加到通道部分 ch。因而,可以制造具有能够将应力从半导体层 9 有效和集中地施加到通道部分的构造的半导体器件 1。

[0149] 此外,在第四示例的制造工序中,栅绝缘膜 5 没有形成在包括凹部 3a 的槽图案的侧壁的上部上。由此,如在第三示例中那样,由高介电常数的材料形成的栅绝缘膜 5 不存在于栅电极 7 和配线 45 之间,使得能够获得能够防止器件由于栅电极 7 和配线 45 之间的寄生电容而恶化的效果。

[0150] 此外,在本第四示例中,帽膜 50 设置在栅绝缘膜 5 上以用作去除伪栅电极 27a 时的蚀刻阻挡膜。由此,即使对于提前形成栅绝缘膜 5 的工序,也可以防止在去除伪栅电极 27a 时对栅绝缘膜 5 造成蚀刻损坏,并维持栅绝缘膜 5 的膜质量。

[0151] 此外,在构造成在如上所述的第四示例中去除帽膜 50 的同时,帽膜 50 可以照原样留下来作为栅电极的一部分。在此情况下,帽膜 50 可以留下来作为在器件结构中所描述的功函数控制层,并且能适合地选择材料并使用材料。

[0152] (制造半导体器件的方法—5)

[0153] 图 18 是表示用于制造应用了以上所述第四示例并且其中不同地形成 p 型场效应晶体管和 n 型场效应晶体管的栅电极的 CMOS 构造的半导体器件的工序的图。以下将参照附图描述应用了本发明的半导体器件制造方法的第五示例。此外,假定附图的右侧是其中设

置 p 型场效应晶体管的 pMOS 区域,并且左侧是其中设置 n 型场效应晶体管的 nMOS 区域。

[0154] 在此情况下,通过与第四示例相同的工序,如图 18 的 (1) 所示,经由帽膜 50 在栅绝缘膜 5 上设置伪栅 27a。伪栅电极 27a 从覆盖伪栅结构 A 和设置在伪栅结构 A 的两侧的侧壁 11—1 和 11—2 的夹层绝缘膜 13 露出。此时,在 nMOS 区域,用作源区域和漏区域的半导体层 9 形成 n 型。另一方面,在 pMOS 区域中,用作源区域和漏区域的半导体层 9 是 p 型。此外,用于形成例如 p 型场效应晶体管的栅电极的功函数控制层的材料用作在帽膜 50 的材料。

[0155] 接着,如图 18 的 (2) 所示,在 nMOS 区域和 pMOS 区域中,通过干蚀刻去除由多晶硅或者非晶硅形成的伪栅电极 27a。此时,帽膜 50 用作蚀刻阻挡膜,由此防止对由高介电常数材料形成的栅绝缘膜 5 造成损坏。

[0156] 由此,通过去除伪栅结构 A 获得的槽图案 15 形成在覆盖半导体衬底 3 和半导体层 9 的夹层绝缘膜 13 中。在槽图案 15 的底表面覆盖有栅绝缘膜 5 的同时,此槽图案 15 形成与凹部 3a 重叠。此外,如在前述示例中那样,槽图案 15 的侧壁被侧壁 11—1 和 11—2 限定。

[0157] 此后,如图 18 的 (3) 所示,在 pMOS 区域覆盖有光阻掩膜 51 的情况下,通过对基础造成很少损坏的湿蚀刻或者干蚀刻来仅仅选择性地去除 nMOS 区域的帽膜 50。在此蚀刻之后去除光阻掩膜 51。

[0158] 此后,如图 18 的 (4) 所示,在覆盖包括通过下挖半导体 3 的表面形成的凹部 3a 的槽图案 15 的内壁的状态下,形成功函数控制层 53。此外,在填充槽图案 15 的内部的状态下形成栅电极材料膜 7a。假定用于形成 n 型场效应晶体管中的栅电极的功函数控制层的材料用作形成功函数控制层 53 的材料。

[0159] 接着,如图 18 的 (5) 所示,通过 CMP 研磨栅电极材料膜 7a 和功函数控制层 53,直到露出夹层绝缘膜 13。由此,在 nMOS 区域,获得具有栅电极 7 的 n 型场效应晶体管,栅电极 7 是通过将功函数控制层 53 和栅电极材料膜 7a 经由栅绝缘膜 5 留在槽图案 15 内形成的。另一方面,在 pMOS 区域,获得具有栅电极 7 的 p 型场效应晶体管,栅电极 7 是通过将帽膜 50、功函数控制层 53 和甚至栅电极材料膜 7a 经由栅绝缘膜 5 留在槽图案 15 内形成的。

[0160] 此外,能够通过将帽膜 50 和功函数控制层 53 的每个根据需要留在 nMOS 和 pMOS 区域中两者或者仅仅一者中来调节每个栅电极 7 的功函数。

[0161] (制造半导体器件的方法—6)

[0162] 图 19 是表示用于制造应用了以上所述第四示例并且其中不同地形成 p 型场效应晶体管和 n 型场效应晶体管的栅电极的 CMOS 构造的半导体器件的另一工序的图。以下将参照附图描述应用了本发明的半导体器件制造方法的第六示例。此外,假定附图的右侧是其中设置 p 型场效应晶体管的 pMOS 区域,并且左侧是其中设置 n 型场效应晶体管的 nMOS 区域。

[0163] 在此情况下,通过与第四示例相同的工序,如图 19 的 (1) 所示,经由帽膜 50 在栅绝缘膜 5 上设置伪栅 27a。伪栅电极 27a 从覆盖伪栅结构 A 和设置在伪栅结构 A 的两侧的侧壁 11—1 和 11—2 的夹层绝缘膜 13 露出。此时,在 nMOS 区域,用作源区域和漏区域的半导体层 9 形成 n 型。另一方面,在 pMOS 区域中,用作源区域和漏区域的半导体层 9 是 p 型。此外,与接下来描述的金属层反应以形成 n 型场效应晶体管中栅电极的功函数控制层

的材料用作形成帽膜 50 的材料。在此方面与第五示例中的帽膜 50 不同。

[0164] 接着,如图 19 的 (2) 所示,在 nMOS 区域和 pMOS 区域中,通过干蚀刻去除由多晶硅或者非晶硅形成的伪栅电极 27a。此时,帽膜 50 用作蚀刻阻挡膜,由此防止对由高介电常数材料形成的栅绝缘膜 5 造成损坏。

[0165] 由此,通过去除伪栅结构 A 获得的槽图案 15 形成在覆盖半导体衬底 3 和半导体层 9 的夹层绝缘膜 13 中。在槽图案 15 的底表面覆盖有栅绝缘膜 5 的同时,此槽图案 15 形成与凹部 3a 重叠。此外,如在前述示例中那样,槽图案 15 的侧壁被侧壁 11-1 和 11-2 限定。

[0166] 接着,如图 19 的 (3) 所示,在覆盖包括通过下挖半导体 3 的表面形成的凹部 3a 的槽图案 15 的内壁的状态下,形成金属层 57。功函数控制层 53。假定与帽膜 50 反应以形成 n 型场效应晶体管中栅电极的功函数控制层的材料用作形成金属层 57 的材料。这种金属层 57 使用例如 Al、Ti、Cu、La 等来形成。

[0167] 此后,如图 19 的 (4) 所示,在 nMOS 区域覆盖有光阻掩膜 55 的情况下,通过对基础造成很少损坏的湿蚀刻或者干蚀刻仅仅选择性地去除 pMOS 区域的金属层 57。在此蚀刻之后去除光阻掩膜 55。

[0168] 接着,如图 19 的 (5) 所示,通过执行热处理使仅仅留在 nMOS 区域中的金属层 57 和帽膜 50 彼此反应,使得形成从这些反应物制成的功函数控制层 59。

[0169] 接着,如图 19 的 (6) 所示,在覆盖包括通过下挖半导体衬底 3 的表面形成的凹部 3a 的槽图案 15 的内壁的状态下形成栅电极材料膜 7a。通过 CMP 研磨栅电极材料膜 7a 和金属层 57,直到露出夹层绝缘膜 13。由此,在 nMOS 区域,获得具有栅电极 7 的 n 型场效应晶体管,栅电极 7 是通过将功函数控制层 59 和栅电极材料膜 7a 经由栅绝缘膜 5 留在槽图案 15 内形成的。另一方面,在 pMOS 区域,获得具有栅电极 7 的 p 型场效应晶体管,栅电极 7 是通过将形成功函数控制层的帽膜 50 和栅电极材料膜 7a 经由栅绝缘膜 5 留在槽图案 15 内形成的。

[0170] 此外,通过热处理引起的反应而形成的功函数控制层 59 可以形成在 pMOS 区域中。此外,可以去除在槽图案 15 内残留的未反应的金属层 57。

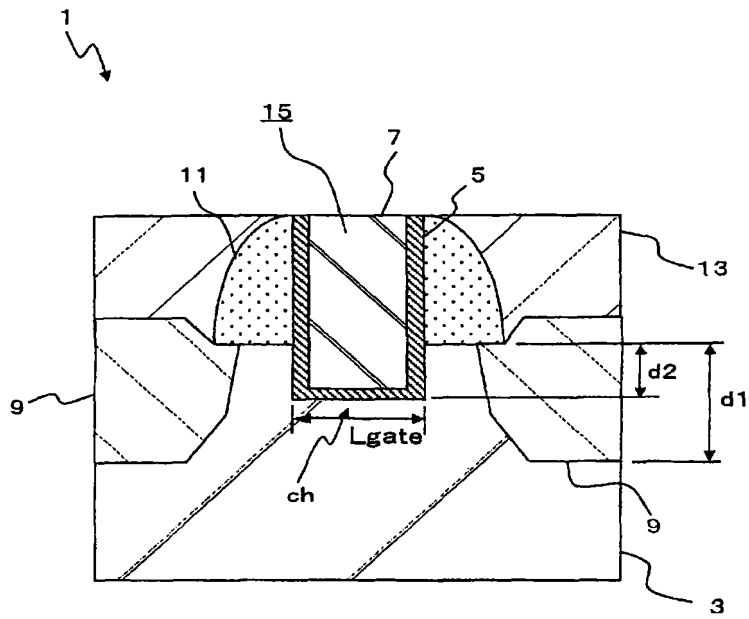


图 1

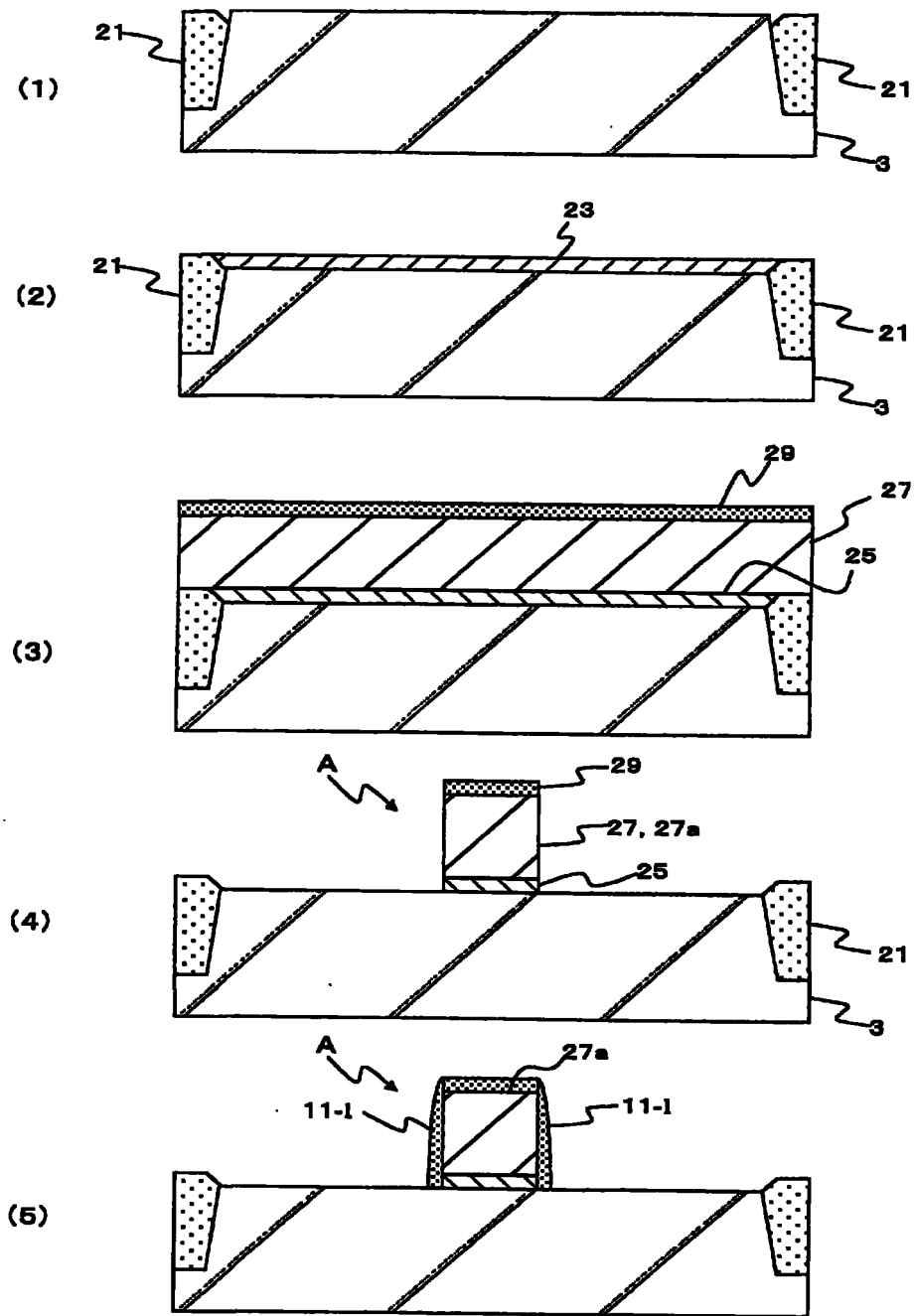


图 2

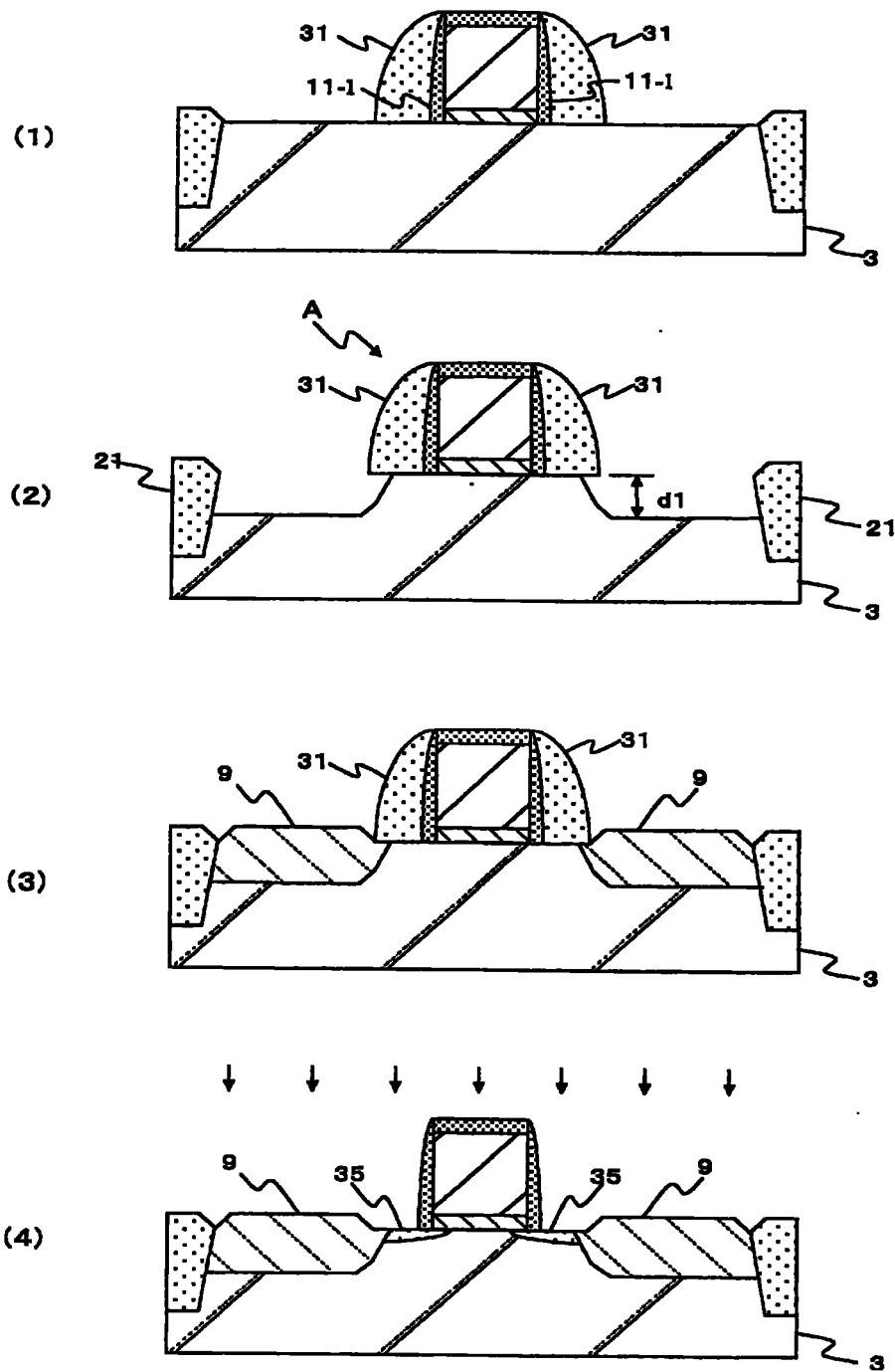


图 3

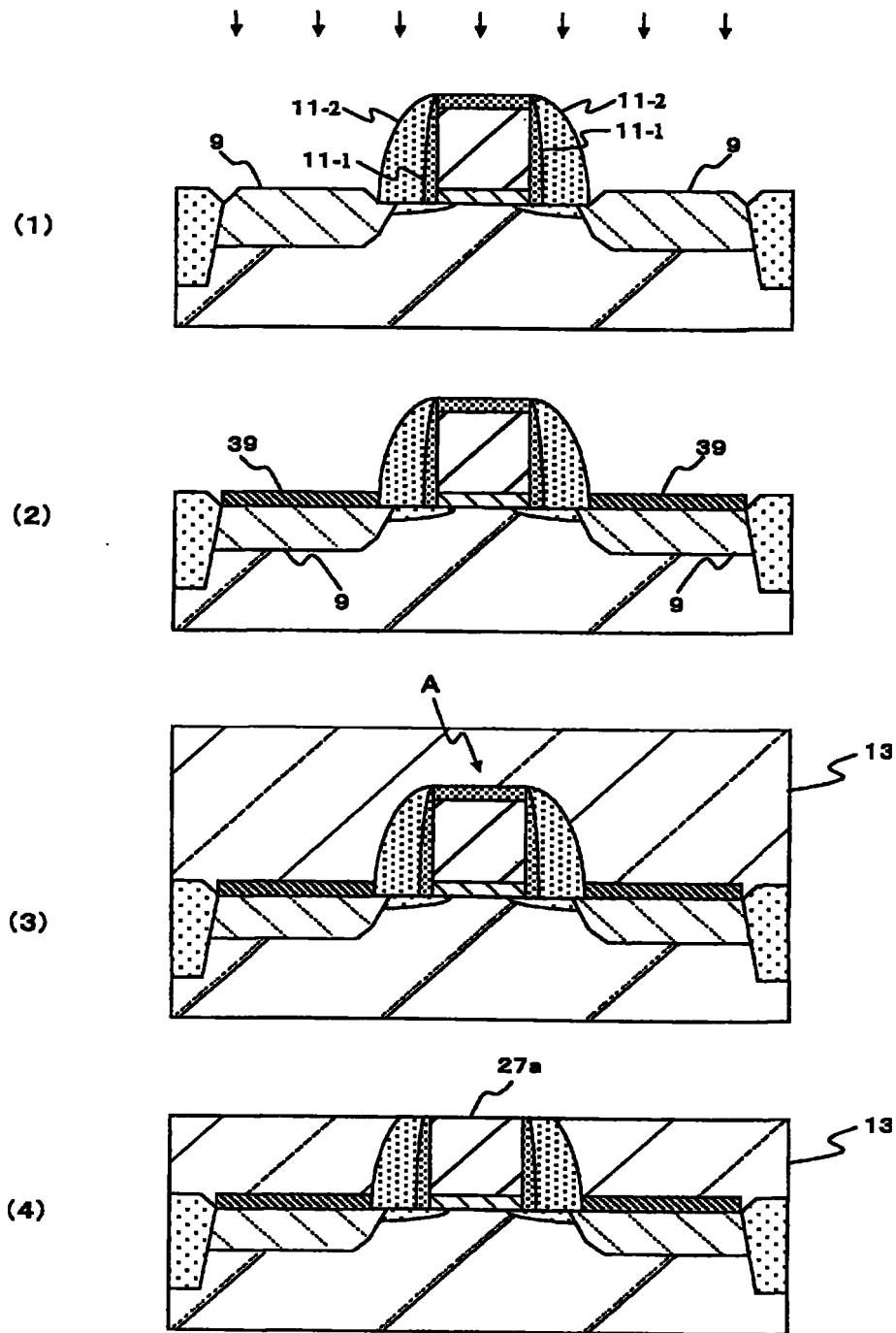


图 4

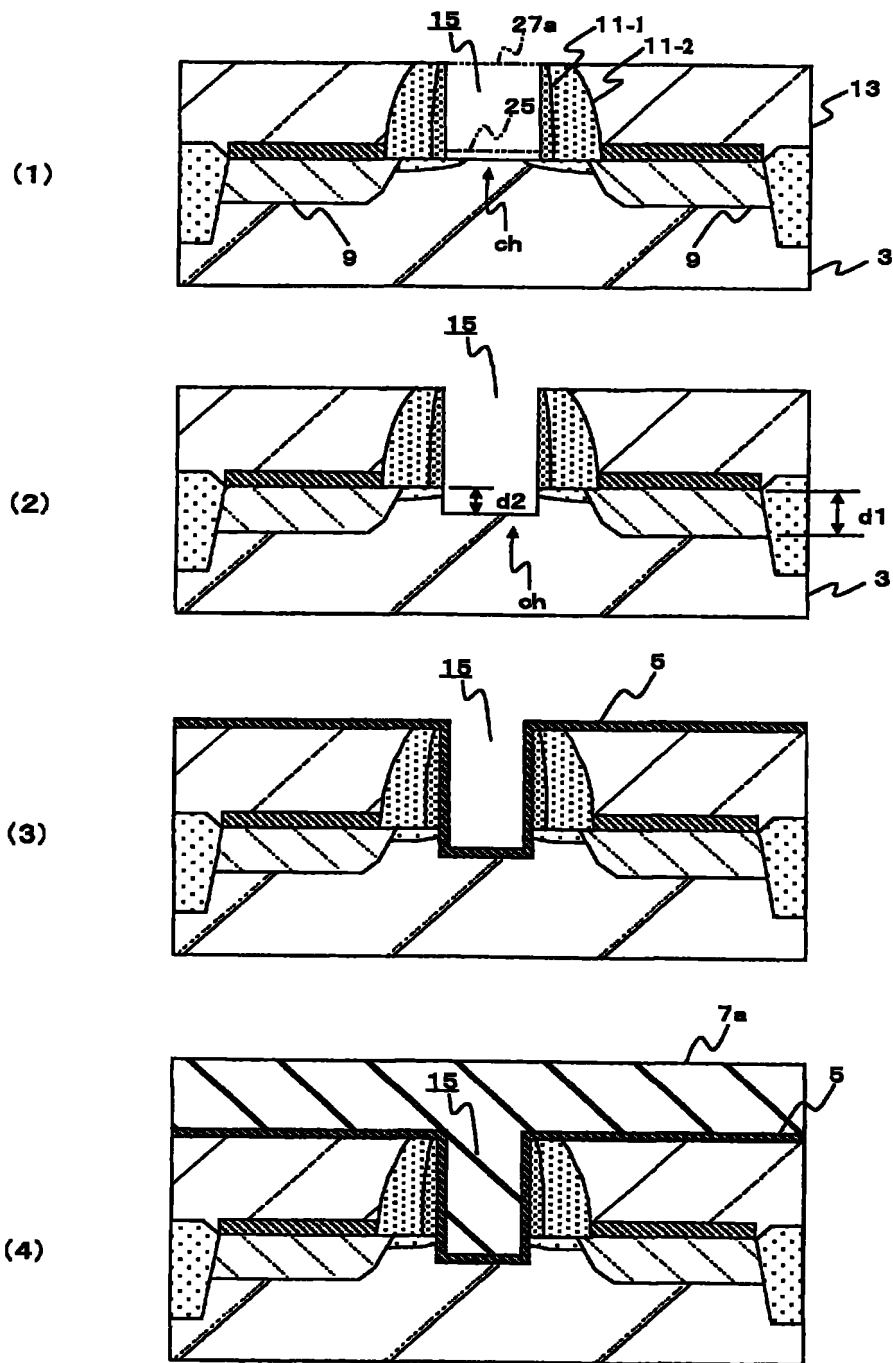


图 5

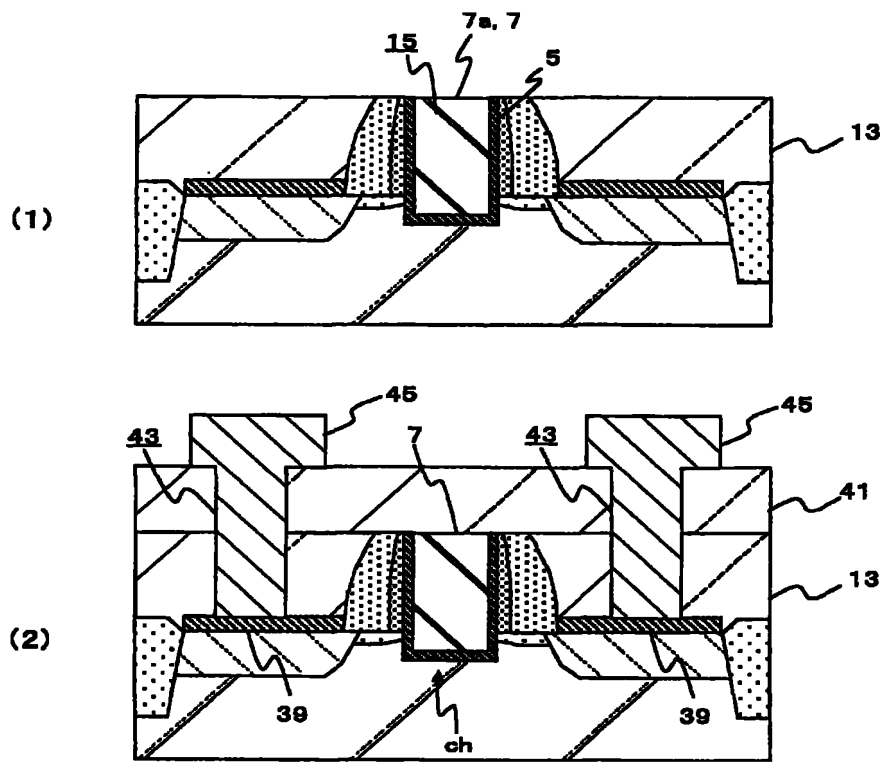


图 6

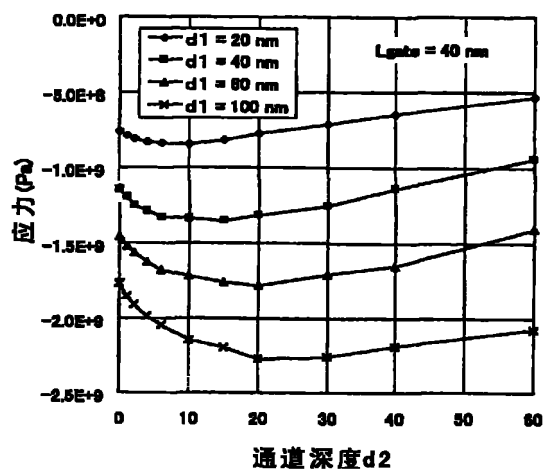


图 7

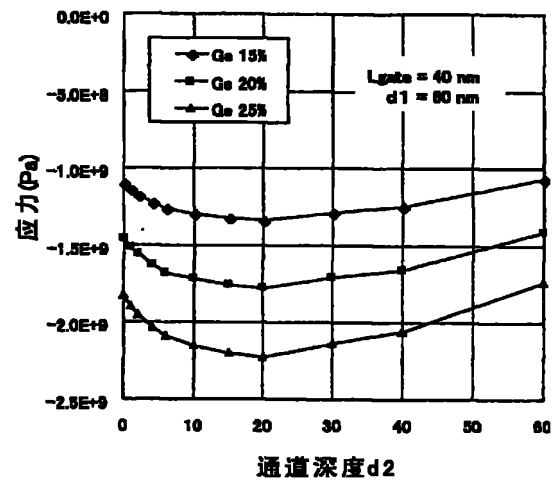


图 8

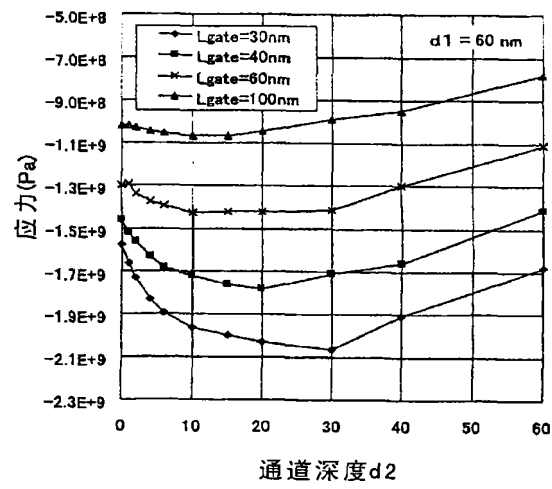


图 9

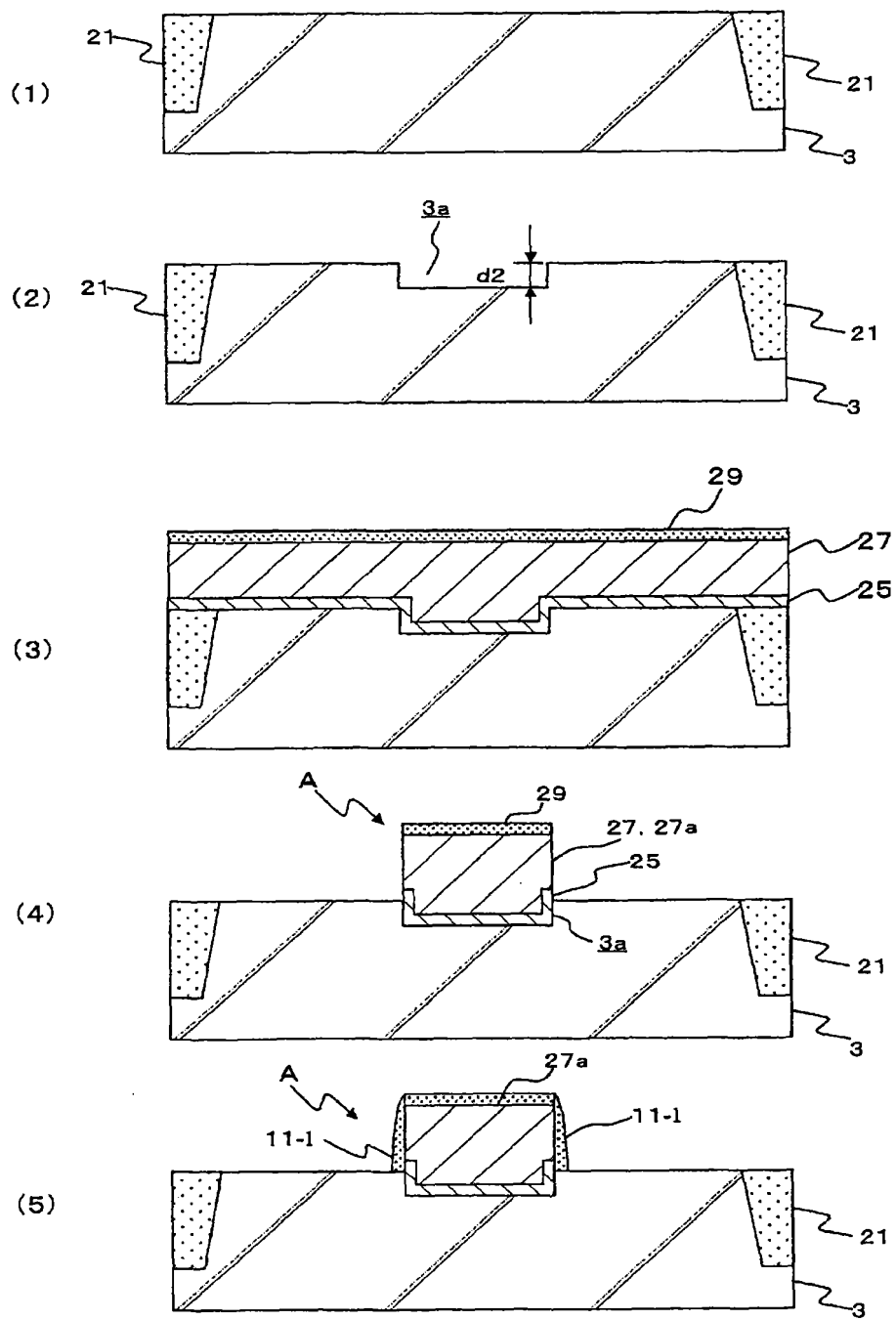


图 10

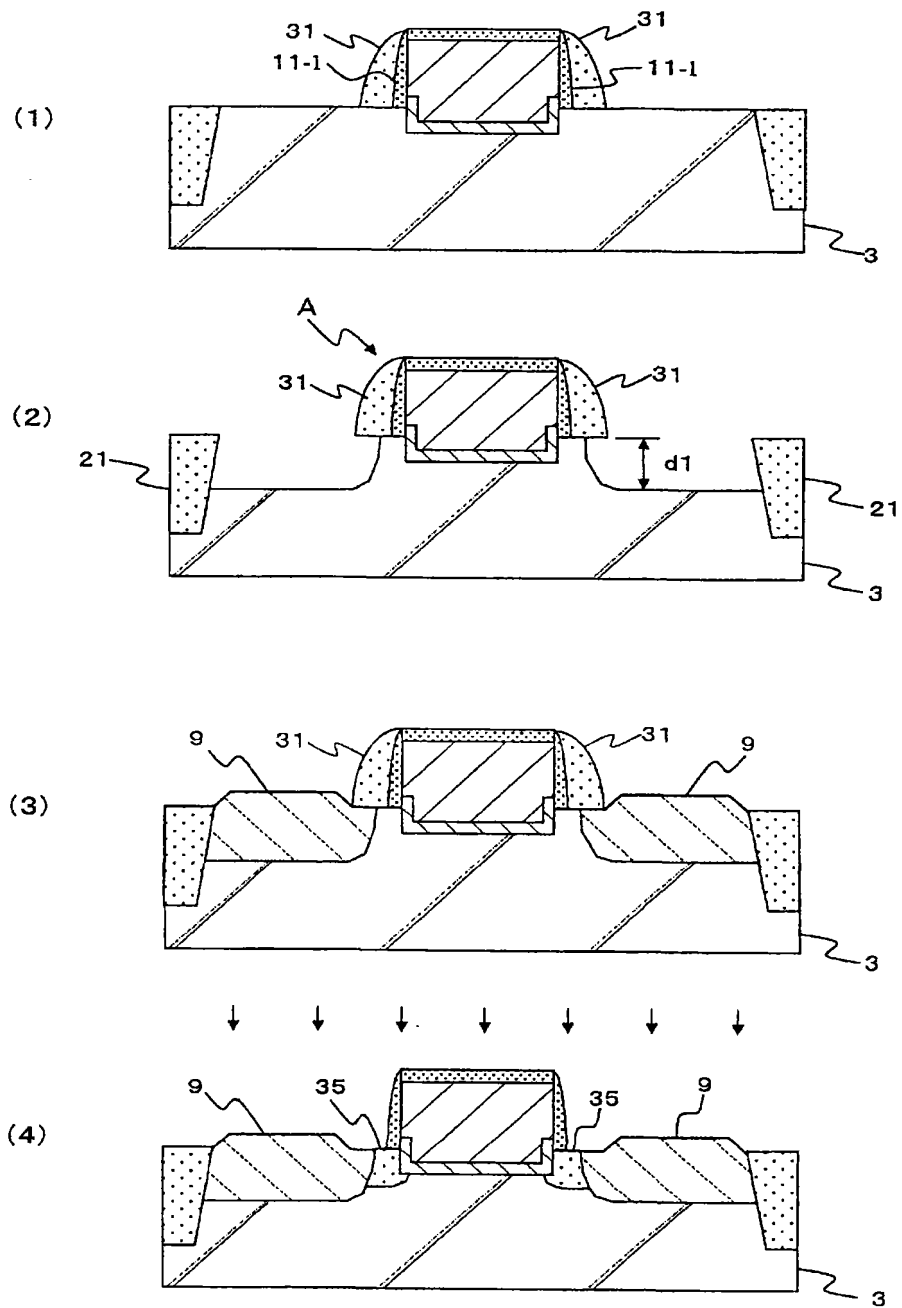


图 11

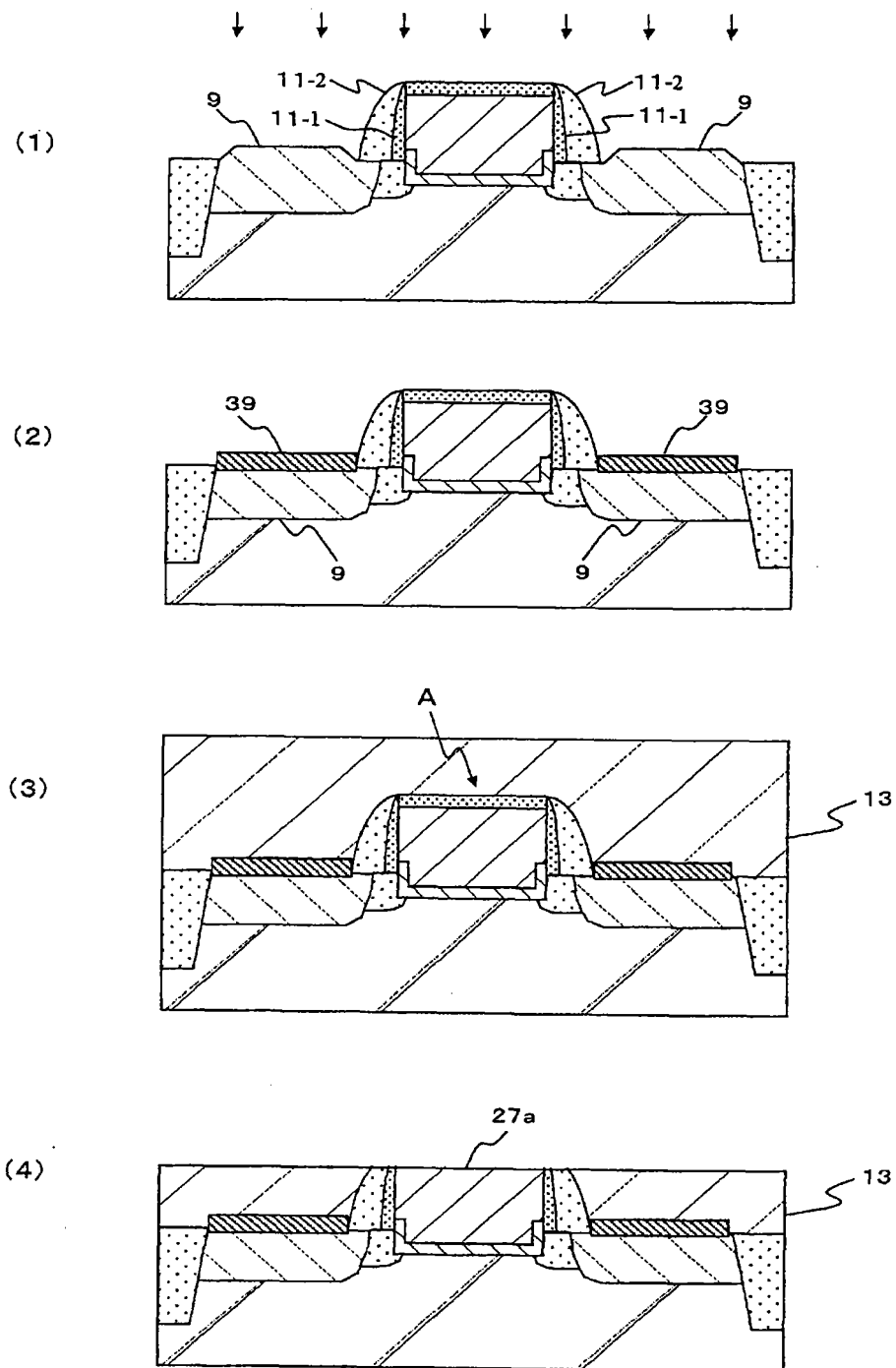


图 12

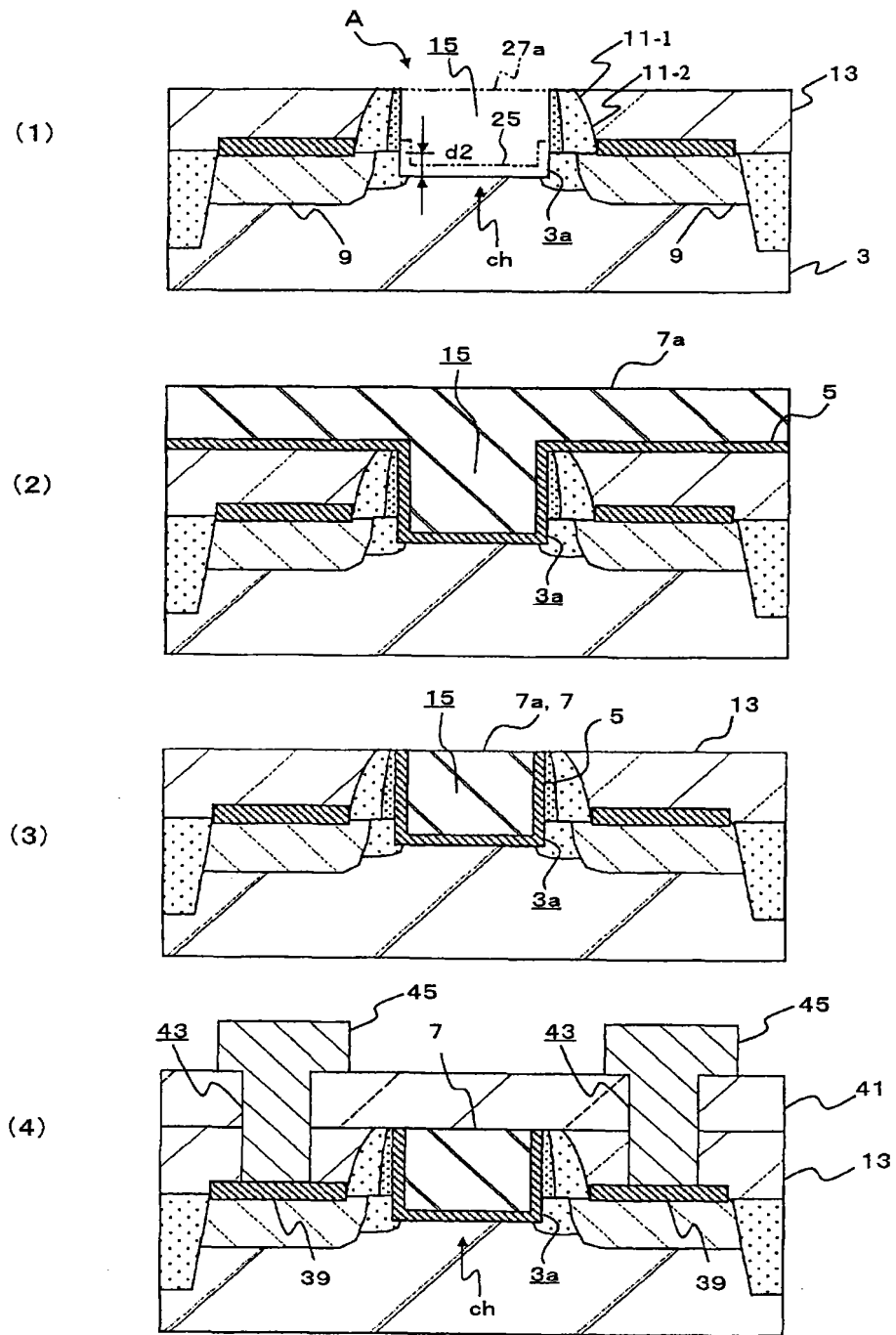


图 13

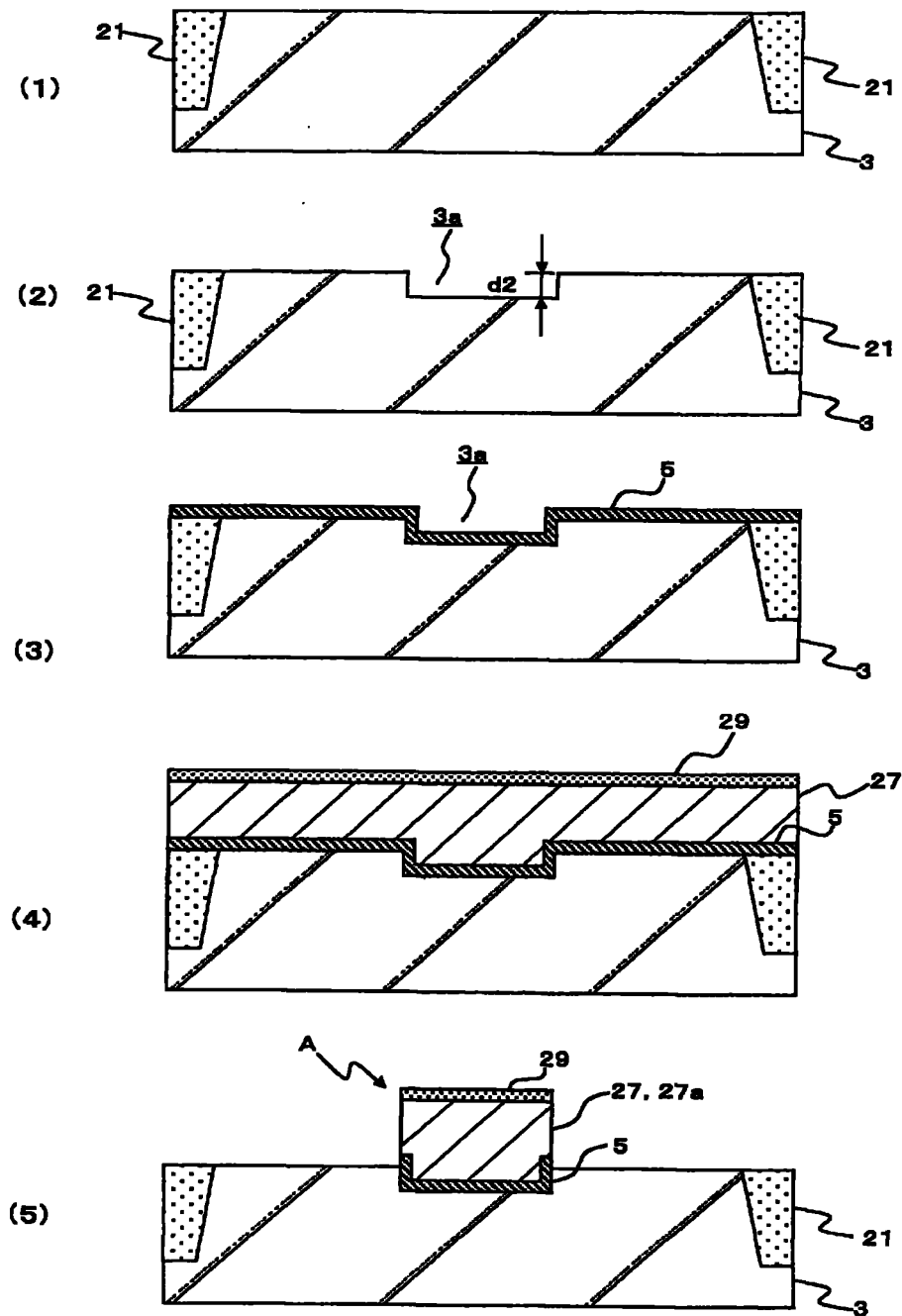


图 14

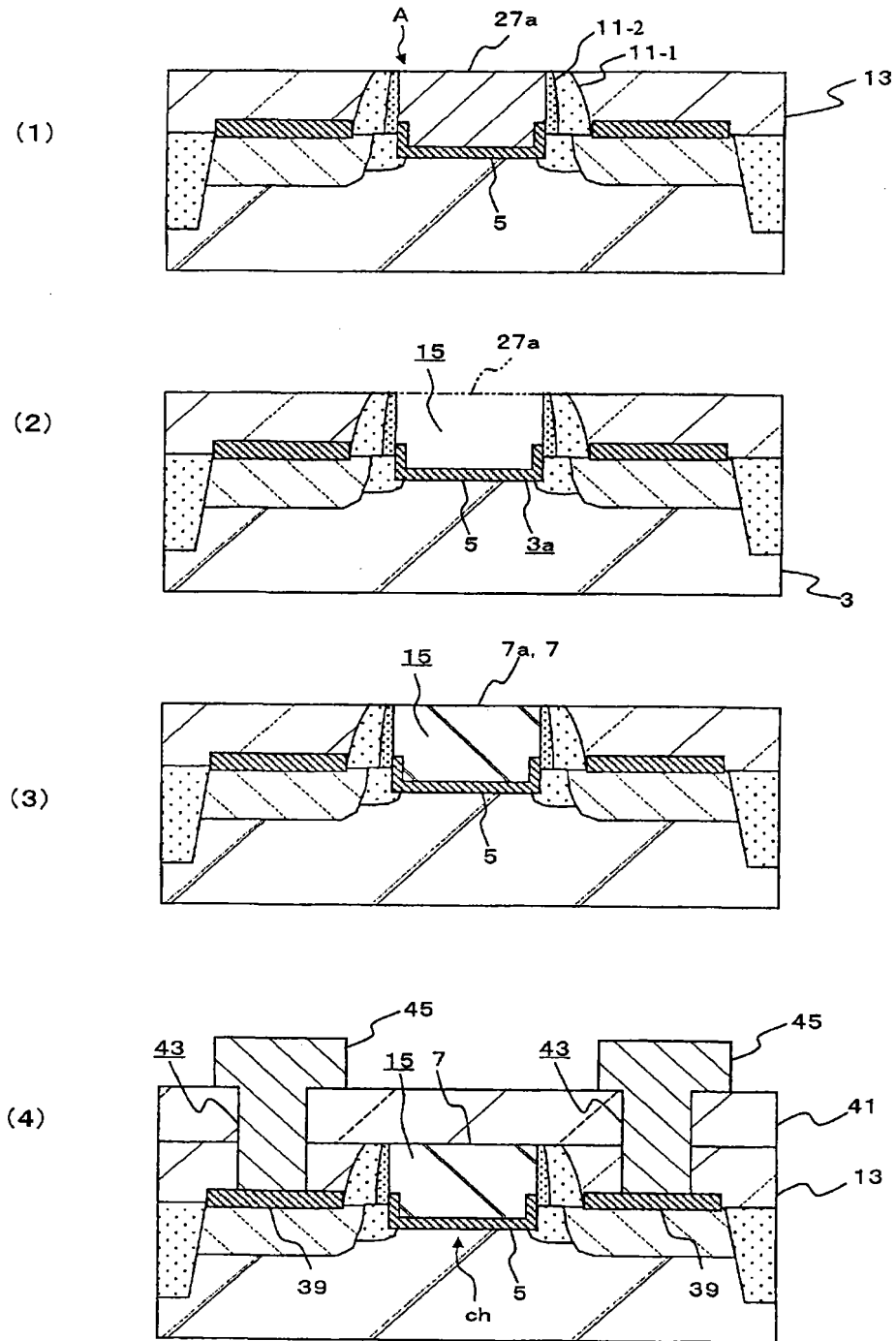


图 15

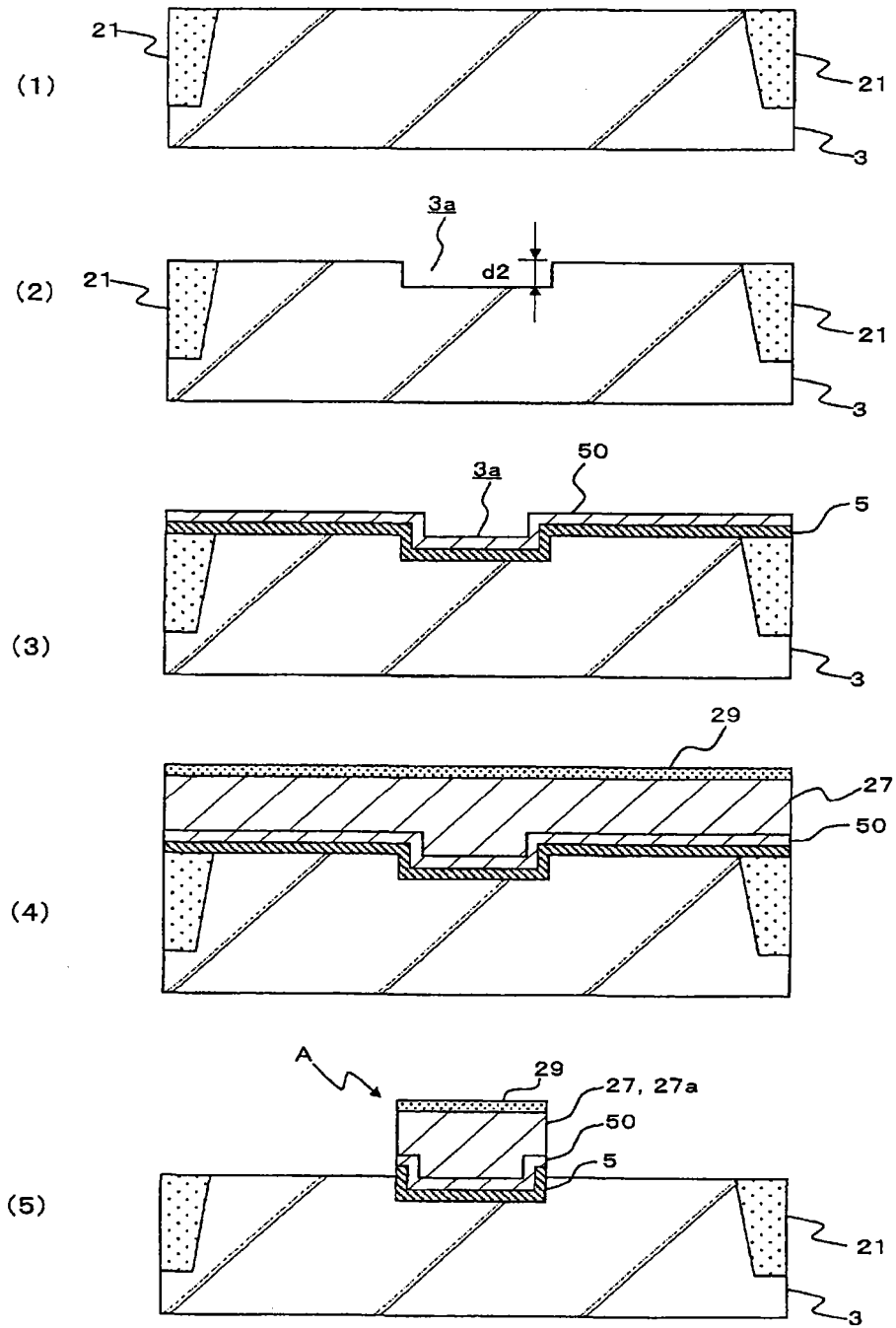


图 16

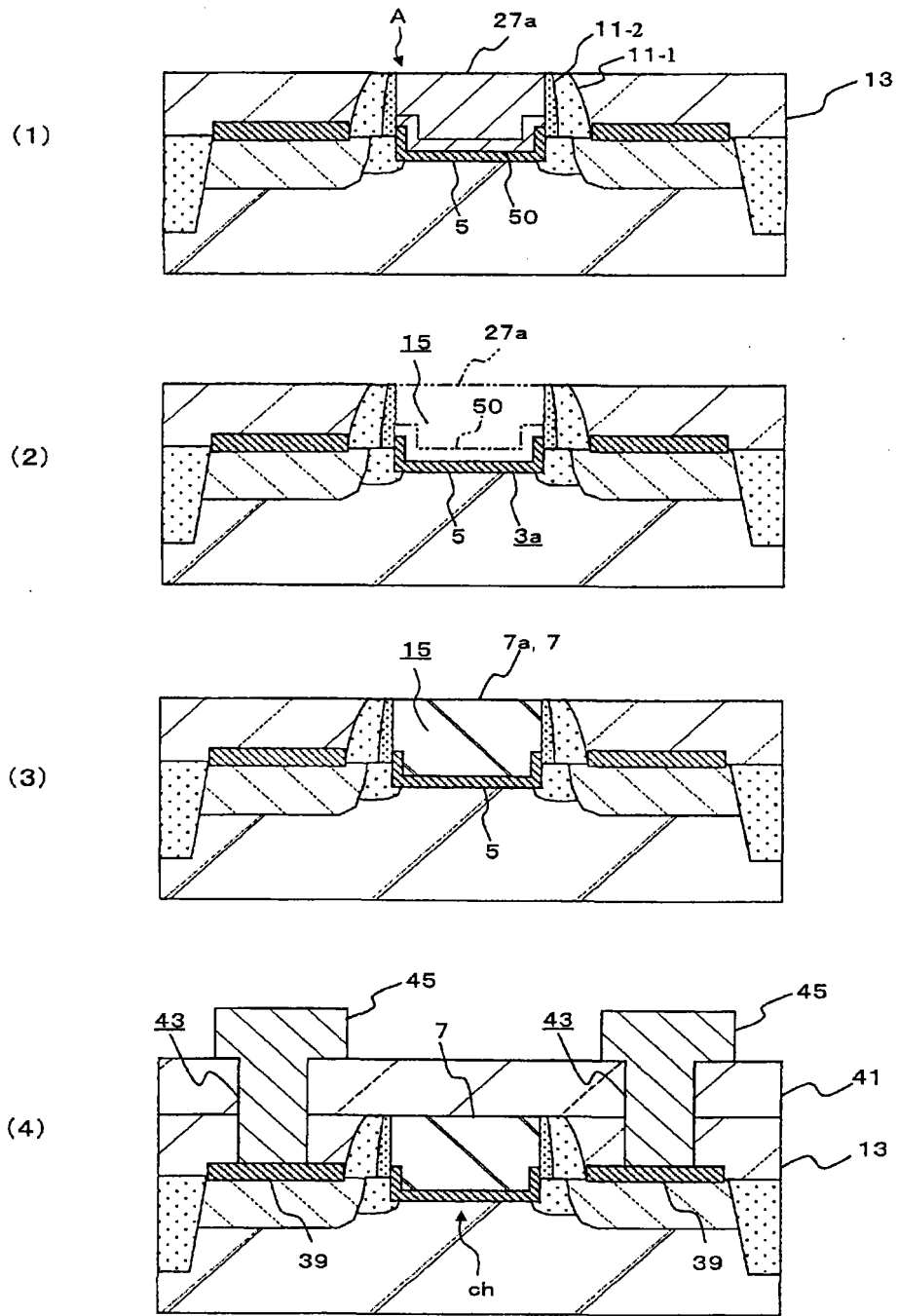


图 17

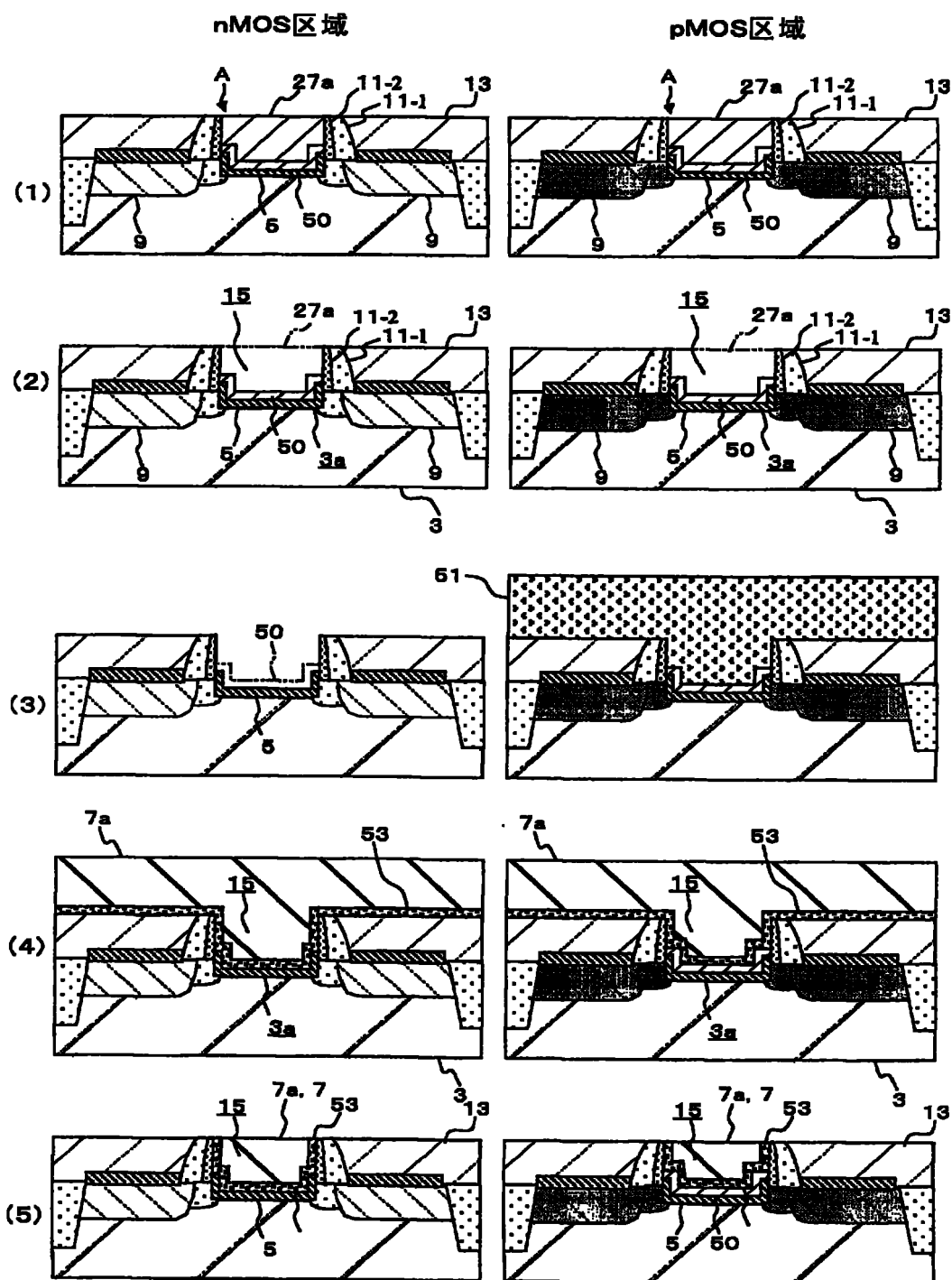


图 18

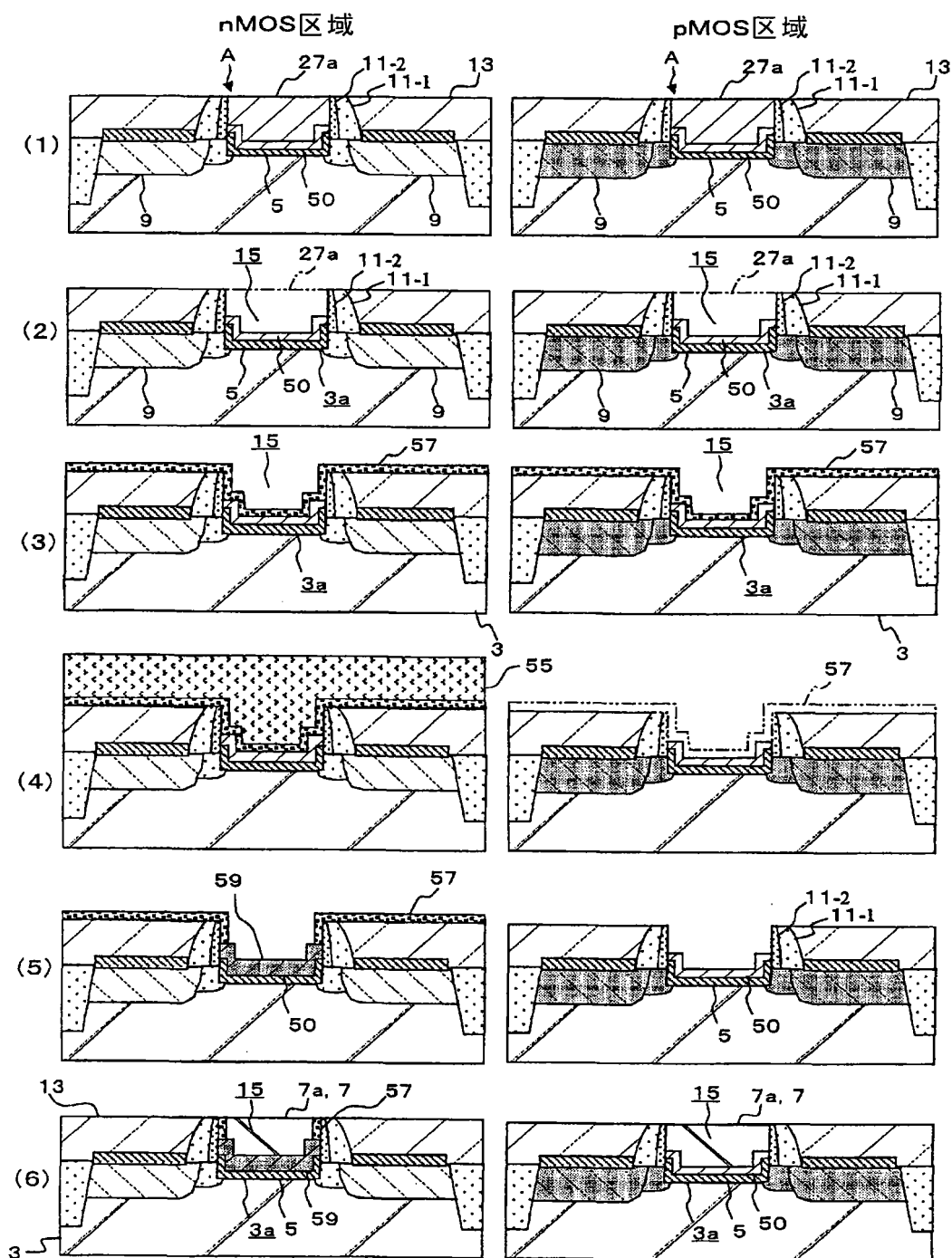


图 19

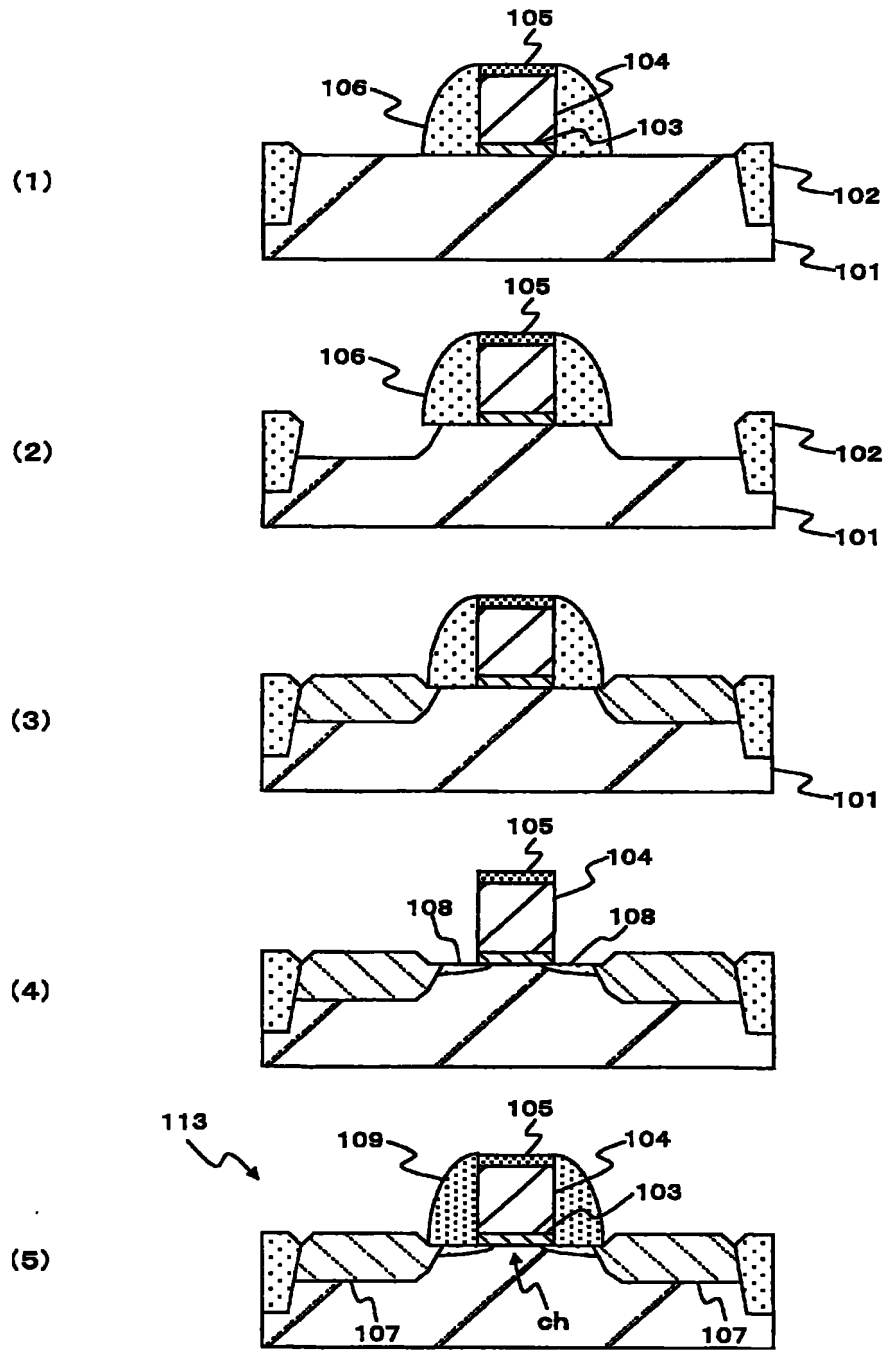


图 20

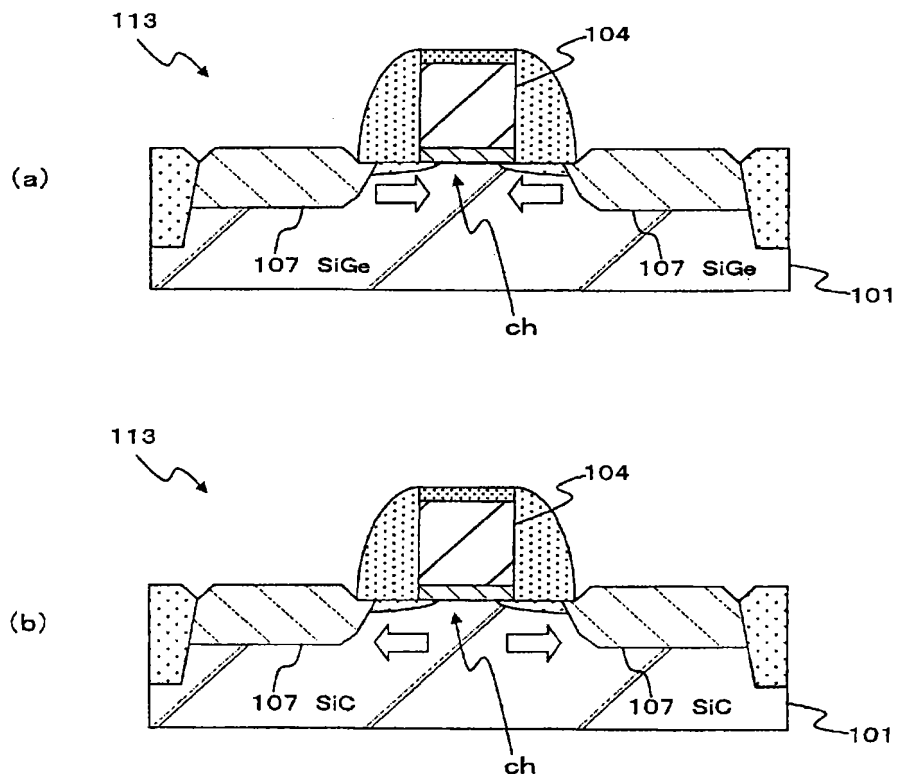


图 21