

公告本

申請日期	89.3.30
案號	S8123360
類別	H01L 2/265

A4
C4

440970

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	矽酸塩高介電常數材料之化學氣相沈積
	英文	CHEMICAL VAPOR DEPOSITION OF SILICATE HIGH DIELECTRIC CONSTANT MATERIALS
二、發明 創作人	姓名	魏格萊 Glen D. Wilk
	國籍	美國
三、申請人	住、居所	美國紐澤西州新帝城第一樓李維街 233 號 233 Livingston Ave., First Floor, New Providence, N.J. 07974 USA
	姓名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
三、申請人	國籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯市丘爾奇路 7839 號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251, U.S.A.
	代表 姓名	康威廉 (William B. Kempler)

裝

訂

線

440970

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

①西元一九九九年一月十三日 ①60/115,858
 ②西元一九九九年二月十一日 ②60/119,615

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 綫

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

相關專利/專利申請案交互參考

以下共同出讓之專利/專利申請案併入本文參考：

<u>專利號碼/序號</u>	<u>申請日期</u>	<u>TI案號</u>
	//1997	TI-24953
		TI-27181
		TI-27181
		TI-22027
		TI-24776
		TI-27953

發明領域

本發明與半導體元件的製造及處理有關，更明確地說，與使用矽酸鹽製造較高介電常數材料的方法有關。

發明背景

半導體元件製造的趨勢是元件的體積愈來愈小，相同面積上製造的元件數量愈來愈多。這對閘結構與電容器而言是個問題，因為電容正比於位於電容器兩電極板間之材料的介電常數，以及介電材料的有效面積。此外，一個結構的電容反比於該兩電極間的距離。目前，閘介電質的材料是選用二氧化矽，為補償電容器面積縮小，此層的厚度也變薄。不過，氧化物層變薄又發生其它問題。原因包括：第一，當二氧化矽層的厚度薄到3奈米以下時，從氧化物層的洩漏將會高到無法接受。此外，為增加閘電極的導電性要將雜質植入閘電極內，而氧化

五、發明說明(2)

物層必須能有效地阻擋雜質進入通道區。第二，層若太薄，除非它們是在一個自限的道次中成形，否則難有製造的再現性。第三，後續道次中蝕刻其它結構時對薄層的影響，特別是對閘隔離物的影響，遠大於厚層，這是因為對薄層而言，被蝕離的百分比遠大於厚層。

解決此問題的其它方法是改用介電常數較高的材料。例如，BST、PZT、 TiO_2 、 Ta_2O_5 等，都是下一代閘介電質所考慮的材料。不過，這些材料每一種都有問題，因為將這些材料變成有效閘介電材料所需的製程，與標準電晶體結構的製程相牴觸。更明確地說，這些材料每一種通常都需要在含氧環境中高溫退火，此種退火，會使下方的基底以及其它任何暴露在外會被氧化的結構大幅退化。

因此，需要使用一種新材料，它能很容易地使用標準之閘結構製程技術處理，且它的介電常數要高於二氧化矽($\epsilon \approx 3.9$)。

發明概述

基本上，本發明與閘結構有關，它包括做為閘介電質的氧化物層或矽酸鹽層，以及使用化學氣相沈積(CVD)製造此結構的方法。更明確地說，本發明的閘絕緣體最好是由 $ZrSiO_x$ 或 $HfSiO_x$ ($0 < x < 4$)，或甚至是由 ZrO_2 或 HfO_2 構成。此層的介電常數以大約10到40為佳(大約15到30更佳)。在另一實施例中，本發明的介電層可做為電容器的介電質。

五、發明說明(3)

一種在半導體基底上製造電子元件的方法，該方法的步驟包括：在半導體基底上成形導電結構；並在導電結構與半導體基底間成形一層高介電常數的材料，此高介電常數材料層是由所供應的氣體矽源以及第二種氣體材料形成；構成第二種氣體材料的材料選用自：Hf、Zr、La、Y、Sc、Ce及其任何混合物。在另一實施例中，也供應氧氣源。本發明的方法也包括以下步驟：將電子元件置入600到900°C的環境中。退火步驟的環境最好是由：O₂、O₃、N₂、H₂、NH₃及其任何混合物所構成。氣體矽源最好是由矽甲烷、二矽甲烷、二氯矽甲烷及其任何混合物所構成，也可以包括載氣(最好包括：He、N₂、Ar以及Ne)。第二種氣體材料最好是由：Zr(OC₄H₉)₄、Hf(OC₄H₉)₄、Zr(NO₃)₄、Hf(NO₃)₄、ZrCl₄、HfCl₄、ZrI₄、HfI₄、ZrBr₄、HfBr₄、Zr₂(OPri)₆(tmhd)₂、Hf₂(OPri)₆(tmhd)₂及其任何混合物所構成。電子元件是電容器或電晶體。

本發明的另一個實施例是一種在半導體基底上製造高介電常數材料的方法，該方法的步驟包括：在反應室中提供氣體矽源；在反應室中提供第二種氣體源，構成第二種氣體源的材料選用自：Hf、Zr、La、Y、Sc、Ce及其任何混合物。本發明之方法進一步的步驟包括：將高介電常數材料置入600到900°C的環境中。其退火環境最好是由O₂、O₃、N₂、H₂、NH₃及其任何混合物所構成。氣體矽源最好是由矽甲烷、二矽甲烷、二氯矽甲烷及其任何混合物構成，也可以包括載氣(最好包括：He、N₂、Ar以及Ne)。材料最好是由Zr(OC₄H₉)₄、Hf(OC₄H₉)₄、

五、發明說明 (4)

Zr(NO₃)₄、Hf(NO₃)₄、ZrCl₄、HfCl₄、ZrI₄、HfI₄、ZrBr₄、HfBr₄、Zr₂(OPri)₆(tmhd)₂、Hf₂(OPri)₆(tmhd)₂及其任何混合物構成。第二種氣體源可以包括氧氣源。

圖式簡單說明

圖1是說明本發明實施例之方法的流程圖。

圖2a-2c是部分製造之元件的橫剖面圖，使用圖1所示之本發明的方法。

圖式詳細說明

雖然以下對本發明的描述是圍繞於圖1所示的方法及圖2a-2d所示的元件結構，但本發明可用於金屬閘或任何其它類型的閘結構，且它可以使用可配置閘(disposable gate，如併入本文參考之文件的說明)或使用所示之標準方法製造。本發明的介電層也可做為可配置閘結構處理流程中的閘介電質，如共同待審之美國專利申請案_____ (讓予TI，TI-24776P)中的說明，該文併入本文參考。此外，本發明的方法及所形成的介電層，也可做為電容器之兩電極間的介電質。

在執行本發明的方法前，先執行習知的處理。習知的處理包括清潔晶圓202的表面，成形隔離區204、以及部分的晶圓摻雜。如圖2a-c所示，隔離結構204是淺溝隔離結構(STI)，不過，任何類型的隔離結構都可使用。隔離結構例如包括：LOCES、STI、以及接面隔離結構。

在最標準的方法中，在成形隔離結構及在植入基底

五、發明說明(5)

雜質前，在晶圓上會生長一層薄氧化物。如果有薄氧化物層，在步驟102前最好先將其去除。最好是以氧化物腐蝕或去玻璃質(deglaze)步驟將薄氧化物層去除。此道次最好包括將晶圓浸入氫氟酸溶液中，以便去除保護的氧化物，同時不實質影響隔離結構204。

現請參閱圖1之步驟102及圖2a，在基底202上覆蓋成形一層206。在步驟102，層206不要成形於隔離結構上(如圖2a所示)，最好是以幕罩操作，它可以選擇性地排除隔離結構204，或可以將它成形於隔離結構204上(未顯示)，並將其留在該處。層206最好是由過渡金屬(諸如Hf、Zr、La、Y、Sc及/或Ce)、矽(如果層208是矽酸鹽)以及潛在的氧及/或氮構成。層206最好是由 HfSiO_x 、 ZrSiO_x 、 LaSiO_x 、 YSiO_x 、 ScSiO_x 、 CeSiO_x 、Hf、 HfSi_2 、Zr、 ZrSi_2 、La、 LaSi_x 、Y、 YSi_x 、Sc、 ScSi_x 、Ce或 CeSi_x 構成，且其厚度以4到10奈米為佳(大約4到6奈米更佳)。按本發明的方法，層206是以化學氣相沈積法成形。本發明有數種實施例可以用來成形本發明的矽酸鹽層。

在以下的每一個實施例中，以符別M代表Hf或Zr或其它與Hf及Zr具有相同特性的金屬(諸如上述的La、Y、Sc或Ce)。每一個實施例所使用的前質與載氣混合(包括氮、氧、氫、氬及其任何混合物)，或不混合載氣。本發明之實施例的前質最好包括金屬源M、矽源(最好是矽甲烷、二矽甲烷及/或二氯矽甲烷)，以及氧及/或氮源。氧源可以是 O_2 、 O_3 或其它氧源，如電漿源。如果在前質中沒有提供氧及/或氮源，可以執行退火步驟104，以

五、發明說明(6)

便將氧及/或氮結合到層206內。

在本發明的一實施例中，氣態的 $M(NO_3)_4$ 混合物連同氣態的矽甲烷或二矽甲烷或二氯矽甲烷(連同載氣—最好大約是此氣體混合物的10%)一起送入反應室內。 $M(NO_3)_4$ 的流率大約5到20sccm為佳(大約10sccm更佳)，矽甲烷(連同載氣)的流率大約1到20sccm為佳(大約1到10sccm更佳)。反應室的環境溫度大約60到120°C為佳(大約70°C更佳)，基底溫度大約200到600°C為佳(大約300到500°C更佳)。本發明之前質的優點是無碳，且較不會形成過量的水。

在本發明的另一實施例中，金屬t-butoxide的混合物， $M(OC_4H_9)_4$ ，以氣態型式(最好連同載氣)連同氣態的矽甲烷(最好連同載氣—最好大約10%的載氣及90%的矽甲烷)一起送入反應室內。 $M(OC_4H_9)_4$ 的流率大約5到15sccm為佳(大約10sccm更佳)，矽甲烷(連同載氣)的流率大約1到20sccm為佳(大約1到10sccm更佳)。也可以使用二矽甲烷或二氯矽甲烷取代矽甲烷。反應室的環境溫度大約60到120°C為佳(大約70°C更佳)，基底溫度大約400到700°C為佳(大約450到600°C更佳)。

在本發明的另一實施例中，氣體金屬源包括 MCl_4 、 Ml_4 、 MBr_4 。氣體矽源可以包括矽甲烷、二矽甲烷或二氯矽甲烷，還可包括載氣，諸如He、Ar、 N_2 、Ne。此外，也可包括氧源(如 O_2 、 O_3)，或是後續在氧或臭氧環境中執行退火(如選擇性退火步驟104)。在此過程期間的基底溫度最好大約200到600°C(大約300到500°C更佳)。由於氯及溴

五、發明說明(7)

極具活性，且由於氟具腐蝕性，如果使用這些氣體，就應該使用非不銹鋼的反應器(以石英反應器為佳)。

在本發明的另一實施例中，氣體金屬源包括 M_2 (OPri)₆(tmhd)₂，矽源最好包括矽甲烷、二矽甲烷或二氯矽甲烷。在此過程期間的基底溫度大約400到700°C為佳(大約450到600°C更佳)。可以使用氧源或是在氧或臭氧環境中退火(如步驟104)。

現請參閱圖1的步驟104及圖2b，接下來執行退火，以便增進包含矽與過渡金屬混合物之層206的電氣特性，或增進已存在之矽酸鹽層之品質。例如，如果層206是由Hf、HfSi₂、Zr、或ZrSi₂構成，它們將分別變成HfO_x、HfSi₂O_x、ZrO_x、或ZrSi₂O_x，或如果該層已是HfSi₂O_x，在成形氣體(以使用90%氮：10%氫為佳)中退火將可消除矽酸鹽膜中的瑕疵。另者，在含氧環境中退火，將可藉增加x值以增加矽酸鹽的含氧量。執行退火步驟104的環境可以是：在90%氮：10%氫的環境中，以大約350到500°C的溫度(大約450°C更佳)退火大約10到30分鐘(30分鐘更佳)；在氧的環境中，以大約400到900°C的溫度(大約800°C更佳)退火大約15到60秒(大約30秒較佳)；在臭氧環境中大約25到400°C的溫度；或在氮或NH₃的環境中大約500到600°C。也可以使用其它溫度及環境的組合，但上述條件似乎可獲得最佳的結果。在退火步驟104，最好將層206加到此高溫，在含氧及/或含氮的大氣中10到120秒(大約20到45秒較佳—大約30秒更佳)。

現請參閱圖1的步驟106及圖2c，在此步驟成形導電

五、發明說明(8)

的閘電極層210。層210最好是由複晶矽、複晶鍺化矽、摻雜的複晶矽、摻雜的複晶鍺化矽、鎢、鈦、氮化鎢、氮化鈦、鉑、鋁或它們的混合物，或由上述一或多種所構成的堆疊。層210最好是使用標準的半導體處理步驟成形，其厚度也是一般電晶體所使用的厚度。

雖然本文是以特定的實施例描述本發明，但不能將其解釋成對本發明之範圍的限制。熟悉此方面技術之人士將可從說明書的方法中明瞭很多本發明的實施例。本發明的範圍僅受所附申請專利範圍的限制。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱: 矽酸鹽高介電常數材料之化學氣相沈積)

一種在半導體基底上製造電子元件的方法，該方法的步驟包括：在半導體基底上成形一導電結構(圖1之步驟106)，在導電結構與半導體基底間成形一高介電常數材料層，高介電常數材料層是由所供應的氣體矽源及第二氣體材料所形成，構成第二氣體材料的材料是選用自Hf、Zr、La、Y、Sc、Ce及其任何混合物。

英文發明摘要(發明之名稱: Chemical Vapor Deposition of Silicate High Dielectric Constant Materials)

A method of fabricating an electronic device over a semiconductor substrate, the method comprising the steps of: forming a conductive structure over the semiconductor substrate (step 106 of FIGURE 1); and forming a layer of high-dielectric constant material between the conductive structure and the semiconductor substrate (step 102 of FIGURE 1), the layer of high-dielectric constant material is formed by supplying a gaseous silicon source and a second gaseous material which is comprised of a material selected from the group consisting of: Hf, Zr, La, Y, Sc, Ce and any combination thereof.

蔡中普律師

六、申請專利範圍

1. 一種在半導體基底上製造電子元件的方法，該方法的步驟包括：
在該半導體基底上成形導電結構；以及
在該導電結構與該半導體基底間成形一層高介電常數材料，該高介電常數材料層成形自所供應的氣體矽源及第二氣體材料，構成第二氣體材料的材料選用自Hf、Zr、La、Y、Sc、Ce及其任何混合物。
2. 如申請專利範圍第1項的方法，其中成形該高介電常數材料層時也供應氧氣源。
3. 如申請專利範圍第1項的方法，進一步的步驟包括：
將該電子元件置入600至900°C間的環境中。
4. 如申請專利範圍第3項的方法，其中構成該環境的氣體是選用自O₂、O₃、N₂、H₂、NH₃及其任何混合物。
5. 如申請專利範圍第1項的方法，其中構成該氣體矽源的氣體是選用自矽甲烷、二矽甲烷、二氯矽甲烷及其任何混合物。
6. 如申請專利範圍第5項的方法，其中該氣體矽源包括載氣。
7. 如申請專利範圍第6項的方法，其中構成該載氣的氣體是選用自He、N₂、Ar及Ne。
8. 如申請專利範圍第1項的方法，其中構成該第二氣體材料的氣體包括Zr(OC₄H₉)₄、Hf(OC₄H₉)₄、Zr(NO₃)₄、Hf(NO₃)₄、ZrCl₄、HfCl₄、ZrI₄、HfI₄、ZrBr₄、HfBr₄、Zr₂(OPri)₆(tmhd)₂、Hf₂(OPri)₆(tmhd)₂及其任何混

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

合物。

9. 如申請專利範圍第1項的方法，其中該電子元件是電容器或電晶體。
10. 一種在半導體基底上製造高介電常數材料的方法，該方法的步驟包括：
在反應室中提供氣體矽源；
在反應室中提供第二氣體源，構成該第二氣體源的材料選用自Hf、Zr、La、Y、Sc、Ce及其任何混合物。
11. 如申請專利範圍第10項的方法，進一步的步驟包括：
將該高介電常數材料置入600至900°C間的環境中。
12. 如申請專利範圍第11項的方法，其中構成該環境的氣體是選用自O₂、O₃、N₂、H₂、NH₃及其任何混合物。
13. 如申請專利範圍第10項的方法，其中構成該氣體矽源的氣體是選用自矽甲烷、二矽甲烷、二氯矽甲烷及其任何混合物。
14. 如申請專利範圍第13項的方法，其中該氣體矽源包括載氣。
15. 如申請專利範圍第14項的方法，其中構成該載氣的氣體是選用自He、N₂、Ar及Ne。
16. 如申請專利範圍第10項的方法，其中構成該材料的氣體包括Zr(OC₄H₉)₄、Hf(OC₄H₉)₄、Zr(NO₃)₄、Hf(NO₃)₄、ZrCl₄、HfCl₄、ZrI₄、HfI₄、ZrBr₄、HfBr₄、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

$Zr_2(OPri)_6(tmhd)_2$ 、 $Hf_2(OPri)_6(tmhd)_2$ 及其任何混合物。

17. 如申請專利範圍第1項的方法，其中該第二氣體源包括氧氣。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

圖 1

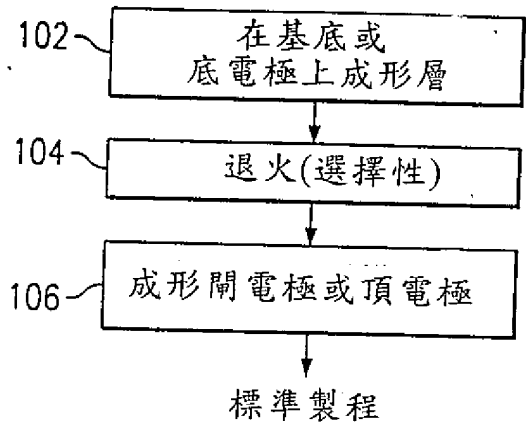


圖 2a

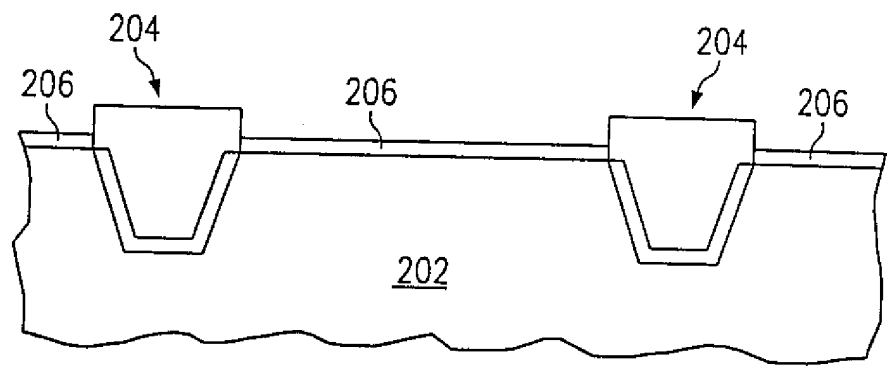


圖 2b

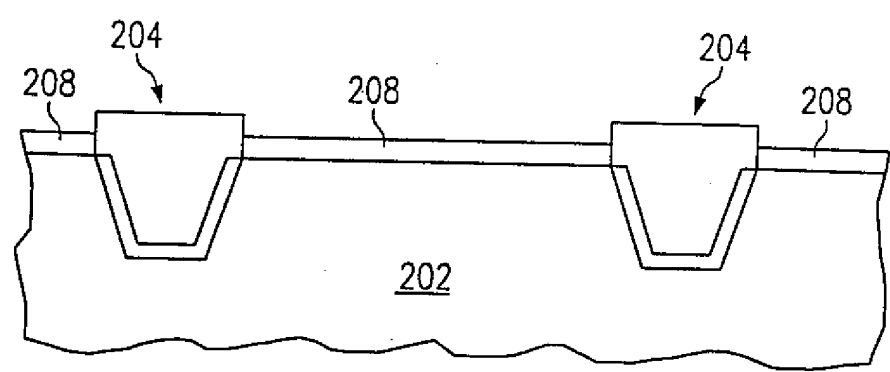


圖 2c

