



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0115045
(43) 공개일자 2015년10월14일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2014-0039176
(22) 출원일자 2014년04월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로1(농서동)
(72) 발명자
이홍범
경기도 용인시 기흥구 삼성2로 95 (농서동)
이준석
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
강신섭, 문용호, 이용우

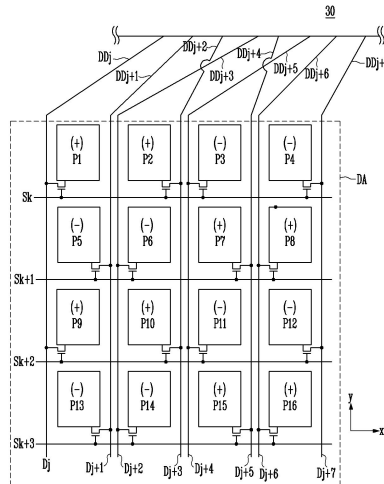
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 실시 예는 액정표시장치에 관한 것이다. 본 발명의 실시 예에 따른 액정표시장치는 데이터 링크 라인들, 데이터 라인들, 주사 라인들, 상기 데이터 라인들과 상기 주사 라인들에 접속되는 화소들을 포함하는 표시패널; 상기 데이터 링크 라인들을 통해 상기 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부; 및 상기 주사 라인들에 주사 신호들을 공급하는 주사 구동부를 구비하고, 제p(p는 양의 정수) 데이터 링크 라인은 제p+1 데이터 라인들에 접속되고, 제p+1 데이터 링크 라인은 제p 데이터 라인에 접속되는 것을 특징으로 한다.

대표도 - 도2



명세서

청구범위

청구항 1

데이터 링크 라인들, 데이터 라인들, 주사 라인들, 상기 데이터 라인들과 상기 주사 라인들에 접속되는 화소들을 포함하는 표시패널;

상기 데이터 링크 라인들을 통해 상기 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부; 및

상기 주사 라인들에 주사 신호들을 공급하는 주사 구동부를 구비하고,

제 p (p 는 양의 정수) 데이터 링크 라인은 제 $p+1$ 데이터 라인들에 접속되고, 제 $p+1$ 데이터 링크 라인은 제 p 데이터 라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제 $p+1$ 데이터 링크 라인은 상기 데이터 구동부에 접속된 제1 링크 라인, 상기 제 p 데이터 라인에 접속된 제2 링크 라인, 상기 제1 및 제2 링크 라인들에 접속된 브릿지 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 및 제2 링크 라인들은 서로 단절되고, 상기 제 p 데이터 링크 라인은 상기 제1 및 제2 링크 라인들 사이의 단절 영역을 가로지르는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 및 제2 링크 라인은 제1 금속 패턴으로 형성되고, 상기 제 p 데이터 라인은 제2 금속 패턴으로 형성되며, 상기 브릿지 전극은 제3 금속 패턴으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 2 항에 있어서,

상기 브릿지 전극은 상기 제1 링크 라인을 노출시키는 제1 콘택홀과 상기 제2 링크 라인을 노출시키는 제2 콘택홀을 통해 상기 제1 및 제2 링크 라인들과 접속되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 브릿지 전극은 인접한 브릿지 전극과 소정의 간격만큼 이격된 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 화소들 사이에는 두 개의 데이터 라인들이 배치되고,

어느 한 화소가 그 화소의 일측에 배치된 데이터 라인에 접속되는 경우, 그 화소에 이웃하는 화소들 각각은 그의 타측에 배치된 데이터 라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,
 상기 데이터 구동부는,
 인접한 데이터 링크 라인들에 서로 다른 극성의 데이터 전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,
 상기 제p 데이터 라인은 상기 제p+1 데이터 링크 라인을 노출시키는 제3 콘택홀을 통해 상기 제p+1 데이터 링크 라인과 접속되는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시 예는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기, 옥내외 광고 표시장치 등으로 광범위하게 이용되고 있다.

[0003] 액정표시장치는 화소들을 포함하는 액정표시패널, 액정표시패널에 빛을 조사하기 위한 백라이트 유닛, 액정표시패널의 데이터 라인들에 데이터전압을 공급하기 위한 데이터 구동부, 액정표시패널의 주사 라인들에 주사신호를 공급하기 위한 주사 구동부, 및 데이터 구동부와 주사 구동부를 제어하기 위한 제어회로 등을 구비한다. 화소들 각각은 화소 전극의 데이터 전압과 공통전극의 공통 전압 간의 전계에 의해 액정층의 액정을 구동함으로써 백라이트 유닛으로부터 입사되는 빛을 변조한다.

[0004] 액정표시장치의 소비전력을 감소하기 위해, 데이터 구동부는 소정의 기간마다 데이터 라인에 공급되는 데이터 전압들의 극성을 인버전하는 컬럼 인버전 방식으로 구동될 수 있다. 또한, 액정표시장치의 화질을 높이기 위해, 화소들과 데이터 라인들 간의 접속 구조를 변경함으로써, 인접한 화소들이 서로 다른 극성의 데이터 전압을 공급받는 도트 인버전 방식으로 구동될 수 있다. 즉, 액정표시장치는 데이터 구동부가 컬럼 인버전 방식으로 데이터 전압들을 공급함에도 화소들이 도트 인버전 방식으로 데이터 전압들을 공급받기 때문에, 화질 저하 없이 소비전력을 감소시킬 수 있다.

[0005] 한편, 데이터 라인들의 일측에 접속된 화소들 각각에 충전되는 데이터 전압의 극성이 제1 극성이고 데이터 라인들의 타측에 접속된 화소들 각각에 충전되는 데이터 전압의 극성이 제2 극성이 되도록 화소들을 배치할 수 있다. 하지만, 액정표시패널의 제조시 데이터 라인들의 공정 오차가 발생할 수 있으며, 이 경우 공통전압 대비 동일한 크기의 데이터 전압들을 공급하더라도 데이터 라인들의 일측(예를 들어, 좌측)에 접속된 화소들 각각에 충전되는 데이터 전압과 데이터 라인들의 타측(예를 들어, 우측)에 접속된 화소들 각각에 충전되는 데이터 전압 간에 차이가 발생할 수 있다. 예를 들어, 데이터 라인들이 상기 일측 방향으로 공정 오차가 발생하는 경우 데이터 라인들의 일측에 접속된 화소들과 데이터 라인들의 간격은 짧아지며 데이터 라인들의 타측에 접속된 화소들과 데이터 라인들의 간격은 길어지기 때문에, 데이터 라인들의 일측에 접속된 화소들 각각에 공급되는 제1 극성의 데이터 전압의 크기는 데이터 라인들의 타측에 접속된 화소들 각각에 공급되는 제2 극성의 데이터 전압의 크기보다 공통전압 대비 클 수 있다. 이로 인해, 데이터 라인들의 일측에 접속된 화소들이 표현하는 계조와 데이터 라인들의 타측에 접속된 화소들이 표현하는 계조 간에 차이가 발생할 수 있으므로, 사용자가 액정표시장치를 시청하는 경우 플리커(flicker)를 느낄 수 있는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시 예는 플리커를 줄일 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 실시 예에 따른 액정표시장치는 데이터 링크 라인들, 데이터 라인들, 주사 라인들, 상기 데이터 라인들과 상기 주사 라인들에 접속되는 화소들을 포함하는 표시패널; 상기 데이터 링크 라인들을 통해 상기 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부; 및 상기 주사 라인들에 주사 신호들을 공급하는 주사 구동부를 구비하고, 제 p (p 는 양의 정수) 데이터 링크 라인은 제 $p+1$ 데이터 라인들에 접속되고, 제 $p+1$ 데이터 링크 라인은 제 p 데이터 라인에 접속되는 것을 특징으로 한다.

발명의 효과

[0008] 본 발명의 실시 예는 제 p 데이터 링크 라인을 제 $p+1$ 데이터 라인에 접속하고, 제 $p+1$ 데이터 링크 라인을 제 p 데이터 라인에 접속하도록 설계한다. 그 결과, 본 발명의 실시 예는 소스 드라이브 IC가 인접한 데이터 링크 라인들에 서로 다른 극성의 데이터 전압을 공급하더라도, 데이터 라인들의 일측에 접속된 화소들 각각이 충전하는 데이터 전압들의 극성이 어느 하나의 극성으로 편향되지 않도록 설계할 수 있다. 따라서, 본 발명의 실시 예는 플리커를 줄일 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 보여주는 블록도.
 도 2는 비표시 영역의 데이터 링크 라인들, 표시 영역의 주사 라인들, 데이터 라인들 및 화소들의 일부를 보여주는 예시 도면.
 도 3은 본 발명의 제1 실시 예에 따른 비표시 영역에서 제 j 내지 제 $j+7$ 데이터 링크 라인들의 접속 구조를 보여주는 예시 도면.
 도 4는 도 3의 I-I'의 단면도.
 도 5는 소스 드라이브 IC로부터 제 j 내지 제 $j+7$ 데이터 라인들에 출력되는 데이터 전압들 각각의 극성과 제 j 내지 제 $j+7$ 데이터 라인들에 접속된 화소들에 공급되는 데이터 전압들 각각의 극성을 보여주는 일 예시도면.
 도 6은 본 발명의 제2 실시 예에 따른 비표시 영역에서 데이터 라인들의 접속 구조를 보여주는 예시 도면.

발명을 실시하기 위한 구체적인 내용

[0010] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0011] 도 1은 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 실시 예에 따른 액정표시장치는 액정표시패널(10), 백라이트 유닛(미도시), 주사 구동부(20), 데이터 구동부 및 타이밍 제어부(40)를 포함한다.

[0012] 액정표시패널(10)은 상부 기판, 하부 기판, 및 그들 사이에 형성된 액정층을 포함한다. 액정표시패널(10)의 하부 기판에는 표시 영역(DA)가 형성된다. 표시 영역(DA)는 데이터 라인들(D1~Dm, m은 2 이상의 양의 정수)과 게이트 라인들(G1~Gn, n은 2 이상의 양의 정수)의 교차 구조에 의해 형성된 영역에 매트릭스 형태로 배열되는 화

소(P)들을 이용하여 화상을 표시한다. 구체적으로, 표시 영역(DA)에는 데이터 라인들(D1~Dm), 게이트 라인들(G1~Gn), 박막 트랜지스터(Thin Film Transistor)들, 박막 트랜지스터에 접속된 화소(P)의 화소 전극 및 스토리지 커패시터(Storage Capacitor) 등이 형성될 수 있다. 화소(P)들 각각은 박막 트랜지스터를 통해 데이터 전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극 사이의 전계에 의해 액정층의 액정을 회동시켜 빛의 투과량을 조정함으로써 화상을 표시할 수 있다. 표시 영역(DA)을 제외한 비표시 영역에는 소스 드라이브 IC(30)와 데이터 라인들(D1~Dm) 사이에 접속된 데이터 링크 라인들(DD1~DDm)이 형성될 수 있다. 표시 영역(DA)과 비표시 영역(DA)의 구체적인 구조에 대하여는 도 3을 결부하여 상세히 설명하기로 한다.

[0013] 액정표시패널의 상부 기판상에는 블랙 매트릭스(black matrix)와 컬러 필터들(color filters)이 형성될 수 있다. 공통 전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 기판상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소 전극과 함께 하부 기판상에 형성된다. 본 발명의 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 액정표시패널의 상부 기판과 하부 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0014] 액정표시패널(10)의 아래에는 액정표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛(미도시)이 배치될 수 있다. 백라이트 유닛(미도시)은 직하형(direct type) 또는 에지형(edge type)으로 구현될 수 있다.

[0015] 주사 구동부(20)는 도 1과 같이 표시 영역(DA)와 동시에 하부 기판상에 직접 형성될 수 있다. 또는, 주사 구동부(20)는 TCP(tape carrier package) 또는 COF(chip on film)과 같은 연성 필름상에 실장되고, TAB(tape automated bonding) 공정에 의해 액정표시패널(10)의 하부 기판에 접합될 수도 있다. 주사 구동부(20)는 표시 영역(DA)의 일측 또는 양측에 형성될 수 있다.

[0016] 주사 구동부(20)는 타이밍 제어부(40)로부터 주사 타이밍 제어신호를 입력받는다. 주사 구동부(20)는 주사 타이밍 제어신호에 따라 주사 라인들(S1~Sm)에 주사신호들을 공급할 수 있다.

[0017] 데이터 구동부는 적어도 하나의 소스 드라이브 집적회로(Integrated Circuit, 이하 'IC'라 칭함, 30)를 포함한다. 소스 드라이브 IC(30)는 도 1과 같이 연성 필름(51)상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 기판과 소스 PCB(Printed Circuit Board, 52)에 접속될 수 있다. 또는, 소스 드라이브 IC(30)는 COG(Chip On Glass) 공정에 의해 액정표시패널(10)의 하부 기판상에 접착될 수도 있다.

[0018] 소스 드라이브 IC(30)는 타이밍 제어부(40)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC(30)는 소스 타이밍 제어신호에 따라 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 데이터 링크 라인들(DD1~DDm)을 통해 데이터 라인들(D1~Dm)에 공급한다.

[0019] 타이밍 제어부(40)는 제어 PCB(54) 상에 실장될 수 있다. 제어 PCB(54)와 소스 PCB(52)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성 케이블(53)을 통해 연결될 수 있다.

[0020] 타이밍 제어부(40)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직동기신호, 수평동기신호, 데이터 인에이블 신호, 및 도트 클럭 등을 포함한다. 타이밍 제어부(40)는 타이밍 신호들에 기초하여 소스 드라이브 IC(30)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 주사 구동부(20)의 동작 타이밍을 제어하기 위한 주사 타이밍 제어신호를 발생한다. 타이밍 제어부(40)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC(30)에 공급하고, 주사 타이밍 제어신호를 주사 구동부(20)에 공급한다.

[0021] 도 2는 비표시 영역의 데이터 링크 라인들, 표시 영역의 주사 라인들, 데이터 라인들 및 화소들의 일부를 보여주는 예시 도면이다. 도 2에서는 화소들(P1~P16)이 형성되어 화상을 표시하는 영역을 표시 영역(DA)으로 정의하고, 화소 어레이(PA) 이외의 영역을 비표시 영역(NDA)으로 정의하기로 한다.

[0022] 표시 영역(DA)에는 데이터 라인들, 주사 라인들, 화소들(P1~P16) 및 트랜지스터(T)들이 형성되고, 비표시 영역(NDA)에는 데이터 라인들과 접속되는 데이터 링크 라인들이 형성될 수 있다. 도 2에서는 설명의 편의를 위해 제k(k는 $1 \leq k \leq n-3$ 을 만족하는 양의 정수) 내지 제k+3 주사 라인들(Sk~Sk+3)과 제j(j는 $1 \leq j \leq n-7$ 을 만족하는 양의 정수) 내지 제j+7 데이터 라인들(Dj~Dj+7)과 그들에 둘러싸인 16 개의 화소들(P1~P16)만을 도시하였다. 또한, 도 2에서는 제j 내지 제j+7 데이터 라인들(Dj~Dj+7)에 접속된 제j 내지 제j+7 데이터 링크 라인들(DDj~DDj+7)만을 도시하였다.

- [0023] 도 2를 참조하면, 제j 내지 제j+7 데이터 링크 라인들(DDj~DDj+7)의 일단은 소스 드라이브 IC(30)에 접속되고, 제j 내지 제j+7 데이터 링크 라인들(DDj~DDj+7)의 타단은 제j 내지 제j+7 데이터 라인들(Dj~Dj+7)에 접속된다. 이때, 인접한 데이터 링크 라인들은 서로 교차되도록 형성될 수 있다. 즉, 제p(p는 양의 정수) 데이터 링크 라인(DDp)은 제p 데이터 라인(Dp)에 접속될 수 있다. 예를 들어, 도 2와 같이 제j 데이터 링크 라인(DDj)은 제j 데이터 라인(Dj)에 접속되고, 제j+1 데이터 링크 라인(DDj+1)은 제j+1 데이터 라인(Dj+1)에 접속되며, 제j+6 데이터 링크 라인(DDj+6)은 제j+6 데이터 라인(Dj+6)에 접속되고, 제j+7 데이터 링크 라인(DDj+7)은 제j+7 데이터 라인(Dj+7)에 접속될 수 있다.
- [0024] 또한, 제p 데이터 링크 라인(DDp)은 제p+1 데이터 라인(Dp+1)에 접속되고, 제p+1 데이터 링크 라인(DDp+1)은 제p 데이터 라인(Dp)에 접속될 수 있다. 예를 들어, 도 2와 같이 제j+2 데이터 링크 라인(DDj+2)은 제j+3 데이터 라인(Dj+3)에 접속되고, 제j+3 데이터 링크 라인(DDj+3)은 제j+2 데이터 라인(Dj+2)에 접속될 수 있다. 또한, 도 2와 같이 제j+4 데이터 링크 라인(DDj+4)은 제j+5 데이터 라인(Dj+5)에 접속되고, 제j+5 데이터 링크 라인(DDj+5)은 제j+4 데이터 라인(Dj+4)에 접속될 수 있다.
- [0025] 화소(P)는 박막 트랜지스터(T)를 통해 어느 한 주사 라인과 어느 한 데이터 라인에 접속된다. 화소(P)들 사이에는 두 개의 데이터 라인들이 배치될 수 있다. 어느 한 화소가 그 화소의 일측에 배치된 데이터 라인에 접속되는 경우, 그 화소에 데이터 라인 방향으로 이웃하는 화소들 각각은 그의 타측에 배치된 데이터 라인에 접속될 수 있다. 즉, 수직 방향(y축 방향)으로 배열된 화소들은 그들의 좌측에 배치된 데이터 라인과 우측에 배치된 데이터 라인에 지그재그로 배치될 수 있다. x축 방향은 주사 라인 방향을 의미하고, y축 방향은 데이터 라인 방향을 의미한다. 예를 들어, 도 2와 같이 제1 화소(P1)는 제j 데이터 라인(Dj)에 접속되고, 제1 화소(P1)에 데이터 라인 방향으로 이웃하는 제5 화소(P5)는 제j+1 데이터 라인(Dj+1)에 접속될 수 있다.
- [0026] 또한, 수평 방향(x축 방향)으로 배열된 화소들은 어느 한 주사 라인에 접속될 수 있다. 예를 들어, 제1 내지 제4 화소들(P1~P4)은 제k 주사 라인(Sk)에 접속되고, 제5 내지 제8 화소들(P5~P8)은 제k+1 주사 라인(Sk+1)에 접속될 수 있다.
- [0027] 도 3은 본 발명의 제1 실시 예에 따른 비표시 영역에서 제j 내지 제j+7 데이터 링크 라인들과 제j 내지 제j+7 데이터 라인들의 접속 구조를 보여주는 예시 도면이다.
- [0028] 도 3을 참조하면, 제j+3 및 제j+5 데이터 링크 라인들(DDj+3, DDj+5) 각각은 제1 및 제2 링크 라인(L1, L2)과 브릿지 전극(BE)을 포함한다. 제1 링크 라인(L1)은 소스 드라이브 IC(30)에 접속되고, 제2 링크 라인(L2)은 제j+2 데이터 라인(DP2)에 접속된다. 제1 및 제2 링크 라인(L1, L2)은 서로 단절되어 있으며, 제1 및 제2 링크 라인(L1, L2)들은 브릿지 전극(BE)을 통해 서로 접속된다. 구체적으로, 제1 링크 라인(L1)은 제1 콘택홀(C1)을 통해 노출되고, 제2 링크 라인(L2)은 제2 콘택홀(C2)을 통해 노출되며, 브릿지 전극은 제1 콘택홀(C1)을 통해 노출된 제1 링크 라인(L1)과 제2 콘택홀(C2)을 통해 노출된 제2 링크 라인(L2)에 접속된다.
- [0029] 도 4는 도 3의 I-I'의 단면도이다. 도 4를 참조하면, 제j+3 데이터 링크 라인(DDj+3)의 제1 및 제2 링크 라인들(L1)은 제1 금속 패턴으로 형성될 수 있고, 제j+2 데이터 라인(Dj+2)은 제2 금속 패턴으로 형성될 수 있으며, 제j+3 데이터 링크 라인(DDj+3)의 브릿지 전극(BE)은 제3 금속 패턴으로 형성될 수 있다. 도 4에서는 제1 금속 패턴은 게이트 금속 패턴이고, 제2 금속 패턴은 소스/드레인 금속 패턴이며, 제3 금속 패턴은 투명 전극 패턴일 수 있다.
- [0030] 제1 금속 패턴은 하부 기관(SUB) 상에 형성되고, 제1 금속 패턴 상에는 게이트 절연막(GI)이 형성될 수 있다. 제2 금속 패턴은 게이트 절연막(GI) 상에 형성되고, 제2 금속 패턴 상에는 보호막(PAS)이 형성될 수 있다. 제3 금속 패턴은 보호막(PAS) 상에 형성될 수 있다. 제1 및 제2 콘택홀들(CNT1, CNT2) 각각은 게이트 절연막(GI)과 보호막(PAS)을 관통하여 제1 금속 패턴을 노출시키는 홀이고, 제3 콘택홀(CNT3)은 게이트 절연막(GI)을 관통하여 제1 금속 패턴을 노출시키는 홀일 수 있다.
- [0031] 제j+2 데이터 링크 라인(DDj+2)은 제j+3 데이터 링크 라인(DDj+3)의 제1 및 제2 링크 라인(L1, L2) 사이의 단절 영역을 가로질러 제j+3 데이터 라인(Dj+3)과 접속된다. 제j+4 데이터 링크 라인(DDj+4)은 제j+5 데이터 링크 라인(DDj+5)의 제1 및 제2 링크 라인(L1, L2) 사이의 단절 영역을 통해 제j+5 데이터 라인(Dj+5)과 접속된다.
- [0032] 제j, 제j+1, 제j+6 및 제j+7 데이터 링크 라인들(DDj, DDj+1, DDj+6, DDj+7) 각각은 제j, 제j+1, 제j+6 및 제j+7 데이터 라인들(Dj, Dj+1, Dj+6, Dj+7) 각각과 제3 콘택홀(CNT3)을 통해 접속된다. 제j+2 데이터 링크 라인

인(DD_{j+2})은 제_{j+3} 데이터 라인(D_{j+3})과 제3 콘택홀(CNT3)을 통해 접속되고, 제_{j+3} 데이터 링크 라인(DD_{j+3})은 제_{j+2} 데이터 라인(D_{j+2})과 제3 콘택홀(CNT)을 통해 접속된다. 또한, 제_{j+4} 데이터 링크 라인(DD_{j+4})은 제_{j+5} 데이터 라인(D_{j+5})과 제3 콘택홀(CNT3)을 통해 접속되고, 제_{j+5} 데이터 링크 라인(DD_{j+5})은 제_{j+4} 데이터 라인(D_{j+4})과 제3 콘택홀(CNT)을 통해 접속된다.

[0033] 도 5는 소스 드라이브 IC로부터 제_j 내지 제_{j+7} 데이터 링크 라인들에 출력되는 데이터 전압들 각각의 극성과 제_j 내지 제_{j+7} 데이터 라인들에 접속된 화소들에 공급되는 데이터 전압들 각각의 극성을 보여주는 일 예시도면이다.

[0034] 도 5를 참조하면, 소스 드라이브 IC(30)는 인접한 데이터 링크 라인들에 서로 다른 극성의 데이터 전압을 공급할 수 있다. 예를 들어, 소스 드라이브 IC(30)는 도 5와 같이 제_j, 제_{j+2}, 제_{j+4} 및 제_{j+6} 데이터 링크 라인들(DD_j, DD_{j+2}, DD_{j+4}, DD_{j+6}) 각각에 정극성 데이터 전압을 공급하고, 제_{j+1}, 제_{j+3}, 제_{j+5} 및 제_{j+7} 데이터 링크 라인들(DD_{j+1}, DD_{j+3}, DD_{j+5}, DD_{j+7}) 각각에 부극성 데이터 전압을 공급할 수 있다.

[0035] 이때, 제_{j+2} 데이터 링크 라인(DD_{j+2})은 제_{j+3} 데이터 라인(D_{j+3})에 접속되고, 제_{j+3} 데이터 링크 라인(DD_{j+3})은 제_{j+2} 데이터 라인(D_{j+2})에 접속되며, 제_{j+4} 데이터 링크 라인(DD_{j+4})은 제_{j+5} 데이터 라인(D_{j+5})에 접속되고, 제_{j+5} 데이터 링크 라인(DD_{j+5})은 제_{j+4} 데이터 라인(D_{j+4})에 접속된다. 이로 인해, 소스 드라이브 IC(30)는 인접한 데이터 링크 라인들에 서로 다른 극성의 데이터 전압을 공급함에도, 표시 영역(DA)의 인접한 데이터 라인들에 서로 다른 극성의 데이터 전압이 공급되지 않을 수 있다. 즉, 소스 드라이브 IC(30)가 도 5와 같이 제_j, 제_{j+2}, 제_{j+4} 및 제_{j+6} 데이터 링크 라인들(DD_j, DD_{j+2}, DD_{j+4}, DD_{j+6}) 각각에 정극성 데이터 전압을 공급하고, 제_{j+1}, 제_{j+3}, 제_{j+5} 및 제_{j+7} 데이터 링크 라인들(DD_{j+1}, DD_{j+3}, DD_{j+5}, DD_{j+7}) 각각에 부극성 데이터 전압을 공급하는 경우, 제_j, 제_{j+3}, 제_{j+5} 및 제_{j+6} 데이터 라인들(D_j, D_{j+3}, D_{j+5}, D_{j+6}) 각각에 정극성 데이터 전압이 공급되고, 제_{j+1}, 제_{j+2}, 제_{j+4} 및 제_{j+7} 데이터 라인들(D_{j+1}, D_{j+2}, D_{j+4}, D_{j+7}) 각각에 부극성 데이터 전압이 공급된다.

[0036] 이로 인해, 도 3과 같이 데이터 라인들의 일측(예를 들어, 좌측)에 접속된 화소들 각각이 충전하는 데이터 전압들의 극성은 어느 하나의 극성으로 편향되지 않으며, 데이터 라인들의 타측(예를 들어, 우측)에 접속된 화소들 각각이 충전하는 데이터 전압들의 극성 또한 어느 하나의 극성으로 편향되지 않는다. 이로 인해, 액정표시패널의 제조시 데이터 라인들의 공정 오차가 발생하더라도, 공통전압 대비 데이터 라인들의 일측에 접속된 화소들 각각에 공급되는 데이터 전압들의 크기와 공통전압 대비 데이터 라인들의 타측에 접속된 화소들 각각에 공급되는 데이터 전압들의 크기는 거의 비슷해진다. 따라서, 본 발명의 실시 예는 종래 발생하던 데이터 라인들의 일측에 접속된 화소들이 표현하는 계조와 데이터 라인들의 타측에 접속된 화소들이 표현하는 계조 간에 차이로 인해 발생하는 플리커(flicker)를 줄일 수 있다. 또한, 본 발명의 실시 예는 도 3과 같이 화소들이 2 도트 인버전 방식으로 구동되도록 설계될 수 있다.

[0037] 도 6은 본 발명의 제2 실시 예에 따른 비표시 영역에서 데이터 라인들의 접속 구조를 보여주는 예시 도면이다. 도 6을 참조하면, 본 발명의 제2 실시 예에 따른 비표시 영역에서 데이터 라인들의 접속 구조는 도 3을 결부하여 설명한 본 발명의 제1 실시 예와 실질적으로 동일하다.

[0038] 다만, 어느 한 브릿지 전극(BE)은 이웃하는 브릿지 전극(BE)과 소정의 거리(d)만큼 이격되어 형성될 수 있다. 소정의 거리(d)는 인접한 브릿지 전극(BE)들 간의 단락(short) 발생 가능성을 차단하기 위한 거리로, 사전 실험을 통해 적절한 값으로 미리 설정될 수 있다.

[0039] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제_p 데이터 링크 라인을 제_{p+1} 데이터 라인에 접속하고, 제_{p+1} 데이터 링크 라인을 제_p 데이터 라인에 접속하도록 설계한다. 그 결과, 본 발명의 실시 예는 소스 드라이브 IC가 인접한 데이터 링크 라인들에 서로 다른 극성의 데이터 전압을 공급하더라도, 데이터 라인들의 일측에 접속된 화소들 각각이 충전하는 데이터 전압들의 극성은 어느 하나의 극성으로 편향되지 않도록 설계할 수 있다. 따라서, 본 발명의 실시 예는 플리커를 줄일 수 있다.

[0040] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

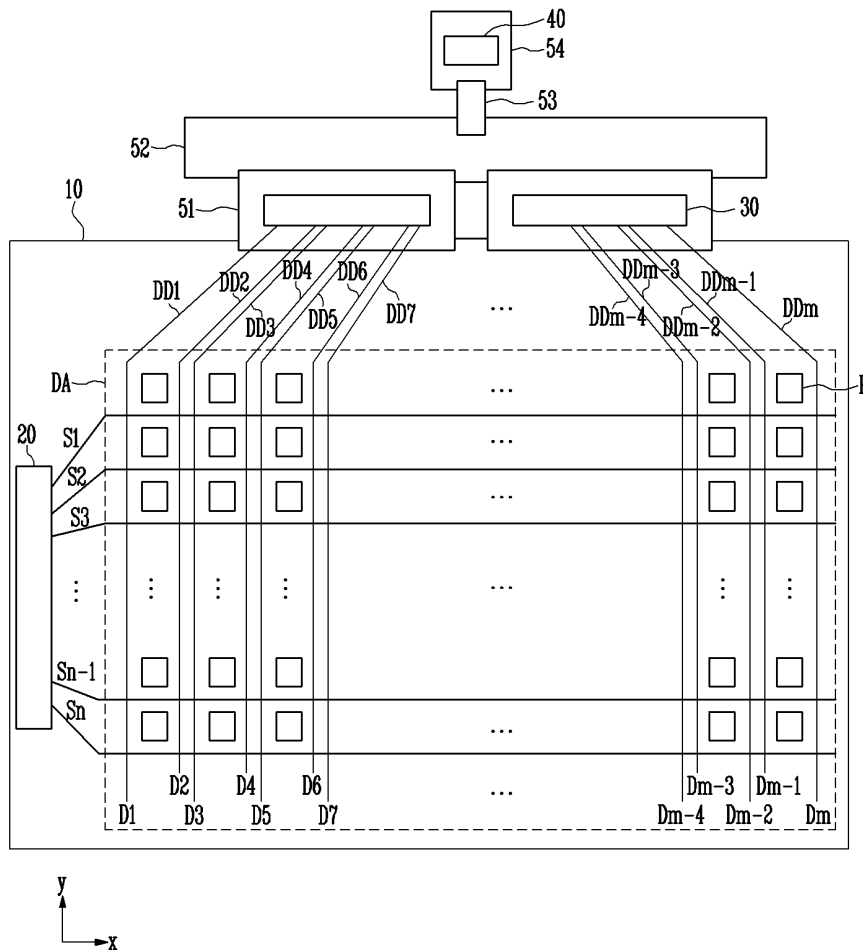
부호의 설명

[0041]

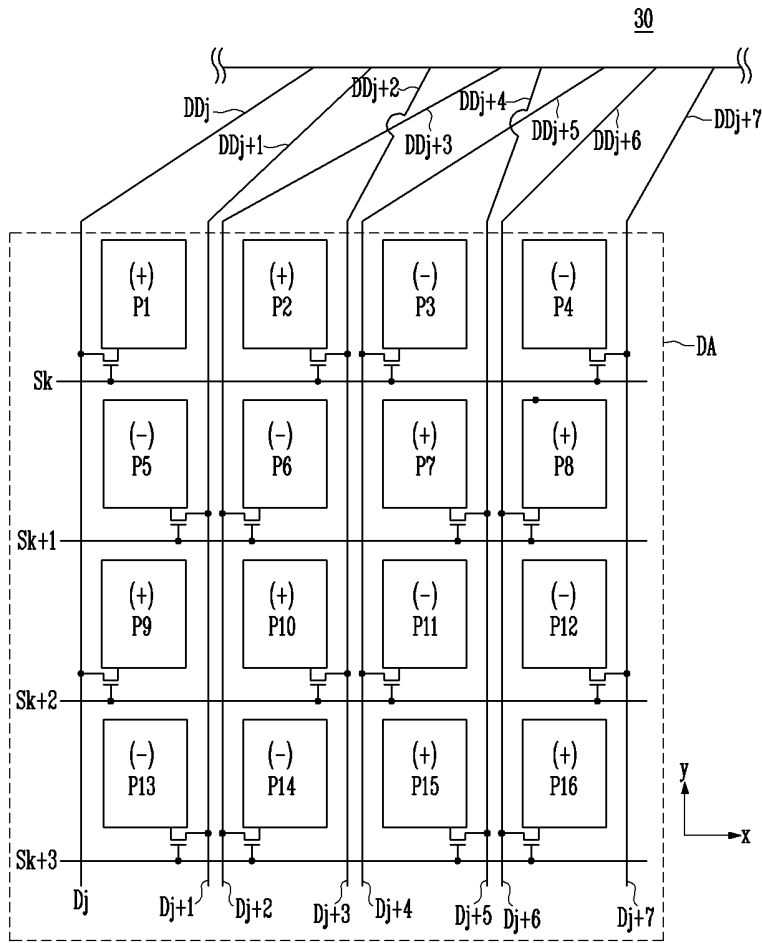
10: 표시패널 20: 주사 구동부
 30: 소스 드라이브 IC 40: 타이밍 제어부

도면

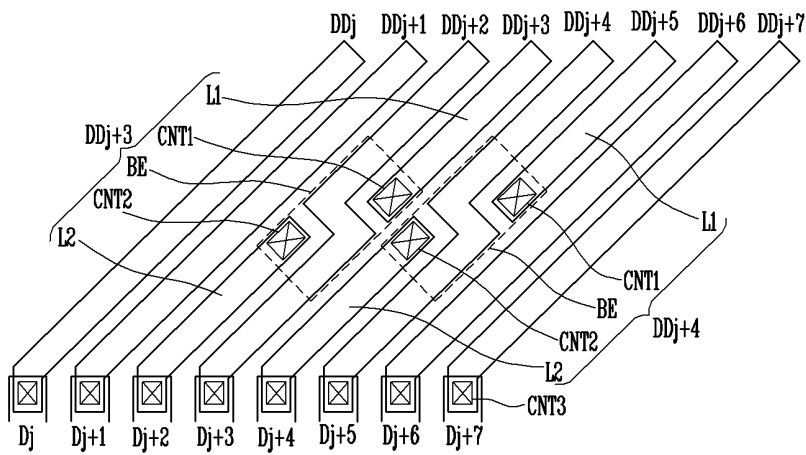
도면1



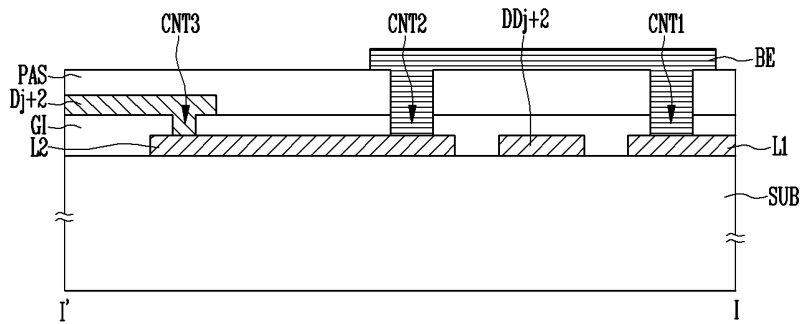
도면2



도면3



도면4



도면5

| | | | |
|-------|---|------|---|
| DDj | + | Dj | + |
| DDj+1 | - | Dj+1 | - |
| DDj+2 | + | Dj+2 | - |
| DDj+3 | - | Dj+3 | + |
| DDj+4 | + | Dj+4 | - |
| DDj+5 | - | Dj+5 | + |
| DDj+6 | + | Dj+6 | + |
| DDj+7 | - | Dj+7 | - |

도면6

