

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4621113号
(P4621113)

(45) 発行日 平成23年1月26日(2011.1.26)

(24) 登録日 平成22年11月5日(2010.11.5)

(51) Int.Cl. F1
G06F 1/26 (2006.01) G06F 1/00 334D

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2005-314137 (P2005-314137)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成17年10月28日(2005.10.28)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2007-122437 (P2007-122437A)	(73) 特許権者	392026693 株式会社エヌ・ティ・ティ・ドコモ
(43) 公開日	平成19年5月17日(2007.5.17)		東京都千代田区永田町二丁目11番1号
審査請求日	平成20年10月23日(2008.10.23)	(74) 代理人	100080001 弁理士 筒井 大和
		(72) 発明者	月森 昭文 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	入田 隆宏 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

個別に電源電圧の供給が制御される複数の電源領域を備え、
前記電源領域には、1つ以上の機能モジュールが配置されており、
複数の前記電源領域には機能的に関連する従属関係がそれぞれ対応付けされた半導体集積回路装置であって、

任意の前記電源領域に電源供給を行う制御信号が出力された際に、前記任意の電源領域に従属する下の階層に属する電源領域から前記任意の電源領域までを順番に電源電圧を供給する制御を行う電源供給制御手段を備えたことを特徴とする半導体集積回路装置。

【請求項2】

請求項1記載の半導体集積回路装置において、
前記電源供給制御手段は、
電源遮断から電源供給状態へ復帰させる割り込み信号を受け付け、受け付けた前記割り込み信号に応じて任意の前記電源領域に電源供給を行う電源スイッチ要求信号を出力する制御部と、

前記電源領域にそれぞれ設けられ、前記制御部から出力された電源スイッチ要求信号に基づいて、前記電源領域における電源電圧の供給を制御する電源スイッチ制御部とよりなることを特徴とする半導体集積回路装置。

【請求項3】

請求項2記載の半導体集積回路装置において、

前記電源スイッチ制御部は、
前記電源領域と基準電位との間に接続されたスイッチと、
前記制御部から出力された電源スイッチ要求信号に基づいて、前記スイッチを動作制御する信号を出力し、前記スイッチがONした際に電源投入完了信号を前記制御部に返信するスイッチ制御部とよりなることを特徴とする半導体集積回路装置。

【請求項4】

請求項3記載の半導体集積回路装置において、
前記制御部は、
前記割り込み信号に対応した任意の前記電源領域のフラグ情報を格納する第1のレジスタと、

10

現在のステータスにおける各々の前記電源領域の電源供給状態を示すフラグ情報を格納する第2のレジスタと、

前記第1のレジスタのフラグ情報から、電源を供給する任意の前記電源領域に從属する前記電源領域に対応するフラグ情報を、前記第2のレジスタのフラグ情報に反映させて出力する補完論理部と、

前記補完論理部から出力されたフラグ情報を格納する第3のレジスタと、

前記第3のレジスタのフラグ情報に基づいて、前記任意の電源領域に從属する下の階層に属する電源領域から前記任意の電源領域までを順番に電源電圧が供給されるように制御を行う電源要求論理部とを備えたことを特徴とする半導体集積回路装置。

20

【請求項5】

請求項1記載の半導体集積回路装置において、
前記電源供給制御手段は、
任意の前記電源領域が電源遮断から復帰した際に、前記電源領域に初期化を行うダミークロック信号を供給する制御を行うことを特徴とする半導体集積回路装置。

【請求項6】

請求項1記載の半導体集積回路装置において、
前記電源供給制御手段は、
任意の前記電源領域が揮発性半導体メモリを有している場合に、前記揮発性半導体メモリの使用状態を判断し、非使用時に前記揮発性半導体メモリをレジュームモードに設定することを特徴とする半導体集積回路装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置の低消費電力化技術に関し、特に、マルチドメイン構成の半導体集積回路装置における消費電力の低減に有効な技術に関する。

【背景技術】

【0002】

近年、移動体通信の1つとして、携帯電話が広く普及しており、その機能に対しても多様性が求められている。たとえば、携帯電話に用いられる半導体集積回路装置では、低消費電力化の要求が非常に強くなっている。

40

【0003】

この種の半導体集積回路装置における低消費電力化技術としては、たとえば、コア電源領域を分割し、その分割された領域毎に電源のON/OFFを制御するものが知られている。

【0004】

本発明者が検討したところによれば、電源のON/OFF制御には、R - s t a n d b yモードとU - s t a n d b yモードの2つのモードをサポートしているものがある。

【0005】

R - s t a n d b yモードとは、内蔵RAM (R a n d o m A c c e s s M e m o r y)、および電源供給復帰後一部のレジスタの内容を電源遮断前の状態に復帰させるパ

50

ックアップモジュール以外のすべての領域（機能モジュール）の電源をOFFし、外部からの割り込みによって速やかな状態復帰が可能な動作モードである。

【0006】

このR - s t a n d b yモード時において、内蔵RAMは、R e s u m eモード（内容保持可能、アクセス負荷の低リーク電流状態）となる制御がなされている。

【0007】

また、U - s t a n d b yモードは、I / O（I n p u t / O u t p u t）、電源制御回路を除くすべての領域の電源をOFFし、電源復帰後は、パワーオンリセット状態として振る舞う動作モードである。

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところが、上記のような低消費電力化技術では、次のような問題点があることが本発明者により見い出された。

【0009】

携帯電話に用いられる半導体集積回路装置では、たとえば、3つのCPUを備え、それぞれ別の半導体集積回路装置で構成されたマルチドメイン構成を有したデータ処理システムがある。この場合、たとえば、任意のドメインのみがON状態（たとえば、データ処理を実行する状態）となり、残りのドメインがOFF状態（たとえば、データ処理を実行していない状態）となるといった使用状態になることが考えられる。

【0010】

この場合、OFF状態となっているドメインの電源供給を遮断することにより低消費電力化を図ることが考えられるが、しかしながら、上記したR - s t a n d b yモード、およびU - s t a n d b yモードでは、マルチドメイン構成の半導体集積回路装置の使用状態に合わせた複数の電源状態の制御が困難であり、効率的な低消費電力化ができないという問題がある。

【0011】

本発明の目的は、マルチドメイン構成の半導体集積回路装置における効率的な電源制御を行い、低消費電力化を実現することのできる技術を提供することにある。

【0012】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】

本発明は、個別に電源電圧の供給制御される複数の電源領域を備え、複数の電源領域には機能的に関連する従属関係がそれぞれ対応付けされた半導体集積回路装置であって、任意の電源領域に電源供給を行う制御信号が出力された際に、該任意の電源領域に従属する下の階層に属する電源領域から任意の電源領域までを順番に電源電圧を供給する制御を行う電源供給制御手段を備えたものである。

【0015】

また、本願のその他の発明の概要を簡単に示す。

【0016】

本発明は、前記電源供給制御手段が、電源遮断から復帰させる割り込み信号を受け付け、受け付けた割り込み信号に応じて任意の電源領域に電源供給を行う電源スイッチ要求信号を出力する制御部と、電源領域にそれぞれ設けられ、制御部から出力された電源スイッチ要求信号に基づいて、電源領域における電源電圧の供給を制御する電源スイッチ制御部とよりなるものである。

10

20

30

40

50

【0017】

また、本発明は、前記電源スイッチ制御部が、電源領域と基準電位との間に接続されたスイッチと、制御部から出力された電源スイッチ要求信号に基づいて、スイッチを動作制御する信号を出力し、スイッチがONした際に電源投入完了信号を制御部に返信するスイッチ制御部とよりなるものである。

【0018】

さらに、本発明は、前記制御部が、割り込み信号に対応した任意の電源領域のフラグ情報を格納する第1のレジスタと、現在のステータスにおける各々の電源領域の電源供給状態を示すフラグ情報を格納する第2のレジスタと、第1のレジスタのフラグ情報から、電源を供給する任意の電源領域に従属する電源領域に対応するフラグ情報を、該第2のレジスタのフラグ情報に反映させて出力する補完論理部と、補完論理部から出力されたフラグ情報を格納する第3のレジスタと、該第3のレジスタのフラグ情報に基づいて、任意の電源領域に従属する下の階層に属する電源領域から任意の電源領域までを順番に電源電圧が供給されるように制御を行う電源要求論理部とを備えたものである。

10

【0019】

また、本発明は、前記電源供給制御手段が、任意の電源領域が電源遮断から復帰した際に、電源領域に初期化を行うダミークロック信号を供給する制御を行うものである。

【0020】

さらに、本発明は、前記電源供給制御手段が、任意の電源領域が揮発性半導体メモリを有している場合に、該揮発性半導体メモリの使用状態を判断し、非使用時に揮発性半導体メモリをレジュームモードに設定するものである。

20

【発明の効果】

【0021】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0022】

(1) 半導体集積回路装置における消費電力の最適化を図ることが可能となる。

【0023】

(2) また、電源領域に電源電圧を供給する際の電源電圧の降下を防止することが可能となり、半導体集積回路装置の信頼性を向上させることができる。

30

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0025】

図1は、本発明の一実施の形態による半導体集積回路装置における電源供給領域を示す説明図、図2は、図1の半導体集積回路装置におけるコア電源領域の階層関係を示した説明図、図3は、図1の半導体集積回路装置に設けられた電源供給制御部の構成を示す説明図、図4は、図1の半導体集積回路装置に設けられた補完論理部に入力されるウェイクアップ信号を生成するWUCの説明図、図5は、図1の半導体集積回路装置に設けられた電源供給制御部、およびその周辺のコア電源領域の構成例を示した説明図、図6は、図5の電源供給制御部によるウェイクアップ処理のシーケンスを示すタイミングチャート、図7は、図6の電源供給制御部によるウェイクアップのシーケンスを示すフローチャート、図8は、図5の電源供給制御部による電源遮断処理例を示すフローチャート、図9は、図5の電源供給制御部による電源遮断の説明図、図10は、図1の半導体集積回路装置におけるチップレイアウトイメージの一例を示した説明図である。

40

【0026】

本実施の形態において、半導体集積回路装置1は、たとえば、携帯電話などの電子システムに用いられ、マルチドメイン構成からなる。図1は、半導体集積回路装置1における

50

電源供給領域の構成を示す説明図である。

【 0 0 2 7 】

図示するように、半導体集積回路装置 1 は、機能毎にコア電源領域が、たとえば 2 0 の領域に分割されており、一部のコア電源領域に対する電源供給 OFF (遮断) したまま、その他のコア電源領域に対する電源供給を行い、コア電源領域における通常の動作を可能とする。

【 0 0 2 8 】

半導体集積回路装置 1 は、音声や動画などのアプリケーションを処理するアプリケーション部、移動通信における通信機能を担うベースバンド部、およびアプリケーション部とベースバンド部との共通の機能に使用される共通部、ならびにこれらアプリケーション部、ベースバンド部、共通部のコア電源領域の電源供給制御を行う電源供給制御部 2 からなる。

10

【 0 0 2 9 】

アプリケーション部は、コア電源領域 (電源領域) A 1 A , A 1 R , A 2 , A 3 , A 4 , A C , A 4 U 1 , A 4 U 2 にそれぞれ分割されている。ベースバンド部は、WCDMA (Wideband Code Division Multiple Access) の通信方式に対応するブロック、GSM (Global System for Mobile Communication) の通信方式に対応するブロック、ならびにベースバンドにおける共通の処理を行うブロックを備えている。

20

【 0 0 3 0 】

このベースバンド部は、コア電源領域 (電源領域) B W 1 , B W 2 , B W 3 , B C , B G 1 , B G 2 , B G 3 , B A 2 , B A 3 , B A 4 , B C にそれぞれ分割されており、共通部は、コア電源領域 C 4 , C 5 にそれぞれ分割されている。コア電源領域 B A 3 には、ベースバンド処理用の CPU が配置される。

【 0 0 3 1 】

コア電源領域 A 1 A は、アプリケーションの主制御を司るシステム用の CPU からなり、コア電源領域 A 1 R は、必要なアプリケーションを動作させるリアルタイム用の CPU からなる。

【 0 0 3 2 】

コア電源領域 A 2 は、B S C (Bus State Controller)、S B S C (SDRAM Bus State Controller)、D M A C (Direct Memory Access)、およびシリアルインタフェースからなる。

30

【 0 0 3 3 】

B S C は、外部アドレス空間に接続されたメモリや外部デバイスなどのアクセスを制御する。S B S C は、外部アドレス空間に接続された外部メモリへのアクセスを制御する。D M A C は、外部メモリ、周辺モジュール、ならびに内蔵メモリなどの間のデータ転送を行う。シリアルインタフェースは、シリアル通信のインタフェースである。

【 0 0 3 4 】

コア電源領域 A 3 は、M V I (Mobile Video Interface) からなり、コア電源領域 A 4 は、M F I (Multi Functional Interface) からなる。

40

【 0 0 3 5 】

M V I は、L C D C からのデータを受け取り、M V I 規格に準拠したパケットを生成し、データを出力する。M F I は、ベースバンド部とアプリケーション部との相互アクセスをサポートする。

【 0 0 3 6 】

コア電源領域 A C は、C P G (Clock Pulse Generator) からなり、コア電源領域 A 4 U 1 は、L C D C (Liquid Crystal Display Controller) からなる。コア電源領域 A 4 U 2 は、U R A M (User RAM) からなる。

50

【 0 0 3 7 】

C P G は、任意のクロックパルスを生成する。L C D C は、液晶ディスプレイにおける表示制御を司る。U R A M は、S R A M など構成され、ユーザメモリとして用いられる。

【 0 0 3 8 】

コア電源領域 B W 1 は、R O M (R e a d O n l y M e m o r y) からなり、コア電源領域 B W 2 は、D S P (D i g i t a l S i g n a l P r o c e s s o r) からなる。

【 0 0 3 9 】

コア電源領域 B W 3 は、R A M (R a n d o m A c c e s s M e m o r y) からなり、コア電源領域 B C は、C P G からなる。コア電源領域 B G 1 は R O M からなり、コア電源領域 B G 2 は、D S P からなる。

10

【 0 0 4 0 】

コア電源領域 B G 3 は、R A M からなり、コア電源領域 B A 2 は、E T M (デバツガ) からなる。コア電源領域 B A 3 は、ベースバンド用の C P U からなり、コア電源領域 B A 4 は、D M A シリアルインタフェースからなる。

【 0 0 4 1 】

コア電源領域 C 4 は、リピータからなり、コア電源領域 C 5 は、システムコントローラ S Y S C (S y s t e m C o n t r o l l e r)、および W U C (W a k e U p C o n t r o l l e r) からなる。

20

【 0 0 4 2 】

R O M は、アプリケーションプログラムなどが格納される。D S P は、ベースバンド処理専用の信号処理プロセッサである。リピータは、配線長が長くなる配線の中継点である。S Y S C は、コア電源領域における電源供給の制御を司る。W U C は、電源が O F F されているコア電源領域をウェイクアップさせるための外部端子や割り込み信号を検出する。

【 0 0 4 3 】

そして、これらコア電源領域 A 1 A , A 1 R , A 2 , A 3 , A 4 , A C , A 4 U 1 , A 4 U 2 は、電源供給制御部 2 によって電源供給の制御が行われる。

【 0 0 4 4 】

図 2 は、コア電源領域 A 1 A , A 1 R , A 2 , A 3 , A 4 , A C , A 4 U 1 , A 4 U 2 におけるそれぞれの階層関係を示した説明図である。

30

【 0 0 4 5 】

図 2 の左側は、アプリケーション部のコア電源領域 A 1 A , A 1 R , A 2 , A 3 , A 4 , A C , A 4 U 1 , A 4 U 2 の階層関係を示しており、図 2 の右側は、ベースバンド部におけるコア電源領域 B W 1 , B W 2 , B W 3 , B G 1 , B G 2 , B G 3 , B A 2 , B A 3 , B C , B A 4 の階層関係を示しており、それらの下方には、共通部のコア電源領域 C 4 , C 5 の階層関係を示している。

【 0 0 4 6 】

図 2 の左側において、アプリケーション部の最も階層の高い位置に、アプリケーションの主制御を司るシステム用の C P U が配置されるコア電源領域 A 1 A 、必要なアプリケーションを動作させるリアルタイム用の C P U が配置されるコア電源領域 A 1 R がそれぞれ位置している。そして、コア電源領域 A 1 A , A 1 R の下の階層には、コア電源領域 A 2 が位置しており、該コア電源領域 A 2 の下の階層には、コア電源領域 A 3 が位置し、該コア電源領域 A 3 の下の階層には、コア電源領域 A C が位置している。

40

【 0 0 4 7 】

コア電源領域 A C の下の階層には、コア電源領域 A 4 が位置している。また、コア電源領域 A 4 , A 4 U 1 , A 4 U 2 の下の階層には、共通部のコア電源領域 C 4 位置しており、該コア電源領域 C 4 の下の階層、すなわち最も下の階層には、コア電源領域 C 5 が位置している。

50

【 0 0 4 8 】

図2の右側において、ベースバンド部の最も階層の高い位置に、コア電源領域BW1, BG1がそれぞれ位置している。そして、コア電源領域BW1の下の階層には、コア電源領域BW2が位置しており、コア電源領域BG1の下の階層には、コア電源領域BG2が位置している。

【 0 0 4 9 】

また、コア電源領域BA2の下の階層には、ベースバンド用のCPUが配置されるコア電源領域BA3が位置している。コア電源領域BW2, BG2の下の階層には、コア電源領域BW3, BG3がそれぞれ位置している。

【 0 0 5 0 】

そして、コア電源領域BA3、ならびにコア電源領域BW3, BG3の下の階層には、コア電源領域BCが位置しており、該コア電源領域BCの下の階層には、コア電源領域BA4が位置している。このコア電源領域BA4の下の階層には、共通部のコア電源領域C4が位置している。

10

【 0 0 5 1 】

図2における上下関係は、各コア電源領域の従属関係を示すものであり、上の階層のコア電源領域がONする際には、矢印で示された下の階層のコア電源領域にも電源供給が必要となる。各コア電源領域間に配置される機能モジュールは、データ信号、制御信号等によってそれぞれ接続されており、データ演算処理、データ転送処理等に際し、それぞれ上位と下位の機能モジュール間でアクセスを行う必要が高いため、上の階層のコア電源領域がONする際には、それに関連する下の階層のコア電源領域にも電源供給が必要となるためである。

20

【 0 0 5 2 】

たとえば、アプリケーション部の最も高い階層のコア電源領域A1AがONする際には、以下矢印で示された、コア電源領域A2, A3, AC, A4, C4, C5もそれぞれON(電源供給)する必要があることを示している。

【 0 0 5 3 】

図3は、電源供給制御部(電源供給制御手段)2の構成を示す説明図である。

【 0 0 5 4 】

電源供給制御部2は、図示するように、電源用スイッチ(電源スイッチ制御部、スイッチ)3、スイッチ制御部(電源スイッチ制御部)4、およびコア電源領域に設けられたシステムコントローラ(制御部)5から構成されている。

30

【 0 0 5 5 】

電源用スイッチ3は、コア電源領域にそれぞれ設けられており、それらコア電源領域と基準電位VSSとの間に接続されている。そして、スイッチ制御部4の制御信号に基づいて、任意のコア電源領域と基準電位VSSとを接続/非接続とすることによって電源供給のON/OFFを行う。

【 0 0 5 6 】

スイッチ制御部4は、システムコントローラ5に接続されている。スイッチ制御部4は、各々の電源用スイッチ3にそれぞれ接続されており、システムコントローラ5からの電源スイッチ投入要求信号pctmsc(power-on request)を受けて、電源用スイッチ3のON/OFFを制御すると共に、該電源用スイッチ3がONした際に電源投入完了信号pswack(power-on acknowledge)をシステムコントローラ5に返信する。

40

【 0 0 5 7 】

システムコントローラ5は、ウェイクアップコントロールレジスタ(第1のレジスタ)6、カレントステータスレジスタ(第2のレジスタ)7、補完論理部8、ネクストステータスレジスタ(第3のレジスタ)9、ならびに電源要求論理部10から構成されている。

【 0 0 5 8 】

ウェイクアップコントロールレジスタ6は、任意のコア電源領域から出力される電源供

50

給開始を要求する割り込み信号（ウェイクアップ信号）に応じて、電源遮断解除（電源供給開始）を行うコア電源領域を示すビットをたてる。カレントステータスレジスタ7は、現在の電源遮断解除の状態を格納する。

【0059】

補完論理部8は、ウェイクアップコントロールレジスタ6、またはWUC（図4）から出力されるウェイクアップ信号（割り込み信号）Wake up__R, Wake up__S, Wake up__A, Wake up__W, Wake up__Gのいずれかとカレントステータスレジスタ7とのフラグから次のステータスの状態を補完し、出力する。

【0060】

この制御によって、ウェイクアップ信号の入力に従い、任意のコア電源領域の電源遮断解除を行うとともに、図2に示される従属関係のあるコア電源領域に対する電源遮断解除の制御を行うことが可能となる。

10

【0061】

ネクストステータスレジスタ9は、補完論理部8から出力された信号を格納する。電源要求論理部10は、ネクストステータスレジスタ9に格納された信号に基づいて、スイッチ制御部4の制御を行う。

【0062】

図4は、補完論理部8に入力されるウェイクアップ信号Wake up__R, Wake up__S, Wake up__A, Wake up__W, Wake up__Gを出力するWUC11の説明図である。

20

【0063】

図4では、コア電源領域C5, BG3, BW3, A2, A4, BA4, A1Rをそれぞれ記載している。

【0064】

図示するように、ウェイクアップ信号Wake up__R, Wake up__S, Wake up__A, Wake up__W, Wake up__Gは、コア電源領域C5に設けられたWUC11から出力される。

【0065】

WUC11は、検出回路12、マスクロジック13、および複数の論理和回路14から構成される。検出回路12は、割り込み端子から入力されるウェイクアップ起因する割り込み信号を検出する。

30

【0066】

マスクロジック13は、検出回路12に検出された割り込み信号、または他のコア電源領域（たとえば、GSM通信方式に対応するコア電源領域BG3からの各種割り込み信号、あるいはWCDMA通信方式に対応するコア電源領域BW3からの各種割り込み信号など）から出力される割り込み信号に基づいて、論理和回路14に制御信号を出力する。

【0067】

論理和回路14は、マスクロジック13から出力された制御信号の論理和を演算し、ウェイクアップ信号Wake up__R, Wake up__S, Wake up__A, Wake up__W, Wake up__Gとしてシステムコントローラ5に出力する。

40

【0068】

図5は、電源供給制御部2、およびその周辺部（コア電源領域A1R, A1A, A2, A4, C5）の構成例を示した説明図である。

【0069】

コア電源領域A1R, A1A, A2, A4, C5には、電源電圧VDD（たとえば、1.2V程度）がそれぞれ供給されており、スイッチ制御部4には、電源電圧VCC（たとえば、3.3V程度）が供給されている。

【0070】

電源用スイッチ3は、コア電源領域A1A, A1R, A2, A3, A4, AC, A4U1, A4U2にそれぞれ設けられており、スイッチ制御部4の制御信号に基づいて、任意

50

のコア電源領域と基準電位VSSとを接続/非接続とすることによって電源供給のON/OFFを行う。

【0071】

スイッチ制御部4は、たとえば、レベルシフタLSを介してシステムコントローラ5に接続されている。スイッチ制御部4は、各々の電源用スイッチ3に設けられており、システムコントローラ5からの電源スイッチ投入要求信号pctmscを受けて、電源用スイッチ3のON/OFFを制御すると共に、該電源用スイッチ3がONした際に電源投入完了信号pswackをシステムコントローラ5に返信する。

【0072】

各々のコア電源領域は、基準電位VSSと電源電圧VDDとが供給される電源線に接続されてなり、たとえば、上記電源用スイッチ3を介して基準電位VSSが供給される電源線に接続されている。システムコントローラ5およびスイッチ制御部4は、動作停止状態となる機能モジュールが配置されるコア電源領域に対する電源用スイッチ3をOFF状態に制御することにより、電源供給を遮断することが可能となり、低消費電力化を図ることが可能となる。

10

【0073】

各々のコア電源領域において、上の階層のコア電源領域から出力される論理信号が入力される入力部にラッチRが設けられている。このラッチRによって上の階層のコア電源領域がOFFとなった際に論理信号をラッチすると共に不要な信号を遮断する。

【0074】

20

また、コア電源領域には、バックアップラッチBR（たとえば、コア電源領域A2, A4）を備えたものもある。このバックアップラッチRBは、OFFとなった上の階層のコア電源領域から出力される論理信号をラッチし、該コア電源領域にその信号を返信し、コア電源領域がONとなった際、ONしたコア電源領域がバックアップラッチRBの論理信号を読み出し、元の状態に遷移する。

【0075】

次に、本実施の形態における電源供給制御部2の作用について説明する。

【0076】

図6の電源供給制御部2によるウェイクアップ（電源遮断解除）のシーケンスを示すタイミングチャート、および図7の電源供給制御部2によるウェイクアップ処理のフローチャートを用いて説明する。

30

【0077】

図6においては、上方から下方にかけて、電源電圧VCCQ, VCC, VDD、リセットクロックCLK、割り込み端子から入力されるウェイクアップに起因する割り込み信号Wake up、補完論理部8に入力されるノイズ除去後のウェイクアップ信号Wake up、システムコントローラ5から出力される電源スイッチ投入要求信号pctmsc、スイッチ制御部4から出力される電源投入完了信号pswack、スイッチ制御部4から電源用スイッチ3に出力される電源スイッチ信号、システムコントローラ5から出力されるラッチRをOFFするラッチ遮断信号、システムコントローラ5からCPGに出力される内部リセット信号、CPGからコア電源領域に出力される内部リセット信号、システムコントローラ5からCPGに出力されるウェイクアップリクエスト信号、CPGから出力されるウェイクアップ完了信号、CPGから出力されるDLLクロック完了信号、CPGから出力されるPLLロック完了信号、およびCPGからシステムコントローラ5へ出力される外部発振器安定信号の各信号タイミングをそれぞれ示している。

40

【0078】

まず、ウェイクアップに起因する割り込み信号Wake upが入力されると（図6(a)）、システムコントローラ5は、該当するスイッチ制御部4にウェイクアップの指示（図6(b)）を行う（ステップS102）。

【0079】

このステップS102の処理では、システムコントローラ5からスイッチ制御部4に対

50

して電源スイッチ投入要求信号 $p c t m s c$ が出力される。このとき、システムコントローラ 5 は、電源供給を行うコア電源領域に従属する下の階層に属するコア電源領域から順番に電源が供給されるように制御を行う。

【0080】

たとえば、図 2 のコア電源領域 A 2 に電源供給を行う場合には、該コア電源領域 A 2 に従属する階層のうち常時電源 ON の C 5 を除いた最も下の階層であるコア電源領域 C 4 の電源供給を最初に行うように制御する。よって、システムコントローラ 5 は、コア電源領域 C 4 に接続されているスイッチ制御部 4 に対して電源スイッチ投入要求信号 $p c t m s c$ を出力する。

【0081】

これを受けて、スイッチ制御部 4 は、コア電源領域 C 4 に接続されている電源用スイッチ 3 を ON し、該電源用スイッチ 3 が ON した際に電源投入完了信号 $p s w a c k$ をシステムコントローラ 5 に返信する。

【0082】

この電源投入完了信号 $p s w a c k$ を受けて、システムコントローラ 5 は、コア電源領域 C 4 の上の階層のコア電源領域 A 4 の電源供給を行う。この場合も、同様に、システムコントローラ 5 は、コア電源領域 A 4 に接続されているスイッチ制御部 4 に対して電源スイッチ投入要求信号 $p c t m s c$ を出力し、これを受けて、スイッチ制御部 4 が、コア電源領域 A 4 に接続されている電源用スイッチ 3 を ON し、該電源用スイッチ 3 が ON した際に電源投入完了信号 $p s w a c k$ をシステムコントローラ 5 に返信する。

【0083】

以下、同様に、図 2 におけるコア電源領域 A C , A 3 , A 2 に対して順番に電源供給の制御を行う。

【0084】

そして、最後に電源供給されるコア電源領域 A 2 に接続されている電源用スイッチ 3 が ON し、スイッチ制御部 4 から電源投入完了信号 $p s w a c k$ がシステムコントローラ 5 に返信 (図 6 (c)) されると (ステップ S 1 0 3)、CPG によるパワーアップ前処理 (PLL 動作やクロック供給など) が行われる (ステップ S 1 0 4)。

【0085】

このパワーアップ前処理ではシステムコントローラ 5 から CPG に対してウェイクアップリクエスト信号が出力 (図 6 (d)) される。このウェイクアップリクエスト信号を受けると、CPG は、該当するコア電源領域への源振クロックの供給を開始する。

【0086】

上記源振クロックとは、CPG の発振安定化前であれば外部から供給される外部クロックを源振クロックとして供給しても良いし、CPG の発振安定化前のクロックであってもよい。つまり、通常動作時に動作クロックとして PU 等他の機能モジュールに供給されるクロックである必要はなく、該当するコア電源領域に対し、一定期間動作を保証するために必要とされるクロックであれば何れの周波数のクロックを源振クロックとして供給するものであってもよい。

【0087】

そして、CPG のパワーアップ前処理が終了すると、該 CPG は、ウェイクアップ完了信号をシステムコントローラ 5 に対して通知 (図 6 (e)) する (ステップ S 1 0 5)。そして、CPG によりシステムクロックの供給が開始され、ウェイクアップ処理が終了となる (ステップ S 1 0 6)。

【0088】

このとき、源振クロックを供給されているコア電源領域は、上記源振クロックにかわって CPG からシステムクロックを供給されるように構成されてもよいし、上記パワーアップ間処理中に必要な動作処理を終了させて、クロック供給停止状態 (動作停止状態) に遷移されるように構成されてもよい。

【0089】

10

20

30

40

50

また、ステップ S 1 0 1 は、割り込み信号によるウェイクアップ処理の場合であるが、レジスタ制御によるウェイクアップ処理では、まず、システムコントローラ 5 に設けられた電源制御セマフォレジスタの読み出しが行われ（ステップ S 1 0 7）、続いて、システムコントローラ 5 に設けられたウェイクアップレジスタの書き込みが行われる（ステップ S 1 0 8）。

【 0 0 9 0 】

以下は、ステップ S 1 0 2 ~ S 1 0 5 と同様となる。電源制御セマフォレジスタは、システムコントローラ 5 に設けられており、各ドメインからの電源 ON / OFF の制御を調停するレジスタである。

【 0 0 9 1 】

次に、電源供給制御部 2 による電源遮断処理について、図 8 のフローチャート、および図 9 のコア電源領域における電源遮断のシーケンスの説明図を用いて説明する。

【 0 0 9 2 】

図 9 では、コア電源領域 C 5 のシステムコントローラ 5、およびコア電源領域の一部（コア電源領域 A C, A 2, A 4, B A 2, B A 4, B C）をそれぞれ記載している。

【 0 0 9 3 】

まず、電源制御セマフォレジスタの読み出しを行う（ステップ S 2 0 1）。続いて、システムコントローラ 5 に設けられたパワーダウンレジスタの書き込みを行い（ステップ S 2 0 2）、システムコントローラ 5 からのパワーダウン処理が開始となる。

【 0 0 9 4 】

このシステムコントローラ 5 からのパワーダウン前処理制御を受けて、C P G によるパワーダウン前処理（バス停止、クロック停止、P L L 停止、該当コア電源領域リセットのアサートなど）が行われる。

【 0 0 9 5 】

C P G によるパワーダウン前処理完了したことが通知されると（ステップ S 2 0 3）、システムコントローラ 5 から電源遮断の指示が出力される（ステップ S 2 0 4）。そして、該当するすべてのコア電源領域の電源が遮断される。

【 0 0 9 6 】

この場合、システムコントローラ 5 は、電源遮断するコア電源領域を含めた従属するすべてのコア電源領域に接続されたスイッチ制御部 4 に対して電源用スイッチ 3 を OFF する信号を一斉に出力する。

【 0 0 9 7 】

該当するスイッチ制御部 4 は、電源用スイッチ 3 を OFF すると共に、該電源用スイッチ 3 が OFF したことを示す完了信号をシステムコントローラ 5 に返信する（ステップ S 2 0 5）。これにより、電源遮断処理が終了となる（ステップ S 2 0 6）。

【 0 0 9 8 】

図 1 0 は、半導体集積回路装置 1 におけるチップレイアウトイメージの一例を示した説明図である。

【 0 0 9 9 】

図 1 0 において、左上方には、スイッチ制御部 4 が位置しており、該スイッチ制御部 4 の下方には、コア電源領域 A C が設けられている。コア電源領域 A C の下方には、コア電源領域 B C がレイアウトされている。

【 0 1 0 0 】

スイッチ制御部 4 の右側には、コア電源領域 C 5 がレイアウトされており、該コア電源領域 C 5 の右側、および下方には、コア電源領域 A 2 がそれぞれ位置している。コア電源領域 C 5 の右側のコア電源領域 A 2 の右側には、コア電源領域 B W 1, B W 2 がそれぞれレイアウトされている。

【 0 1 0 1 】

コア電源領域 C 5 の下方のコア電源領域 A 2 の下方には、コア電源領域 A 1 A が位置しており、該コア電源領域 A 1 A の下方には、コア電源領域 A 1 R がレイアウトされている

10

20

30

40

50

。

【0102】

コア電源領域 A 2 , B W 1 , B W 2 の下方には、左側から右側にかけてコア電源領域 B W 3 , B W 2 , B W 3 がそれぞれレイアウトされている。左側のコア電源領域 B W 3 の下方には、コア電源領域 B A 2 が位置しており、該コア電源領域 B A 2 の右側には、コア電源領域 B A 3 が設けられている。

【0103】

コア電源領域 B A 2 , B A 3 の下方、およびコア電源領域 B A 3 の右側には、コア電源領域 B A 4 がそれぞれレイアウトされている。コア電源領域 B A 4 の左側には、上方から下方にかけて、コア電源領域 A 2 , A 4 がそれぞれ設けられている。

10

【0104】

コア電源領域 A 4 , B A 4 の下方には、コア電源領域 A 3 が設けられており、該コア電源領域 A 3 の下方には、左側から右側にかけて、コア電源領域 A 4 U 1 , A 4 U 2 がそれぞれレイアウトされている。

【0105】

コア電源領域 A 4 U 2 の右側には、コア電源領域 B G 2 , B G 1 がそれぞれ設けられており、該コア電源領域 B G 2 の下方には、コア電源領域 B G 3 がレイアウトされている。また、左側のコア電源領域 C 5 , A 2 , A 1 A , A 1 R、およびコア電源領域 A 2 , B W 2 , B A 3 , B A 4 , A 3 を上方から下方にかけて分断するように、コア電源領域 C 4 がレイアウトされている。

20

【0106】

そして、これらレイアウトされた各々のコア電源領域の左右両側には、電源用スイッチ 3 がレイアウト（ハッチングで示す領域）されている。また、コア電源領域 C 5 のシステムコントローラ 5 から出力される信号経路が長くなる場合（たとえば、システムコントローラ 5 からコア電源領域 B G 3）には、信号配線がコア電源領域 C 4 を経由するようにレイアウトされている。

【0107】

レイアウトされたこれらコア電源領域の上方、および右側には、電源配線（V D D , V S S）がそれぞれ形成されている。

【0108】

それにより、本実施の形態によれば、半導体集積回路装置 1 の消費電力の最適化を行うことができる。

30

【0109】

また、コア電源領域のウェイクアップ（電源供給）処理において、従属したコア電源領域を階層的に電源投入するので、電源投入時の突入電流を低く抑えることが可能となり、半導体集積回路装置 1 におけるウェイクアップ処理時の電圧降下を防止することができる。

。

【0110】

また、これらレイアウトは本構成に限定されるものではなく、アクセス頻度が高い機能モジュールを配置するコア電源領域毎に隣接して配置されるものであってもよい。異なるコア電源領域に配置され、隣接した構成とすることで、機能モジュール間の信号配線長を短縮することが可能となり、さらに、コア電源領域を分離して電源遮断制御を行うことにより、動作不要のときの消費電力低減を図ることが可能となる。

40

【0111】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0112】

たとえば、クロック制御と電源制御とを組み合わせることで簡潔な制御で消費電力の最適化を図ることも可能である。

50

【0113】

この場合、スタンバイに投入後、一定期間のアクセスがない場合には、自動的にコア電源領域の電源を遮断する。電源復帰による割り込み応答時間の拡大を考慮し、本モードに入らない設定も提供することによって、リアルタイム性を損なうことなく、ソフトウェアシーケンスを最小限にとどめたまま、動作電力の最適化を図ることができる。

【0114】

また、機能モジュール毎のクロック制御（モジュール停止）と電源制御とを組み合わせ、簡潔な制御で消費電力の最適化を図ることも可能である。

【0115】

半導体集積回路装置を機能モジュール毎に分割していることにより、その領域のすべての機能モジュールへのクロック供給が停止されることが機能モジュール停止の設定により判明した場合、当該領域への電源供給遮断要求を自動的に発行する。

10

【0116】

電源復帰に要する時間を考慮し、電源OFF要求のモードに入らない設定も提供することによって、リアルタイム性を損なうことなく、ソフトウェアがコア電源領域を意識することなく、動作電力の最適化を図ることができる。

【産業上の利用可能性】

【0117】

本発明は、半導体集積回路装置における低消費電力化技術に適している。

【図面の簡単な説明】

20

【0118】

【図1】本発明の一実施の形態による半導体集積回路装置における電源供給領域を示す説明図である。

【図2】図1の半導体集積回路装置におけるコア電源領域の階層関係を示した説明図である。

【図3】図1の半導体集積回路装置に設けられた電源供給制御部の構成を示す説明図である。

【図4】図1の半導体集積回路装置に設けられた補完論理部に入力されるウェイクアップ信号を生成するWUCの説明図である。

【図5】図1の半導体集積回路装置に設けられた電源供給制御部、およびその周辺のコア電源領域の構成例を示した説明図である。

30

【図6】図5の電源供給制御部によるウェイクアップ処理のシーケンスを示すタイミングチャートである。

【図7】図6の電源供給制御部によるウェイクアップのシーケンスを示すフローチャートである。

【図8】図5の電源供給制御部による電源遮断処理例を示すフローチャートである。

【図9】図5の電源供給制御部により電源遮断の説明図である。

【図10】図1の半導体集積回路装置におけるチップレイアウトイメージの一例を示した説明図である。

【符号の説明】

40

【0119】

- 1 半導体集積回路装置
- 2 電源供給制御部
- 3 電源用スイッチ（電源スイッチ制御部、スイッチ）
- 4 スイッチ制御部（電源スイッチ制御部）
- 5 システムコントローラ（制御部）
- 6 ウェイクアップコントロールレジスタ（第1のレジスタ）
- 7 カレントステータスレジスタ（第2のレジスタ）
- 8 補完論理部
- 9 ネクストステータスレジスタ（第3のレジスタ）

50

1 0 電源要求論理部

1 1 W U C

1 2 検出回路

1 3 マスクロジック

1 4 論理和回路

A 1 A , A 1 R , A 2 , A 3 , A 4 コア電源領域 (電源領域)

A C , A 4 U 1 , A 4 U 2 コア電源領域 (電源領域)

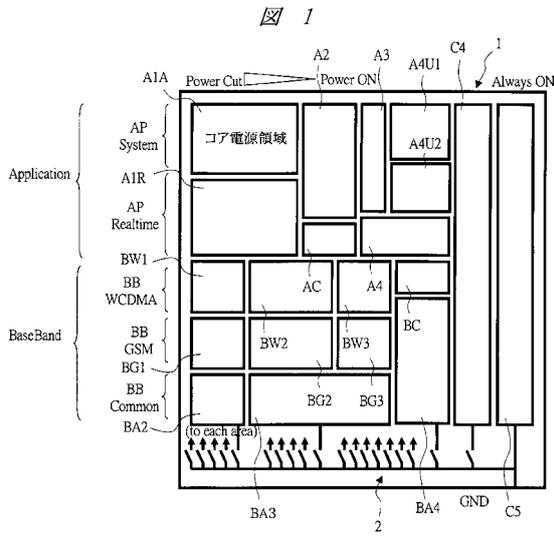
B W 1 , B W 2 , B W 3 , B C , B G 1 , B G 2 コア電源領域 (電源領域)

B G 3 , B A 2 , B A 3 , B A 4 , B C コア電源領域 (電源領域)

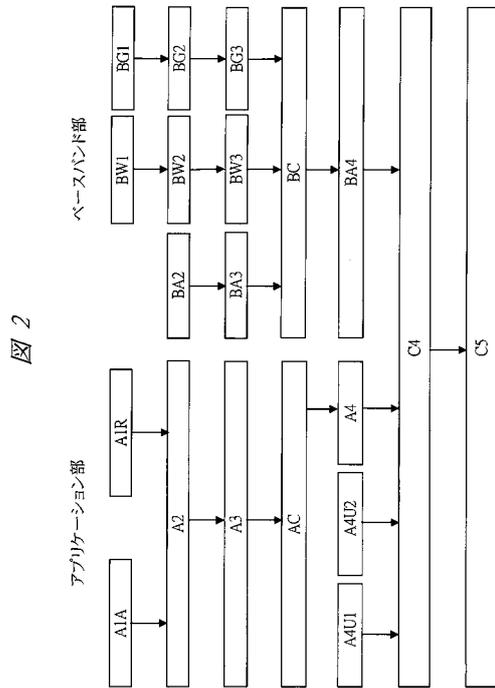
C 4 , C 5 コア電源領域

B R バックアップラッチ

【図 1】



【図 2】



フロントページの続き

(72)発明者 加藤 久詞
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 中田 剛史

(56)参考文献 特開2004-266661(JP,A)
特開2002-076873(JP,A)
特開2005-259879(JP,A)
特開平05-206420(JP,A)
特開2002-055743(JP,A)
特開平04-303242(JP,A)
特開昭61-198313(JP,A)
特開平07-129284(JP,A)
特開2003-114742(JP,A)
特開平03-080318(JP,A)
特開2002-132397(JP,A)
特開平06-230845(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 1/26