

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4216226号
(P4216226)

(45) 発行日 平成21年1月28日(2009.1.28)

(24) 登録日 平成20年11月14日(2008.11.14)

(51) Int. Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 T
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 B
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 A
HO 1 L 21/60 (2006.01)	HO 1 L 21/90 C
	HO 1 L 21/60 3 O 1 N
	請求項の数 20 (全 56 頁) 最終頁に続く

(21) 出願番号	特願2004-155476 (P2004-155476)	(73) 特許権者	000005108
(22) 出願日	平成16年5月26日(2004.5.26)		株式会社日立製作所
(62) 分割の表示	特願平10-182813の分割		東京都千代田区丸の内一丁目6番6号
原出願日	平成10年6月29日(1998.6.29)	(74) 代理人	100080001
(65) 公開番号	特開2004-274082 (P2004-274082A)		弁理士 筒井 大和
(43) 公開日	平成16年9月30日(2004.9.30)	(72) 発明者	齋藤 達之
審査請求日	平成16年5月26日(2004.5.26)		東京都青梅市新町六丁目16番地の3 株
(31) 優先権主張番号	特願平9-234236	(72) 発明者	野口 純司
(32) 優先日	平成9年8月29日(1997.8.29)		東京都青梅市新町六丁目16番地の3 株
(33) 優先権主張国	日本国(JP)	(72) 発明者	山口 日出
			東京都青梅市新町六丁目16番地の3 株
			株式会社日立製作所 デバイス開発センタ内
			株式会社日立製作所 デバイス開発センタ内
			最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成された第1絶縁膜と、
前記第1絶縁膜に埋め込まれ、銅の拡散を抑制する第1導電体膜と前記第1導電体膜上に形成された銅を主成分とする第2導電体膜からなる第1配線と、
前記第1配線上に形成され前記第1配線の銅の拡散を抑制する第2絶縁膜と、
前記第2絶縁膜上に形成された第3絶縁膜と、
前記第3絶縁膜上に形成されたアルミニウムを主成分とする第2配線と、
前記第2絶縁膜内と第3絶縁膜内に埋め込まれ、前記第1配線と、第2配線を接続し、前記第1配線の銅の拡散を抑制する接続導体と、
からなり前記第2配線の一部にパッド部が形成されていることを特徴とする半導体集積回路装置。

【請求項2】

前記第2絶縁膜はシリコン窒化膜であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

前記第1導電体膜はタングステン、チタンナイトライド、チタン、タンタル、タングステンナイトライド、タンタルナイトライド、タングステンシリサイドナイトライド、チタンシリサイドナイトライド、タンタルシリサイドナイトライドから選択されたいずれか一つであることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項 4】

前記接続導体はタングステン、チタンナイトライド、チタン、タンタル、タングステンナイトライド、タンタルナイトライド、タングステンシリサイドナイトライド、チタンシリサイドナイトライド、タンタルシリサイドナイトライドから選択されたいずれか一つであることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】

前記第 2 配線上にさらに保護膜が形成されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 6】

前記パッド部は前記保護膜に形成された開口部を介してボンディングワイヤに電氣的に接続されていることを特徴とする請求項 5 に記載の半導体集積回路装置。

10

【請求項 7】

前記パッド部は前記保護膜に形成された開口部を介してパンプ電極に電氣的に接続されていることを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 8】

前記第 2 配線は第 3 導電膜とアルミニウムを主体とする第 4 導電膜を含み、前記第 3 導電膜は前記第 3 絶縁膜と第 4 導電膜の間に形成されており高融点金属からなり、さらに前記第 3 導電膜は前記接続導体と第 4 導電膜の間にも形成されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 9】

前記第 2 配線はさらに前記第 4 導電膜上にバリア金属を含み、前記第 4 導電膜は前記第 3 導電膜とバリア金属で挟まれた構造であることを特徴とする請求項 8 に記載の半導体集積回路装置。

20

【請求項 10】

前記第 2 配線上にさらに第 4 絶縁膜が形成されており、前記第 4 絶縁膜上にアルミニウムを主体とした第 3 配線が形成されており、前記第 2 配線は前記第 3 配線を介してボンディングワイヤまたはパンプ電極に電氣的に接続されており、前記第 3 配線は前記第 4 絶縁膜に形成された開口部を介して前記パッド部に電氣的に接続されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 11】

半導体基板上に形成された溝を有する第 1 絶縁膜と、
前記溝に埋め込まれ、銅の拡散を抑制する第 1 バリア膜と前記第 1 バリア膜上に形成された銅を主成分とする第 1 導電体膜からなる第 1 配線と、
前記第 1 配線上に形成され前記第 1 配線の銅の拡散を抑制する第 2 バリア膜と、
前記第 2 バリア膜と前記第 1 絶縁膜上に形成された第 2 絶縁膜と、
前記第 2 絶縁膜上に形成されたアルミニウムを主成分とする第 2 配線と、
前記第 2 配線上に形成された第 3 絶縁膜と、
前記第 2 絶縁膜内に埋め込まれ、前記第 1 配線と第 2 配線を電氣的に接続する接続導体と、

30

からなり前記第 3 絶縁膜の一部には前記第 2 配線の一部が露出するような開口部が形成されていることを特徴とする半導体集積回路装置。

40

【請求項 12】

前記第 2 配線は前記第 1 配線と銅の拡散を抑制する第 2 導電体膜を介して電氣的に接続されていることを特徴とする請求項 11 に記載の半導体集積回路装置。

【請求項 13】

前記開口部から露出している前記第 2 配線の一部はボンディングワイヤに電氣的に接続されていることを特徴とする請求項 11 に記載の半導体集積回路装置。

【請求項 14】

前記開口部から露出している前記第 2 配線の一部はパンプ電極に電氣的に接続されていることを特徴とする請求項 11 に記載の半導体集積回路装置。

50

【請求項 15】

前記第2配線は第2導電膜とアルミニウムを主体とする第3導電膜を含み、前記第2導電膜は前記第2絶縁膜と第3導電膜の間に形成されており高融点金属からなり、さらに前記第2導電膜は前記接続導体と第3導電膜の間にも形成されていることを特徴とする請求項11に記載の半導体集積回路装置。

【請求項 16】

前記第2配線はさらに前記第3導電膜上にバリア金属を含み、前記第3導電膜は前記第2導電膜とバリア金属で挟まれた構造であることを特徴とする請求項15に記載の半導体集積回路装置。

【請求項 17】

前記第2配線は第2導電膜とアルミニウムを主体とする第3導電膜を含み、前記第2導電膜は前記第2絶縁膜と第3導電膜の間に形成されており高融点金属からなり、さらに前記第2導電膜は前記接続導体と一体的に形成されており前記第2導電膜と接続導体は銅に対するバリア層として形成されていることを特徴とする請求項11に記載の半導体集積回路装置。

【請求項 18】

前記第2バリア膜は銅の拡散を抑制するキャップ導電層として形成されていることを特徴とする請求項11に記載の半導体集積回路装置。

【請求項 19】

前記第3絶縁膜上にアルミニウムを主体とし、パッド部を構成する第3配線が形成されており、前記パッド部はボンディングワイヤまたはパンプ電極に電氣的に接続されており、前記第3配線は前記開口部から露出している前記第2配線の一部に電氣的に接続されていることを特徴とする請求項11に記載の半導体集積回路装置。

【請求項 20】

半導体基板上に形成された溝を有する第1絶縁膜と、
前記溝に埋め込まれ、銅の拡散を抑制する第1バリア膜と前記第1バリア膜上に形成された銅を主成分とする第1導電体膜からなる第1配線と、
前記第1配線上に形成され前記第1配線の銅の拡散を抑制する第2バリア膜と、
前記第2バリア膜と前記第1絶縁膜上に形成された第2絶縁膜と、
前記第2絶縁膜上に形成されたアルミニウムを主成分とする第2配線と、
からなり前記第2配線の一部にパッド部が形成され、前記パッド部はボンディングワイヤまたはパンプ電極に接続されており、前記第2配線は前記第1配線にバリア金属を通して電氣的に接続されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、半導体集積回路装置の配線形成技術に適用して有効な技術に関するものである。

【背景技術】

【0002】

半導体集積回路装置の配線形成方法として、例えばダマシン(Damascene)法と呼ばれるプロセスがある。この方法は、絶縁膜に配線形成用の溝を形成した後、半導体基板全面に配線形成用の導体膜を堆積し、さらに、その溝以外の領域の導体膜を化学的機械的研磨法(CMP; Chemical Mechanical Polishing)によって除去することにより、配線形成用の溝内に埋込配線を形成する方法である。この方法の場合は、特に、微細なエッチング加工が困難な銅系(銅または銅合金)の導体材料からなる埋込配線の形成方法として検討されている。

【0003】

また、ダマシン法の応用としてデュアルダマシン(Dual-Damascene)法がある。この方法は、絶縁膜に配線形成用の溝および下層配線との接続を行うための接続孔を形成した後

10

20

30

40

50

、半導体基板全面に配線形成用の導体膜を堆積し、さらに、その溝以外の領域の導体膜をCMPによって除去することにより、配線形成用の溝内に埋め込み配線を形成するとともに、接続孔内にプラグを形成する方法である。この方法の場合は、特に、多層配線構造を有する半導体集積回路装置において、工程数の削減が可能であり、配線コストの低減が可能である。

【0004】

このような配線形成技術については、例えば特開平8-78410号公報(特許文献1参照)、1996 Symp.VLSI.Tech.Digest pp48-49(非特許文献1参照)、電子材料 1996年3月号 pp22-27(非特許文献2参照)、特開平8-148560号公報(特許文献2参照)またはIBM J.RES.DEVELOP.VOL.39.NO.4,pp419-435,July 1995(非特許文献3参照)に記載されている。

10

【特許文献1】特開平8-78410号公報

【特許文献2】特開平8-148560号公報

【非特許文献1】1996 Symp.VLSI.Tech.Digest pp48-49

【非特許文献2】電子材料 1996年3月号 pp22-27

【非特許文献3】IBM J.RES.DEVELOP.VOL.39.NO.4,pp419-435,July 1995

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、上記した埋め込み配線の形成技術においては、以下の課題があることを本発明者は見出した。

20

【0006】

すなわち、埋込配線技術を半導体集積回路装置に適用した場合の構造上および製造上の全体像が完全には確立していないという課題である。特に、上記したデュアルダマシンプラッグ法においては、配線形成用溝と接続孔を同一導体膜で同時に埋め込むが、配線形成用溝よりも微細な接続孔を配線形成用溝と同時に、十分に、かつ、良好な電気的特性を確保した状態で埋め込むことが、配線や接続孔の微細化に伴って困難となっている。例えば配線材料として銅を用いる場合、スパッタリング法では接続孔内への銅の埋め込みが困難である。一方、メッキ法を用いた場合には埋め込み能力は高いが、この方法で形成される銅の成膜直後の結晶粒は小さく、十分な電気的特性が得られない場合がある。また、メッキ法の埋め込み能力が高いとはいっても限界はあり、高アスペクト比の微細接続孔の埋め込みには困難が付きまとう。この問題は同一の埋込配線層に、アスペクト比の異なる配線用溝が存在する場合にも生じる。

30

【0007】

本発明の目的は、埋込配線構造を有する半導体集積回路装置において、高度な技術を用いることなく、埋込配線用の導体膜を良好に埋め込むことのできる技術を提供することにある。

【0008】

また、本発明の目的は、埋込配線構造を有する半導体集積回路装置において、配線用溝または接続孔あるいはその両方の微細化を推進することのできる技術を提供することにある。

40

【0009】

また、本発明の他の目的は、埋込配線の信頼性を向上させることのできる技術を提供することにある。

【0010】

また、本発明の他の目的は、銅系導体材料を用いた埋込配線を、不具合を生じることなく、半導体集積回路装置の全体構造に組み込むことのできる技術を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

50

【課題を解決するための手段】

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

すなわち、本発明は、半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜に埋め込まれ、銅の拡散を抑制する第1導電体膜と前記第1導電体膜上に形成された銅を主成分とする第2導電体膜からなる第1配線と、前記第1配線上に形成され前記第1配線の銅の拡散を抑制する第2絶縁膜と、前記第2絶縁膜上に形成された第3絶縁膜と、前記第3絶縁膜上に形成されたアルミニウムを主成分とする第2配線と、前記第2絶縁膜内と第3絶縁膜内に埋め込まれ、前記第1配線と、第2配線を接続し、前記第1配線の銅の拡散を抑制する接続導体と、からなり前記第2配線は内部配線部とパッドに接続する電極引き出し部分を含み前記電極引き出し部分は前記内部配線部より幅が広いものである。

10

【0014】

また、本願において開示される発明のうち、他のものの概要を簡単に説明すれば、次のとおりである。

【0015】

本発明の半導体集積回路装置の製造方法は、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の上層の絶縁膜に接続孔を穿孔する工程と、
 (b) 前記絶縁膜上に、前記接続孔を埋め込むように接続用の導体膜を形成する工程と、
 (c) 前記接続用の導体膜の形成工程後、前記接続用の導体膜に対して平坦化処理を施して接続孔内以外の接続用の導体膜を除去することにより、前記接続孔内に接続用導体部を形成する工程と、

20

(d) 前記接続用導体部を形成した後の絶縁膜の配線形成領域に配線用溝を形成する工程と、

(e) 前記絶縁膜上に、前記配線用溝を埋め込むように配線用の導体膜を形成する工程と、

(f) 前記配線用の導体膜の形成工程後、前記配線用の導体膜に対して平坦化処理を施して配線用溝内以外の配線用の導体膜を除去することにより、前記配線用溝内に埋込配線を形成する工程とを有するものである。

30

【0016】

また、本発明の半導体集積回路装置の製造方法は、前記配線用の導体膜が銅または銅合金からなり、その導体膜をスパッタリング法で形成した場合は、前記配線用の導体膜の平坦化処理工程後に熱処理を施す工程を有するものである。

【0017】

また、本発明の半導体集積回路装置の製造方法は、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置の製造方法であって、同一の埋込配線層に形成された寸法が異なる配線用溝内に導体膜を埋め込む場合には、前記寸法が異なる配線用溝内にそれぞれ別々に導体膜を埋め込むこものである。

40

【0018】

また、本発明の半導体集積回路装置の製造方法は、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板の上層の絶縁膜に配線用溝および接続孔を穿孔する工程と、
 (b) 前記絶縁膜上に、前記配線用溝および接続孔が埋め込まれるように銅または銅合金からなる導体膜をスパッタリング法により形成する工程と、

(c) 前記銅または銅合金からなる導体膜に対して平坦化処理を施して前記配線用溝および接続孔内以外の銅または銅合金からなる導体膜を除去することにより、前記配線用溝および接続孔内に導体膜を埋め込む工程と、

(d) 前記銅または銅合金からなる導体膜の平坦化処理工程後に熱処理を施す工程とを有

50

するものである。

【0019】

また、本発明の半導体集積回路装置は、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置であって、前記埋込配線と半導体基板とが接触する部分の配線材料を、タングステン、タングステン合金、チタン、チタンナイトライド、アルミニウムまたはアルミニウム合金のうち、少なくとも1種を用いて構成し、その上層の配線層における埋込配線を銅または銅合金で構成したものである。

【0020】

また、本発明の半導体集積回路装置は、半導体基板の上層の配線層のうちの少なくとも1層以上に埋込配線を有する半導体集積回路装置であって、前記配線層のうちの最上の配線層の配線材料をアルミニウムまたはアルミニウム合金で構成し、その下層の配線層における埋込配線を銅または銅合金で構成したものである。また、本発明の半導体集積回路装置は、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置であって、アルミニウムまたはアルミニウム合金からなる配線と、銅または銅合金からなる配線とを接続する場合には、それらの接合部にバリア導体膜を介在させたものである。

【0021】

さらに、本発明の半導体集積回路装置は、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置であって、前記配線層のうちの所定の埋込配線の配線層よりも上層の配線と前記所定の埋込配線の配線層よりも下層の配線とを電気的に接続する場合に、前記上層の配線から前記所定の埋込配線の配線層まで延びる接続孔内に設けられた接続用導体部と、前記下層の配線から前記所定の埋込配線の配線層まで延びる接続孔内に設けられた接続用導体部とを、前記所定の埋込配線の配線層の接続用溝内に設けられた中継用の接続用導体部を介して電気的に接続する構造を備え、前記中継用の接続用導体部は、少なくともその所定の埋込配線の配線延在方向における長さが、前記接続孔の前記配線延在方向の長さよりも長くなるように形成されているものである。

【発明の効果】

【0022】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0023】

(1).本発明の半導体集積回路装置の製造方法によれば、接続孔を導体膜で十分に埋め込むようした後、配線用溝を形成してそれを導体膜で埋め込むようにしたことにより、配線用溝およびそれよりも微細な接続孔の両方に導体膜を良好に埋め込むことが可能となる。

【0024】

(2).本発明の半導体集積回路装置の製造方法によれば、同一配線層に寸法の異なる配線用溝等を有する場合には、微細な配線用溝等とそれよりも大きな配線用溝等とで埋め込みのし易い方法を選択して導体膜を埋め込むことにより、双方の配線用溝内に導体膜を良好に埋め込むことが可能となる。

【0025】

(3).上記(1)または(2)により、配線層間の接続上の信頼性を向上させることが可能となる。したがって、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0026】

(4).上記(1)または(2)により、埋込配線の微細化を推進することが可能となる。したがって、半導体集積回路装置の小形化あるいは高集積化を推進することが可能となる。

【0027】

(5).上記(1)または(2)により、難しい技術を採用することなく、配線用溝および接続孔に導体膜を良好に埋め込むことが可能となる。したがって、埋込配線を有する半導体集積回路装置のコスト低減を推進することが可能となる。

【0028】

(6). 上記(1) または(2) により、埋め込み配線材料としてCuまたはCu合金等を用いた場合でもその埋め込みの状態を良好にすることが可能となる。

【0029】

(7). 本発明の半導体集積回路装置の製造方法によれば、配線用溝を含む絶縁膜上にスパッタリング法等で形成したCu系の導体材料を平坦化することで配線用溝等以外の領域のCu系の導体材料を除去して埋込配線を形成した後に熱処理を施すことにより、Cuの粒成長を促進させてEM耐性を向上させるとともに、平坦化処理時にCu系の導体膜の表面に生じた損傷や酸化膜等をなくしその表面を滑らかにすることや、CMP時に露出する絶縁膜表面の汚染を除去低減することができるので、Cu系の導体材料からなる埋込配線の信頼性を向上させることが可能となる。

10

【0030】

(8). 本発明の半導体集積回路装置によれば、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置であって、前記埋込配線と半導体基板とが接触する部分の配線材料を、タングステン、タングステン合金、アルミニウムまたはアルミニウム合金で構成し、その上層の配線層における埋込配線を銅または銅合金で構成したことにより、接続孔内への導体膜の埋め込み状態を良好に保ちつつ、Cu原子の半導体基板側への拡散を防止してその拡散現象に起因する素子不良を回避し、かつ、半導体集積回路装置の全体的な配線抵抗の低減を図って信号の伝搬速度を向上させることが可能となる。

【0031】

(9). 本発明の半導体集積回路装置によれば、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置であって、前記配線層のうちの最上の配線層の配線材料をアルミニウムまたはアルミニウム合金で構成し、その下層の配線層における埋込配線を銅または銅合金で構成したことにより、従来のワイヤボンディング技術やパンプ電極の形成技術等の組立技術をそのまま踏襲できる。したがって、銅系の導体材料からなる埋込配線を有する半導体集積回路装置を容易に組立工程に導入することが可能となる。

20

【0032】

(10). 本発明の半導体集積回路装置によれば、半導体基板の上層の配線層に埋込配線を有する半導体集積回路装置であって、アルミニウムまたはアルミニウム合金からなる配線と、銅または銅合金からなる配線とを接続する場合には、それらの接合部にバリア導体膜としてプラグを介在させたことにより、アルミニウム系の導体材料と銅系の導体材料とを直接接触させた場合にその接触部に比抵抗の高い合金層が形成されてしまうのを防止することができるので、配線層間の接続抵抗を低下させることが可能となる。

30

【0033】

(11). 上記(8) ~ (10)により、銅系の導体材料からなる埋込配線を、不具合を生じることなく、半導体集積回路装置の全体構造に組み込むことが可能となる。

【0034】

(12). また、本発明の半導体集積回路装置によれば、前記中継用の接続用導体部は、少なくともその所定の埋込配線の配線延在方向における長さが、前記接続孔の前記配線延在方向の長さよりも長くなるように形成されていることにより、中継用の接続用導体部を形成する接続用溝を比較的大きくすることができるので、接続用溝内に導体膜を良好に埋め込むことができる。したがって、上下の配線層間の電気的な接続上の信頼性を向上させることができ、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

40

【発明を実施するための最良の形態】

【0035】

以下、本発明の実施の形態を図面に基づいて詳細に説明する(なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する)。

【0036】

(実施の形態1)

図1は本発明の一実施の形態である半導体集積回路装置の要部断面図、図2は図1の半

50

導体集積回路装置の第1層配線を示す要部断面図、図3～図5は図2の配線構造の変形例を示す断面図、図6は図1の半導体集積回路装置の第2層配線を示す要部断面図、図7は図1の半導体集積回路装置の配線層間接続の変形例を示す半導体集積回路装置の要部断面図、図8～図12は図1の半導体集積回路装置の製造工程中における要部断面図、図13～図18は図1の半導体集積回路装置の製造工程中における要部の一部破断斜視図である。

【0037】

まず、本実施の形態1の半導体集積回路装置の構造を図1～図7によって説明する。半導体基板1は、例えばp⁻形のシリコン(Si)単結晶からなり、その上部には、pウエルPWおよびnウエルNWが形成されている。このpウエルPWには、例えばp形不純物のホウ素(B)が含有され、nウエルNWには、例えばn形不純物のリン(P)またはヒ素(As)が含有されている。

10

【0038】

また、この半導体基板1の上部には素子分離部2が形成されている。この素子分離部2は、半導体基板1の上部に掘られた分離用溝2a内に、例えば酸化シリコン等からなる分離用絶縁膜2bが埋め込まれて形成されている。この素子分離部2の上面は、半導体基板1の主面とほぼ一致するように平坦化されている。

【0039】

素子分離部2に囲まれたpウエルPWおよびnウエルNWの領域には、例えばnチャネル形のMOS・FET(Metal Oxide Semiconductor Field Effect Transistor; 以下、単にnMOSという)3nおよびpチャネル形のMOS・FET(以下、単にpMOSという)3pが形成されている。そして、このnMOS3nおよびpMOS3pによってCMOS(Complimentary MOS)が形成されている。ただし、半導体基板1に形成される集積回路素子は、MOS・FETまたはMIS・FET(Metal Insulator Semiconductor Field Effect Transistor)に限定されるものではなく種々変更可能であり、バイポーラトランジスタ、ダイオードまたは抵抗素子あるいはこれらの集積回路素子が同一半導体基板上に形成される構造でも良い。

20

【0040】

nMOS3nは、pウエルPWの上部に互いに離間して形成された一対の半導体領域3ndと、半導体基板1上に形成されたゲート絶縁膜3niと、その上に形成されたゲート電極3ngとを有している。なお、nMOS3nのチャネル領域は、pウエルPW内において一対の半導体領域3ndの間に形成される。

30

【0041】

この半導体領域3ndは、nMOS3nのソース・ドレイン領域を形成するための領域であり、例えばn形不純物のリンまたはAsが含有されている。なお、半導体領域3ndを、チャネル領域側に配置された相対的に低濃度の半導体領域と、その外側に配置された相対的に高濃度の半導体領域とを有する構造としても良い。

【0042】

ゲート絶縁膜3niは、例えば酸化シリコンからなる。その上に形成されたゲート電極3ngは、例えば低抵抗ポリシリコンの単体膜からなる。ただし、ゲート電極3ngは、低抵抗ポリシリコンの単体膜に限定されるものではなく、例えば低抵抗ポリシリコンの単体膜上にタングステンシリサイド等のようなシリサイド膜を形成してなる、いわゆるポリサイド構造としても良いし、また、例えば低抵抗ポリシリコンの単体膜上に窒化チタン等のようなバリア金属膜を介してタングステン等のような金属膜を形成してなる、いわゆるポリメタル構造としても良い。

40

【0043】

一方、pMOS3pは、nウエルNWの上部に互いに離間して形成された一対の半導体領域3pdと、半導体基板1上に形成されたゲート絶縁膜3piと、その上に形成されたゲート電極3pgとを有している。なお、pMOS3pのチャネル領域は、nウエルNW内において一対の半導体領域3pdの間に形成される。この半導体領域3pdは、pMO

50

S 3 p のソース・ドレイン領域を形成するための領域であり、例えば p 形不純物のホウ素が含有されている。なお、半導体領域 3 p d を、チャンネル領域側に配置された相対的に低濃度の半導体領域と、その外側に配置された相対的に高濃度の半導体領域とを有する構造としても良い。

【 0 0 4 4 】

ゲート絶縁膜 3 p i は、例えば酸化シリコンからなる。その上に形成されたゲート電極 3 p g は、例えば低抵抗ポリシリコンの単体膜からなる。ただし、ゲート電極 3 p g は、低抵抗ポリシリコンの単体膜に限定されるものではなく、例えば低抵抗ポリシリコンの単体膜上にタングステンシリサイド等のようなシリサイド膜を形成してなる、いわゆるポリサイド構造としても良いし、また、例えば低抵抗ポリシリコンの単体膜上に窒化チタン等

10

【 0 0 4 5 】

このような半導体基板 1 上には、その表面が、例えば C M P 法により平坦化された、例えば酸化シリコンからなる層間絶縁膜 4 a が形成されており、これによって n M O S 3 n および p M O S 3 p が被覆されている。この層間絶縁膜 4 a の上部には、幅や長さの異なる配線用溝 5 a , 5 b が形成されている。配線用溝 5 a , 5 b の深さは、同一であり、例えば 0 . 3 ~ 1 . 0 μ m 程度、好ましくは 0 . 5 μ m 程度である。また、配線用溝 5 a のアスペクト比は、例えば 0 . 1 ~ 1 . 0 程度、配線用導体膜を良好に埋め込むことを考慮すると 0 . 7 よりも小さい方が好ましい。配線用溝 5 b のアスペクト比は、例えば 0 . 5

20

【 0 0 4 6 】

その配線用溝 5 a , 5 b 内には、図 1、図 2 に示すように、第 1 層配線 6 L が埋め込まれた状態で形成されている。この第 1 層配線 6 L は、下部および側部の相対的に薄い導体膜 6 L 1 と、その薄い導体膜 6 L 1 に囲まれた相対的に厚い導体膜 6 L 2 とで構成されている。

【 0 0 4 7 】

薄い導体膜 6 L 1 は、第 1 層配線 6 L と層間絶縁膜 4 a との密着性を向上させる機能や厚い導体膜 6 L 2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン (W)、窒化チタン (T i N)、チタン (T i)、タンタル (T a)、窒化タングステン (W N)、窒化タングステンシリサイド (W S i N)、窒化チタンシリサイド (T i S i N)、窒化タンタル (T a N) または窒化タンタルシリサイド (T a S i N) 等からなる。

30

【 0 0 4 8 】

ここで、薄い導体膜 6 L 1 をタングステン等で構成した場合には、T i N、T i、T a、W N、W S i N、T i S i N、T a N または T a S i N 等で構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態 1 においては、薄い導体膜 6 L 1 が、例えば T i N で構成されている。また、厚い導体膜 6 L 2 は、第 1 層配線 6 L の本体を構成する部材であり、例えばアルミニウム (A l)、A l 合金、タングステン、タングステン合金、銅 (C u) または C u 合金等のような低抵抗な材料からなる。A l 合金の一例としては、A l からなる導体膜に S i、C u、G e 等のような元素のうちの選択された 1 種またはそれ以上の元素を添加したものがあげられる。C u 合金の一例としては、C u からなる導体膜にマグネシウム (M g)、S i、T i 等のような元素のうちの選択された 1 種またはそれ以上の元素を添加したものがあげられる。タングステン合金の一例としては、タングステンからなる導体膜に S i、N 等のような元素のうちの選択された 1 種またはそれ以上の元素を添加したものがあげられる。なお、以下の記載において、A l 合金、タングステン合金および C u 合金については、基本的に上記したものと

40

同じとする。この厚い導体膜 6 L 2 を C u または C u 合金で構成した場合には、A l またはタングステンで構成した場合に比べて配線抵抗を大幅に低下させることができ、かつ、

50

厚い導体膜 6 L2 を Al または Al 合金で構成した場合に比べて第 1 層配線 6 L のエレクトロマイグレーション (EM) 耐性を向上させることも可能となる。特に限定されないが、本実施の形態 1 においては、厚い導体膜 6 L2 が、例えば Cu で構成されている。

【0049】

ただし、第 1 層配線 6 L の構造は図 1 および図 2 に示した構造に限定されるものではなく種々変更可能であり、例えば図 3 ~ 図 5 に示す構造にしても良い。図 3 は薄い導体膜 6 L1 および厚い導体膜 6 L2 を覆うようにキャップ導体膜 6 L3 を設けた構造である。キャップ導体膜 6 L3 は、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、TaN または TaSiN 等からなる。この構造は、特に、厚い導体膜 6 L2 を Cu または Cu 合金で構成した場合に適用することにより、Cu 原子の拡散をさらに抑制することができるので、半導体集積回路装置の信頼性をさらに向上させることが可能となっている。また、特に限定されないが、上層の配線材料との関係で、その配線材料と厚い導体膜 6 L2 とを直接接触させると比抵抗の高い合金等が形成されてしまうような場合にも適している。なお、キャップ導体膜をその上面が層間絶縁膜 4 a の上面とほぼ一致するように厚い導体膜 6 L2 の上面のみに設ける構造としても良い。

10

【0050】

図 4 は第 1 層配線 6 L を厚い導体膜 6 L2 のみで構成した構造である。すなわち、薄い導体膜が無い構造である。図 5 は図 4 の構造において厚い導体膜 6 L2 の上面にキャップ導体膜 6 L3 を設けた構造である。この構造は、特に限定されないが、上層の配線材料との関係で、その配線材料と厚い導体膜 6 L2 とを直接接触させると比抵抗の高い合金等が形成されてしまうような場合に適している。

20

【0051】

配線用溝 5 a 内の第 1 層配線 6 L は接続用導体部 7 C を通じて nMOS 3 n の半導体領域 3 nd または pMOS 3 p の半導体領域 3 pd と電氣的に接続されている。接続用導体部 7 C は、その大部分が配線用溝 5 a の底面から半導体基板 1 の上面に向かって層間絶縁膜 4 a に穿孔された接続孔 8 a 内に埋め込まれているが、接続用導体部 7 C の上部は第 1 層配線 6 L の上下面を貫通するように第 1 層配線 6 L 中に突出している。接続孔 8 a の直径は、例えば 0.2 ~ 1.0 μm 程度、好ましくは、例えば 0.4 μm 程度である。また、接続孔 8 a のアスペクト比は、例えば 2 ~ 6 程度、接続用導体部の埋め込みを良好に行うことを考慮すると 4 程度より小さいことが好ましい。なお、接続用導体部 7 C の上面高さは、第 1 層配線 6 L の上面高さとはほぼ一致している。

30

【0052】

接続用導体部 7 C は、その下部および側部の相対的に薄い導体膜 7 C1 と、薄い導体膜 7 C1 に囲まれた相対的に厚い導体膜 7 C2 とで構成されている。薄い導体膜 7 C1 は、接続用導体部 7 C と層間絶縁膜 4 a との密着性を向上させる機能や厚い導体膜 7 C2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、TaN または TaSiN 等からなる。

【0053】

薄い導体膜 7 C1 をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、TaN または TaSiN 等で構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態 1 においては、薄い導体膜 7 C1 が、例えばタングステンで構成されている。

40

【0054】

また、厚い導体膜 7 C2 は、接続用導体部 7 C の本体を構成する部材であり、例えば Al、Al 合金、タングステンまたはタングステン合金等のような低抵抗な材料からなる。厚い導体膜 7 C2 の構成材料には Cu または Cu 合金は使用されていない。すなわち、本実施の形態 1 においては、第 1 層配線 6 L の埋込導体膜 6 L2 の構成材料には Cu または Cu 合金等を用いても、半導体基板 1 と直接接する接続用導体部 7 C の構成材料には Cu または Cu 合金を用いていない。これにより、第 1 層配線 6 L の配線抵抗を低減しつつ、かつ、Cu 原子が半導体基板 1 側に拡散することに起因する接続不良を抑制することが可

50

能となっている。

【0055】

厚い導体膜7C2をAlまたはAl合金で構成した場合には、タングステンまたはタングステン合金で構成した場合に比べて接続用導体部7Cの抵抗を低下させることが可能となる。また、埋込導体膜7C2をタングステンまたはタングステン合金で構成した場合には、埋込導体膜7C2をAlまたはAl合金で構成した場合に比べて接続用導体部7CのEM耐性およびSM耐性を向上させることが可能となる。特に限定されないが、本実施の形態1においては、厚い導体膜7C2が、例えばタングステンで構成されている。したがって、本実施の形態1においては、第1層配線6Lの高さ位置の平面内に、異種の導体膜(第1層配線6L形成用のCu等および接続用導体部7Cのタングステン等)が存在する構造となっている。なお、接続用導体部も配線の一部を構成するものである。

10

【0056】

また、上記の説明では配線用溝5a, 5b内の第1層配線6Lが同一材料で構成されている場合について説明したが、これに限定されるものではない。例えば配線用溝5bに埋め込む厚い導体膜6L2および薄い導体膜6L1の構成材料を、配線用溝5aに埋め込まれた厚い導体膜6L2および薄い導体膜6L1の構成材料とは異種の導体材料としても良い。これは、例えば幅の広い配線用溝5aおよび幅の狭い配線用溝5b内にCu等を同時に埋め込もうとすると、幅の狭い配線用溝5bを十分に埋め込めない場合があるので、その場合には、幅の広い配線用溝5aはCuで埋め込み、幅の狭い配線用溝5bはタングステン等をCVD法等により埋め込むようにした場合の構造例である。なお、この場合の形成方法については後述する。

20

【0057】

層間絶縁膜4a上には、例えばシリコン窒化膜4b1上に、シリコン窒化膜より厚い膜厚を有する酸化シリコン膜4b2が形成された層間絶縁膜4bが形成されている。シリコン窒化膜4b1は、厚い導体膜6L2または埋込導体膜7C2をCu系の導電材料で構成した場合に、Cuの拡散を防止するバリア膜として機能する。また、後述する接続孔8aを形成する時、シリコン窒化膜4b1をエッチングストップ層として用いて酸化シリコン膜4b2をエッチングし、その後、シリコン窒化膜4b2をエッチングして除去する。なお、厚い導体膜6L2または埋込導体膜7C2をCu系以外の導電材料で構成する場合、シリコン窒化膜4b1はなくても良い。この層間絶縁膜4bの上部には、幅が異なる配線用溝5c, 5dが形成されている。配線用溝5c, 5dの深さは、同一であり、例えば0.3~1.0μm程度、好ましくは0.6μm程度である。また、配線用溝5cのアスペクト比は、例えば0.1~1.0程度、配線用導体膜を良好に埋め込むことを考慮すると0.7よりも小さい方が好ましい。また、配線用溝5dのアスペクト比は、例えば0.5~2.5程度、配線用導体膜を良好に埋め込むことを考慮すると1.5よりも小さい方が好ましい。酸化シリコン膜4b2は、例えばCVD法で形成したTEOS(Tetraethoxysilane)膜あるいはSOG(Spin On Glass)膜で構成される。低誘電率のSOG膜を用いることで配線間の容量を低減でき、回路の動作速度を向上させることができる。

30

【0058】

その配線用溝5c, 5d内には、図1および図6に示すように、第2層配線9Lが埋め込まれた状態で形成されている。この第2層配線9Lは、下部および側部の相対的に薄い導体膜9L1と、その薄い導体膜9L1に囲まれた相対的に厚い導体膜9L2とで構成されている。

40

【0059】

薄い導体膜9L1は、第2層配線9Lと層間絶縁膜4bとの密着性を向上させる機能や厚い導体膜9L2の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、TaSiNまたはTaSiN等からなる。

【0060】

薄い導体膜9L1をタングステン等で構成した場合には、TiN、Ti、Ta、WN、

50

WSiN、TiSiN、Ta₂NまたはTaSiN等で構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態1においては、薄い導体膜9L1が、例えばTiNで構成されている。

【0061】

また、厚い導体膜9L2は、第2層配線9Lの本体を構成する部材であり、例えばAl、Al合金、タングステン、タングステン合金、CuまたはCu合金等のような低抵抗な材料からなる。この厚い導体膜9L2をCuまたはCu合金で構成した場合には、Alまたはタングステンで構成した場合に比べて配線抵抗を大幅に低下させることが可能となる。また、厚い導体膜9L2をAlまたはAl合金で構成した場合に比べて第2層配線9LのEM耐性を向上させることも可能となる。特に限定されないが、本実施の形態1においては、厚い導体膜9L2が、例えばCuで構成されている。

10

【0062】

ただし、第2層配線9Lの構造も図1および図6に示した構造に限定されるものではなく種々変更可能であり、例えば前記第1層配線6Lで説明した図3～図5に示す構造にしても良い。すなわち、厚い導体膜9L2および薄い導体膜9L1の上面にキャップ導体膜を設けた構造でも良い。このキャップ導体膜は、例えばタングステン等のような低抵抗な材料やTiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等のようなバリア機能を有する材料からなる。この構造は、特に、厚い導体膜9L2をCuまたはCu合金で構成した場合に適用することにより、Cu原子の拡散をさらに抑制することができるので、半導体集積回路装置の信頼性をさらに向上させることが可能となっている。

また、特に限定されないが、上層の配線材料との関係で、その配線材料と厚い導体膜9L2とを直接接触させると比抵抗の高い合金等が形成されてしまうような場合に適している。なお、キャップ導体膜をその上面が層間絶縁膜4aの上面とほぼ一致するように厚い導体膜6L2の上面のみに設ける構造としても良い。

20

【0063】

他の構造として第2層配線9Lを厚い導体膜9L2のみで構成した構造でも良い。すなわち、薄い導体膜が無い構造である。さらに他の構造としてその薄い導体膜が無い構造において厚い導体膜9L2の上面にキャップ導体膜を設けた構造でも良い。この構造は、特に限定されないが、上層の配線材料との関係で、その配線材料と厚い導体膜9L2とを直接接触させると固有抵抗値の高い合金等が形成されてしまうような場合に適している。

30

【0064】

この配線用溝5c内に形成された第2層配線9Lは接続用導体部10Cを通じて第1層配線6Lと電気的に接続されている。接続用導体部10Cは、その大部分が配線用溝5cの底面から第1層配線6Lの上面に向かって層間絶縁膜4bに穿孔された接続孔8b内に埋め込まれているが、接続用導体部10Cの上部は第2層配線9Lの上下面を貫通するように第2層配線9L中に突出している。接続孔8bの直径は、例えば0.2～1.2μm程度、好ましくは、例えば0.4程度である。また、接続孔8bのアスペクト比は、2～6程度、接続用導体部の埋め込みを良好に行うことを考慮すると4程度より小さいことが好ましい。なお、接続用導体部10Cの上面高さは、第2層配線9Lの上面高さ、すなわち、層間絶縁膜4bの上面高さとはほぼ一致している。

40

【0065】

接続用導体部10Cは、その下部および側部の相対的に薄い導体膜10C1と、薄い導体膜10C1に囲まれた相対的に厚い導体膜10C2とで構成されている。薄い導体膜10C1は、接続用導体部10Cと層間絶縁膜4bとの密着性を向上させる機能や厚い導体膜10C2の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。

【0066】

薄い導体膜10C1をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等で構成した場合に比べて配線抵抗を

50

低下させることが可能となる。特に限定されないが、本実施の形態 1 においては、薄い導体膜 10C1 が、例えばタングステンで構成されている。

【0067】

また、厚い導体膜 10C2 は、接続用導体部 7C の本体を構成する部材であり、例えば Al、Al 合金、タングステン、タングステン合金、Cu または Cu 合金等のような低抵抗な材料からなる。厚い導体膜 10C2 を、例えば Cu または Cu 合金で構成することにより、Al、Al 合金、タングステンまたはタングステン合金で構成した場合に比べて接続孔用導体部 10C の抵抗を低下させることができ、かつ、接続用導体部 10C の EM 耐性を向上させることができる。厚い導体膜 10C2 を Al または Al 合金で構成した場合には、タングステンまたはタングステン合金で構成した場合に比べて接続用導体部 10C の抵抗を低下させることが可能となる。また、埋込導体膜 10C2 をタングステンまたはタングステン合金で構成した場合には、埋込導体膜 10C2 を Al または Al 合金で構成した場合に比べて接続用導体部 10C の EM 耐性および SM 耐性を向上させることが可能となる。特に限定されないが、本実施の形態 1 においては、厚い導体膜 10C2 が、例えばタングステンで構成されている。

10

【0068】

また、層間絶縁膜 4b には、その上面から第 1 層配線 6L の上面に向かって穿孔され第 1 層配線 6L の一部が露出するような接続孔 8c が穿孔されており、この接続孔 8c には接続用導体部 10C が埋め込まれた状態で形成されている。この接続孔 8c の直径は、例えば 0.2 ~ 1.2 μm 程度、好ましくは、例えば 0.4 μm 程度である。また、接続孔 8c のアスペクト比は、2 ~ 6 程度、接続用導体部の埋め込みを良好に行うことを考慮すると 4 程度より小さいことが好ましい。この接続用導体部 10C は、構造は上記したのと同じであるが、図 1 では第 2 層配線 9L とは直接接続されていない。ただし、接続孔 8c に埋め込む接続用導体部 10C の厚い導体膜 10C2 および薄い導体膜 10C1 の構成材料を、接続孔 8b に埋め込まれた接続用導体部 10C の厚い導体膜 10C2 および薄い導体膜 10C1 の構成材料とは異種の導体材料で構成しても良い。

20

【0069】

また、上記の説明では配線用溝 5c, 5d 内の第 2 層配線 9L が同一材料で構成されている場合について説明したが、これに限定されるものではない。例えば配線用溝 5d に埋め込む厚い導体膜 9L2 および薄い導体膜 9L1 の構成材料を、配線用溝 5c に埋め込まれた厚い導体膜 9L2 および薄い導体膜 9L1 の構成材料とは異種の導体材料で構成しても良い。これは、例えば幅の広い配線用溝 5c および幅の狭い配線用溝 5d 内に Cu 等を同時に埋め込もうとすると、幅の狭い配線用溝 5d を十分に埋め込めない場合があるので、その場合には、幅の広い配線用溝 5c は Cu で埋め込み、幅の狭い配線用溝 5d はタングステン等を CVD 法等により埋め込むようにした場合の構造例である。なお、この場合の形成方法については後述する。

30

【0070】

層間絶縁膜 4b 上には、例えば層間絶縁膜 4b と同様に窒化シリコン膜 4c1 と酸化シリコン膜 4c2 とで構成された層間絶縁膜 4c が形成されている。この層間絶縁膜 4c の上部には、幅の異なる配線用溝 5e, 5f が形成されている。配線用溝 5e, 5f の深さは、同一であり、例えば 0.3 ~ 1.0 μm 程度、好ましくは 0.6 μm 程度である。また、配線用溝 5e のアスペクト比は、例えば 0.1 ~ 1.0 程度、配線用導体膜を良好に埋め込むことを考慮すると 0.7 よりも小さい方が好ましい。また、配線用溝 5f のアスペクト比は、例えば 0.5 ~ 2.5 程度、配線用導体膜を良好に埋め込むことを考慮すると 1.5 よりも小さい方が好ましい。

40

【0071】

その配線用溝 5e, 5f 内には、図 1 に示すように、第 3 層配線 11L が埋め込まれた状態で形成されている。この第 3 層配線 11L は、下部および側部の相対的に薄い導体膜 11L1 と、その薄い導体膜 11L1 に囲まれた相対的に厚い導体膜 11L2 とで構成されている。

50

【 0 0 7 2 】

薄い導体膜 1 1 L 1 は、第 3 層配線 1 1 L と層間絶縁膜 4 c との密着性を向上させる機能や厚い導体膜 1 1 L 2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。

【 0 0 7 3 】

薄い導体膜 1 1 L 1 をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等で構成した場合に比べて配線抵抗を低下させることが可能となる。また、薄い導体膜 1 1 L 1 を、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等で構成した場合には、特に層間絶縁膜 4 c との密着性を向上させることが可能となる。特に限定されないが、本実施の形態 1 においては、薄い導体膜 1 1 L 1 が、例えばTiNで構成されている。

10

【 0 0 7 4 】

また、厚い導体膜 1 1 L 2 は、第 3 層配線 1 1 L の本体を構成する部材であり、例えばAl、Al合金、タングステン、タングステン合金、CuまたはCu合金等のような低抵抗な材料からなる。この厚い導体膜 1 1 L 2 をCuまたはCu合金で構成した場合には、Alまたはタングステンで構成した場合に比べて配線抵抗を大幅に低下させることが可能となる。また、厚い導体膜 1 1 L 2 をAlまたはAl合金で構成した場合に比べて第 3 層配線 1 1 L のEM耐性を向上させることも可能となる。特に限定されないが、本実施の形態 1 においては、厚い導体膜 1 1 L 2 が、例えばCuで構成されている。

20

【 0 0 7 5 】

ただし、第 3 層配線 1 1 L の構造も図 1 に示した構造に限定されるものではなく種々変更可能であり、例えば前記第 1 層配線 6 L で説明した図 3 ~ 図 5 に示す構造にしても良い。すなわち、厚い導体膜 1 1 L 2 および薄い導体膜 1 1 L 1 の上面にキャップ導体膜を設けた構造でも良い。このキャップ導体膜は、例えばタングステン等のような低抵抗な材料やTiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等のようなバリア機能を有する材料からなる。この構造は、特に、厚い導体膜 1 1 L 2 をCuまたはCu合金で構成した場合に適用することにより、Cu原子の拡散をさらに抑制することができるので、半導体集積回路装置の信頼性をさらに向上させることが可能となっている。また、特に限定されないが、上層の配線材料との関係で、その配線材料と厚い導体膜 1 1 L 2 とを直接接触させると比抵抗の高い合金等が形成されてしまうような場合に適している。なお、キャップ導体膜をその上面が層間絶縁膜 4 a の上面とほぼ一致するように厚い導体膜 1 1 L 2 の上面のみに設ける構造としても良い。

30

【 0 0 7 6 】

他の構造として第 3 層配線 1 1 L を厚い導体膜 1 1 L 2 のみで構成した構造でも良い。すなわち、薄い導体膜が無い構造である。さらに他の構造としてその薄い導体膜が無い構造において配線用溝 5 a の上面にキャップ導体膜を設けた構造でも良い。この構造は、特に限定されないが、上層の配線材料との関係で、その配線材料と厚い導体膜 1 1 L 2 とを直接接触させると比抵抗の高い合金等が形成されてしまうような場合に適している。

【 0 0 7 7 】

この配線用溝 5 e , 5 f 内に形成された第 3 層配線 1 1 L は接続用導体部 1 2 C を通じて第 2 層配線 9 L と電気的に接続されている。接続用導体部 1 2 C は、その大部分が配線用溝 5 e , 5 f の底面から第 2 層配線 9 L の上面に向かって層間絶縁膜 4 c に穿孔された接続孔 8 d 内に埋め込まれているが、接続用導体部 1 2 C の上部は第 3 層配線 1 1 L の上下面を貫通するように第 3 層配線 1 1 L 中に突出している。接続孔 8 d の直径は、例えば 0 . 2 ~ 1 . 2 μm 程度、好ましくは、例えば 0 . 4 μm 程度である。また、接続孔 8 d のアスペクト比は、2 ~ 6 程度、接続用導体部の埋め込みを良好に行うことを考慮すると 4 程度より小さいことが好ましい。なお、接続用導体部 1 2 C の上面高さは、第 3 層配線 1 1 L の上面高さ、すなわち、層間絶縁膜 4 c の上面高さとはほぼ一致している。

40

【 0 0 7 8 】

50

接続用導体部 1 2 C は、その下部および側部の相対的に薄い導体膜 1 2 C 1 と、薄い導体膜 1 2 C 1 に囲まれた相対的に厚い導体膜 1 2 C 2 とで構成されている。薄い導体膜 1 2 C 1 は、接続用導体部 1 2 C と層間絶縁膜 4 c との密着性を向上させる機能や厚い導体膜 1 2 C 2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。

【0079】

薄い導体膜 1 2 C 1 をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等で構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態 1 においては、薄い導体膜 1 2 C 1 が、例えばタングステンで構成されている。

10

【0080】

また、厚い導体膜 1 2 C 2 は、接続用導体部 1 2 C の本体を構成する部材であり、例えばAl、Al合金、タングステン、タングステン合金、CuまたはCu合金等のような低抵抗な材料からなる。厚い導体膜 1 2 C 2 を、例えばCuまたはCu合金で構成することにより、Al、Al合金、タングステンまたはタングステン合金で構成した場合に比べて接続孔用導体部 1 2 C の抵抗を低下させることができ、かつ、接続用導体部 1 2 C のEM耐性を向上させることができる。厚い導体膜 1 2 C 2 をAlまたはAl合金で構成した場合には、タングステンまたはタングステン合金で構成した場合に比べて接続用導体部 1 2 C の抵抗を低下させることが可能となる。また、厚い導体膜 1 2 C 2 をタングステンまたはタングステン合金で構成した場合には、厚い導体膜 1 2 C 2 をAlまたはAl合金で構成した場合に比べて接続用導体部 1 2 C のEM耐性およびSM耐性を向上させることが可能となる。特に限定されないが、本実施の形態 1 においては、厚い導体膜 1 2 C 2 が、例えばタングステンで構成されている。

20

【0081】

また、層間絶縁膜 4 c には、その上面から第 2 層配線 9 L の上面に向かって穿孔され第 2 層配線 9 L の一部が露出するような接続孔 8 e が穿孔されており、この接続孔 8 e には接続用導体部 1 2 C が埋め込まれた状態で形成されている。この接続孔 8 e の直径は、例えば 0.2 ~ 1.2 μm 程度、好ましくは、例えば 0.5 μm 程度である。また、接続孔 8 e のアスペクト比は、2 ~ 6 程度、接続用導体部の埋め込みを良好に行うことを考慮すると 4 程度より小さいことが好ましい。この接続用導体部 1 2 C は、構造は上記したのと同じであるが、図 1 では第 3 層配線 1 1 L とは直接接続されていない。また、この接続用導体部 1 2 C は下層の接続孔 8 c 内に形成された接続用導体部 1 0 C と接触されて電氣的に接続されている。すなわち、本実施の形態 1 においては、埋め込み配線構造を有する配線層中に、接続用導体部 1 0 C、1 2 C 同士が所定の配線層を貫通した状態で互いに電氣的に接続される構造を有している。接続用導体部 1 2 C を接続用導体部 1 0 C と同じ構成材料で形成することにより、接続抵抗を低下させることができる。すなわち、接続用導体部 1 0 C、1 2 C 間を、異なる導体材料で構成された第 2 層配線 9 L を介して接続した場合に比べて接触抵抗等を低下させることができるので、接続抵抗を低下させることができる。

30

40

【0082】

ただし、接続孔 8 e に埋め込む接続用導体部 1 2 C の厚い導体膜 1 2 C 2 および薄い導体膜 1 2 C 1 の構成材料を、接続孔 8 e に埋め込まれた接続用導体部 1 2 C の厚い導体膜 1 2 C 2 および薄い導体膜 1 2 C 1 の構成材料とは異種の導体材料で構成しても良い。

【0083】

また、図 1 の右側の接続用導体部 1 0 C、1 2 C 同士の接続構造を、図 7 に示すように、第 3 層配線 1 1 L と第 1 層配線 6 L とを層間絶縁膜 4 c、4 b を貫通する接続孔 8 e 1 内の 1 つの接続用導体 1 2 C を通じて直接電氣的に接続する構造としても良い。これにより、接続抵抗を低下させることができる。

【0084】

50

層間絶縁膜 4 c 上には、例えば層間絶縁膜 4 b と同様に窒化シリコン膜 4 d 1 と酸化シリコン膜 4 d 2 とで構成された層間絶縁膜 4 d が形成されている。この層間絶縁膜 4 d の上面には、第 4 層配線 1 3 L が形成されている。第 4 層配線 1 3 L, 1 3 L は、例えば A 1 または A 1 合金からなり、層間絶縁膜 4 d に穿孔された接続孔 8 f, 8 f を通じてそれぞれ下層の第 3 層配線 1 1 L および接続用導体部 1 2 C と電氣的に接続されている。

【 0 0 8 5 】

最上の第 4 層配線 1 3 L の構成材料として、例えば A 1 または A 1 合金等を用いたことにより、従来からあるボンディングワイヤの接続技術やバンプ電極の形成技術をそのまま踏襲できる。すなわち、最上の配線層はボンディングワイヤやバンプ電極が接続されるが、最上の配線材料を従来から用いられている A 1 または A 1 合金とすることにより、ボンディングワイヤやバンプ電極の接合上の従来技術をそのまま使用することが可能となる。このため、組立工程（ワイヤボンディング工程やバンプ電極形成工程）の技術的な変更等を伴うことなく、Cu 系材料からなる埋め込み配線構造を有する半導体集積回路装置を組立ラインに導入することが可能となる。したがって、Cu 系材料からなる埋め込み配線を有する半導体集積回路装置のコスト低減を推進でき、製造・開発時間の短期化を推進することが可能となる。

10

【 0 0 8 6 】

この接続孔 8 f の直径は、例えば 0.2 ~ 1.2 μm 程度、好ましくは、例えば 0.5 μm 程度である。また、接続孔 8 f のアスペクト比は、2 ~ 6 程度、接続用導体部の埋め込みを良好に行うことを考慮すると 4 程度より小さいことが好ましい。接続孔 8 f には、接続用導体部 1 4 C が埋め込まれている。接続用導体部 1 4 C は、その下部および側部の相対的に薄い導体膜 1 4 C 1 と、薄い導体膜 1 4 C 1 に囲まれた相対的に厚い導体膜 1 4 C 2 とで構成されている。なお、この接続用導体 1 4 C は第 4 層配線 1 3 L を貫通してはいない。

20

【 0 0 8 7 】

薄い導体膜 1 4 C 1 は、接続用導体部 1 4 C と層間絶縁膜 4 d との密着性を向上させる機能や厚い導体膜 1 4 C 2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂N または TaSiN 等からなる。薄い導体膜 1 4 C 1 をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂N または TaSiN 等で構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態 1 においては、薄い導体膜 1 4 C 1 が、例えばタングステンで構成されている。

30

【 0 0 8 8 】

また、厚い導体膜 1 4 C 2 は、接続用導体部 1 4 C の本体を構成する部材であり、例えば A 1、A 1 合金、タングステン、タングステン合金等のような低抵抗な材料からなる。厚い導体膜 1 4 C 2 を A 1 または A 1 合金で構成した場合には、タングステンまたはタングステン合金で構成した場合に比べて接続用導体部 1 4 C の抵抗を低下させることが可能となる。また、厚い導体膜 1 4 C 2 をタングステンまたはタングステン合金で構成した場合には、厚い導体膜 1 4 C 2 を A 1 または A 1 合金で構成した場合に比べて接続用導体部 1 4 C の EM 耐性および SM 耐性を向上させることが可能となる。さらに、厚い導体膜 1 4 C 2 をタングステンまたはタングステン合金で構成した場合には第 3 層配線 1 1 L を構成する Cu と第 4 層配線 1 3 L を構成する A 1 または A 1 合金を厚いバリアメタルにて隔離できるため両者の反応による抵抗上昇を防止し易くなる。すなわち、接続孔 8 f にバリア機能を持つ材料を埋め込むことにより、Cu 系材料で構成される第 3 層配線 1 1 L と、A 1 系材料で構成される第 4 層配線 1 3 L との距離を隔離できるので両者の反応をより低減できる。特に限定されないが、本実施の形態 1 においては、厚い導体膜 1 4 C 2 が、例えばタングステンで構成されている。

40

【 0 0 8 9 】

層間絶縁膜 4 d 上には、表面保護膜 1 5 が形成されており、これによって第 4 層配線 1 3 L の表面が被覆されている。表面保護膜 1 5 は、例えば保護膜 1 5 a 上に保護膜 1 5 b

50

が積み重ねられてなる。保護膜 15 a は、例えば SiO_2 からなり、その上層の保護膜 15 b は、例えば窒化シリコンからなる。表面保護膜 15 の一部には、第 4 層配線 13 L の一部が露出するような開口部 16 が形成されている。第 4 層配線 13 L において、この開口部 16 から露出する部分は、ボンディングパッド部 B P を形成している。すなわち、このボンディングパッド部 B P には、ボンディングワイヤが直接接続され、これを通じて半導体集積回路装置を構成するパッケージのリードが電氣的に接続されるようになっている。なお、このボンディングパッド部 B P 上に下地金属層を介して鉛 - 錫合金または金等からなるバンプ電極を設ける構造としても良い。また、上述の層間絶縁膜 4 a ~ 4 d は、例えば SOG (Spin On Glass) 法で形成された塗布膜、有機膜、フッ素を添加した CVD 膜、窒化シリコン膜またはそれらを積み重ねて成る積層膜等でも良い。

10

【0090】

次に、本実施の形態 1 の半導体集積回路装置の製造方法を図 8 ~ 図 18 によって説明する。

【0091】

まず、同一材料からなる埋め込み配線の形成方法を図 8 ~ 図 12 によって説明する。なお、ここでは、第 1 層配線 6 L、第 2 層配線 9 L および第 3 層配線 11 L の構造は同じなので、説明を簡単にするため、第 1 層配線 6 L を代表例として埋め込み配線の形成方法を説明する。

【0092】

図 8 は製造工程中における半導体集積回路装置の要部断面図である。半導体基板 1 上に形成された層間絶縁膜 4 a には、半導体基板 1 の主面 (半導体領域 3 n d) が露出するような接続孔 8 a がフォトリソグラフィ技術およびドライエッチング技術によって既に穿孔されている。なお、層間絶縁膜 4 a は、例えばシリコン酸化膜、SOG (Spin On Glass) 膜、有機膜、フッ素を添加した CVD 膜、窒化シリコン膜またはそれらを積み重ねて成る積層膜等からなる。層間絶縁膜 4 a は、例えば CVD (Chemical Vapor Deposition) 法により堆積されたシリコン酸化膜を、CMP 法等により研磨することにより、その表面が平坦化されている。

20

【0093】

続いて、図 9 に示すように、層間絶縁膜 4 a の上面、接続孔 8 a の側面および底面に、例えばタングステン (W) 等からなる薄い導体膜 7 C1 をスパッタリング法等によって被着する。この薄い導体膜 7 C1 は、接続用導体部と層間絶縁膜 4 a との密着性を向上させる機能や厚い導体膜 7 C2 の形成時の材料ガス等の拡散や厚い導体膜 7 C2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、タングステンに限定されるものではなく種々変更可能であり、例えば TiN、Ti、Ta、WN、WSiN、TiSiN、TaN または TaSiN 等でも良い。

30

【0094】

その後、薄い導体膜 7 C1 上に、例えばタングステン等からなる厚い導体膜 7 C2 を CVD 法等によって被着する。これにより、微細な接続孔 8 a 内に導体膜を良好に充填することができる。この厚い導体膜 7 C2 は、タングステン等に限定されるものではなく種々変更可能であり、例えば Al または Al 合金等のような低抵抗な材料でも良い。また、この厚い導体膜 7 C2 の形成方法は、CVD 法に限定されるものではなく、例えばメッキ法、あるいはスパッタ法、CVD 法メッキ法を組み合わせたもの等でも良い。

40

【0095】

ただし、第 2 層配線および第 3 層配線においては、接続用導体部 10 C, 12 C (図 1 参照) の厚い導体膜の形成材料として、上記した材料の他に、Cu または Cu 合金を用いても良い。この場合の Cu の成膜方法としては、例えば CVD 法またはメッキ法等を用いれば良い。

【0096】

次いで、半導体基板 1 に対して、例えば CMP (Chemical Mechanical Polishing) 処理を施すことにより、接続孔 8 a 以外の領域における層間絶縁膜 4 a 上の厚い導体膜 7 C

50

2 および薄い導体膜 7 C1 を除去することにより、図 10 に示すように、接続孔 8 a 内に接続用導体部 7 C を形成する。

【 0 0 9 7 】

続いて、図 11 に示すように、層間絶縁膜 4 a 上に、配線用溝形成用のフォトレジストパターン 17 a を形成した後、これをエッチングマスクとして、そのフォトレジストパターン 17 a から露出する層間絶縁膜 4 a 部分を除去することにより、層間絶縁膜 4 a の上部に配線用溝 5 a および配線用溝 5 b (図 1 参照) を形成する。この際、配線用溝 5 a 中には先に形成した接続用導体部 7 C の上部が突出されている。

【 0 0 9 8 】

その後、フォトレジストパターン 17 a を除去した後、図 12 に示すように、配線用溝 5 a を含む層間絶縁膜 4 a の表面および接続用導体部 7 C の露出表面に、例えば TiN 等からなる薄い導体膜 6 L1 をスパッタリング法等によって被着する。この薄い導体膜 6 L1 は、第 1 層配線と層間絶縁膜 4 a との密着性を向上させる機能や厚い導体膜の構成原子の拡散を抑制するバリア機能を持つ材料からなり、TiN に限定されるものではなく種々変更可能であり、例えばタングステン、Ti、Ta、WN、WSiN、TiSiN、TaN または TaSiN 等でも良い。

【 0 0 9 9 】

次いで、薄い導体膜 6 L1 上に、例えば Cu 等からなる厚い導体膜 6 L2 を CVD 法、スパッタリング法またはメッキ法、あるいはそれらの組み合わせ等によって被着する。この Cu 等の成膜においては、可能な限りオーバーハングが小さくステップカバレッジの良い方法を採用することが望ましい。例えばスパッタリング法においては、ターゲットと半導体ウエハとの間の距離が半導体ウエハの半径以上離れているようなスパッタリング装置が適している。この厚い導体膜 6 L2 は、Cu に限定されるものではなく種々変更可能であり、例えば Cu 合金、Al、Al 合金、タングステンまたはタングステン合金でも良い。

【 0 1 0 0 】

上記した配線用の導体膜をスパッタリング法で成膜した場合には、特に、続いて、半導体基板 1 に対して熱処理を施すことにより、厚い導体膜 6 L2 の構成原子 (例えば Cu) を流動させて配線用溝 5 a 内にその構成原子を十分に供給し埋め込む。この際、熱処理雰囲気の不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその 2 つ以上を組み合わせた雰囲気とする。また、この熱処理を Cu のスパッタリング最中に施す、いわゆるリフロースパッタリング法を採用しても良い。これらにより、Cu 配線の EM 特性を向上させることができる。

【 0 1 0 1 】

その後、半導体基板 1 に対して CMP 処理を施すことにより、配線用溝 5 a, 5 b (図 1 参照) 以外の領域における層間絶縁膜 4 a 上の厚い導体膜 6 L2 および薄い導体膜 6 L1 を除去することにより、図 2 等に示した第 1 層配線 6 L を形成する。

【 0 1 0 2 】

この CMP 処理後または処理前に半導体基板 1 に対して熱処理を施しても良い。この際、熱処理雰囲気を不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその 2 つ以上を組み合わせた雰囲気とする。この CMP 処理後の熱処理工程では、厚い導体膜 6 L2 の Cu の粒成長を促進させて EM 耐性を向上させるとともに、CMP 処理時に薄い導体膜 6 L1 および厚い導体膜 6 L2 の表面に生じた損傷や酸化膜をなくしその表面を滑らかにする。同時に絶縁膜 4 a の表面汚染を除去低減する。これにより、配線の信頼性を向上させることが可能となる。

【 0 1 0 3 】

次に、同一の埋め込み配線層に異種導体材料からなる埋め込み配線を形成する方法を図 13 ~ 図 18 によって説明する。これは、上記した同一配線層内に異種の導体材料からなる配線が存在する場合の形成方法例に該当する。なお、本実施の形態 1 においては、配線用溝 5 a, 5 b 内に異種導体材料からなる第 1 層配線 6 L を形成する場合を代表例として

10

20

30

40

50

説明する。

【0104】

図13は半導体集積回路装置の製造工程中の層間絶縁膜4aの要部斜視図である。層間絶縁膜4aの上部には、配線用溝5aがフォトリソグラフィ技術およびドライエッチング技術によって形成されている。

【0105】

続いて、図14に示すように、配線用溝5aを含む層間絶縁膜4aの表面に、例えばTiN等からなる薄い導体膜6L1をスパッタリング法等によって被着する。この薄い導体膜6L1は、第1層配線と層間絶縁膜4aとの密着性を向上させる機能や厚い導体膜の構成原子の拡散を抑制するバリア機能を持つ材料からなり、TiNに限定されるものではなく種々変更可能であり、例えばタングステン、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等でも良い。

10

【0106】

その後、薄い導体膜6L1上に、例えばCu等からなる厚い導体膜6L2をCVD法、スパッタリング法またはメッキ法等によって被着する。このCu等の成膜においては、可能な限りオーバーハングが小さくステップカバレッジの良い方法を採用することが望ましい。例えばスパッタリング法においては、ターゲットと半導体ウエハとの間の距離が半導体ウエハの半径以上離れているようなスパッタリング装置が適している。この厚い導体膜6L2は、Cuに限定されるものではなく種々変更可能であり、例えばCu合金、Al、Al合金、タングステンまたはタングステン合金でも良い。

20

【0107】

上記した配線用の導体膜をスパッタリング法で成膜した場合には、特に、次いで、半導体基板1に対して熱処理を施すことにより、厚い導体膜の構成原子(例えばCu)を流動させて配線用溝5a内にその構成原子を十分に供給し埋め込む。この際、熱処理雰囲気の不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその2つ以上を組み合わせた雰囲気とする。また、この熱処理をCuのスパッタリング最中に施す、いわゆるリフロースパッタリング法を採用しても良い。これにより、Cu配線のEM特性を向上させることが可能となる。

【0108】

続いて、半導体基板1に対してCMP処理を施すことにより、配線用溝5a以外の領域における層間絶縁膜4a上の厚い導体膜6L2および薄い導体膜6L1を除去することにより、図15に示すように、配線用溝5a内に第1層配線6Lを形成する。

30

【0109】

このCMP処理後または処理前に半導体基板1に対して熱処理を施しても良い。この際、熱処理雰囲気を不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその2つ以上を組み合わせた雰囲気とする。このCMP処理後の熱処理工程では、厚い導体膜6L2のCuの粒成長を促進させてEM耐性を向上させるとともに、CMP処理時に薄い導体膜6L1および厚い導体膜6L2の表面に生じた損傷や酸化膜をなくしその表面を滑らかにする。同時に絶縁膜4aの表面汚染を除去低減する。これにより、配線の信頼性を向上させることが可能となる。

40

【0110】

その後、図16に示すように、層間絶縁膜4aの上部に、配線用溝5aよりも幅の狭いか、あるいは長さの短い配線用溝5bをフォトリソグラフィ技術およびドライエッチング技術によって形成する。この際、配線用溝5bの深さは、配線用溝5aと同一でも良いが、配線用溝5aの深さとは異なる深さに設定しても良い。例えば図17に示すように配線用溝5bの深さを配線用溝5aの深さよりも深くしても良い。この場合、配線用溝5bは幅は狭いが、深いので配線用溝5b内に埋め込まれる導体膜の配線抵抗を低下させることが可能となる。あるいは配線用溝5bを深くして、下層配線層または半導体基板に到達させ、接続用にも使用することも可能である。

【0111】

50

次いで、上記したのと同様に、配線用溝 5 a 内の第 1 層配線 6 L の上面および配線用溝 5 b を含む層間絶縁膜 4 a の表面に、例えばタングステン等からなる薄い導体膜をスパッタリング法等によって被着する。この薄い導体膜は、第 1 層配線と層間絶縁膜 4 a との密着性を向上させる機能や厚い導体膜の構成原子の拡散を抑制するバリア機能を持つ材料からなり、タングステンに限定されるものではなく種々変更可能であり、例えば TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂N または TaSiN 等でも良い。

【0112】

続いて、その薄い導体膜上に、例えばタングステン等からなる厚い導体膜を CVD 法等によって被着する。このタングステン等の成膜においては、可能な限りオーバーハングが小さくステップカバレッジの良い方法を採用することが望ましい。これにより、幅の狭い配線用溝 5 b でも、また、図 17 に示したように配線用溝 5 a よりも深い配線用溝 5 b でもその内部に配線用導体を良好に充填することが可能となる。この厚い導体膜は、タングステンに限定されるものではなく種々変更可能であり、例えばタングステン合金、Al または Al 合金でも良い。

【0113】

次いで、半導体基板 1 に対して CMP 処理を施すことにより、配線用溝 5 b 以外の領域における厚い導体膜および薄い導体膜を除去することにより、図 18 に示すように、配線用溝 5 a よりも幅の狭い配線用溝 5 b 内に、配線用溝 5 a 内の薄い導体膜 6 L1 および厚い導体膜 6 L2 とは異種の導体材料からなる薄い導体膜 6 L1 および厚い導体膜 6 L2 からなる第 1 層配線 6 L を形成する。

【0114】

このように、本実施の形態 1 によれば、以下の効果を得ることが可能となる。

【0115】

(1). 微細な接続孔 8 a ~ 8 f 内に CVD 法等を用いて導体膜を充填した後に、接続孔 8 a ~ 8 f よりも平面寸法の大きな配線用溝 5 a ~ 5 f を形成し、その配線用溝 5 a ~ 5 f 内に導体膜を充填することで埋め込み構造の第 1 層配線 6 L、接続用導体部 7 C、第 2 層配線 9 L、接続用導体部 10 C、第 3 層配線 11 L および接続用導体部 12 C を形成したことにより、配線用溝 5 a ~ 5 f およびそれよりも微細な接続孔 8 a ~ 8 f の両方に導体膜を良好に埋め込むことが可能となる。

【0116】

(2). 同一配線層に寸法の異なる配線用溝等を有する場合には、微細な配線用溝等とそれよりも大きな配線用溝等とで埋め込みのし易い方法を選択して導体膜を埋め込むことにより、双方の配線用溝内に導体膜を良好に埋め込むことが可能となる。

【0117】

(3). 上記(1)または(2)により、配線層間の接続上の信頼性を向上させることが可能となる。したがって、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0118】

(4). 上記(1)または(2)により、埋込配線の微細化を推進することが可能となる。したがって、半導体集積回路装置の小形化あるいは高集積化を推進することが可能となる。

【0119】

(5). 上記(1)または(2)により、難しい技術を採用することなく、配線用溝 5 a ~ 5 f および接続孔 8 a ~ 8 f に導体膜を良好に埋め込むことが可能となる。

【0120】

(6). 上記(1)または(2)により、埋込配線材料として Cu または Cu 合金等を用いた場合でもその埋め込みの状態を良好にすることが可能となる。

【0121】

(7). 半導体基板 1 と直接接触する接続用導体部 7 C はタングステン系 (タングステンまたはタングステン合金) の導体材料で構成し、かつ、接続用導体部 7 C と接続される第 1 層配線 6 L は低抵抗な Cu 系の導体材料で構成することにより、接続孔 8 a 内への導体膜

10

20

30

40

50

の埋め込み状態を良好に保ちつつ、Cu原子の半導体基板1側への拡散を防止してその拡散現象に起因する接続不良を回避し、かつ、第1層配線6Lの配線抵抗を低減して信号の伝搬速度を向上させることが可能となる。

【0122】

(8). 最上の第4層配線13LをAl系(AlまたはAl合金)の導体材料で構成したことにより、従来のワイヤボンディング技術やパンプ電極の形成技術等の組立技術をそのまま踏襲できる。したがって、Cu系の埋め込み配線を有する半導体集積回路装置を容易に組立工程に導入することが可能となる。

【0123】

(9). Al系の導体材料からなる第4層配線13Lとその下層のCu系の導体材料からなる第3層配線11Lとの間にタングステン系の導体材料からなる接続用導体部14Cを設けたことにより、Al系の導体材料とCu系の導体材料とを厚いバリアメタルで隔離できるため、Al系の導体材料とCu系の導体材料とを直接接触させた場合にその接触部に比抵抗の高い合金層が形成されてしまうのを防止することができるので、配線層間の抵抗を低下させることが可能となる。

【0124】

(10). Cu系の導体材料からなる埋め込み配線を形成するためのCMP処理後に半導体基板1に対して熱処理を施すことにより、Cuの粒成長を促進させてEM耐性を向上させるとともに、CMP処理時に配線用の導体膜の表面に生じた損傷や酸化膜等をなくしその表面を滑らかにすることやCMP時に露出する絶縁膜の表面汚染を除去低減することができるので、Cu系の導体材料からなる埋込配線の信頼性を向上させることが可能となる。

【0125】

(実施の形態2)

図19~図23は本発明の他の実施の形態である半導体集積回路装置の製造工程における要部断面図、図24は半導体集積回路装置の要部断面図である。

本実施の形態2においては、接続用導体部の構造およびその形成方法が前記実施の形態1と異なる。

【0126】

まず、図19に示すように、層間絶縁膜4aの上面に配線用溝形成用のフォトリソパターン17bを形成した後、そのフォトリソパターン17bをエッチングマスクとしてエッチング処理を施すことにより、層間絶縁膜4aの上部に配線用溝5aを形成する。

【0127】

続いて、フォトリソパターン17bを除去した後、図20に示すように、層間絶縁膜4a上に接続孔形成用のフォトリソパターン17cを形成した後、そのフォトリソパターン17cをエッチングマスクとしてエッチング処理を施すことにより、配線用溝5aの底面から半導体基板1に向かって伸び、かつ、半導体基板1の上面の一部が露出するような接続孔8aを層間絶縁膜4aに穿孔する。

【0128】

その後、フォトリソパターン17cを除去した後、図21に示すように、接続孔8a内に、例えばタングステン等からなる接続用導体部7Cを選択CVD法等により形成する。この際、接続用導体部7Cの上部が配線用溝5a中に突出していてもかまわない。また、接続用導体部7Cの材料は、タングステンに限定されるものではなく種々変更可能であり、例えばタングステン合金、Al、Al合金でも良い。

【0129】

次いで、図22に示すように、配線用溝5aを含む層間絶縁膜4aの表面および接続用導体部7Cの露出表面に、例えばTiN等からなる薄い導体膜6L1をスパッタリング法等によって被着する。この薄い導体膜6L1は、第1層配線と層間絶縁膜4aとの密着性を向上させる機能や厚い導体膜の構成原子の拡散を抑制するバリア機能を持つ材料からなり、TiNに限定されるものではなく種々変更可能であり、例えばタングステン、Ti、

10

20

30

40

50

Ta、WN、WSiN、TiSiN、TaNまたはTaSiN等でも良い。

【0130】

続いて、薄い導体膜6L1上に、例えばCu等からなる厚い導体膜6L2をCVD法、スパッタリング法またはメッキ法等によって被着する。このCu等の成膜においては、可能な限りオーバーハングが小さくステップカバレッジの良い方法を採用することが望ましい。例えばスパッタリング法においては、ターゲットと半導体ウエハとの間の距離が半導体ウエハの半径以上離れているようなスパッタリング装置が適している。この厚い導体膜6L2は、Cuに限定されるものではなく種々変更可能であり、例えばCu合金、Al、Al合金、タングステンまたはタングステン合金でも良い。

【0131】

上記した配線用の導体膜をスパッタリング法で成膜した場合には、特に、次いで、半導体基板1に対して熱処理を施すことにより、厚い導体膜の構成原子(例えばCu)を流動させて配線用溝5a内にその構成原子を十分に供給し埋め込む。この際、熱処理雰囲気の不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその2つ以上を組み合わせた雰囲気とする。また、この熱処理をCuのスパッタリング最中に施す、いわゆるリフローズスパッタリング法を採用しても良い。これにより、Cu配線のEM特性を向上させることが可能となる。

【0132】

続いて、半導体基板1に対してCMP処理を施すことにより、配線用溝5a以外の領域における層間絶縁膜4a上の厚い導体膜6L2および薄い導体膜6L1を除去することにより、図23に示すように、配線用溝5a内に第1層配線6Lを形成する。

【0133】

このCMP処理後または処理前に半導体基板1に対して熱処理を施しても良い。この際、熱処理雰囲気を不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその2つ以上を組み合わせた雰囲気とする。このCMP処理後の熱処理工程では、厚い導体膜6L2のCuの粒成長を促進させてEM耐性を向上させるとともに、CMP処理時に薄い導体膜6L1および厚い導体膜6L2の表面に生じた損傷や酸化膜をなくしその表面を滑らかにする。同時に絶縁膜4aの表面汚染を除去低減する。これにより、配線の信頼性を向上させることが可能となる。

【0134】

なお、このような埋め込み配線構造は、図24に示すように、第2層配線9Lに適用しても良い。すなわち、接続用導体部10Cが、例えば選択CVD法で形成されたタングステン、タングステン合金、Al、Al合金、CuまたはCu合金等のような導体膜からなる構造となっている。

【0135】

このような本実施の形態2によれば、前記実施の形態1と同様の効果を得ることが可能となる。

【0136】

(実施の形態3)

図25～図28および図29～図32は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図、図33は半導体集積回路装置の要部断面図である。

【0137】

図25は製造工程中における半導体集積回路装置を示している。層間絶縁膜4aには、前記実施の形態2で説明した方法によって、配線用溝5aおよび接続孔8aが形成されている。

【0138】

まず、本実施の形態3においては、図26に示すように、接続孔8a内に、例えばタングステン等からなる接続用導体部7Cを選択CVD法により形成する。この際、本実施の形態3においては、接続用導体部7Cの上部が配線用溝5aの外側に突出する程度に成膜

10

20

30

40

50

処理を行う。また、接続用導体部 7 C の材料は、タングステンに限定されるものではなく種々変更可能であり、例えばタングステン合金、Al、Al 合金でも良い。

【0139】

次いで、図 27 に示すように、配線用溝 5 a を含む層間絶縁膜 4 a の表面および接続用導体部 7 C の表面に、例えば TiN 等からなる薄い導体膜 6 L1 をスパッタリング法等によって被着する。この薄い導体膜 6 L1 は、第 1 層配線と層間絶縁膜 4 a との密着性を向上させる機能や厚い導体膜の構成原子の拡散を抑制するバリア機能を持つ材料からなり、TiN に限定されるものではなく種々変更可能であり、例えばタングステン、Ti、Ta、WN、WSiN、TiSiN、TaN または TaSiN 等でも良い。

【0140】

続いて、薄い導体膜 6 L1 上に、例えば Cu 等からなる厚い導体膜 6 L2 を CVD 法、スパッタリング法またはメッキ法等によって被着する。この Cu 等の成膜においては、可能な限りオーバーハングが小さくステップカバレッジの良い方法を採用することが望ましい。例えばスパッタリング法においては、ターゲットと半導体ウエハとの間の距離が半導体ウエハの半径以上離れているようなスパッタリング装置が適している。この厚い導体膜 6 L2 は、Cu に限定されるものではなく種々変更可能であり、例えば Cu 合金、Al、Al 合金、タングステンまたはタングステン合金でも良い。

【0141】

上記した配線用の導体膜をスパッタリング法で成膜した場合には、特に、次いで、半導体基板 1 に対して熱処理を施すことにより、厚い導体膜の構成原子（例えば Cu）を流動させて配線用溝 5 a 内にその構成原子を十分に供給し埋め込む。この際、熱処理雰囲気の不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその 2 つ以上を組み合わせた雰囲気とする。また、この熱処理を Cu のスパッタリング最中に施す、いわゆるリフロースパッタリング法を採用しても良い。これにより、Cu 配線の EM 耐性を向上させることができる。

【0142】

続いて、半導体基板 1 に対して CMP 処理を施すことにより、配線用溝 5 a 以外の領域における層間絶縁膜 4 a 上の厚い導体膜 6 L2 および薄い導体膜 6 L1 を除去することにより、図 28 に示すように、配線用溝 5 a 内に第 1 層配線 6 L を形成するとともに、接続用導体 7 C を形成する。

【0143】

この CMP 処理後または処理前に半導体基板 1 に対して熱処理を施しても良い。この際、熱処理雰囲気を不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその 2 つ以上を組み合わせた雰囲気とする。この CMP 処理後の熱処理工程では、厚い導体膜 6 L2 の Cu の粒成長を促進させて EM 耐性を向上させるとともに、CMP 処理時に薄い導体膜 6 L1 および厚い導体膜 6 L2 の表面に生じた損傷や酸化膜をなくしその表面を滑らかにする。同時に絶縁膜 4 a の表面汚染を除去低減する。これにより、配線の信頼性を向上させることが可能となる。

【0144】

また、図 28 の構造のような埋め込み配線を形成するには、例えば次のようにしても良い。

【0145】

まず、図 29 に示すように、層間絶縁膜 4 a に半導体基板 1 の上面の一部が露出するような接続孔 8 a をフォトリソグラフィ技術およびドライエッチング技術によって形成する。

【0146】

続いて、図 30 に示すように、接続孔 8 a 内に、例えばタングステン等からなる接続用導体部 7 C を選択 CVD 法により形成する。この際、接続用導体部 7 C の上面が層間絶縁膜 4 a の上面とほぼ一致する程度になるように成膜処理を行う。また、接続用導体部 7 C の材料は、タングステンに限定されるものではなく種々変更可能であり、例えばタングス

10

20

30

40

50

テン合金、Al、Al合金でも良い。

【0147】

その後、図31に示すように、層間絶縁膜4aに配線用溝5aをフォトリソグラフィ技術およびドライエッチング技術によって形成形成する。この際、配線用溝5a中に接続用導体部7Cの上部が露出している。

【0148】

次いで、図32に示すように、配線用溝5aを含む層間絶縁膜4aの表面および接続用導体部7Cの露出表面に、例えばTiN等からなる薄い導体膜6L1をスパッタリング法等によって被着する。この薄い導体膜6L1は、第1層配線と層間絶縁膜4aとの密着性を向上させる機能や厚い導体膜の構成原子の拡散を抑制するバリア機能を持つ材料からなり、TiNに限定されるものではなく種々変更可能であり、例えばタングステン、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等でも良い。

10

【0149】

続いて、薄い導体膜6L1上に、例えばCu等からなる厚い導体膜6L2をCVD法、スパッタリング法またはメッキ法等によって被着する。このCu等の成膜においては、可能な限りオーバーハングが小さくステップカバレッジの良い方法を採用することが望ましい。例えばスパッタリング法においては、ターゲットと半導体ウエハとの間の距離が半導体ウエハの半径以上離れているようなスパッタリング装置が適している。この厚い導体膜6L2は、Cuに限定されるものではなく種々変更可能であり、例えばCu合金、Al、Al合金、タングステンまたはタングステン合金でも良い。

20

【0150】

上記した配線用の導体膜をスパッタリング法で成膜した場合には、特に、次いで、半導体基板1に対して熱処理を施すことにより、厚い導体膜の構成原子(例えばCu)を流動させて配線用溝5a内にその構成原子を十分に供給し埋め込む。この際、熱処理雰囲気の不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその2つ以上を組み合わせた雰囲気とする。また、この熱処理をCuのスパッタリング最中に施す、いわゆるリフロースパッタリング法を採用しても良い。

【0151】

続いて、半導体基板1に対してCMP処理を施すことにより、配線用溝5a以外の領域における層間絶縁膜4a上の厚い導体膜6L2および薄い導体膜6L1を除去することにより、図28に示したように、配線用溝5a内に第1層配線6Lを形成するとともに、接続用導体部7Cを形成する。

30

【0152】

このCMP処理後または処理前に半導体基板1に対して熱処理を施しても良い。この際、熱処理雰囲気の不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその2つ以上を組み合わせた雰囲気とする。この熱処理工程では、厚い導体膜6L2のCuの粒成長を促進させてEM耐性を向上させるとともに、CMP処理時に薄い導体膜6L1および厚い導体膜6L2の表面に生じた損傷や酸化膜をなくしその表面を滑らかにする。同時に絶縁膜4aの表面汚染を除去低減する。これにより、配線の信頼性を向上させることが可能となる。

40

【0153】

なお、このような埋め込み配線構造は、図33に示すように、第2層配線9Lに適用しても良い。すなわち、接続用導体部10Cが、例えば選択CVD法で形成されたタングステン、タングステン合金、Al、Al合金等のような導体膜からなる構造となっている。

【0154】

このように、本実施の形態3によれば、前記実施の形態1と同様の効果を得ることが可能となる。

【0155】

(実施の形態4)

図34および図35は本発明の他の実施の形態である半導体集積回路装置の要部断面図

50

である。

【0156】

本実施の形態4においては、図34および図35に示すように、接続用導体部7C, 10Cが薄い導体膜7C1, 10C1で構成されている。すなわち、接続孔8a, 8bが薄い導体膜7C1, 10C1で埋め込まれてしまっている構造である。薄い導体膜7C1, 10C1は、接続用導体部7C, 10Cと層間絶縁膜4a, 4bとの密着性を向上させる機能や配線の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、TaNまたはTaSiN等からなる。

【0157】

接続孔8aの直径は、例えば0.1~0.4μm程度、好ましくは、例えば0.2μm程度である。また、接続孔8aのアスペクト比は、2~10程度、接続用導体部の埋め込みを良好に行うことを考慮すると5程度より小さいことが好ましい。

【0158】

また、接続孔8bの直径は、例えば0.1~0.4μm程度、好ましくは、例えば0.2μm程度である。また、接続孔8bのアスペクト比は、2~10程度、接続用導体部の埋め込みを良好に行うことを考慮すると5程度より小さいことが好ましい。

【0159】

また、配線の構造は図33および図34に示した構造に限定されるものではなく種々変更可能であり、例えば前記実施の形態1で説明した図3~図5に示す構造にしても良い。

【0160】

このような埋め込み配線の形成方法は、前記実施の形態1の図8~図12を用いて説明したのと同じである。すなわち、第1層配線6Lの形成方法を一例とすると次の通りである。

【0161】

まず、層間絶縁膜4aに接続孔8aを穿孔した後、その層間絶縁膜4a上に接続孔8aを埋め込むように薄い導体膜7C1をスパッタリング法等によって被着する。続いて、半導体基板1に対してCMP法等を施すことにより、その薄い導体膜7C1において接続孔8aの領域以外の部分を除去して、接続孔8a内に、薄い導体膜7C1のみからなる接続用導体部7Cを形成する。その後、層間絶縁膜4aに配線用溝5aを形成した後、その層間絶縁膜4a上に配線用溝5aを埋め込むように配線用導体膜をスパッタリング法、CVD法またはメッキ法等によって被着する。その後、半導体基板1に対してCMP法等を施すことにより、その配線用導体膜において配線用溝5aの領域以外の部分を除去して、配線用溝5a内に第1層配線6Lを形成する。

【0162】

厚い導体膜6L1の成膜後またはCMP処理後に半導体基板1に対して熱処理を施しても良い。この際、熱処理雰囲気の不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその2つ以上を組み合わせた雰囲気とする。熱処理を施すことにより、厚い導体膜6L2のCuの粒成長を促進させてEM耐性を向上させるとともに、CMP処理時に薄い導体膜6L1および厚い導体膜6L2の表面に生じた損傷や酸化膜をなくしその表面を滑らかにすることと、絶縁膜4aの表面汚染を除去低減することができるので、配線の信頼性を向上させることが可能となる。

【0163】

このような本実施の形態4によれば、前記実施の形態1と同様の効果を得ることが可能となる。

【0164】

(実施の形態5)

図36は本発明の他の実施の形態である半導体集積回路装置の要部断面図、図37は図36の半導体集積回路装置の要部拡大断面図、図38は図37に示した半導体集積回路装置の要部の変形例を示す要部拡大断面図、図39は図37に示した半導体集積回路装置の

10

20

30

40

50

要部拡大断面図、図40および図41は図39に示した半導体集積回路装置の要部拡大断面図、図42は図39の半導体集積回路装置の要部を模式的に示した説明図、図43は図42の変形例を模式的に示した説明図、図44および図45は図42の変形例を模式的に示した説明図、図46～図50は図36の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。まず、本実施の形態5の半導体集積回路装置の構造を図36～図50によって説明する。本実施の形態5の基本的な全体構造は、例えば次の通りである。

【0165】

第1に、第1層配線6Lの構成材料には、例えばタングステン、タングステン合金、AlまたはAl合金等のようなCuまたはCu合金以外の導体材料を用いる。これにより、Cu配線を半導体基板1に直接接触させない構造にすることができるので、Cu原子が半導体基板1側に拡散することに起因する素子不良を抑制することができ、半導体集積回路装置の信頼性を向上させることが可能となる。また、Cu配線で構成される第2、第3層配線9L、11Lと半導体基板1との距離を離すことによりCu原子の半導体基板1への拡散を低減できる。

10

【0166】

第2に、最上の第4層配線13Lの構成材料には、例えばAlまたはAl合金等を用いる。これにより、従来からあるボンディングワイヤの接続技術やパンプ電極の形成技術をそのまま踏襲できる。すなわち、最上の配線層はボンディングワイヤやパンプ電極が接続されるが、最上の配線材料を従来から用いられているAlまたはAl合金とすることにより、ボンディングワイヤやパンプ電極の接合上の従来技術をそのまま使用することが可能となる。このため、組立工程(ワイヤボンディング工程やパンプ電極形成工程)の技術的な変更等を伴うことなく、Cu系材料からなる埋め込み配線構造を有する半導体集積回路装置を組立ラインに導入することが可能となる。したがって、Cu系材料からなる埋め込み配線を有する半導体集積回路装置のコスト低減を推進でき、製造・開発時間の短期化を推進することが可能となる。

20

【0167】

第3に、最上の配線層と最下の配線層との間の中間の配線層(第2層配線9Lおよび第3層配線11L)の構成材料には、例えばCuまたはCu合金を用いる。これにより、配線抵抗や配線容量を低減することができ、半導体集積回路装置における信号伝搬速度を向上させることが可能となり、その動作速度を向上させることが可能となる。

30

【0168】

第4に、Cu系材料で構成された配線層間を接続する接続用導体部18C、19Cを、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、TaSiNまたはTaSiN等からなる材料で構成する。これにより、微細な接続孔8g、8h内に導体膜を良好に埋め込むことができるので、配線層間の電気的な接続の信頼性を向上させることが可能となる。

【0169】

第5に、Al系材料からなる第4層配線13Lと、Cu系材料からなる第3層配線11Lとは直接接触させず、その間にバリア層(接続用導体部20C等)を介在させる。これにより、Al系材料とCu系材料とが直接接触した場合に、比抵抗の高い合金層が形成されてしまう現象を抑制することができるので、配線に流れる信号の伝搬速度を向上させることが可能となる。

40

【0170】

第6に、接続用導体部19Cと接続用導体部20Cとが接続される部分に位置する配線層中に、少なくとも配線の長手方向に沿って接続用導体部19C、20Cよりも平面的に長く形成された接続用導体部(中継用の接続用導体部)21Cを設けて、上記した接続用導体部19Cと接続用導体部20Cとを電気的に接続した。これにより、接続用導体部21Cが形成される接続用溝5gの平面積を比較的大きくすることができるので、その溝内に配線用導体膜を良好に埋め込むことが可能となる。また、接続用導体部19Cと接続用導体部20Cとの配線の長手方向における平面的な位置合わせ余裕を大きくすることが可

50

能となる。したがって、上下の接続用導体部 19C, 20C の接続上の信頼性を向上させることが可能となる。

【0171】

次に、本実施の形態 5 の半導体集積回路装置における各構成部を詳細に説明する。

【0172】

配線用溝 5a, 5b 内に埋め込まれて形成された第 1 層配線 6L は、下部および側部の相対的に薄い導体膜 6L1 と、その薄い導体膜 6L1 に囲まれた相対的に厚い導体膜 6L2 とで構成されている。薄い導体膜 6L1 は、第 1 層配線 6L と層間絶縁膜 4a との密着性を向上させる機能や厚い導体膜 6L2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂N または TaSiN 等からなる。薄い導体膜 6L1 をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂N または TaSiN 等で構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態 5 においては、薄い導体膜 6L1 が、例えばタングステンで構成されている。

10

【0173】

また、厚い導体膜 6L2 は、第 1 層配線 6L の本体を構成する部材であり、例えば Al、Al 合金、タングステンまたはタングステン合金等のような低抵抗な材料からなる。特に限定されないが、本実施の形態 5 においては、厚い導体膜 6L2 が、例えばタングステンで構成されている。

【0174】

ただし、第 1 層配線 6L の構造は図 36 および図 37 に示した構造に限定されるものではなく種々変更可能であり、前記実施の形態 1 において図 3 ~ 図 5 を用いて説明した構造にしても良い。すなわち、厚い導体膜 6L2 および薄い導体膜 6L1 上にキャップ導体膜を設ける構造、厚い導体膜 6L2 上にキャップ導体膜を設け、かつ、キャップ導体膜の上面と層間絶縁膜 4a の上面とをほぼ一致させる構造、厚い導体膜 6L2 のみで配線を構成する構造、厚い導体膜 6L2 のみで配線を構成した場合にその上面にキャップ導体膜を設ける構造等がある。キャップ導体膜は、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂N または TaSiN 等からなる。

20

【0175】

配線用溝 5a の第 1 層配線 6L は、接続孔 8a を通じて nMOS3n の半導体領域 3nd または pMOS3p の半導体領域 3pd と電氣的に接続されている。本実施の形態 5 においては、配線用溝 5a および接続孔 8a 内に配線形成用導体膜が一体的に埋め込まれている。

30

【0176】

このような第 1 層配線 6L の形成方法は、例えば次のような従来の埋め込み配線の形成方法と同じである。すなわち、配線用溝 5a, 5b および接続孔 8a を別々のフォトリソグラフィ技術およびドライエッチング技術によって層間絶縁膜 4a に形成した後、例えばタングステン等からなる薄い導体膜 6L1 をスパッタリング法によって被着し、さらに、その薄い導体膜 6L1 上に、例えばタングステン等からなる厚い導体膜 6L2 を CVD 法等によって形成する。これにより、微細な接続孔 8a 内にも導体膜を良好に埋め込むことが可能となっている。その後、CMP 処理を施して配線用溝 5a, 5b および接続孔 8a 以外の導体膜を除去して、埋め込み構造の第 1 層配線 6L を形成する。

40

【0177】

配線用溝 5c, 5d 内に埋め込まれて形成された第 2 層配線 9L は、下部および側部の相対的に薄い導体膜 9L1 と、その薄い導体膜 9L1 に囲まれた相対的に厚い導体膜 9L2 とで構成されている。薄い導体膜 9L1 は、第 2 層配線 9L と層間絶縁膜 4b との密着性を向上させる機能や厚い導体膜 9L2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂N または TaSiN 等からなる。薄い導体膜 9L1 をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂N または TaSiN 等で

50

構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態5においては、薄い導体膜9L1が、例えばTiNで構成されている。

【0178】

また、厚い導体膜9L2は、第2層配線9Lの本体を構成する部材であり、例えばCuまたはCu合金等のような低抵抗な材料からなる。ただし、第2層配線9Lの構造は図36に示した構造に限定されるものではなく種々変更可能であり、前記実施の形態1において図3～図5を用いて説明した構造にしても良い。すなわち、厚い導体膜9L2および薄い導体膜9L1上にキャップ導体膜を設ける構造、厚い導体膜9L2上にキャップ導体膜を設け、かつ、キャップ導体膜の上面と層間絶縁膜4bの上面とをほぼ一致させる構造、厚い導体膜9L2のみで配線を構成する構造、厚い導体膜9L2のみで配線を構成した場合にその上面にキャップ導体膜を設ける構造等がある。キャップ導体膜は、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。

10

【0179】

配線用溝5cの第2層配線9Lは、接続孔8gを通じて第1層配線6Lと電気的に接続されている。接続孔8gは、配線用溝5cの底面から第1層配線6Lの上面に向かって、その第1層配線6Lの上面の一部が露出するように形成されており、その孔内には、例えばタングステン、タングステン合金、AlまたはAl合金等からなる接続用導体部18Cが設けられている。

【0180】

20

また、配線用溝5e内に埋め込まれて形成された第3層配線11Lは、第2層配線9Lと構造が同じであり、下部および側部の相対的に薄い導体膜11L1と、その薄い導体膜11L1に囲まれた相対的に厚い導体膜11L2とで構成されている。薄い導体膜11L1は、第3層配線11Lと層間絶縁膜4cとの密着性を向上させる機能や厚い導体膜11L2の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。

【0181】

薄い導体膜11L1をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等で構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態5においては、薄い導体膜11L1が、例えばTiNで構成されている。

30

【0182】

また、厚い導体膜11L2は、第3層配線11Lの本体を構成する部材であり、例えばCuまたはCu合金等のような低抵抗な材料からなる。ただし、第3層配線11Lの構造は図36に示した構造に限定されるものではなく種々変更可能であり、前記実施の形態1において図3～図5を用いて説明した構造にしても良い。すなわち、厚い導体膜11L2および薄い導体膜11L1上にキャップ導体膜を設ける構造、厚い導体膜11L2上にキャップ導体膜を設け、かつ、キャップ導体膜の上面と層間絶縁膜4bの上面とをほぼ一致させる構造、厚い導体膜11L2のみで配線を構成する構造、厚い導体膜11L2のみで配線を構成した場合にその上面にキャップ導体膜を設ける構造等がある。キャップ導体膜は、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。

40

【0183】

配線用溝5eの第3層配線11Lは、接続孔8hを通じて第2層配線9Lと電気的に接続されている。接続孔8hは、配線用溝5eの底面から第2層配線9Lの上面に向かって、その第2層配線9Lの上面の一部が露出するように形成されており、その孔内には、例えばタングステン、タングステン合金、AlまたはAl合金等からなる接続用導体部19Cが設けられている。後述する図39に示すように、第2層配線9Lは、例えばY方向に延在して設けられ、第2層配線9L間のピッチはX方向に所定の値で設計される。また、

50

第3層配線11Lは、例えばY方向に垂直なX方向に延在して設けられ、第3層配線11L間のピッチPはY方向に所定の値で設計される。

【0184】

このような第2層配線9Lおよび第3層配線11Lの形成方法は、例えば従来の埋め込み配線の形成方法と同じである。すなわち、第2層配線9Lの形成方法を例として説明すると次の通りである。

【0185】

まず、配線用溝5c、5dおよび接続孔8gを別々のフォトリソグラフィ技術およびドライエッチング技術によって層間絶縁膜4bに形成した後、例えばタングステン等からなる導体膜を選択CVD法等によって接続孔8g内に選択的に成長させて接続用導体部18Cを形成する。

10

【0186】

続いて、例えばTiN等からなる薄い導体膜9L1をスパッタリング法によって被着し、さらに、その薄い導体膜9L1上に、例えばCuまたはCu合金等からなる厚い導体膜9L2を、スパッタリング法、CVD法またはメッキ法等によって形成する。この工程後、熱処理を施してCu原子を配線用溝5c、5d内に良好に充填するようにしても良い。これにより、微細な接続孔8g内に導体膜を良好に埋め込むことが可能となる。

【0187】

その後、半導体基板1に対してCMP処理を施して配線用溝5c、5d以外の導体膜を除去し、埋め込み構造の第2層配線9Lを形成する。厚い導体膜9L2の成膜後またはCMP処理後に半導体基板1に対して熱処理を施しても良い。この際、熱処理雰囲気の不活性ガス雰囲気、酸化性ガス雰囲気または還元ガス雰囲気のいずれか、あるいはその2つ以上を組み合わせた雰囲気とする。熱処理を施すことにより、厚い導体膜9L2のCuの粒成長を促進させてEM耐性を向上させるとともに、CMP処理時に薄い導体膜6L1および厚い導体膜9L2の表面に生じた損傷や酸化膜をなくしその表面を滑らかにすること、また、絶縁膜4aの表面汚染を除去低減できることができるので、配線の信頼性を向上させることが可能となる。

20

【0188】

ただし、接続孔8g、8hの埋め込み構造は、図36等に示した構造に限定されるものではなく種々変更可能であり、例えば図38に示す構造としても良い。すなわち、図38においては、接続孔8g、8hが薄い導体膜9L1、11L1で埋め込まれている。この場合の薄い導体膜11L1の構成材料も上記した材料と同じであり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。厚い導体膜9L2、11L2は、例えばCuまたはCu合金からなる。

30

【0189】

また、接続孔8g、8hが、その下部および側部の相対的に薄い導体膜と薄い導体膜に囲まれた相対的に厚い導体膜とで構成されていても良い。この場合、薄い導体膜は、例えばタングステン、TiN等からなる。厚い導体膜は、例えばタングステン等からなる。

【0190】

一方、層間絶縁膜4cの上部(第3配線層)には、上記した配線用溝5eとともに、それと同じ深さの接続用溝5gが形成されている。接続用溝5gは、配線用溝5eと同時に形成されている。

40

【0191】

この接続用溝5gは、上記したように、配線の長手方向に沿って長くなるように形成されている。これにより、接続用溝5g内に導体膜を良好に埋め込むことが可能となっている。すなわち、配線用溝5e内に導体膜を埋め込む際、同じ配線層中の接続用溝5gにも同時に導体膜を埋め込む場合、接続用溝5gの平面形状および寸法を下層の接続用導体部19Cの上面の平面形状および寸法とすると、接続用溝5gは微細なので導体膜を十分に埋め込めない場合が生じる。このような不具合を回避するために、接続用溝5gはその平面形状が配線の長手方向に沿って長くなるような形状とすることにより、配線の実装密度

50

の低下を防止しつつ、当該導体膜を良好に埋め込めるようにしたものである。したがって、上下の配線層間を良好に接続することが可能となる。

【0192】

接続用溝5g内には、図36、図40および図41に示すように、接続用導体部21Cが設けられている。図39は第2層配線9L～第4層配線13Lの一部を示す要部平面図であり、図40は図39のB-B線に沿った要部断面図、図41は図39のC-C線に沿った要部断面図である。なお、図40は図36の右側の第2層配線9L～第4層配線13L部分を紙面に垂直な方向に切断した場合の断面図である。

【0193】

接続用導体部21Cは、第3層配線11Lと同じ構造となっており、下部および側部の相対的に薄い導体膜21C1と、その薄い導体膜21C1に囲まれた相対的に厚い導体膜21C2とで構成されている。すなわち、接続用導体部21Cは、第3層配線11Lと同じ配線Wで構成される。薄い導体膜21C1は、接続用導体部21Cと層間絶縁膜4cとの密着性を向上させる機能や厚い導体膜21C2の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。

【0194】

薄い導体膜21C1をタングステン等で構成した場合には、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等で構成した場合に比べて配線抵抗を低下させることが可能となる。特に限定されないが、本実施の形態5においては、薄い導体膜21C1は、第3層配線11Lの薄い導体膜11L1と同時に同じ材料で形成されており、例えばTiNで構成されている。

【0195】

また、厚い導体膜21C2は、接続用導体部21Cの本体を構成する部材であり、例えばCuまたはCu合金等のような低抵抗な材料からなる。ただし、接続用導体部21Cの構造は図36～図43に示した構造に限定されるものではなく種々変更可能であり、前記実施の形態1において図3～図5を用いて説明した構造にしても良い。

【0196】

すなわち、厚い導体膜21C2および薄い導体膜21C1上にキャップ導体膜を設ける構造、厚い導体膜21C2上にキャップ導体膜を設け、かつ、キャップ導体膜の上面と層間絶縁膜4cの上面とをほぼ一致させる構造、厚い導体膜21C2のみで配線を構成する構造、厚い導体膜21C2のみで配線を構成した場合にその上面にキャップ導体膜を設ける構造等がある。キャップ導体膜は、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。図39、図42に示すように、接続用導体部21Cの平面形状を配線の長手方向(X方向)が、Y方向の配線幅よりも大きくなるように構成することにより、上下の接続用導体部19C、20Cの位置合わせ余裕をX方向で大きくすることができる。これにより、第3層配線11LのY方向の配線ピッチPを大きくしなくても、上下の接続用導体部19C、20Cの位置合わせ余裕をX方向で大きくすることができるので、配線の高密度化、高集積化を実現することができる。また、配線の長手方向の配線長は配線幅以上であり、配線幅の2倍程度以下にすることにより、ドックボーンを用いずに合わせ余裕を大きくでき、かつ、埋込マージンを大きくできる。配線ピッチを大きくする必要がなく、高集積化することができる。

【0197】

また、図43に示すように、接続用導体部21Cの平面形状を、配線の長手方向およびその方向に対して交差する方向(配線幅方向、すなわち、Y方向)に長くなるような形状としても良い。ただし、この場合も配線の長手方向(X方向)がY方向の配線幅よりも大きくなるように構成する。この場合、上下の接続用導体部19C、20Cの位置合わせ余裕を配線の長手方向および幅方向の双方で大きくすることができる。このため、接続用導体部20Cを埋め込む接続孔8fの形成時の位置合わせ精度を緩和することができるので、接続孔8fを容易に形成することが可能となる。また、接続孔8fの平面位置が設計値

10

20

30

40

50

よりも多少ずれたとしても接続用導体部 20C と接続用導体部 21C とを良好に接続することが可能となる。

【0198】

また、図 44 および図 45 に示すように、前記実施の形態 1 で説明した構造としても良い。すなわち、接続用導体部 19C の上部が接続用導体部 21C 中に突出した構造である。この場合は、前記実施の形態 1 等で説明したのと同じ方法で形成する。すなわち、層間絶縁膜 4c に形成された接続孔 8h (図 36 参照) 内に接続用導体部 19C を埋め込み形成した後、接続用溝 5g (図 36 参照) を形成し、その後、導体膜を堆積し、さらに CMP 処理を施して、その接続用溝 5g 内に接続用導体部 21C を形成する。

【0199】

第 4 層配線 13L は、前記実施の形態 1 と同様に通常の配線構造となっている。第 4 層配線 13L は、接続孔 8f 内の接続用導体部 20C を通じて第 3 層配線 11L または接続用導体部 21 と電気的に接続されている。接続用導体部 20C は、例えば選択 CVD 法で形成されたタングステンまたはタングステン合金等からなる。

【0200】

すなわち、本実施の形態 5 においては、Al 系材料からなる第 4 層配線 13L と、Cu 系材料からなる第 3 層配線 11L または接続用導体部 21C とを直接接触させず、タングステン系材料からなる接続用導体部 20C を介して電気的に接続する構造となっている。これにより、Al と Cu とが直接接触するのを防ぎ、その接触部に比抵抗の高い合金層が形成されてしまうのを防止することが可能な構造になっている。

【0201】

ただし、このような合金層が形成されるのを防止する構造としては、図 36 に示した構造に限定されず種々変更可能であり、図 46 ~ 図 54 に示す構造としても良い。すなわち、図 46 は、第 4 層配線 13L が、薄い導体膜 13L1 とその上層に積み重ねられた厚い導体膜 13L2 とで構成される構造である。薄い導体膜 13L1 は、第 4 層配線 13L と層間絶縁膜 4d との密着性を向上させる機能や厚い導体膜 13L2 の構成原子の拡散を抑制するバリア機能を持つ材料からなり、例えばタングステン (W)、TiN、Ti、Ta、WN、WSiN、TiSiN、TaN または TaSiN 等からなる。また、厚い導体膜 13L2 は、例えば Al または Al 合金等からなる。

【0202】

図 47 の構造においては、接続孔 8f から露出する第 3 層配線 11L の露出面上に、例えば選択 CVD 法等で形成されたタングステンまたはタングステン合金等からなる接続用導体部 20C1 が設けられ、かつ、接続孔 8f 内において接続用導体部 20C1 上に、例えば Al または Al 合金等からなる接続用導体部 20C2 が設けられている。第 3 層配線 13L は、この接続用導体部 20C (20C2, 20C1) を通じて第 3 層配線 11L と電気的に接続されている。なお、第 3 層配線 13L と接続用導体部 20C とは同時に形成しても良い。すなわち、この構造においては、Al 系材料からなる第 4 層配線 13L および接続用導体部 20C2 と、Cu 系材料からなる第 3 層配線 11L との接触部はタングステン等からなる接続用導体部 20C1 を設けた構造となっている。これにより、その接触部に比抵抗の高い合金層が形成されるのを防ぐことができる。また、接続用導体部 20C の大部分を構成する接続用導体部 20C2 を低抵抗な Al 系材料で構成したことにより、当該接続用導体部の全てをタングステン等で構成した図 36 の構造に比べての接続用導体部 20C の抵抗を下げる事が可能となっている。

【0203】

図 48 の構造においては、第 2 層配線 11L の上部にキャップ導体膜 11L3 を設けられている。キャップ導体膜 11L3 は、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、TaN または TaSiN 等からなる。また、厚い導体膜 13L2 は、例えば Al または Al 合金等からなる。そして、接続孔 8f 内には第 4 層配線 13L と一体的に形成された Al または Al 合金等からなる導体膜が埋め込まれている。この場合の場合も、Al 系材料からなる第 4 層配線 13L と、Cu 系材料からなる第 3 層配線

10

20

30

40

50

1 1 Lとの接触部にタングステン等からなる薄い導体膜 1 1 L3 が設けられるので、その接触部に比抵抗の高い合金層が形成されるのを防ぐことができ、かつ、接続孔 8 f 内は低抵抗な Al 系材料で埋め込まれるので、図 3 6 の場合に比べて層間接続部の抵抗を下げる事が可能となっている。

【 0 2 0 4 】

図 4 9 の構造においては、接続孔 8 f が薄い導体膜 1 3 L1 で埋め込まれている。この場合の薄い導体膜 1 3 L1 の構成材料は、上記した材料と同じであり、例えばタングステン、TiN、Ti、Ta、WN、WSiN、TiSiN、Ta₂NまたはTaSiN等からなる。厚い導体膜 1 3 L2 は、例えばAlまたはAl合金からなる。

【 0 2 0 5 】

図 5 0 の構造では、図 4 9 の構造において、薄い導体膜 1 3 L1 上に厚い導体膜 1 3 L2a、1 3 L2bが下層から順に積み重ねられている。下層側の厚い導体膜 1 3 L2aは、例えばタングステンまたはタングステン合金からなり、例えばCVD法またはスパッタリング法等で形成されている。上層側の厚い導体膜 1 3 L2bは、例えばAlまたはAl合金からなり、例えばCVD法またはスパッタリング法で形成されている。

【 0 2 0 6 】

図 5 1 の構造では、Al系からなる第4層配線 1 3 L、BPと、Cu系からなる第3層配線 1 1 Lとを接続する接続用導体部 1 4 Cを、例えばスパッタリング法で形成したタングステン(W)、TiN等のバリアメタル(薄い導体膜) 1 4 C1 と、例えばCVDで形成したタングステン(W)等のプラグ(厚い導体膜) 1 4 C2 とで構成している。この構造により、コンタクト抵抗を低減することができる。

【 0 2 0 7 】

この構造は、例えばスパッタリング法によりバリアメタルを堆積した後、例えばCVD法でタングステン(W)を接続孔 8 f に埋め込むように堆積し、その後、CMPまたはエッチバックにより、バリアメタル 1 4 C1、プラグ 1 4 C2 を接続孔 8 f 内のみに形成することができる。また、接続用導体部 1 4 Cを、例えばCVD法でTiNを埋め込んだプラグ 1 4 C2 のみで構成しても良い。

【 0 2 0 8 】

図 5 2 の構造では、図 5 1 の構造において、第4層配線 1 3 L、BPを、Al系からなる厚い導体膜 1 3 L2 と、TiNやタングステン(W)等の高融点金属や金属化合物を成膜した薄い導体膜 1 3 L1 とで構成する。これにより、信頼性をさらに向上できる。

【 0 2 0 9 】

図 5 3 の構造では、図 5 1 の構造において、接続孔 8 f 内にバリアメタルおよびタングステン(W)を堆積した後、プラグ加工しないで、Al系材料を堆積することで、タングステン、TiN等のバリアメタル(薄い導体膜) 1 3 L1 と、タングステン(W)からなる厚い導体膜 1 3 L2aと、Al系からなる厚い導体膜 1 3 L2bとで第4層配線 1 3 L、BPを構成している。このように、プラグ加工することなしに残し、Al合金との積層配線とすることで、プラグ研磨工程の廃止による簡略化と積層構造による信頼性の向上とを図ることができる。

【 0 2 1 0 】

図 5 4 の構造では、図 5 3 の構造において、バリアメタル(薄い導体膜) 1 3 L1 を設けずに、例えばCVD法で形成されたTiN等からなる厚い導体膜 1 3 L2aと、Al系からなる厚い導体膜 1 3 L2bとで第4層配線 1 3 L、BPを構成している。例えばCVD法で形成されたTiN膜 1 3 L2bは層間絶縁膜との接着性がタングステン(W)膜より良いので、バリアメタル 1 3 L1 を設けなくても良く、製造工程を低減できる。図 5 3 の構造と同様に、プラグ加工することなしに残し、Al合金との積層配線とすることで、プラグ研磨工程の廃止による簡略化と積層構造による信頼性の向上とを図ることができる。

【 0 2 1 1 】

図 5 1 に示す接続用導体部 1 4 Cの構造を接続用導体部 1 0 C、1 2 C、1 8 C、1 9 C、2 0 Cに適用しても良い。図 5 5 は、図 3 9 ~ 図 4 2 に示す接続用導体部 1 9 C、2

10

20

30

40

50

0 C に図 5 1 に示す接続用導体部 1 4 C の構造を適用した構造を示す。薄い導体膜 1 9 C 1, 2 0 C 1 にバリアメタル 1 4 C 1 と同様に構成され、厚い導体膜 1 9 C 2, 2 0 C 2 はプラグ 1 4 C 2 と同様に構成される。

【 0 2 1 2 】

図 5 6 は、図 5 5 に示す第 3 層配線 1 1 L, 2 1 C をデュアルダマシんで形成した構造を示す。この構造は、接続孔 5 g, 8 h を形成した後、スパッタリング法によりバリアメタルを堆積し、その後、例えば Cu を、例えばスパッタリング法により薄く形成した後、さらに電解メッキ法を用いて接続孔 5 g, 8 h に埋め込むように形成する。その後、CMP 法等により、バリアメタルからなる薄い導体膜 2 1 C 1 と、Cu からなる厚い導体膜 2 1 C 2 とで構成される第 3 層配線 1 1 L, 2 1 C が形成される。第 3 層配線 2 1 C を少なくとも配線の長手方向に沿って接続孔 8 h よりも平面的に長く形成することにより、接続孔 5 g, 8 h を同時に、例えば Cu で埋め込む際の実効的なアスペクト比を低下させることができ、例えば Cu の埋め込みの容易化を図ることが可能となる。

10

【 0 2 1 3 】

図 5 7 および図 5 8 は、図 3 9 ~ 図 4 1 に示す接続用導体部 2 1 C を長手方向 (X 方向) にずらした変形例を示す。図 5 7 は、第 2 層配線 9 L ~ 第 4 層配線 1 3 L の一部を示す要部平面図であり、図 5 8 は、図 5 7 の C - C 線に沿った要部断面図である。これにより、隣接する第 2 層配線 9 L のピッチ P 1 の位置に第 2 層配線 9 L を形成しても、接続用導体部 2 1 C を設けることができる。

【 0 2 1 4 】

20

図 5 9 は、図 3 9 ~ 図 4 1 に示す接続用導体部 2 1 C を、接続孔 8 f が配置される場所のみ、長手方向 (X 方向) に垂直な方向に、ピッチ p を変えない程度に太くした変形例を示す。図 5 9 に示す接続用導体部 2 1 C を、図 5 7、図 5 8 に示す接続用導体部 2 1 C に適用しても良い。

【 0 2 1 5 】

(実施の形態 6)

図 6 0 は本発明の他の実施の形態である半導体集積回路装置の要部断面図、図 6 1、図 6 2 は図 6 0 の半導体集積回路装置の製造工程における要部断面図である。

【 0 2 1 6 】

まず、本実施の形態 6 の半導体集積回路装置の構造を図 6 0 を用いて説明する。第 1 層配線 6 L は、例えばタングステン (W) のような銅 (Cu) 系以外の導電材料で構成され、第 2 層配線 9 L、第 3 層配線 1 1 L は、前記実施の形態 5 と同様に Cu 系の導電材料で構成される。

30

【 0 2 1 7 】

第 1 層配線 6 L は、例えば MIS ・ FET で構成された論理回路内を結線する配線や論理回路間を結線する配線に用いられ、第 2 層配線 9 L、第 3 層配線 1 1 L に比べて比較的短い配線長で構成される。

【 0 2 1 8 】

第 2 層配線 9 L、第 3 層配線 1 1 L は、例えば論理回路間を結線する配線に用いられ、一方が X 方向、他方が Y 方向に延在するように構成される。

40

【 0 2 1 9 】

第 1 層配線 6 L を W 膜で構成することにより、第 1 層配線 6 L を微細パターンで形成でき、高集積化を図ることができ、しかも EM 耐性を高くすることができる。

【 0 2 2 0 】

また、第 1 層配線 6 L に Cu 系の導電材料を用いていないので、Cu の半導体基板 1 への拡散を低減でき、信頼性を向上できる。

【 0 2 2 1 】

第 2 層配線 9 L、第 3 層配線 1 1 L を Cu 系の導電材料で構成することで、配線の比抵抗が低減され、高速動作が可能となる。

【 0 2 2 2 】

50

接続用導体部 7 C , 1 8 C , 1 9 C , 2 0 C , 2 1 C は、それぞれ図 5 1 に示す接続用導体部 1 4 C と同様に、例えばスパッタリング法で形成した W 等からなるバリアメタル（薄い導体膜）1 4 C 1 と、W 等からなるプラグ（厚い導体膜）1 4 C 2 とで構成される。

【 0 2 2 3 】

第 4 層配線 1 3 L、第 5 層配線 1 0 2 は、例えばアルミニウム（A l）系の導電材料で構成される。

【 0 2 2 4 】

第 4 層配線 1 3 L は、W , T i N 等のバリアメタル（薄い導体膜）1 3 L 1, 1 3 L 3 で、A l または A l 合金からなる厚い導体膜 1 3 L 2 を挟んだ積層構造で構成される。

【 0 2 2 5 】

A l 系の導電材料で構成される第 4 層配線 1 3 L と、C u 系の導電材料で構成される第 3 層配線 1 1 L とを、W からなる接続用導体部 2 0 C を介して電氣的に接続することにより、A l と C u とにより接触部に比抵抗の高い合金層が形成されるのを防止することが可能となる。なお、第 4 層配線 1 3 L は、図 4 6 ~ 図 5 4 に示す配線構造で構成しても良い。

【 0 2 2 6 】

また、第 5 層配線 1 0 2 は、接続用導体部を介さずに第 4 層配線 1 3 L に電氣的に接続されるが、これに限らず、第 4 層配線 1 3 L と第 3 層配線 1 1 L との間の接続と同じように、接続用導体部 2 0 C と同じ構造の接続用導体部を介して、第 5 層配線 1 0 2 と第 4 層配線 1 3 L とを電氣的に接続しても良い。

【 0 2 2 7 】

また、第 5 層配線 1 0 2 を第 4 層配線 1 3 L と同様に積層構造で構成しても良い。

【 0 2 2 8 】

第 5 層配線 1 0 2 上に、例えばシリコン酸化膜からなる絶縁膜 1 0 4 が形成され、絶縁膜 1 0 4 に形成された開口部に下部電極 1 0 6 が形成される。第 5 層配線 1 0 2 は下部電極 1 0 6 を介して半田バンプからなるバンプ電極 1 0 8 に電氣的に接続され、下部電極 1 0 6 は、例えばバリアメタルで構成される。

【 0 2 2 9 】

以下、図 6 1、図 6 2 を用いて第 1 層配線 6 L、接続用導体部 7 C の形成方法を簡単に説明する。

【 0 2 3 0 】

図 8 と同様に層間絶縁膜 4 a に接続孔 8 a を形成した後、図 6 1 に示すように、W 等からなる薄い導体膜 7 C 1 をスパッタリング法等により堆積し、次に、例えば C V D 法で W 等からなる厚い導体膜 7 C 2 を接続孔 8 a に埋め込むように堆積する。

【 0 2 3 1 】

次に、図 6 2 に示すように、この堆積膜を、例えば C M P 法により研磨して、接続孔 8 a 内に W 等からなる薄い導体膜 7 C 1 と、W 等からなる厚い導体膜 7 C 2 とを埋め込む。

【 0 2 3 2 】

例えば P V D (Physical Vapor Deposition) 法で W 膜を堆積した後、エッチングによりパターンニングして第 1 層配線 6 L を形成する。なお、ここでは第 1 層配線 6 L を P V D 法による W 膜で形成したが、P V D 法による W 膜の上に、C V D 法等による W 膜を形成した積層構造など、種々変更が可能である。

【 0 2 3 3 】

次に、例えば C V D 法でシリコン酸化膜を堆積した後、シリコン酸化膜を C M P 法により研磨して、表面が平坦化された層間絶縁膜 4 b を形成する。

【 0 2 3 4 】

以降の工程は、前述までの実施 N 形態 1 ~ 5 と同様に形成される。

【 0 2 3 5 】

本実施の形態 6 の半導体集積回路装置はバンプ電極 1 0 8 を用いているが、図 6 3 に示すように、第 5 層配線 1 0 2 で構成されるボンディングパッドにボンディングワイヤ 1 1

10

20

30

40

50

0 を電氣的に接続しても良い。

【0236】

また、本実施の形態6の半導体集積回路装置は、5層の配線層で構成しているが、7層の配線層で構成し、第2層配線～第5層配線をCu系の導電材料で構成し、第6層配線～第7層配線をAl系の導電材料で構成しても良い。この場合、第2層配線と第4層配線とは同じ方向に延在するように構成し、第3層配線と第5層配線とは同じ方向に延在するように構成して、論理回路間を接続する配線として使用される。さらに、本実施の形態6では、接続用導体部19Cと接続用導体部20Cとが接続される部分に位置する第3層配線層中に、少なくとも配線の長手方向に沿って接続用導体部19C、20Cよりも平面的に長く形成された接続用導体部21Cを設けているが、接続用導体部21Cに相当する構造を、第2、3、4、5層に設けても良い。

10

【0237】

図64に、本実施の形態1～6に示す半導体集積回路装置の平面レイアウトを示す。ゲートレイ200が繰り返されて配置され、各ゲートレイ200には、例えばMIS・FET、バイポーラトランジスタ、抵抗等の集積回路素子が組み合わされて配置される。

【0238】

第1層配線～第5層配線の配線パターンを変えることにより、種々の論理回路が構成され、所定の論理を有する半導体集積回路装置が形成される。

【0239】

図65に、ゲートレイ200とメモリとしてRAM400とを有する半導体集積回路装置を示す。

20

【0240】

また、図66に示すように、様々な機能を持つユニット400、500、600、700をLSIの性能に応じて自由に配置しても良い。

【0241】

このように、本実施の形態5、6によれば、前記実施の形態1で得られた(8)～(10)の効果の他に、以下の効果を得ることが可能となる。

【0242】

(1). 微細な接続孔8a～8f内にCVD法等を用いて導体膜を充填した後に、接続孔8a～8fよりも平面寸法の大きな配線用溝5a～5f内に導体膜を充填することで埋め込み構造の第1層配線6L、第2層配線9Lおよび第3層配線11Lを形成したことにより、配線用溝5a～5fおよびそれよりも微細な接続孔8a～8fの両方に導体膜を良好に埋め込むことが可能となる。また、微細な接続孔8a～8fと、その上に位置する配線用溝5a～5f内に、同時にCVD法やメッキ法等を用いて導体膜を充填する際に、配線用溝5a～5fを接続孔8a～8fよりも平面寸法を大きくすることにより、導体膜を良好に埋め込むことが可能となる。

30

【0243】

(2). 上記(1)により、配線層間の接続上の信頼性を向上させることが可能となる。したがって、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0244】

(3). 上記(1)により、埋め込み配線の微細化を推進することが可能となる。したがって、半導体集積回路装置の小形化あるいは高集積化を推進することが可能となる。

40

【0245】

(4). 上記(1)により、難しい技術を採用することなく、配線用溝5a～5fおよび接続孔8a～8fに導体膜を良好に埋め込むことが可能となる。

【0246】

(5). 上記(1)により、埋め込み配線材料としてCuまたはCu合金等を用いた場合でもその埋め込みの状態を良好にすることが可能となる。

【0247】

(6). 半導体基板1と直接接触する第1層配線6Lはタングステン系の導体材料で構成す

50

ることにより、接続孔 8 a 内への導体膜の埋め込み状態を良好に保ちつつ、Cu 原子の半導体基板 1 側への拡散現象に起因する素子不良を回避することが可能となる。さらに、第 1 層配線 6 L をタングステン系の導体材料で構成することにより、配線抵抗の低減とエレクトロマイグレーション（以下、EMともいう）耐性の向上が可能となる。

【0248】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0249】

例えば半導体基板において接続用導体部との接触部に、例えばタングステンシリサイドまたはチタンシリサイド等のようなシリサイド層を設けても良い。

10

【0250】

また、配線層は 4 層～7 層に限定されるものではなく種々変更可能であり、3 層あるいは 4 層以上でも良い。

【産業上の利用可能性】

【0251】

本発明は、半導体集積回路装置の製造業に適用できる。

【図面の簡単な説明】

【0252】

【図 1】本発明の一実施の形態である半導体集積回路装置の要部断面図である。

20

【図 2】図 1 の半導体集積回路装置の第 1 層配線を示す要部断面図である。

【図 3】図 2 の配線構造の変形例を示す断面図である。

【図 4】図 2 の配線構造の変形例を示す断面図である。

【図 5】図 2 の配線構造の変形例を示す断面図である。

【図 6】図 1 の半導体集積回路装置の第 2 層配線を示す要部断面図である。

【図 7】図 1 の半導体集積回路装置の配線層間接続の変形例を示す半導体集積回路装置の要部断面図である。

【図 8】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 9】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 10】図 1 の半導体集積回路装置の製造工程における要部断面図である。

30

【図 11】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 12】図 1 の半導体集積回路装置の製造工程における要部断面図である。

【図 13】図 1 の半導体集積回路装置の製造工程における要部の一部破断斜視図である。

。

【図 14】図 1 の半導体集積回路装置の製造工程における要部の一部破断斜視図である。

。

【図 15】図 1 の半導体集積回路装置の製造工程における要部の一部破断斜視図である。

。

【図 16】図 1 の半導体集積回路装置の製造工程における要部の一部破断斜視図である。

。

【図 17】図 1 の半導体集積回路装置の製造工程における要部の一部破断斜視図である。

。

【図 18】図 1 の半導体集積回路装置の製造工程における要部の一部破断斜視図である。

。

【図 19】本発明の他の実施の形態である半導体集積回路装置の製造工程における要部断面図である。

【図 20】図 19 に続く半導体集積回路装置の製造工程における要部断面図である。

【図 21】図 19 に続く半導体集積回路装置の製造工程における要部断面図である。

【図 22】図 19 に続く半導体集積回路装置の製造工程における要部断面図である。

【図 23】図 19 に続く半導体集積回路装置の製造工程における要部断面図である。

50

【図 2 4】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図 2 5】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【図 2 6】図 2 5 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 2 7】図 2 5 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 2 8】図 2 5 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 2 9】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【図 3 0】図 2 9 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 3 1】図 2 9 に続く半導体集積回路装置の製造工程中における要部断面図である。

10

【図 3 2】図 2 9 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 3 3】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図 3 4】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図 3 5】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図 3 6】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図 3 7】図 3 6 の半導体集積回路装置の要部拡大断面図である。

【図 3 8】図 3 7 に示した半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 3 9】図 3 7 に示した半導体集積回路装置の要部平面図である。

【図 4 0】図 3 9 に示した半導体集積回路装置の要部拡大断面図である。

20

【図 4 1】図 3 9 に示した半導体集積回路装置の要部拡大断面図である。

【図 4 2】図 3 9 の半導体集積回路装置の要部を模式的に示した説明図である。

【図 4 3】図 4 2 の変形例を模式的に示した説明図である。

【図 4 4】図 4 2 の変形例を模式的に示した説明図である。

【図 4 5】図 4 2 の変形例を模式的に示した説明図である。

【図 4 6】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 4 7】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 4 8】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 4 9】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 5 0】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

30

【図 5 1】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 5 2】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 5 3】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 5 4】図 3 6 の半導体集積回路装置の要部の変形例を示す要部拡大断面図である。

【図 5 5】図 4 1 の半導体集積回路装置の変形例を示す断面図である。

【図 5 6】図 4 1 の半導体集積回路装置の変形例を示す断面図である。

【図 5 7】図 3 9 の半導体集積回路装置の変形例を示す断面図である。

【図 5 8】図 5 7 に示した半導体集積回路装置の要部拡大断面図である。

【図 5 9】図 3 9 の半導体集積回路装置の変形例を示す平面図である。

【図 6 0】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

40

【図 6 1】図 6 0 の半導体集積回路装置の製造工程中における要部断面図である。

【図 6 2】図 6 0 の半導体集積回路装置の製造工程中における要部断面図である。

【図 6 3】図 6 0 の半導体集積回路装置の変形例を示す要部断面図である。

【図 6 4】本発明の他の実施の形態である半導体集積回路装置のレイアウトを示す平面図である。

【図 6 5】図 6 4 の半導体集積回路装置の変形例のレイアウトを示す平面図である。

【図 6 6】図 6 4 の半導体集積回路装置の変形例のレイアウトを示す平面図である。

【符号の説明】

【 0 2 5 3 】

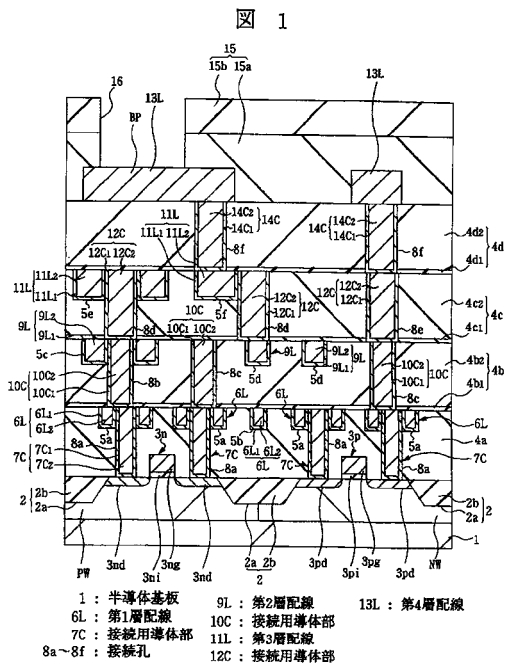
1 半導体基板

50

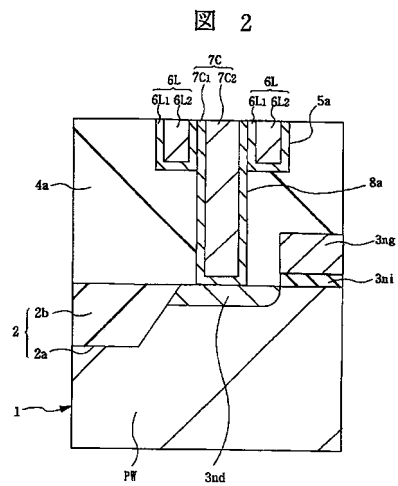
2	素子分離部	
2 a	分離用溝	
2 b	分離用絶縁膜	
3 n	nチャネル形のMOS・FET	
3 n d	半導体領域	
3 n i	ゲート絶縁膜	
3 n g	ゲート電極	
3 p	pチャネル形のMOS・FET	
3 p d	半導体領域	
3 p i	ゲート絶縁膜	10
3 p g	ゲート電極	
4 a ~ 4 d	層間絶縁膜	
5 a ~ 5 f	配線用溝	
5 g	接続用溝	
6 L	第1層配線	
6 L 1	薄い導体膜	
6 L 2	厚い導体膜	
7 C	接続用導体部	
7 C 1	薄い導体膜	
7 C 2	厚い導体膜	20
8 a ~ 8 f	接続孔	
9 L	第2層配線	
9 L 1	薄い導体膜	
9 L 2	厚い導体膜	
1 0 C	接続用導体部	
1 0 C 1	薄い導体膜	
1 0 C 2	厚い導体膜	
1 1 L	第3層配線	
1 1 L 1	薄い導体膜	
1 1 L 2	厚い導体膜	30
1 2 C	接続用導体部	
1 2 C 1	薄い導体膜	
1 2 C 2	厚い導体膜	
1 3 L	第4層配線	
1 3 L 1	薄い導体膜	
1 3 L 2	厚い導体膜	
1 4 C	接続用導体	
1 4 C 1	薄い導体膜	
1 4 C 2	厚い導体膜	
1 5	表面保護膜	40
1 5 a	保護膜	
1 5 b	保護膜	
1 6	開口部	
1 7 a ~ 1 7 c	フォトリソパターン	
1 8 C	接続用導体部	
1 9 C	接続用導体部	
1 9 C 1	薄い導体膜	
1 9 C 2	厚い導体膜	
2 0 C	接続用導体部	
2 0 C 1	薄い導体膜	50

- 20C2 厚い導体膜
- 21C 接続用導体部（中継用の接続用導体部）
- 21C1 薄い導体膜
- 21C2 厚い導体膜
- 102 第5層配線
- 108 バンプ電極
- 110 ボンディングワイヤ
- 200 ゲートアレイ

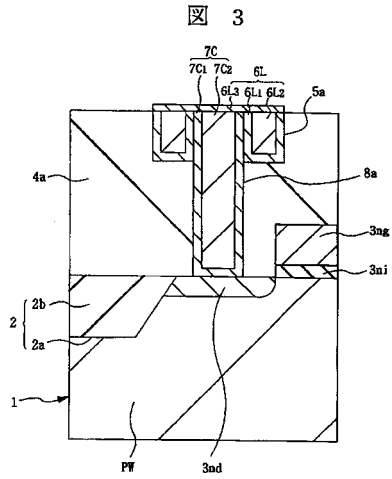
【図1】



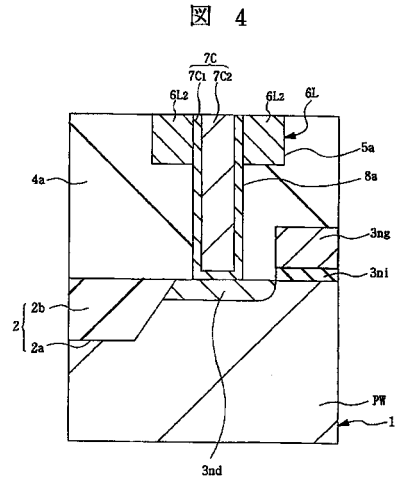
【図2】



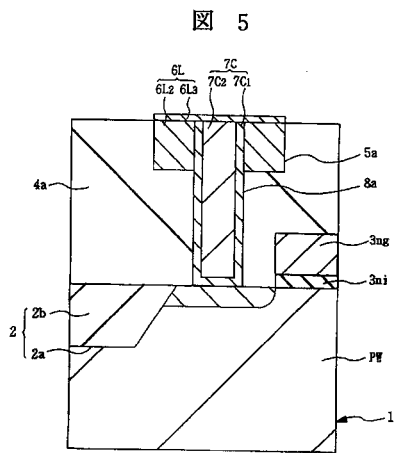
【 図 3 】



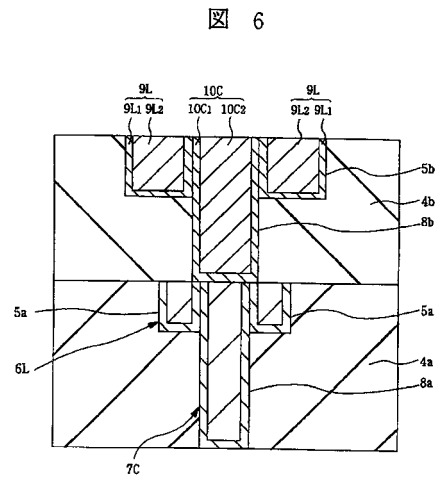
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

【 図 8 】

図 7

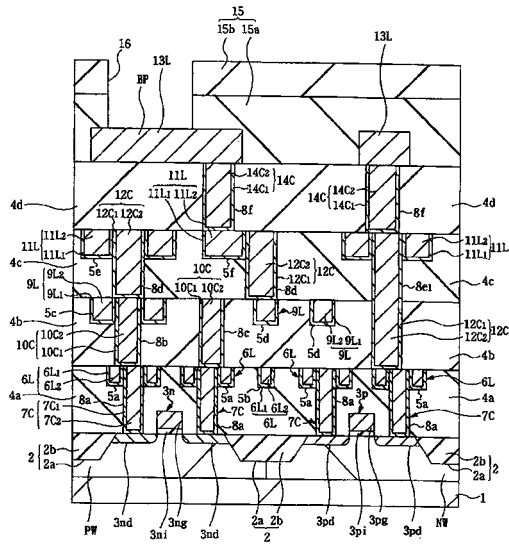
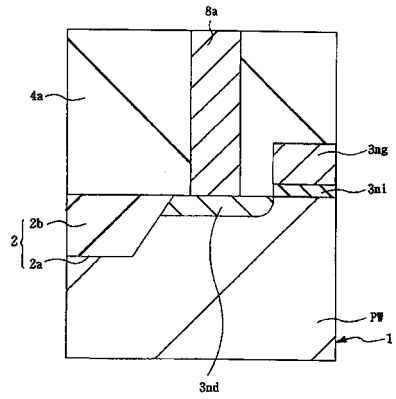


図 8



【 図 9 】

【 図 10 】

図 9

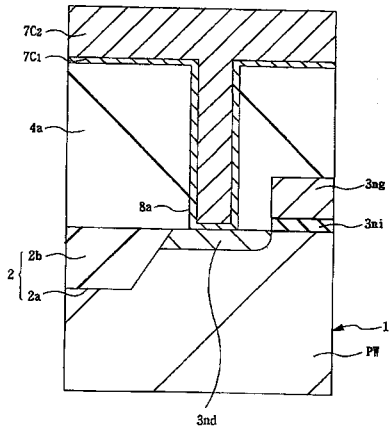
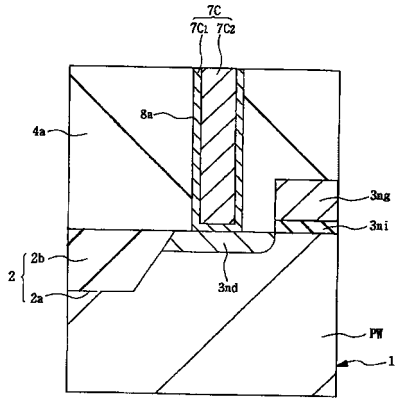
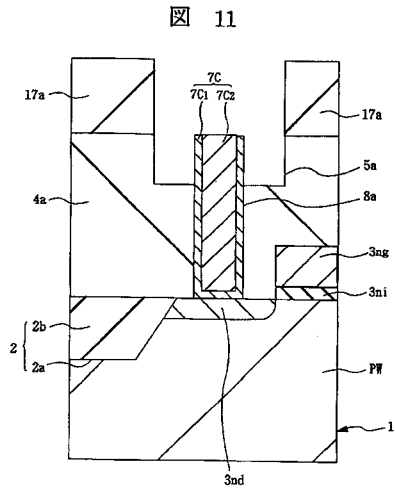


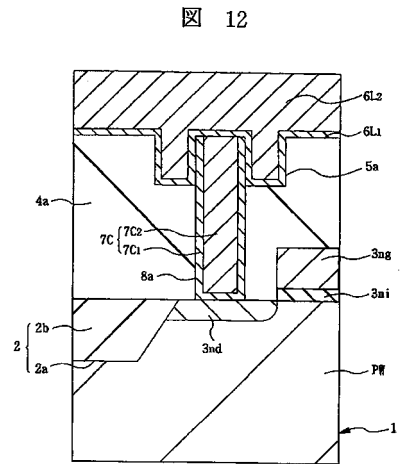
図 10



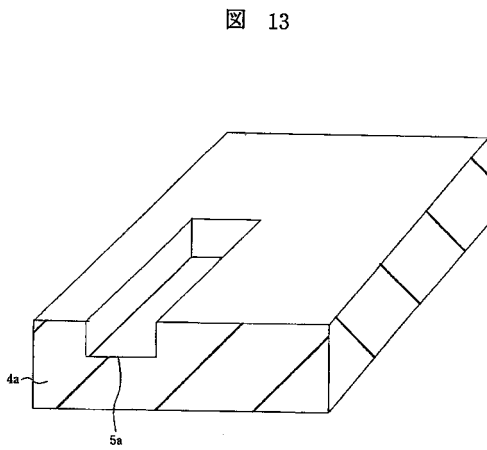
【 図 1 1 】



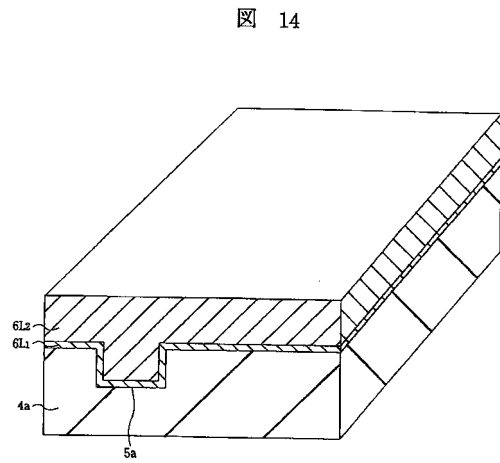
【 図 1 2 】



【 図 1 3 】

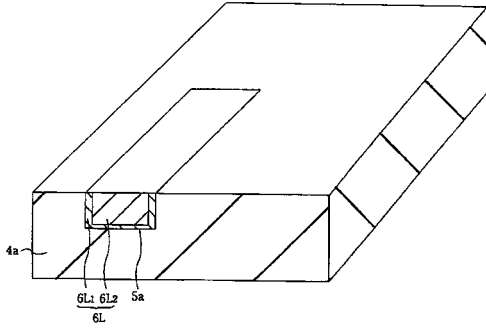


【 図 1 4 】



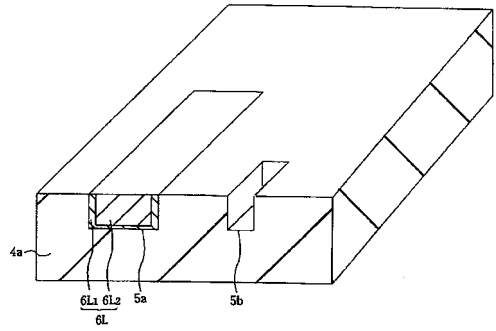
【 図 15 】

図 15



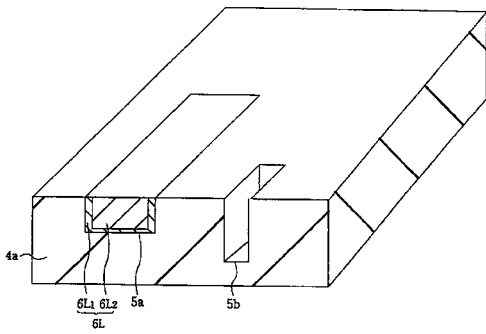
【 図 16 】

図 16



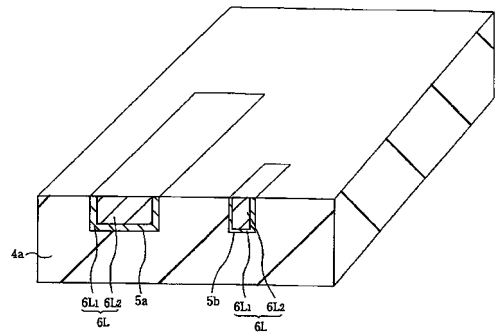
【 図 17 】

図 17



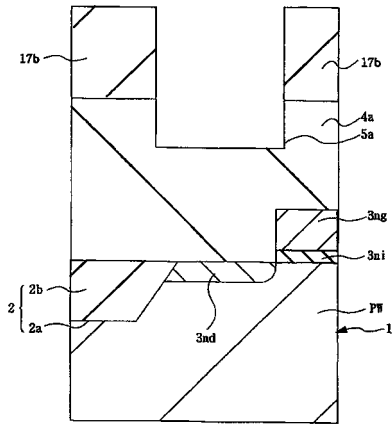
【 図 18 】

図 18



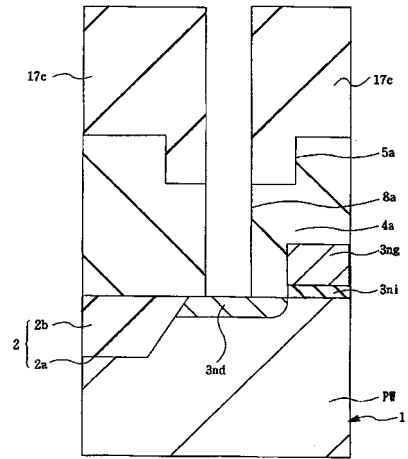
【図 19】

図 19



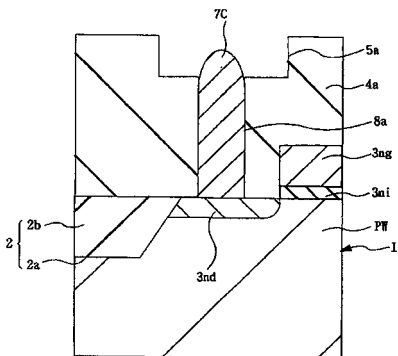
【図 20】

図 20



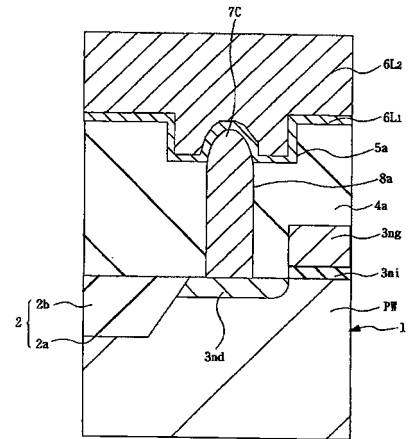
【図 21】

図 21

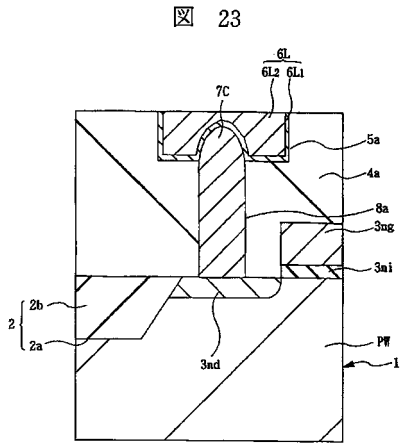


【図 22】

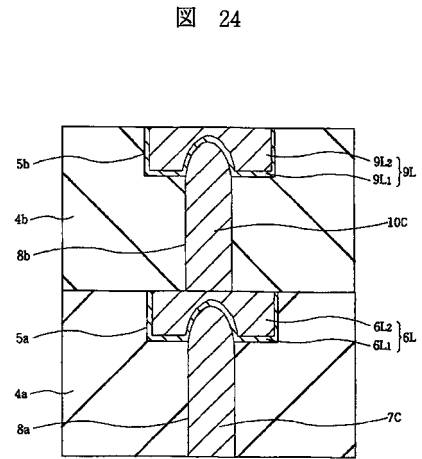
図 22



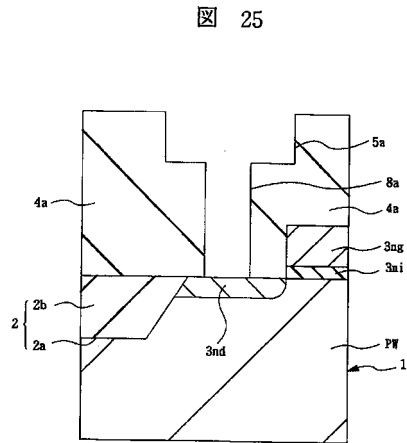
【 図 23 】



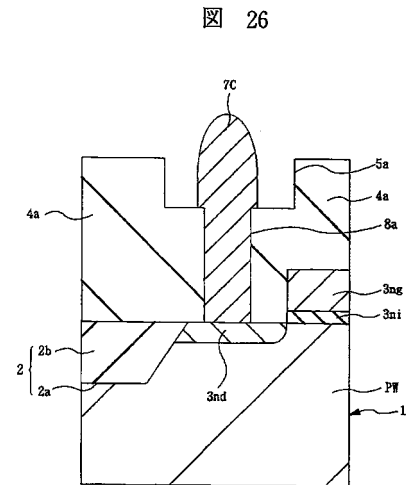
【 図 24 】



【 図 25 】

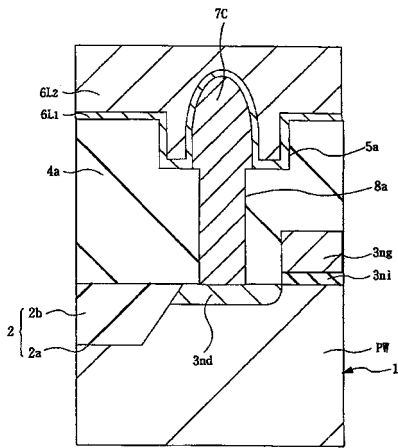


【 図 26 】



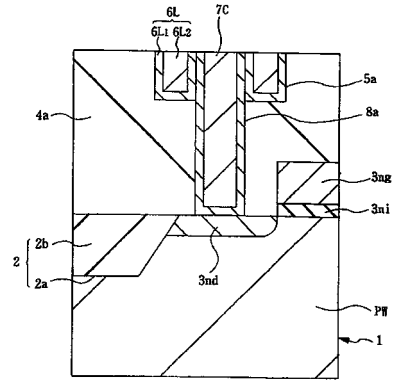
【 図 27 】

図 27



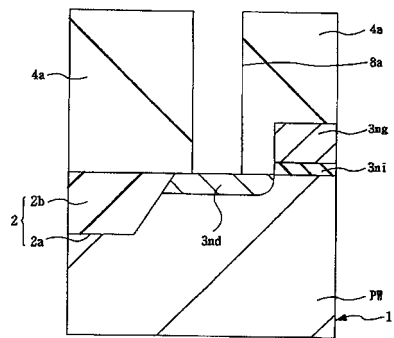
【 図 28 】

図 28



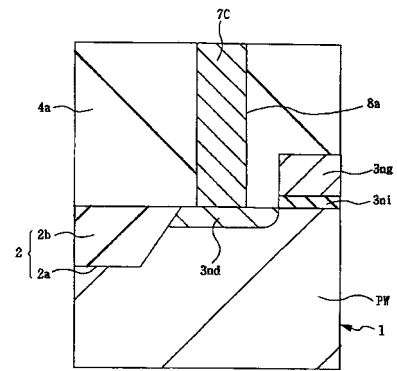
【 図 29 】

図 29

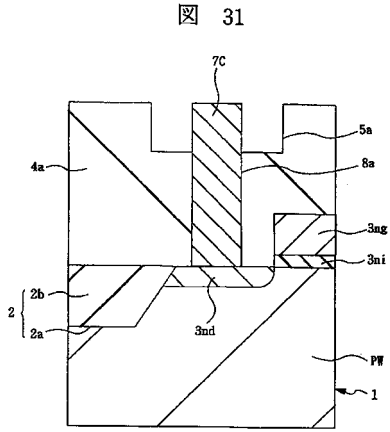


【 図 30 】

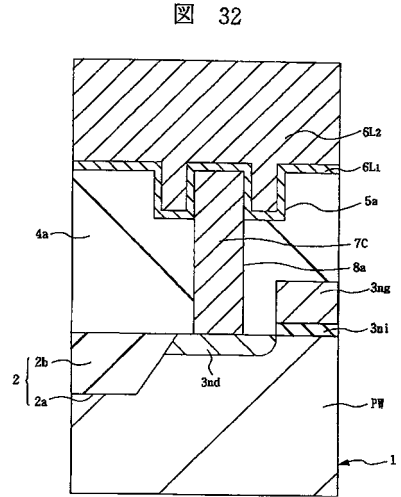
図 30



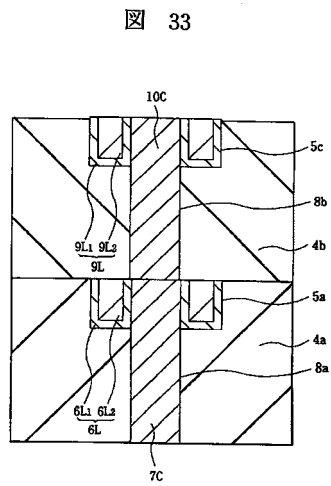
【 図 3 1 】



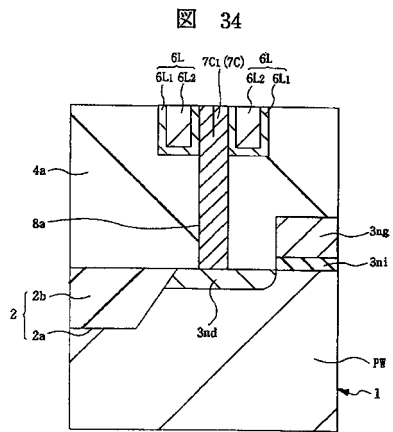
【 図 3 2 】



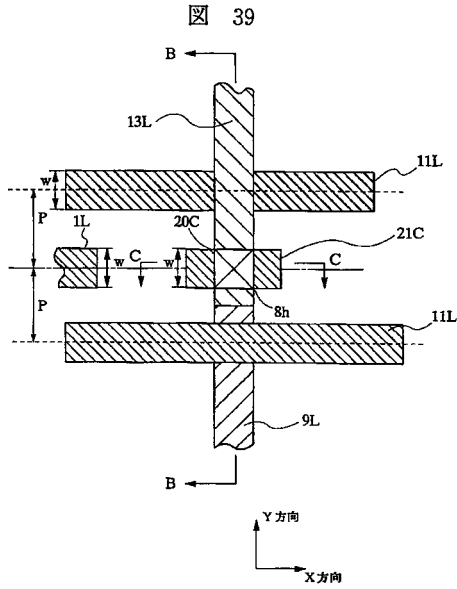
【 図 3 3 】



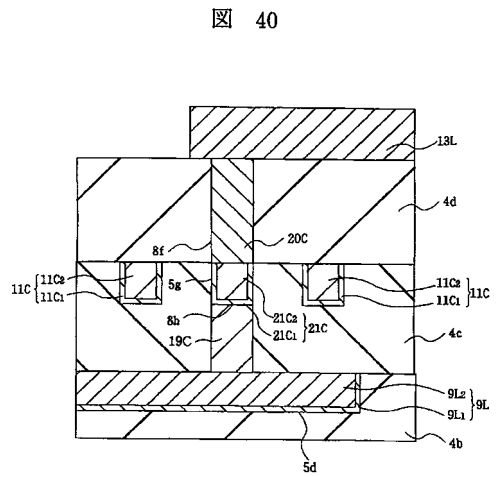
【 図 3 4 】



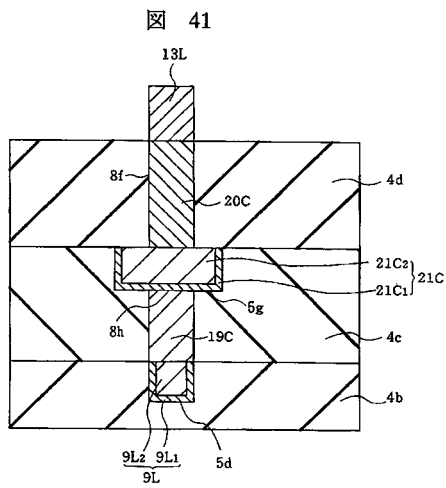
【 図 3 9 】



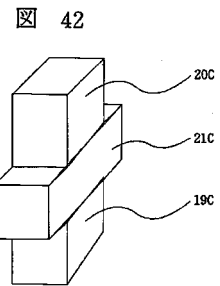
【 図 4 0 】



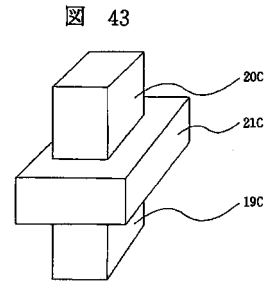
【 図 4 1 】



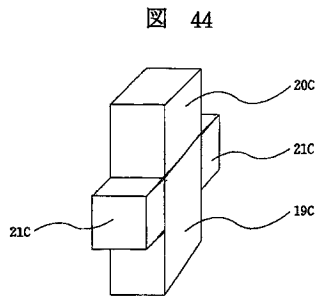
【 図 4 2 】



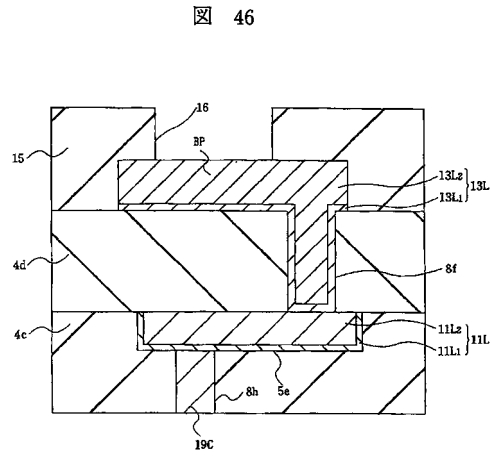
【 図 4 3 】



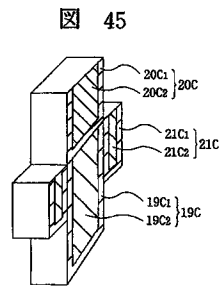
【 図 4 4 】



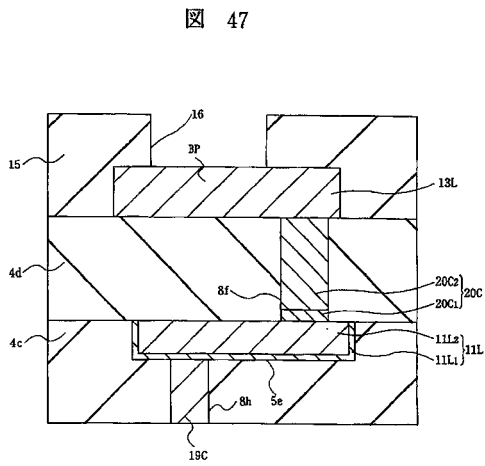
【 図 4 6 】



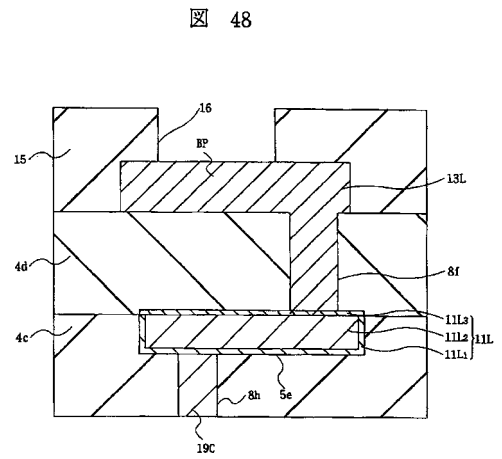
【 図 4 5 】



【 図 4 7 】

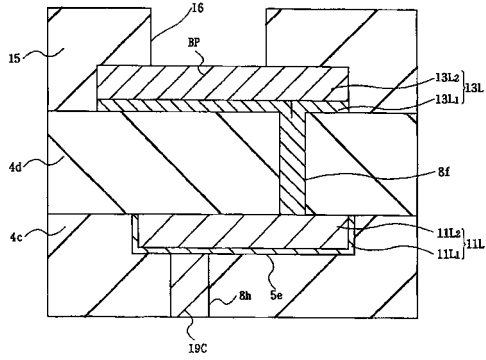


【 図 4 8 】



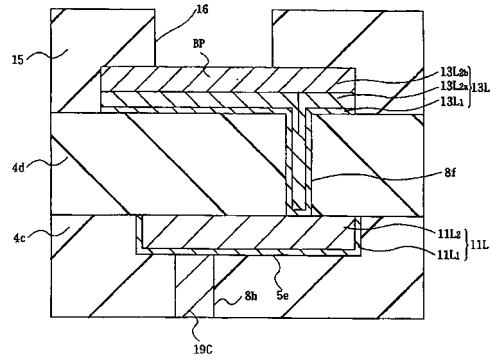
【 図 4 9 】

図 49



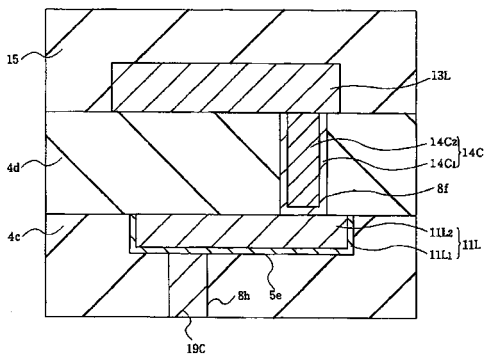
【 図 5 0 】

図 50



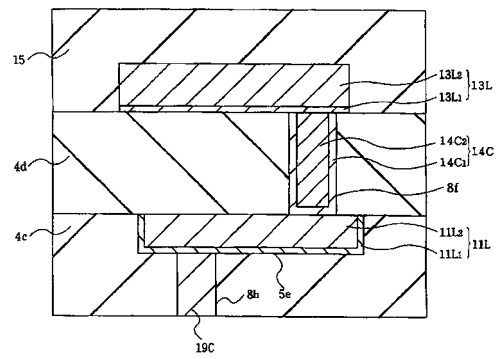
【 図 5 1 】

図 51



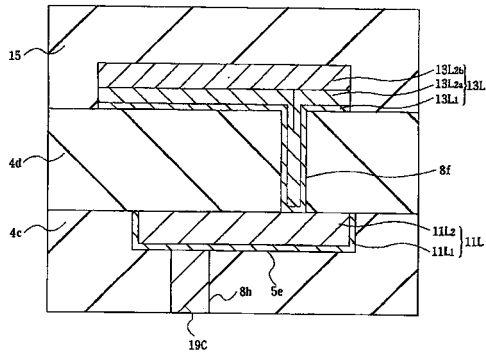
【 図 5 2 】

図 52



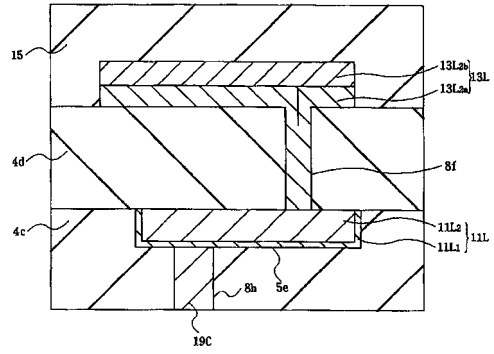
【 図 5 3 】

図 53



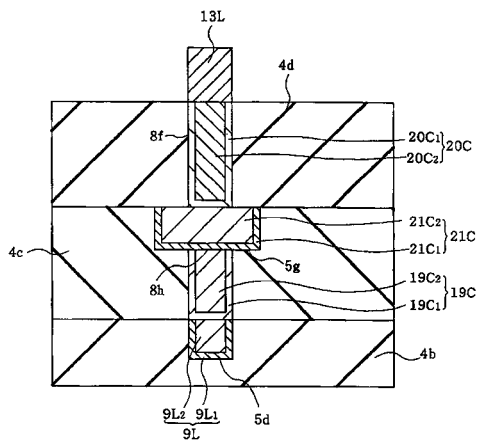
【 図 5 4 】

図 54



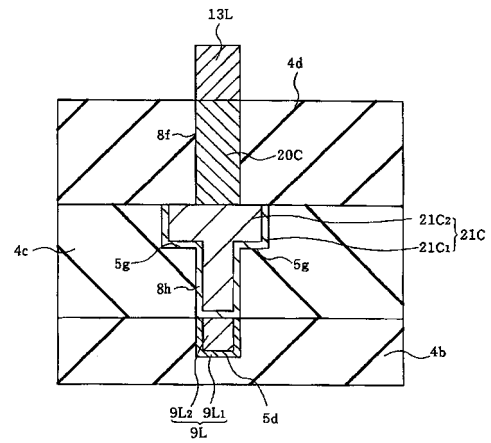
【 図 5 5 】

図 55

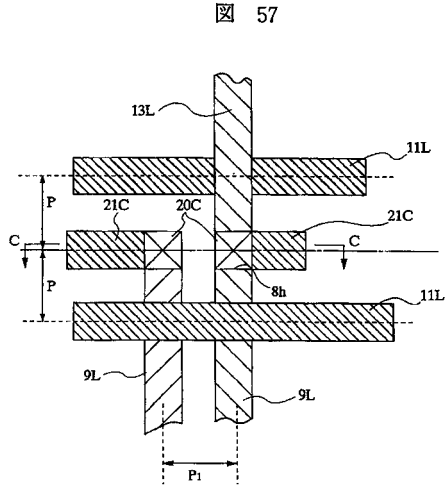


【 図 5 6 】

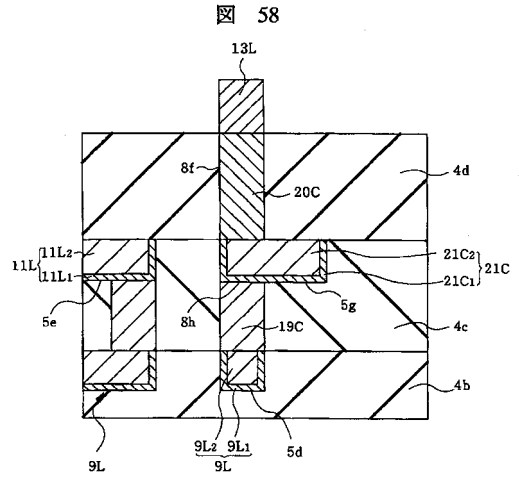
図 56



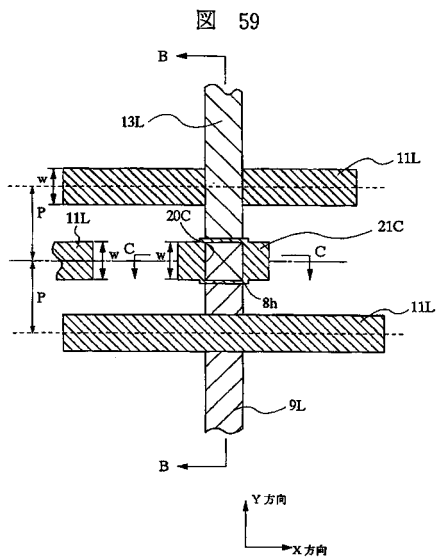
【 図 5 7 】



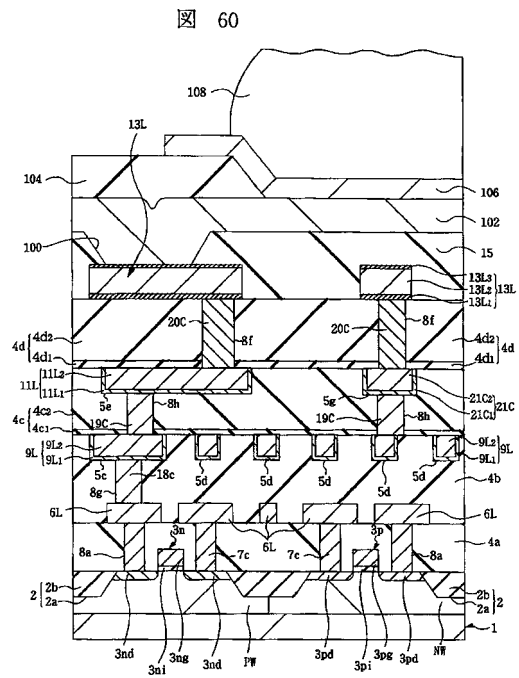
【 図 5 8 】



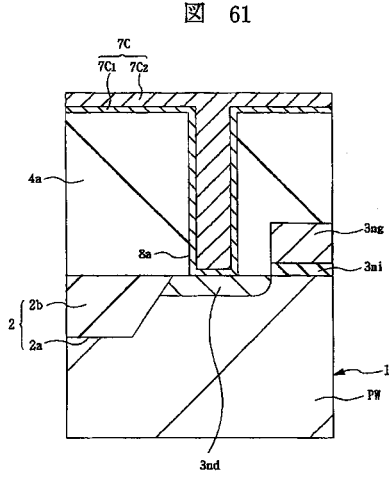
【 図 5 9 】



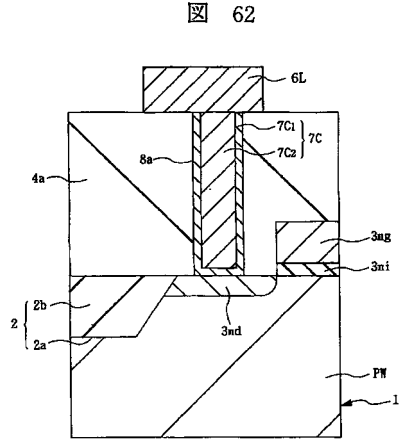
【 図 6 0 】



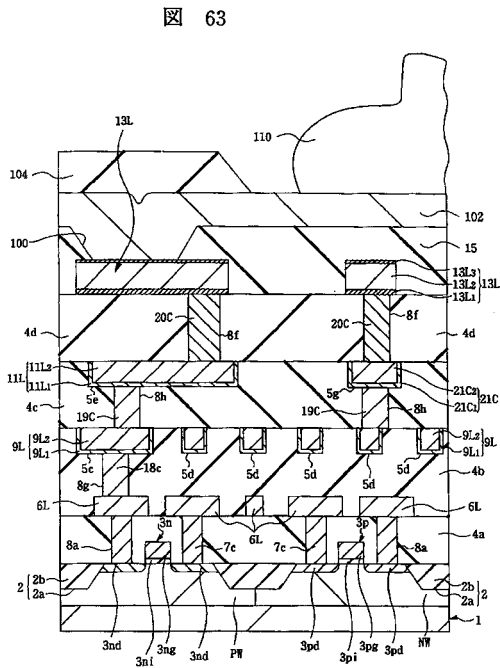
【図 6 1】



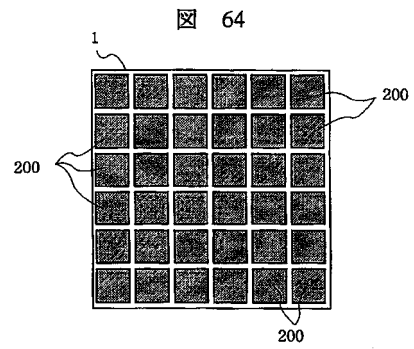
【図 6 2】



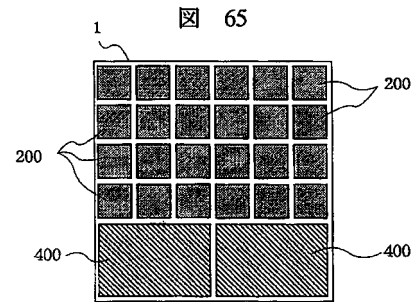
【図 6 3】



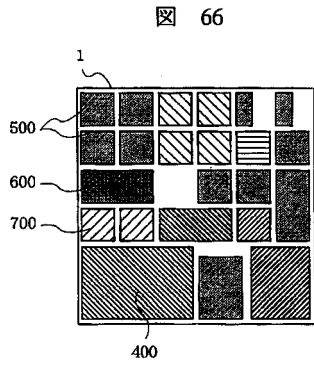
【図 6 4】



【図 6 5】



【 66 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/92 6 0 2 J

(72)発明者 大和田 伸郎
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

審査官 長谷山 健

(56)参考文献 特開平11-102911(JP,A)
特開平10-261624(JP,A)
特開平05-063023(JP,A)
特開平02-123740(JP,A)
特開平02-063168(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 6 0
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 2