

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3730425号  
(P3730425)

(45) 発行日 平成18年1月5日(2006.1.5)

(24) 登録日 平成17年10月14日(2005.10.14)

(51) Int. Cl. F I  
**G 1 1 C 16/06 (2006.01)** G 1 1 C 17/00 6 3 4 G  
**G 1 1 C 16/02 (2006.01)** G 1 1 C 17/00 6 4 1

請求項の数 1 (全 22 頁)

(21) 出願番号	特願平10-348602	(73) 特許権者	000003078
(22) 出願日	平成10年12月8日(1998.12.8)		株式会社東芝
(62) 分割の表示	特願平5-234767の分割		東京都港区芝浦一丁目1番1号
原出願日	平成5年9月21日(1993.9.21)	(74) 代理人	100058479
(65) 公開番号	特開平11-250683		弁理士 鈴江 武彦
(43) 公開日	平成11年9月17日(1999.9.17)	(74) 代理人	100084618
審査請求日	平成10年12月8日(1998.12.8)		弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的書き替えを可能としn個の記憶状態(n 3)を持つことが可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイに接続される複数のビット線と、

前記メモリセルアレイに接続される複数のワード線と、

各々がそれぞれのビット線に対して設けられ、各々が2つ以上のバイナリデータ記憶回路から構成され、対応するメモリセルに書き込まれるn値の書き込みデータを第1の書き込みバイナリデータを含む2以上の書き込みバイナリデータの組み合わせで記憶し、前記第1の書き込みバイナリデータで対応するメモリセルへの書き込みを促進するか抑制するかを制御し、残りの書き込みバイナリデータで書き込み量を(n-1)値制御し、対応するメモリセルからn値の読み出しデータを2以上の参照信号を用いて読み出し、それぞれの参照信号を用いて読み出した結果を2以上のバイナリデータのそれぞれに記憶する、複数のデータ記憶回路と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的書き替え可能な不揮発性半導体記憶装置(EEPROM)に係わり、特に1つのメモリセルに1ビットより多い情報を記憶させる多値記憶を行うEEPROMに関

する。

【 0 0 0 2 】

【 従来 の 技 術 】

EEPROMの1つとして、高集積化が可能なNAND型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し1単位としてビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板又はn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

10

【 0 0 0 3 】

このNANDセル型EEPROMの動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 $V_{pp}$ (=20V程度)を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 $V_{ppm}$ (=10V程度)を印加し、ビット線にはデータに応じて0V又は中間電圧 $V_m$ (=8V程度)を与える。ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば“1”とする。ビット線に $V_m$ が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で“0”とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

20

【 0 0 0 4 】

データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。即ち全ての制御ゲートを0Vとし、p型ウェルを20Vとする。このとき選択ゲート、ビット線、ソース線も20Vにされる。これにより、全てのメモリセルで電荷蓄積層の電子がp型ウェルに放出され、しきい値は負方向にシフトする。

【 0 0 0 5 】

データ読み出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位 $V_{cc}$ (例えば5V)として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

30

【 0 0 0 6 】

読み出し動作の制約から、“1”書き込み後のしきい値は0Vから $V_{cc}$ の間に制御しなければならない。このため書き込みベリファイが行われ、“1”書き込み不足のメモリセルのみを検出し、“1”書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する(ビット毎ベリファイ)。“1”書き込み不足のメモリセルは、選択された制御ゲートを例えば0.5V(ベリファイ電圧)にして読み出すこと(ベリファイ読み出し)で検出される。

【 0 0 0 7 】

つまり、メモリセルのしきい値が0Vに対してマージンを持って、0.5V以上になっていないと、選択メモリセルで電流が流れ、“1”書き込み不足と検出される。“0”書き込み状態にするメモリセルでは当然電流が流れるため、このメモリセルが“1”書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するベリファイ回路と呼ばれる回路が設けられる。このベリファイ回路によって高速に書き込みベリファイは実行される。

40

【 0 0 0 8 】

書き込み動作と書き込みベリファイを繰り返しながらデータ書き込みをすることで、個々のメモリセルに対して書き込み時間が最適化され、“1”書き込み後のしきい値は0Vから $V_{cc}$ の間に制御される。

【 0 0 0 9 】

50

このNANDセル型EEPROMで、多値記憶を実現するため、例えば書き込み後の状態を“0”、“1”、“2”の3つにすることを考える。“0”書き込み状態はしきい値が負、“1”書き込み状態はしきい値が例えば0Vから $1/2V_{cc}$ 、“2”書き込み状態はしきい値が $1/2V_{cc}$ から $V_{cc}$ までとする。従来のペリファイ回路では、“0”書き込み状態にするメモリセルを、“1”又は“2”書き込み不足のメモリセルと誤認されることを防ぐことはできる。

#### 【0010】

しかしながら、従来のペリファイ回路は多値記憶用でないため、“2”書き込み状態にするメモリセルで、そのしきい値が、“1”書き込み不足か否かを検出するためのペリファイ電圧以上で $1/2V_{cc}$ 以下の書き込み不足状態である場合、“1”書き込み不足か否かを検出する時にメモリセルで電流が流れず書き込み十分と誤認されてしまうという難点があった。

10

#### 【0011】

また、書き込み不足の誤認を防止して多値の書き込みペリファイを行うには、“1”書き込み十分となったメモリセルに対し、“2”書き込み状態にするメモリセルには再書き込みを行い、“2”書き込み不足で状態であるか否かを検出してペリファイ書き込みを行うようにすればよい。しかしこの場合、“2”書き込み状態にするメモリセルに対しても“1”書き込みの後に“2”書き込み状態にするので、書き込みに時間がかかり書き込み速度が遅くなる。

#### 【0012】

また、多値記憶のEEPROMは2値のデータを基に動作するコンピュータとの整合性が難しく、これもEEPROMの動作速度を低下させる要因になるという問題があった。

20

#### 【0013】

##### 【発明が解決しようとする課題】

以上のように従来のNANDセル型EEPROMに多値記憶させ、従来のペリファイ回路でビット毎ペリファイを行おうとすると、誤ペリファイが生じるという問題があった。また、多値のEEPROMの場合は、2値のデータを処理するコンピュータとのデータの授受が複雑になり、その結果としてEEPROMの動作速度が低下する問題があった。

#### 【0014】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、多値の情報を記憶することができ、かつ外部とは2値でデータの授受を行うことのできるEEPROMを提供することにある。

30

#### 【0015】

##### 【課題を解決するための手段】

(構成)

本発明は上記課題を解決するために、次のような構成を採用している。

#### 【0016】

即ち本発明は、多値記憶の不揮発性半導体記憶装置において、電氣的書き替えを可能とし $n$ 個の記憶状態( $n-3$ )を持つことが可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、各々がそれぞれのビット線に対して設けられ、各々が2つ以上のバイナリデータラッチ回路から構成され、対応するメモリセルに書き込まれる $n$ 値の書き込みデータを2以上のバイナリデータの組み合わせで記憶し、対応するメモリセルから読み出される $n$ 値の読み出しデータを2以上のバイナリデータの組み合わせで記憶する、複数のデータラッチ回路と、を備えたことを特徴とする。

40

#### 【0017】

また本発明は、多値記憶の不揮発性半導体記憶装置において、電氣的書き替えを可能とし $n$ 個の記憶状態( $n-3$ )を持つことが可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、書き込みデータが入力されるデータ入力

50

バッファと、前記書き込みデータを2つ以上の書き込みバイナリデータに変換するデータ変換回路と、各々がそれぞれのビット線に対して設けられ、各々が2つ以上のバイナリデータラッチ回路から構成され、対応するメモリセルに書き込まれるn値の書き込みデータを前記2つ以上の書き込みバイナリデータの組み合わせで記憶する、複数のデータラッチ回路と、を備えたことを特徴とする。

【0018】

また本発明は、多値記憶の不揮発性半導体記憶装置において、電氣的書き替えを可能としn個の記憶状態(n-3)を持つことが可能な複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、各々がそれぞれのビット線に対して設けられ、各々が2つ以上のバイナリデータラッチ回路から構成され、対応するメモリセルから読み出されるn値の読み出しデータを2つ以上の読み出しバイナリデータの組み合わせで記憶する、複数のデータラッチ回路と、前記2つ以上の読み出しバイナリデータを読み出しデータに変換するデータ変換回路と、前記読み出しデータを出力するデータ出力バッファと、を備えたことを特徴とする。

10

【0019】

(作用)

本発明に係わる多値(n値)記憶型EEPROMでは、対応するメモリセルに書き込まれるn値の書き込みデータを2以上のバイナリデータの組み合わせで記憶し、対応するメモリセルから読み出されるn値の読み出しデータを2以上のバイナリデータの組み合わせで記憶する複数のデータラッチ回路を設けることにより、外部とは実質的に2値でデータの授受を行うことができる。従って、2値のデータを基に動作するコンピュータとの整合をとることができる。

20

【0020】

【実施例】

以下、本発明の実施例を図面を参照して説明する。

【0021】

図1は、本発明の第1の実施例に係わるNANDセル型EEPROMの概略構成を示すブロック図である。

【0022】

メモリセルアレイ1に対して、読み出し/書き込み時のビット線を制御するためのビット線制御回路2と、ワード線電位を制御するためのワード線駆動回路7が設けられる。ビット線制御回路2、ワード線駆動回路7は、それぞれカラム・デコーダ3、ロウ・デコーダ8によって選択される。ビット線制御回路2は、データ入出力線(I/O線)を介して入出力データ変換回路5と読み出しデータ/書き込みデータのやり取りを行う。入出力データ変換回路5は、読み出されたメモリセルの多値情報を外部に出力するため2値情報に変換し、外部から入力された書き込みデータの2値情報をメモリセルの多値情報に変換する。入出力データ変換回路5は、外部とのデータ入出力を制御するデータ入出力バッファ6に接続される。データ書き込み終了検知回路4はデータ書き込みが終了したか否かを検知する。

30

40

【0023】

図2、図3は、メモリセルアレイ1とビット線制御回路2の具体的な構成を示している。メモリセルM1~M8と選択トランジスタS1、S2で、NAND型セルを構成する。NAND型セルの一端はビット線BLに接続され、他端は共通ソース線Vsと接続される。選択ゲートSG1、SG2、制御ゲートCG1~CG8は、複数のNAND型セルで共有され、1本の制御ゲートを共有するメモリセルはページを構成する。メモリセルはそのしきい値Vtでデータを記憶し、Vtが0V以下である場合“0”データ、Vtが0V以上1.5V以下の場合“1”データ、Vtが1.5V以上電源電圧以下の場合“2”データとして記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビ

50

ット分のデータを記憶する。この実施例では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1は専用のpウェル上に形成されている。

【0024】

クロック同期式インバータC I 1 , C I 2 とC I 3 , C I 4 でそれぞれフリップ・フロップを構成し、書き込み/読み出しデータをラッチする。また、これらはセンス・アンプとしても動作する。クロック同期式インバータC I 1 , C I 2 で構成されるフリップ・フロップは、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報を持しているか、“1”又は“2”の情報を持しているか」、を読み出しデータ情報としてラッチする。クロック同期式インバータC I 3 , C I 4 で構成されるフリップ・フロップは、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”の情報を持しているか、“0”又は“1”の情報を持しているか」、を読み出しデータ情報としてラッチする。

10

【0025】

nチャンネルM O Sトランジスタの中で、Q n 1 は、プリチャージ信号P R Eが“H”となると電圧V P Rをビット線に転送する。Q n 2 は、ビット線接続信号B L Cが“H”となってビット線と主要なビット線制御回路を接続する。Q n 3 ~ Q n 6 , Q n 9 ~ Q n 12は、上述のフリップ・フロップにラッチされているデータに応じて、電圧V B L H , V B L M , V B L L を選択的にビット線に転送する。Q n 7 , Q n 8 はそれぞれ信号S A C 2 , S A C 1 が“H”となることでフリップ・フロップとビット線を接続する。Q n 13は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するために設けられる。Q n 14 , Q n 15とQ n 16 , Q n 17はそれぞれカラム選択信号C S L 1 , C S L 2 が“H”となって、対応するフリップ・フロップとデータ入出力線I O A , I O Bを選択的に接続する。

20

【0026】

なお、図3においてインバータ部分を図19(a)に示すように省略して示しているが、これは図19(b)に示す回路構成となっている。

【0027】

次に、このように構成されたE E P R O Mの動作を図4~図6に従って説明する。図4は読み出し動作のタイミング、図5は書き込み動作のタイミング、図6はベリファイ読み出し動作のタイミングを示している。いずれも制御ゲートC G 4が選択された場合を例に示してある。

30

【0028】

読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧V P Rが電源電圧V c cとなってビット線はプリチャージされ、プリチャージ信号P R Eが“L”となってビット線はフローティングにされる。続いて、選択ゲートS G 1 , S G 2、制御ゲートC G 1 ~ C G 3、C G 5 ~ C G 8はV c cとされる。同時に制御ゲートC G 4は1.5Vにされる。選択されたメモリセルのV tが1.5V以上の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“H”レベルのまま保持される。

40

【0029】

この後、センス活性化信号S E N 2 , S E N 2 Bがそれぞれ“L”、“H”、ラッチ活性化信号L A T 2 , L A T 2 Bがそれぞれ“L”、“H”となって、クロック同期式インバータC I 3 , C I 4で構成されるフリップ・フロップはリセットされる。信号S A C 2が“H”となってクロック同期式インバータC I 3 , C I 4で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号S E N 2 , S E N 2 Bがそれぞれ“H”、“L”となってビット線電位がセンスされた後、ラッチ活性化信号L A T 2 , L A T 2 Bがそれぞれ“H”、“L”となり、クロック同期式インバータC I 3 , C I 4で構成されるフリップ・フロップに、「“2”データか、1”又は“0”データか」の情報がラッチされる。

。

50

## 【 0 0 3 0 】

読み出し第2サイクルは読み出し第1サイクルと、選択制御ゲートCG4の電圧が1.5Vでなく0Vであること、信号SEN2, SEN2B, LAT2, LAT2B, SAC2の代わりに信号SEN1, SEN1B, LAT1, LAT1B, SAC1が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータCI1, CI2で構成されるフリップ・フロップに、「0」データか、「1」又は「2」データかの情報がラッチされる。

## 【 0 0 3 1 】

以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。

10

## 【 0 0 3 2 】

データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値Vtは0V以下となっている。消去はpウェル、共通ソース線Vs、選択ゲートSG1, SG2を20Vにし、制御ゲートCG1~CG8を0Vとして行われる。

## 【 0 0 3 3 】

書き込み動作では、まずプリチャージ信号PREが“L”となってビット線がフローティングにされる。選択ゲートSG1がVcc、制御ゲートCG1~CG8がVccとされる。選択ゲートSG2は書き込み動作中0Vである。同時に、信号VRFY1, VRFY2, FIM, FIHがVccとなる。“0”書き込みの場合は、クロック同期式インバータCI1, CI2で構成されるフリップ・フロップに、クロック同期式インバータCI1の出力が“H”になるようにデータがラッチされているため、ビット線はVccにより充電される。“1”又は“2”書き込みの場合は、ビット線は0Vである。

20

## 【 0 0 3 4 】

続いて、選択ゲートSG1、制御ゲートCG1~CG8、信号BLC、信号VRFY1と電圧VSAが10V、電圧VBLHが8V、電圧VBLMが1Vとなる。“1”書き込みの場合は、クロック同期式インバータCI3, CI4で構成されるフリップ・フロップに、クロック同期式インバータCI3の出力が“H”になるようにデータがラッチされているため、ビット線BLには1Vが印加される。“2”書き込みの場合はビット線は0V、“0”書き込みの場合は8Vとなる。この後、選択された制御ゲートCG4が20Vとされる。

30

## 【 0 0 3 5 】

“1”又は“2”書き込みの場合は、ビット線BLと制御ゲートCG4の電位差によって電子がメモリセルの電荷蓄積層に注入され、メモリセルのしきい値は上昇する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層に注入すべき電荷量を少なくしなければならないため、ビット線BLを1Vにして制御ゲートCG4との電位差を19Vに緩和している。但し、この電位差の緩和はなくとも実施可能である。“0”書き込み時は、ビット線電圧8Vによってメモリセルのしきい値は実効的には変わらない。

## 【 0 0 3 6 】

書き込み動作の終了時は、まず選択ゲートSG1、制御ゲートCG1~CG8を0Vとし、“0”書き込み時のビット線BLの電圧8Vは遅れて0Vにリセットされる。この順序が反転すると一時的に“2”又は“1”書き込み動作の状態ができて、“0”書き込み時に間違ったデータを書いてしまうからである。

40

## 【 0 0 3 7 】

書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ペリファイ読み出しが行われる。ペリファイ読み出し中は、電圧VBLHはVcc、VBLは0V、FIMは0Vである。

## 【 0 0 3 8 】

ペリファイ読み出しは、2つの基本サイクルから実行される。この基本サイクルは読み出し第2サイクルに似ている。違うのは、選択された制御ゲートCG4の電圧と、信号VR

50

F Y 1 , V R F Y 2 , F I H が出力されることである（ベリファイ読み出し第 1 サイクルでは V R F Y 1 のみ）。信号 V R F Y 1 , V R F Y 2 , F I H は、選択ゲート S G 1 , S G 2 、制御ゲート C G 1 ~ C G 8 が 0 V にリセットされた後で信号 S E N 1 , S E N 1 B , L A T 1 , L A T 1 B がそれぞれ “ L ” , “ H ” , “ L ” , “ H ” になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータ C I 1 , C I 2 で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲート C G 4 の電圧は、読み出し時の 1 . 5 V（第 1 サイクル）、0 V（第 2 サイクル）に対応して、2 V（第 1 サイクル）、0 . 5 V（第 2 サイクル）と、0 . 5 V のしきい値マージンを確保するために高くしてある。

【 0 0 3 9 】

10

ここでは、クロック同期式インバータ C I 1 , C I 2 で構成されるフリップ・フロップにラッチされているデータ ( d a t a 1 )、クロック同期式インバータ C I 3 , C I 4 で構成されるフリップ・フロップにラッチされているデータ ( d a t a 2 ) と選択されたメモリセルのしきい値によって決まるビット線 B L の電圧を説明する。d a t a 1 は「 “ 0 ” 書き込みか、 “ 1 ” 又は “ 2 ” 書き込みか」を制御し、“ 0 ” 書き込みの場合は Q n 3 は “ O N ” 状態、“ 1 ” 又は “ 2 ” 書き込みの場合は Q n 6 が “ O N ” 状態である。d a t a 2 は「 “ 1 ” 書き込みか、 “ 2 ” 書き込みか」を制御し、“ 1 ” 書き込みの場合は Q n 10 は “ O N ” 状態、“ 2 ” 書き込みの場合は Q n 11 が “ O N ” 状態である。

【 0 0 4 0 】

“ 0 ” データ書き込み時（初期書き込みデータが “ 0 ” ）のベリファイ読み出し第 1 サイクルでは、メモリセルのデータが “ 0 ” であるから、制御ゲート C G 4 が 2 V になるとメモリセルによってビット線電位は “ L ” となる。その後信号 V R F Y 1 が “ H ” となることでビット線 B L は “ H ” となる。

20

【 0 0 4 1 】

“ 1 ” データ書き込み時（初期書き込みデータが “ 1 ” ）のベリファイ読み出し第 1 サイクルでは、メモリセルのデータが “ 1 ” となるはずであるからメモリセルのしきい値は 1 . 5 V 以下で、制御ゲート C G 4 が 2 V になるとメモリセルによってビット線電位は “ L ” となる。その後信号 V R F Y 1 が “ H ” となることで、既に “ 1 ” 書き込み十分で d a t a 1 が “ 0 ” 書き込みを示している場合ビット線 B L は “ H ”（図 6 の (1)）、さもなくばビット線 B L は “ L ”（図 6 の (2)）となる。

30

【 0 0 4 2 】

“ 2 ” データ書き込み時（初期書き込みデータが “ 2 ” ）のベリファイ読み出し第 1 サイクルでは、選択メモリセルのデータが “ 2 ” となっていない（ “ 2 ” 書き込み不十分）場合、制御ゲート C G 4 が 2 V になるとメモリセルによってビット線電位は “ L ” となる（図 6 の (5)）。選択メモリセルが “ 2 ” 書き込み十分になっている場合、制御ゲート C G 4 が 2 V になってもビット線電位は “ H ” のままである（図 6 の (3)(4)）。図 6 の (3) は既に “ 2 ” 書き込み十分で d a t a 1 が “ 0 ” 書き込みを示している場合である。この場合、信号 V R F Y 1 が “ H ” となることで、電圧 V B H によってビット線 B L は再充電される。

【 0 0 4 3 】

40

“ 0 ” データ書き込み時（初期書き込みデータが “ 0 ” ）のベリファイ読み出し第 2 サイクルでは、メモリセルのデータが “ 0 ” であるから、制御ゲート C G 4 が 0 . 5 V になるとメモリセルによってビット線電位は “ L ” となる。その後、信号 V R F Y 1 が “ H ” となることでビット線 B L は “ H ” となる。

【 0 0 4 4 】

“ 1 ” データ書き込み時（初期書き込みデータが “ 1 ” ）のベリファイ読み出し第 2 サイクルでは、選択メモリセルのデータが “ 1 ” となっていない（ “ 1 ” 書き込み不十分）場合、制御ゲート C G 4 が 0 . 5 V になるとメモリセルによってビット線電位は “ L ” となる（図 6 の (8)）。選択メモリセルが “ 1 ” 書き込み十分になっている場合、制御ゲート C G 4 が 0 . 5 V になってもビット線電位は “ H ” のままである（図 6 の (6)(7)）。図 6

50

の(6)は既に“1”書き込み十分でdata1が“0”書き込みを示している場合である。この場合信号VRFY1が“H”となることで、電圧VBHによってビット線BLは再充電される。

【0045】

“2”データ書き込み時(初期書き込みデータが“2”)のベリファイ読み出し第2サイクルでは、メモリセルのデータが“2”となるはずであるからメモリセルのしきい値が0.5V以上であれば“2”書き込み十分でも不十分でも、制御ゲートCG4が0.5Vになってもビット線電位は“H”のままである(図6の(9)(10))。“2”書き込み不十分でメモリセルのしきい値が0.5V以下の場合、ビット線は“L”になる(図6の(11))

10

【0046】

その後、信号VRFY1, VRFY2, FIHが“H”となることで、既に“2”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“H”(図6の(9))、さもなければビット線BLは“L”(図6の(10)(11))となる。

【0047】

このベリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが下記の(表1)のように設定される。

【0048】

【表1】

書き込みデータ	0	0	0	1	1	2	2	2
セルのデータ	0	1	2	0	1	0	1	2
再書き込みデータ	0	0	0	1	0	2	2	0

20

【0049】

(表1)から分かるように、“1”書き込み不足のメモリセルのみ再度“1”書き込みが行われ、“2”書き込み不足のメモリセルにのみ再度“2”書き込みが行われるようになっている。また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムのQn13が“OFF”となり、信号PENDBによってデータ書き込み終了情報が出力される。

30

【0050】

図7はデータの入出力動作タイミングを示しており、(a)はデータ入力タイミング、(b)はデータ出力タイミングである。外部からのデータ入力3サイクルの後、入出力データ変換回路5によって、ビット線制御回路2に入力するデータが発生され入力される。外部からの3ビット分のデータ(X1, X2, X3)は、2つのメモリセルのデータ(Y1, Y2)に変換され、実効的にはビット線制御回路2のクロック同期式インバータCI1, CI2で構成されるレジスタR1とCI3, CI4で構成されるレジスタR2に、データ入出力線IOA, IOBを介して変換データが設定される。レジスタR1, R2にラッチされている読み出しデータは、データ入出力線IOA, IOBを介して入出力データ変換回路5に転送され変換されて出力される。図3に見られるカラム選択信号CSL1iとCSL2iを同一信号にして、そのかわりIOA, IOBを2系統に分けて同一カラムの2つのレジスタを同時にアクセスすることも容易に可能で、アクセス時間を短くするためには効果的である。

40

【0051】

下記の(表2)はデータ入力時の、外部からの3ビット分のデータ(X1, X2, X3)、メモリセルの2つのデータ(Y1, Y2)とY1, Y2それぞれに対応するレジスタR1, R2のデータの関係を示している。

50



【 0 0 5 2 】

【 表 2 】

入力データ			セルデータ		IOA線データ			
					セルY <sub>1</sub>		セルY <sub>2</sub>	
X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	Y <sub>1</sub>	Y <sub>2</sub>	レジスタR1	レジスタR2	レジスタR1	レジスタR2
0	0	0	0	0	H	—	H	—
0	0	1	0	2	H	—	L	L
0	1	0	0	1	H	—	L	H
0	1	1	1	2	L	H	L	L
1	0	0	1	0	L	H	H	—
1	0	1	1	1	L	H	L	H
1	1	0	2	0	L	L	H	—
1	1	1	2	1	L	L	L	H
レジスタ書き込み命令			2	2	L	L	L	L

10

20

【 0 0 5 3 】

レジスタのデータはデータ転送時の入出力線IOAの電圧レベルで表現してある。データ入出力線IOBはIOAの反転信号であるため省略してある。下記の(表3)は、データ出力時のそれである。

【 0 0 5 4 】

【 表 3 】

30

IOA線データ				セルデータ		出力データ		
セルY <sub>1</sub>		セルY <sub>2</sub>						
レジスタR1	レジスタR2	レジスタR1	レジスタR2	Y <sub>1</sub>	Y <sub>2</sub>	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>
L	L	L	L	0	0	0	0	0
L	L	H	H	0	2	0	0	1
L	L	H	L	0	1	0	1	0
H	L	H	H	1	2	0	1	1
H	L	L	L	1	0	1	0	0
H	L	H	L	1	1	1	0	1
H	H	L	L	2	0	1	1	0
H	H	H	L	2	1	1	1	1
H	H	H	H	2	2	ラインフラグ 出力		

10

20

## 【0055】

この実施例では同じデータに対して、入力時のIOAのレベルと出力時のIOAのレベルが反転している。

## 【0056】

メモリセルの2つデータ(Y<sub>1</sub>, Y<sub>2</sub>)の9つの組み合わせのうち1つは余るため、これを例えばポインタ情報などファイル管理情報に利用することは可能である。ここではポインタ情報をセルデータ(Y<sub>1</sub>, Y<sub>2</sub>) = (2, 2)に対応させている。

## 【0057】

図8は、EEPROMをコントロールするマイクロプロセッサなどから見たときの、データ書き込みの単位であるページ概念を示している。ここでは1ページをNバイトとしていて、マイクロプロセッサなどから見たときのアドレス(論理アドレス)を表示している。例えば、領域1(論理アドレス0~n)だけしか書き込みデータが入力されないとき、 $n = 3m + 2$  ( $m = 0, 1, 2, \dots$ )であれば常に(X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub>)が揃うので問題ない。 $n = 3m$ の場合はX<sub>1</sub>しか入力されないので、EEPROM内部でX<sub>2</sub> = 0, X<sub>3</sub> = 0を発生して(X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub>)を入出力データ変換回路5に入力する。 $n = 3m + 1$ の場合はX<sub>3</sub> = 0を内部で発生する。このnがNと等しいときも同様である。

30

## 【0058】

領域1にデータ書き込みを行った(領域2の書き込みデータは全て"0")後、追加的に領域2にデータ書き込みを行う場合、領域1の部分を読み出してそのデータに領域2の部分の書き込みデータを追加して入力すればよい。或いは、領域1の部分を読み出して、領域2の先頭アドレス $n + 1 = 3m$ の場合は領域1のデータを全て"0"、 $n + 1 = 3m + 2$ の場合アドレス $n - 1$ 、 $n$ のデータをX<sub>1</sub>, X<sub>2</sub>としてアドレス $n + 1$ のデータX<sub>3</sub>に追加し領域1のアドレス $n - 2$ までのデータを全て"0"、 $n + 1 = 3m + 1$ の場合アドレス $n$ のデータをX<sub>1</sub>としてアドレス $n + 1$ 、 $n + 2$ のデータX<sub>2</sub>, X<sub>3</sub>に追加し領域1のアドレス $n - 1$ までのデータを全て"0"、としてもよい。これらの動作は、EEPROM内部で自動的に行うことも容易である。この追加データ書き込みが可能となるよう、(表2)及び(表3)に示してあるように(X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub>)と(Y<sub>1</sub>, Y<sub>2</sub>)の関係は組まれている。(表2)及び(表3)に示してある(X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub>)と(Y<sub>1</sub>, Y

40

50

2) の関係は1つの例であってこれに限るものではない。また、領域は3以上でも同様に追加データ書き込みは行える。

【0059】

図9(a)は、データ書き込みアルゴリズムを示している。データロード後、書き込み、ベリファイ読み出しと書き込み終了検出動作が繰り返し行われる。点線の中はEEPROM内で自動的に行われる。

【0060】

図9(b)は、追加データ書き込みアルゴリズムを示している。読み出しとデータロード後、ベリファイ読み出し、書き込み終了検出と書き込み動作が繰り返し行われる。点線の中はEEPROM内で自動的に行われる。データロード後にベリファイ読み出しが行われるのは、既に“1”或いは“2”が書き込まれているところに書き込みが行われないようにするためである。そうしないと過剰書き込みされる場合が生じる。

10

【0061】

図10は、このように構成されたEEPROMでの、メモリセルのしきい値の書き込み特性を示している。“1”データが書き込まれるメモリセルと“2”データが書き込まれるメモリセルは同時に書き込みが行われ、それぞれ独立に書き込み時間が制御される。

【0062】

下記の(表4)に、消去、書き込み、読み出し、ベリファイ読み出し時のメモリセルアレイ各部の電位を示す。

20

【0063】

【表4】

	消 去	書 き 込 み			読 み 出 し		ベリファイ 読 み 出 し	
		'0'	'1'	'2'	第1サイクル	第2サイクル	第1サイクル	第2サイクル
BL	20V	8V	1V	0V	'2'読出し 時のみ'H'	'0'読出し 時のみ'L'	図6参照	
SG1	20V	10V			5V		5V	
CG1	0V	10V			5V		5V	
CG2	0V	10V			5V		5V	
CG3	0V	10V			5V		5V	
CG4	0V	20V			1.5V	0V	2V	0.5V
CG5	0V	10V			5V		5V	
CG6	0V	10V			5V		5V	
CG7	0V	10V			5V		5V	
CG8	0V	10V			5V		5V	
SG2	20V	0V			5V		5V	
Vs	20V	0V			0V		0V	
Pwell	20V	0V			0V		0V	

30

40

【0064】

図11は、本発明の第2の実施例におけるNORセル型EEPROMの、メモリセルアレイ

50

イ1とビット線制御回路2の具体的な構成を示している。メモリセルM10のみで、NOR型セルを構成する。NOR型セルの一端はビット線BLに接続され、他端は共通接地線と接続される。1本の制御ゲートWLを共有するメモリセルMはページを構成する。メモリセルMはそのしきい値V<sub>t</sub>でデータを記憶し、V<sub>t</sub>がV<sub>cc</sub>以上である場合“0”データ、V<sub>t</sub>がV<sub>cc</sub>以下2.5V以上の場合“1”データ、V<sub>t</sub>が2.5V以下0V以上の場合“2”データとして記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施例では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。

#### 【0065】

クロック同期式インバータCI5, CI6とCI7, CI8でそれぞれフリップ・フロップを構成し、書き込み/読み出しデータをラッチする。また、センス・アンプとしても動作する。クロック同期式インバータCI5, CI6で構成されるフリップ・フロップは、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報保持しているか、“1”又は“2”の情報保持しているか」、を読み出しデータ情報としてラッチする。クロック同期式インバータCI7, CI8で構成されるフリップ・フロップは、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”の情報保持しているか、“0”又は“1”の情報保持しているか」、を読み出しデータ情報としてラッチする。

#### 【0066】

nチャンネルMOSトランジスタの内、Qn18は、プリチャージ信号PREが“H”となると電圧V<sub>PR</sub>をビット線に転送する。Qn19は、ビット線接続信号BLCが“H”となってビット線と主要なビット線制御回路を接続する。Qn20~Qn23, Qn25~Qn28は、上述のフリップ・フロップにラッチされているデータに応じて、電圧V<sub>BLH</sub>, V<sub>BLM</sub>, 0Vを選択的にビット線に転送する。Qn24, Qn29はそれぞれ信号SAC2, SAC1が“H”となることでフリップ・フロップとビット線を接続する。Qn30は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するために設けられる。Qn31, Qn32とQn33, Qn34はそれぞれカラム選択信号CSL1, CSL2が“H”となって、対応するフリップ・フロップとデータ入出力線IOA, IOBを選択的に接

#### 【0067】

次に、このように構成されたEEPROMの動作を図12~14に従って説明する。図12は読み出し動作のタイミング、図13は書き込み動作のタイミング、図14はベリファイ読み出し動作のタイミングを示している。

#### 【0068】

読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧V<sub>PR</sub>が電源電圧V<sub>cc</sub>となってビット線はプリチャージされ、プリチャージ信号PREが“L”となってビット線はフローティングにされる。続いて、制御ゲートWLは2.5Vにされる。選択されたメモリセルのV<sub>t</sub>が2.5V以下の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“L”レベルになる。

#### 【0069】

この後、センス活性化信号SEN2, SEN2Bがそれぞれ“L”, “H”、ラッチ活性化信号LAT2, LAT2Bがそれぞれ“L”, “H”となって、クロック同期式インバータCI7, CI8で構成されるフリップ・フロップはリセットされる。信号SAC2が“H”となってクロック同期式インバータCI7, CI8で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号SEN2, SEN2Bがそれぞれ“H”, “L”となってビット線電位がセンスされた後、ラッチ活性化信号LAT2, LAT2Bがそれぞれ“H”, “L”となり、クロック同期式インバータCI7, CI8で構成されるフリップ・フロップに、「“2”データか、“1”又は“0”データか」の情報がラッチされ

10

20

30

40

50

る。

【 0 0 7 0 】

読み出し第2サイクルは読み出し第1サイクルと、選択制御ゲートWLの電圧が2.5VでなくV<sub>cc</sub>であること、信号SEN2, SEN2B, LAT2, LAT2B, SAC2の代わりに信号SEN1, SEN1B, LAT1, LAT1B, SAC1が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータCI5, CI6で構成されるフリップ・フロップに、「“0”データか、“1”又は“2”データか」の情報がラッチされる。

【 0 0 7 1 】

以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。

10

【 0 0 7 2 】

データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値V<sub>t</sub>はV<sub>cc</sub>以上となっている。消去は、制御ゲートWLを20Vとしビット線を0Vにして行われる。

【 0 0 7 3 】

書き込み動作では、まずプリチャージ信号PREが“L”となってビット線がフローティングにされる。信号VRFY1, VRFY2, FIM, FILがV<sub>cc</sub>となる。“2”書き込みの場合は、クロック同期式インバータCI5, CI6で構成されるフリップ・フロップに、クロック同期式インバータCI5の出力が“H”になるようにデータがラッチされているため、ビット線は0Vである。“1”又は“2”書き込みの場合は、ビット線はV<sub>cc</sub>に充電される。

20

【 0 0 7 4 】

続いて、信号BLC, VRFY2, FIM, FILと電圧VSAが10V、電圧VBLHが8V、電圧VBLMが7Vとなる。“1”書き込みの場合は、クロック同期式インバータCI7, CI8で構成されるフリップ・フロップに、クロック同期式インバータCI7の出力が“H”になるようにデータがラッチされているため、ビット線BLには7Vが印加される。“2”書き込みの場合はビット線は8V、“0”書き込みの場合は0Vとなる。この後、選択された制御ゲートWLが-12Vとされる。

【 0 0 7 5 】

“1”又は“2”書き込みの場合は、ビット線BLと制御ゲートWLの電位差によって電子がメモリセルの電荷蓄積層から放出され、メモリセルのしきい値は下降する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層から放出すべき電荷量を少なくしなければならないため、ビット線BLを7Vにして制御ゲートWLとの電位差を19Vに緩和している。“0”書き込み時は、ビット線電圧0Vによってメモリセルのしきい値は実効的には変わらない。

30

【 0 0 7 6 】

書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。ベリファイ読み出し中は、電圧VBLHはV<sub>cc</sub>、FIMは0Vである。

40

【 0 0 7 7 】

ベリファイ読み出しは、2つの基本サイクルから実行される。この基本サイクルは読み出し第1サイクルに似ている。違うのは、選択された制御ゲートWLの電圧と、信号VRFY1, VRFY2, FIHが出力されることである(ベリファイ読み出し第1サイクルではVRFY1のみ)。信号VRFY1, VRFY2, FIHは、制御ゲートWLが0Vにリセットされた後で信号SEN1, SEN1B, LAT1, LAT1Bがそれぞれ“L”, “H”, “L”, “H”になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータCI5, CI6で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲートWLの電圧は、読み出し時の2.5V(第1サイクル)、V<sub>cc</sub>(第2サイクル)に対応して、2V(第

50

1 サイクル)、4 V (第 2 サイクル) と、しきい値マージンを確保するために低くしてある。

【 0 0 7 8 】

ここでは、クロック同期式インバータ C I 5 , C I 6 で構成されるフリップ・フロップにラッチされているデータ ( d a t a 1 )、クロック同期式インバータ C I 7 , C I 8 で構成されるフリップ・フロップにラッチされているデータ ( d a t a 2 ) と選択されたメモリセルのしきい値によって決まるビット線 B L の電圧を説明する。 d a t a 1 は「 “ 0 ” 書き込みか、 “ 1 ” 又は “ 2 ” 書き込みか」を制御し、 “ 0 ” 書き込みの場合は Q n 20 は “ O N ” 状態、 “ 1 ” 又は “ 2 ” 書き込みの場合は Q n 23 が “ O N ” 状態である。 d a t a 2 は「 “ 1 ” 書き込みか、 “ 2 ” 書き込みか」を制御し、 “ 1 ” 書き込みの場合は Q n 26 は “ O N ” 状態、 “ 2 ” 書き込みの場合は Q n 27 が “ O N ” 状態である。

10

【 0 0 7 9 】

“ 0 ” データ書き込み時 ( 初期書き込みデータが “ 0 ” ) のベリファイ読み出し第 1 サイクルでは、メモリセルのデータが “ 0 ” であるから、制御ゲート W L が 2 V になってもビット線電位は “ H ” のままである。その後信号 V R F Y 1 が “ H ” となることでビット線 B L は “ L ” となる。

【 0 0 8 0 】

“ 1 ” データ書き込み時 ( 初期書き込みデータが “ 1 ” ) のベリファイ読み出し第 1 サイクルでは、メモリセルのデータが “ 1 ” となるはずであるからメモリセルのしきい値は 2 . 5 V 以上で、制御ゲート W L が 2 V になってもビット線電位は “ H ” のままである。その後信号 V R F Y 1 が “ H ” となることで、既に “ 1 ” 書き込み十分で d a t a 1 が “ 0 ” 書き込みを示している場合ビット線 B L は “ L ” ( 図 1 4 の ( 2 ) )、さもなくばビット線 B L は “ H ” ( 図 1 4 の ( 1 ) ) となる。

20

【 0 0 8 1 】

“ 2 ” データ書き込み時 ( 初期書き込みデータが “ 2 ” ) のベリファイ読み出し第 1 サイクルでは、選択メモリセルのデータが “ 2 ” となっていない ( “ 2 ” 書き込み不十分 ) 場合、制御ゲート W L が 2 V になってもビット線電位は “ H ” である ( 図 1 4 の ( 3 ) )。選択メモリセルが “ 2 ” 書き込み十分になっている場合、制御ゲート W L が 2 V になるとビット線電位はメモリセルによって “ L ” となる ( 図 1 4 の ( 4 ) ( 5 ) )。図 1 4 の ( 5 ) は既に “ 2 ” 書き込み十分で d a t a 1 が “ 0 ” 書き込みを示している場合である。この場合、信号 V R F Y 1 が “ H ” となることで、ビット線 B L は接地される。

30

【 0 0 8 2 】

“ 0 ” データ書き込み時 ( 初期書き込みデータが “ 0 ” ) のベリファイ読み出し第 2 サイクルでは、メモリセルのデータが “ 0 ” であるから、制御ゲート C G 4 が 4 V になってもビット線電位は “ H ” である。その後、信号 V R F Y 1 が “ H ” となることでビット線 B L は “ L ” となる。

【 0 0 8 3 】

“ 1 ” データ書き込み時 ( 初期書き込みデータが “ 1 ” ) のベリファイ読み出し第 2 サイクルでは、選択メモリセルのデータが “ 1 ” となっていない ( “ 1 ” 書き込み不十分 ) 場合、制御ゲート W L が 4 V になってもビット線電位は “ H ” である ( 図 1 4 の ( 6 ) )。選択メモリセルが “ 1 ” 書き込み十分になっている場合、制御ゲート W L が 4 V になるとメモリセルによりビット線電位は “ L ” となる ( 図 1 4 の ( 7 ) ( 8 ) )。図 1 4 の ( 8 ) は既に “ 1 ” 書き込み十分で d a t a 1 が “ 0 ” 書き込みを示している場合である。この場合、信号 V R F Y 1 が “ H ” となることで、ビット線 B L は接地される。

40

【 0 0 8 4 】

“ 2 ” データ書き込み時 ( 初期書き込みデータが “ 2 ” ) のベリファイ読み出し第 2 サイクルでは、メモリセルのデータが “ 2 ” となるはずであるからメモリセルのしきい値が 4 V 以下であれば “ 2 ” 書き込み十分でも不十分でも、制御ゲート W L が 4 V になるとビット線電位は “ L ” となる ( 図 1 4 の ( 10 ) ( 11 ) )。“ 2 ” 書き込み不十分でメモリセルのしきい値が 4 V 以上の場合、ビット線は “ H ” になる ( 図 1 4 の ( 9 ) )。

50

【 0 0 8 5 】

その後、信号 V R F Y 1 , V R F Y 2 , F I H が “ H ” となることで、既に “ 2 ” 書き込み十分で d a t a 1 が “ 0 ” 書き込みを示している場合ビット線 B L は “ L ” ( 図 1 4 の ( 1 1 ) )、さもなくばビット線 B L は “ H ” ( 図 1 4 の ( 9 ) ( 1 0 ) ) となる。

【 0 0 8 6 】

このベリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが、第 1 の実施例と同様に表 1 のように設定される。また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムの Q n 3 0 が “ O F F ” となり、信号 P E N D B によってデータ書き込み終了情報が出力される。

【 0 0 8 7 】

データの入出力動作タイミング、データ書き込みアルゴリズム、追加データ書き込みアルゴリズムなどは、図 7 ~ 9、( 表 2 ~ 3 ) に見られるように第 1 の実施例と同様である。

【 0 0 8 8 】

図 1 5 は、このように構成された E E P R O M での、メモリセルのしきい値の書き込み特性を示している。“ 1 ” データが書き込まれるメモリセルと “ 2 ” データが書き込まれるメモリセルは同時に書き込みが行われ、それぞれ独立に書き込み時間が制御される。

【 0 0 8 9 】

下記の ( 表 5 ) は、消去、書き込み、読み出し、ベリファイ読み出し時のメモリセルアレイ各部の電位を示している。

【 0 0 9 0 】

【 表 5 】

	消 去	書 き 込 み			読 み 出 し		ベリファイ 読 み 出 し	
		'0'	'1'	'2'	第1サイクル	第2サイクル	第1サイクル	第2サイクル
BL	0 V	0V	7V	8V	'2'読出し 時のみ 'L'	'0'読出し 時のみ 'H'	図 1 4 参照	
WL	2 0 V	- 1 2 V			2. 5 V	5 V	2. 0 V	4. 0 V

【 0 0 9 1 】

図 3 , 1 1 に示した回路は、例えばそれぞれ図 1 6 , 1 7 のように変形できる。図 1 6 は、図 2 に見られる Q n 3 , Q n 4 を p チャネルの M O S トランジスタ Q p 1 , Q p 2 に置き換えてある。図 1 7 は、図 1 1 に見られる Q n 2 2 , Q n 2 3 , Q n 2 5 ~ Q n 2 8 を p チャネルの M O S トランジスタ Q p 3 ~ Q p 8 に置き換えてある。このようにすることで、n チャネル M O S トランジスタのしきい値による転送できる電圧の降下を防ぐことができ、この例では、電圧 V S A を書き込み時に 8 V まで上げればよく回路を構成するトランジスタの耐圧を下げるができる。図 1 6 の V R F Y 1 B は図 2 , 3 の V R F Y 1 の反転信号、図 1 7 の V R F Y 2 B , F I L B , F I M B は図 1 1 の V R F Y 2 , F I L , F I M のそれぞれ反転信号である。

【 0 0 9 2 】

図 8 で、追加データ書き込みについて説明したが、例えば図 1 8 のように追加データ書き込みを容易にするため、1 ページを分割しておくことも 1 つの有効な方法である。この例では論理アドレス 3 2 番地毎にメモリセル 2 2 個で 1 つの領域を構成する。これによって領域単位での追加データ書き込みは容易となる。つまり領域 2 に追加データ書き込みをする場合、領域 2 以外の領域の書き込みデータを全て “ 0 ” として、図 9 ( a ) に見られるデータ書き込みアルゴリズムに従って行えばよい。1 つの領域のサイズは図 1 8 に示している以外の大きさでもかまわない。

【 0 0 9 3 】

10

20

30

40

50

### 【発明の効果】

以上説明したように本発明によれば、対応するメモリセルに書き込まれる  $n$  値の書き込みデータを 2 以上のバイナリデータの組み合わせで記憶し、対応するメモリセルから読み出される  $n$  値の読み出しデータを 2 以上のバイナリデータの組み合わせで記憶する複数のデータラッチ回路を設けることにより、外部とは実質的に 2 値でデータの授受を行うことができ、従って 2 値のデータを基に動作するコンピュータとの整合をとることが可能となる。

### 【図面の簡単な説明】

【図 1】第 1 及び第 2 の実施例に係わる E E P R O M の概略構成を示すブロック図。

【図 2】第 1 の実施例におけるメモリセルアレイの具体的構成を示す図。

10

【図 3】第 1 の実施例におけるビット線制御回路の具体的構成を示す図。

【図 4】第 1 の実施例における読み出し動作を示すタイミング図。

【図 5】第 1 の実施例における書き込み動作を示すタイミング図。

【図 6】第 1 の実施例におけるペリファイ読み出し動作を示すタイミング図。

【図 7】第 1 及び第 2 の実施例におけるデータの入出力動作を示すタイミング図。

【図 8】第 1 及び第 2 の実施例における書き込み / 読み出し単位のページの概念を示す図。

【図 9】第 1 , 第 2 の実施例におけるデータ書き込み及び追加データ書き込みアルゴリズムを示す図。

【図 10】第 1 の実施例におけるメモリセルの書き込み特性を示す図。

20

【図 11】第 2 の実施例におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図 12】第 2 の実施例における読み出し動作を示すタイミング図。

【図 13】第 2 の実施例における書き込み動作を示すタイミング図。

【図 14】第 2 の実施例におけるペリファイ読み出し動作を示すタイミング図。

【図 15】第 2 の実施例におけるメモリセルの書き込み特性を示す図。

【図 16】第 1 の実施例におけるビット線制御回路の変形例を示す図。

【図 17】第 2 の実施例におけるビット線制御回路の変形例を示す図。

【図 18】第 1 及び第 2 の実施例における追加データ書き込みの単位を示す図。

【図 19】図 3 に示すインバータ部分の具体的構成例を示す図。

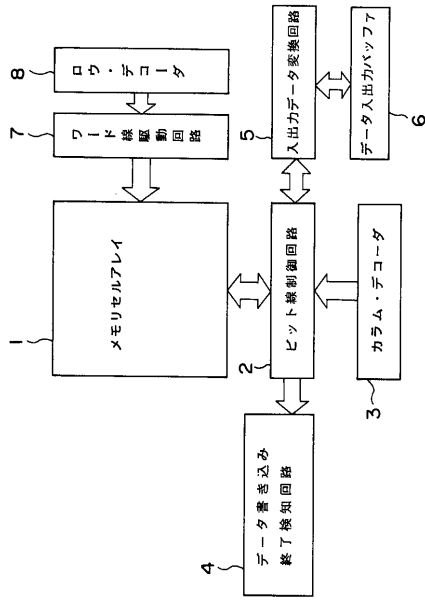
### 【符号の説明】

30

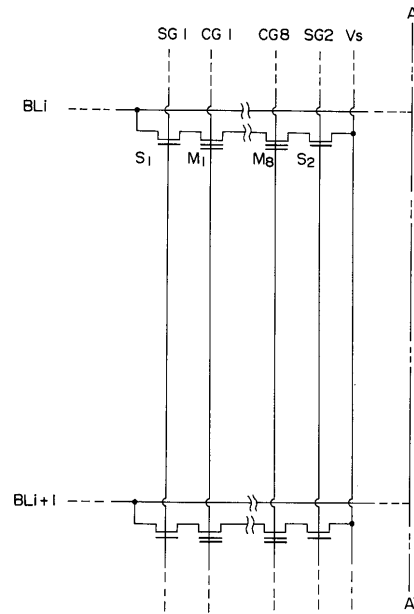
- 1 ...メモリセルアレイ
- 2 ...ビット線制御回路
- 3 ...カラム・デコーダ
- 4 ...データ書き込み終了検知回路
- 5 ...入出力データ変換回路
- 6 ...データ入出力バッファ
- 7 ...ワード線駆動回路
- 8 ...ロウ・デコーダ



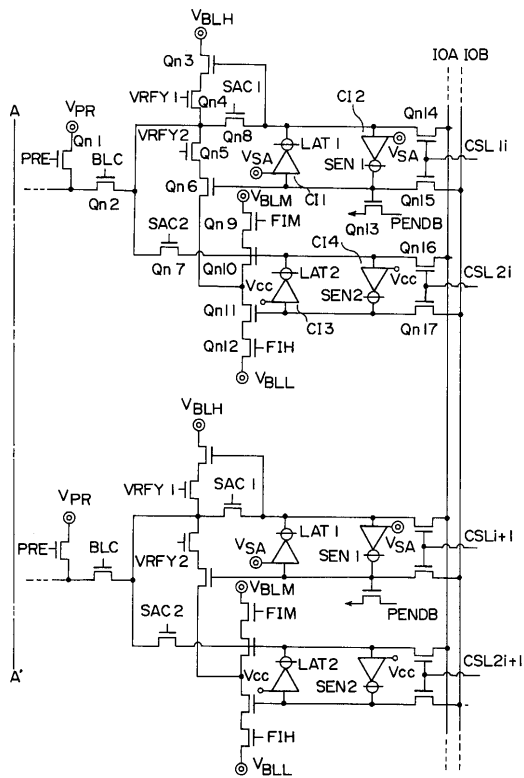
【図1】



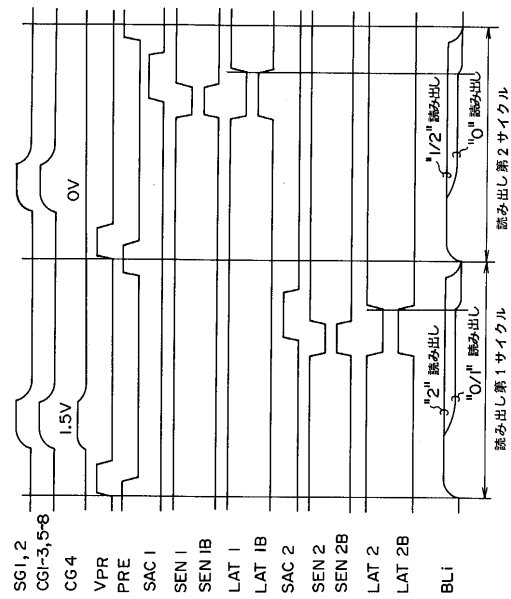
【図2】



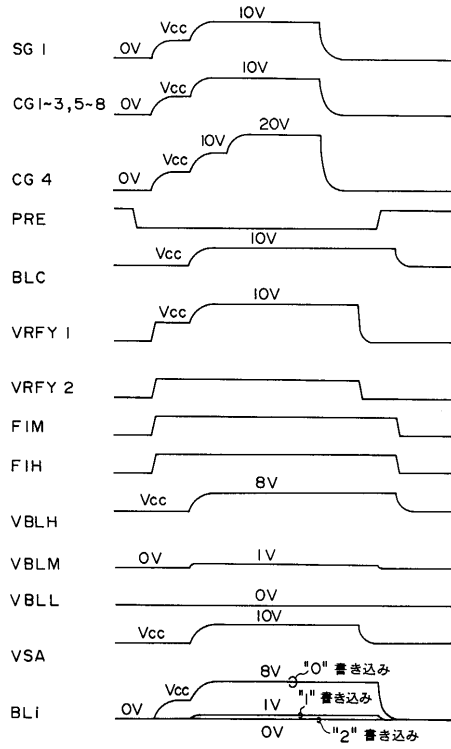
【図3】



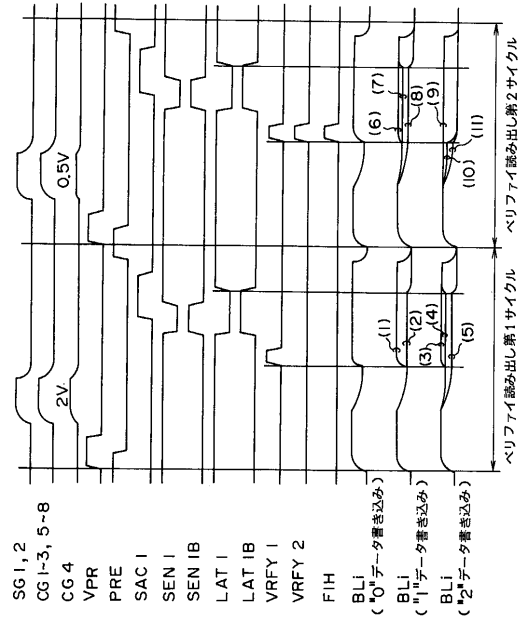
【図4】



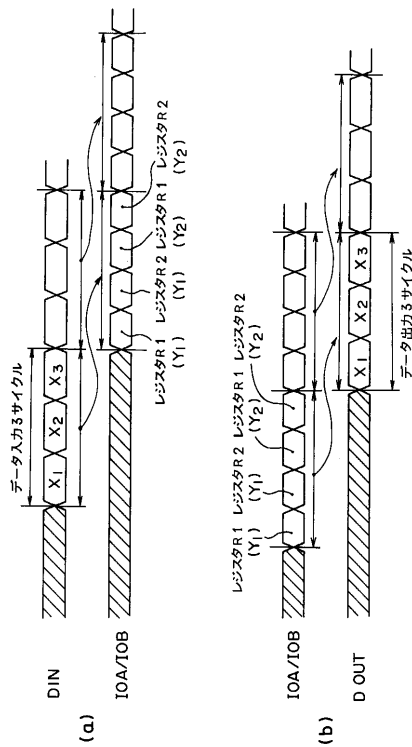
【 図 5 】



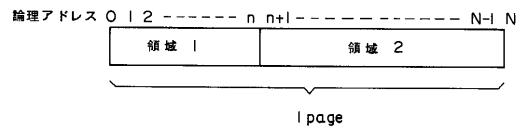
【 図 6 】



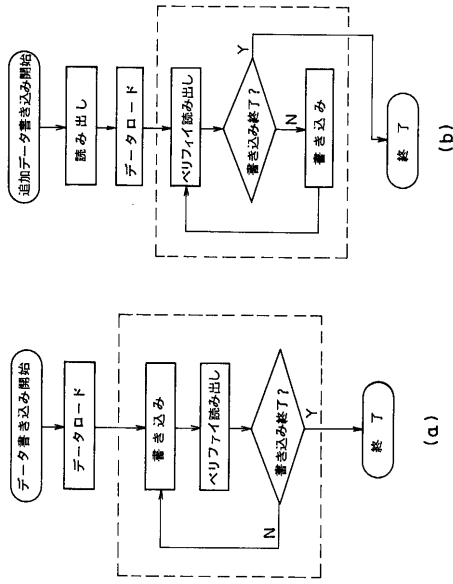
【 図 7 】



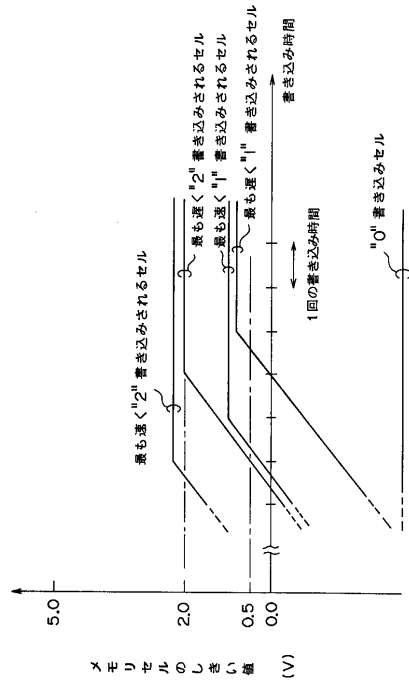
【 図 8 】



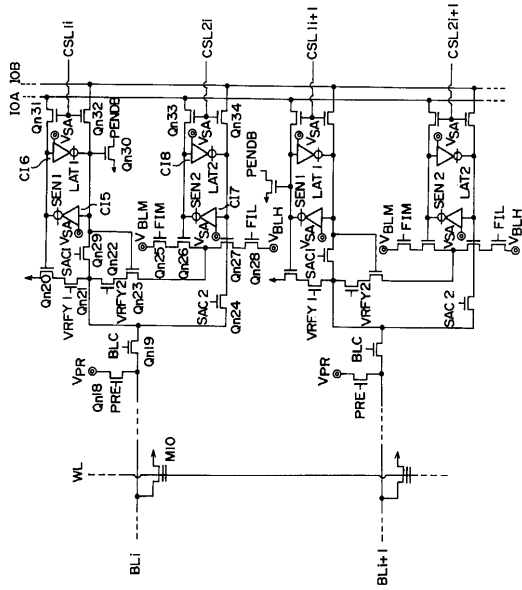
【 図 9 】



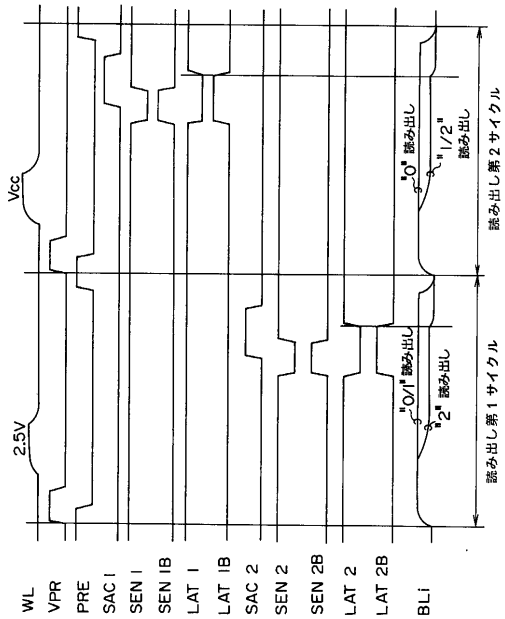
【 図 10 】



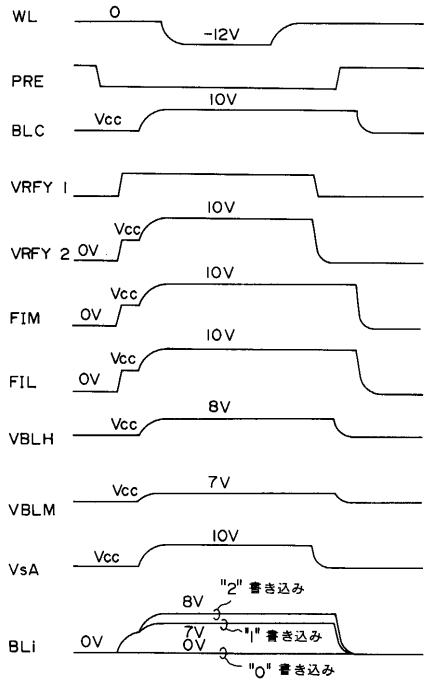
【 図 11 】



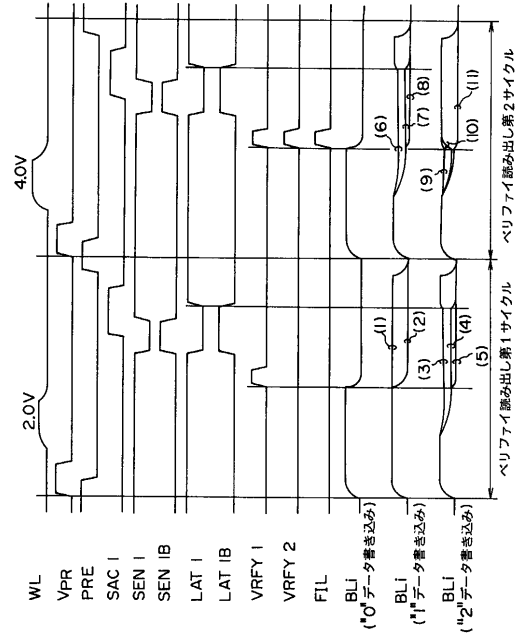
【 図 12 】



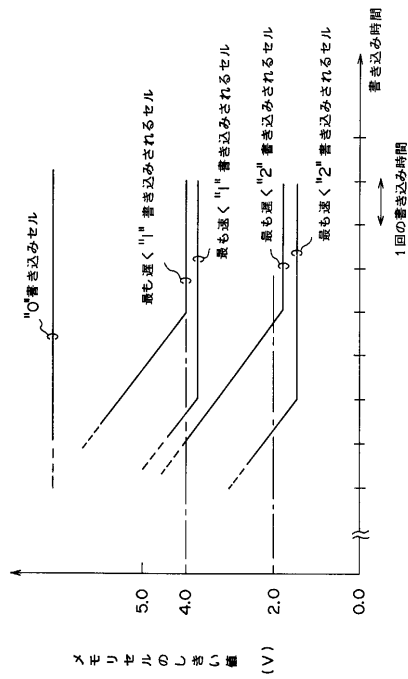
【図 13】



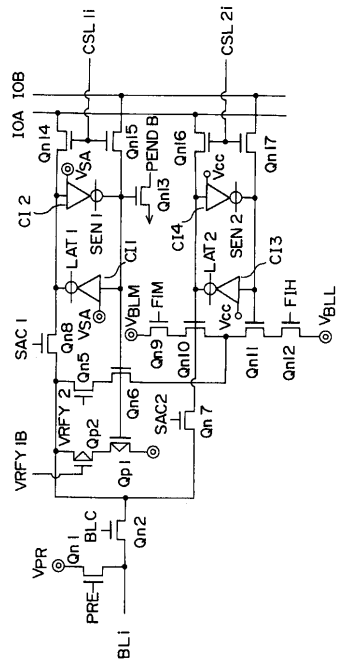
【図 14】



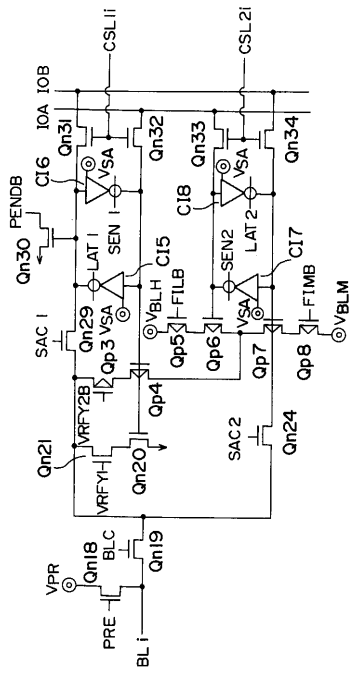
【図 15】



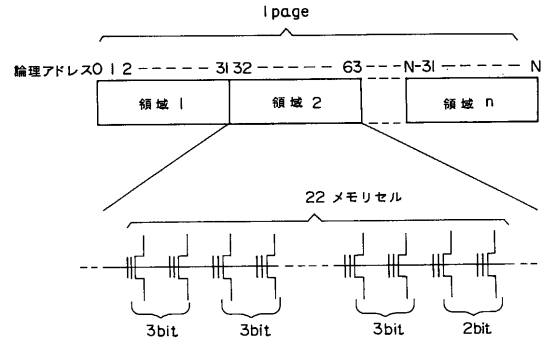
【図 16】



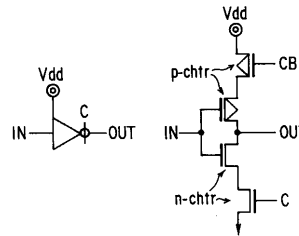
【 図 17 】



【 図 18 】



【 図 19 】



---

フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 飯田 清司

(56)参考文献 特開平03 - 059886 (JP, A)

特開平03 - 237692 (JP, A)

特表平04 - 507320 (JP, A)

特開昭62 - 257699 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02