

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6017127号
(P6017127)

(45) 発行日 平成28年10月26日 (2016.10.26)

(24) 登録日 平成28年10月7日 (2016.10.7)

(51) Int. Cl.	F I
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 5 A

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2011-217802 (P2011-217802)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成23年9月30日 (2011.9.30)	(74) 代理人	100119035 弁理士 池上 徹真
(65) 公開番号	特開2013-77761 (P2013-77761A)	(74) 代理人	100141036 弁理士 須藤 章
(43) 公開日	平成25年4月25日 (2013.4.25)	(74) 代理人	100088487 弁理士 松山 允之
審査請求日	平成25年10月9日 (2013.10.9)	(72) 発明者	鈴木 拓馬 東京都港区芝浦一丁目1番1号 株式会社 東芝内
審判番号	不服2015-10290 (P2015-10290/J1)		
審判請求日	平成27年6月2日 (2015.6.2)		

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置

(57) 【特許請求の範囲】

【請求項1】

炭化珪素層と、
少なくとも一部に凸部を有し、前記炭化珪素層の第1の主面上に配置された炭化珪素のn⁻層と、
前記n⁻層の一部に、前記炭化珪素のn⁻層の凸部を挟むように対峙した炭化珪素の第1および第2のp⁻ウェル領域と、
前記n⁻層と前記第1および第2のp⁻ウェル領域表面に、前記第1のp⁻ウェル領域から前記第2のp⁻ウェル領域に向かう方向に延在するトレンチ溝と、
前記第1および第2のp⁻ウェル領域中の一部表面に、前記n⁻層の凸部に近接した炭化珪素の第1および第2のn⁺領域と、
前記第1および第2のp⁻ウェル領域中の一部表面に、前記炭化珪素の第1および第2のn⁺領域に隣接した炭化珪素の第1および第2のp⁺領域と、
前記n⁻層の凸部上と、前記第1のp⁻ウェル領域と前記第2のp⁻ウェル領域と前記第1のn⁺領域と前記第2のn⁺領域表面上、トレンチ側壁面、およびトレンチ底部面にあるゲート絶縁膜と、
前記ゲート絶縁膜上の第1の電極と、
前記第1のn⁺領域と前記第1のp⁺領域の上表面、トレンチ側壁面、およびトレンチ底部面上の第2の電極と、
前記第2のn⁺領域と前記第2のp⁺領域の上表面、トレンチ側壁面、およびトレンチ

10

20

底部面上の第3の電極と、

前記炭化珪素層の前記第1の主面とは反対の第2の主面側の第4の電極とを備えた半導体装置であって、

駆動時に、前記第2の電極から前記第1の p^+ 領域、前記第1の n^+ 領域、前記 n^- 層の凸部に至り、前記 n^- 層、前記炭化珪素層、前記第4電極に向かって延在し、かつ前記第3の電極から前記第2の p^+ 領域、前記第2の n^+ 領域、前記前記 n^- 層の凸部に至り、前記 n^- 層、前記炭化珪素層、前記第4電極に向かって延在する、チャンネルが形成され

る。前記トレンチ溝の側壁面が、 $\{10-10\}$ 面、 $\{11-20\}$ 面、 $\{03-38\}$ 面の少なくとも一つを含むことを特徴とする半導体装置。

10

【請求項2】

前記炭化珪素層の表面が、 $\{0001\}$ 面であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記トレンチ溝の底面が、 $\{0001\}$ 面であることを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】

前記チャンネルが、MISFETまたはIGBTのチャンネルであることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】

前記トレンチ溝の深さは、前記 n^- 層の厚さより浅いことを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素(SiC)を用いた半導体装置に関する。

【背景技術】

【0002】

次世代のパワー半導体デバイス材料として炭化珪素(以下、SiCとも記述する)が期待されている。SiCはSiと比較して、バンドギャップが3倍、破壊電界強度が約10倍、及び熱伝導率が約3倍と優れた物性を有する。この特性を活用すれば超低損失かつ高温動作可能なパワー半導体デバイスを実現することができる。

【0003】

このような、SiCの特性を利用した高耐圧半導体デバイスとして例えば、縦型のMISFETやIGBTがあげられる。MISFETやIGBTでは、デバイスの高性能化のために、チャンネルの移動度を上げ、低オン抵抗を実現することが要求される。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-267570号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

デバイスの高性能化のためには、さらなるチャンネル移動度の向上や、単位セルの縮小、単位セルあたりのゲート幅の増大が必要とされる。それとともに、ゲート絶縁膜の信頼性の向上も要求される。

40

【0006】

50

本発明は、上記事情を考慮してなされたものであり、その目的とするところは、SiCを用いた、低オン抵抗、かつ信頼性にも優れた半導体装置および半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0007】

この実施の形態の半導体装置は、炭化珪素層と、少なくとも一部に凸部を有し、前記炭化珪素層の第1の主面上に配置された炭化珪素のn⁻層と、前記n⁻層の一部に、前記炭化珪素のn⁻層の凸部を挟むように対峙した炭化珪素の第1および第2のp⁻ウェル領域と、前記n⁻層と前記第1および第2のp⁻ウェル領域表面に、前記第1のp⁻ウェル領域から前記第2のp⁻ウェル領域に向かう方向に延在するトレンチ溝と、前記第1および第2のp⁻ウェル領域中の一部表面に、前記n⁻層の凸部に近接した炭化珪素の第1および第2のn⁺領域と、前記第1および第2のp⁻ウェル領域中の一部表面に、前記炭化珪素の第1および第2のn⁺領域に隣接した炭化珪素の第1および第2のp⁺領域と、前記n⁻層の凸部上と、前記第1のp⁻ウェル領域と前記第2のp⁻ウェル領域と前記第1のn⁺領域と前記第2のn⁺領域表面上、トレンチ側壁面、およびトレンチ底部面にあるゲート絶縁膜と、前記ゲート絶縁膜上の第1の電極と、前記第1のn⁺領域と前記第1のp⁺領域の上表面、トレンチ側壁面、およびトレンチ底部面上の第2の電極と、前記第2のn⁺領域と前記第2のp⁺領域の上表面、トレンチ側壁面、およびトレンチ底部面上の第3の電極と、前記炭化珪素層の前記第1の主面とは反対の第2の主面側の第4の電極とを備えた半導体装置であって、駆動時に、前記第2の電極から前記第1のp⁺領域、前記第1のn⁺領域、前記n⁻層の凸部に至り、前記n⁻層の凸部、前記炭化珪素層、前記第4電極に向かって延在し、かつ前記第3の電極から前記第2のp⁺領域、前記第2のn⁺領域、前記前記n⁻層の凸部に至り、前記n⁻層の凸部、前記炭化珪素層、前記第4電極に向かって延在する、チャンネルが形成され、前記トレンチ溝の側壁面が、{10-10}面、{11-20}面、{03-38}面の少なくとも一つを含むことを特徴とする。

【図面の簡単な説明】

【0008】

【図1】図1は、実施例1のMISFETの構成を示す斜視図である。

【図2】図2は、実施例1の半導体装置の製造方法を示す工程斜視図である。

【図3】図3は、実施例1の半導体装置の製造方法を示す工程斜視図である。

【図4】図4は、実施例1の半導体装置の製造方法を示す工程斜視図である。

【図5】図5は、本実施の形態の半導体装置と従来の形態の半導体装置の単位セル構造と、単位セル面積あたりのチャンネル幅と実効反転チャンネル移動度の比較結果を示す模式図である。

【図6】図6は、実施例2の半導体装置であるIGBTの構成を示す斜視図である。

【発明を実施するための形態】

【0009】

以下、本実施の形態を完成するに至った経緯について説明する。

上述のように、SiCを用いたMISFETやIGBTでは、デバイスの高性能化のために、チャンネルの移動度を上げ低オン抵抗を実現することが要求されている。

【0010】

もっとも、SiC上に形成されるゲート絶縁膜とSiCとの界面、特に熱酸化膜との界面には界面準位が形成されやすい。このため、チャンネルの移動度が低下するという問題がある。

【0011】

界面準位が形成されにくく、より高いチャンネル移動度を達成できるSiC結晶面にチャンネルを形成することで、低オン抵抗を実現することができる。このため、一般に市販されている(0001)面のSiC基板や、(000-1)面のSiC基板にトレンチ構造を設け、トレンチ側壁をチャンネルとして利用したSiCトレンチMISFETが、プレーナ

10

20

30

40

50

一型MISFETよりも低オン抵抗である高耐压半導体素子を実現する手段として用いられている。

【0012】

SiCトレンチMISFETはチャンネルを基板に対して垂直方向に形成するために、単位セルあたりの面積を低減することが可能であり、セルの高集積化による特性オン抵抗の低減にも有効な構造である。

【0013】

一方、SiC縦型パワー半導体デバイスは、前述したように大きなバンドギャップ、大きな破壊電界強度、及び優れた熱伝導率などの特性を有しており、これらの特性を活かすために、ドリフト層の厚さをSiの縦型パワー半導体デバイスの10分の1程度にして用

10

【0014】

このため、従来のSiCトレンチMISFETはSiトレンチMISFETと比較して、逆方向電圧を印加した際に、トレンチ底に接するゲート絶縁膜に高電界が印加され、ゲート絶縁膜の破壊や信頼性の低下などが生じやすいという、SiC特有の課題がある。

【0015】

上記課題を解決するために、トレンチ底のゲート絶縁膜が接するSiC部分にp型領域を設けることで、トレンチ底のゲート絶縁膜に印加される電界を緩和させる構造が検討されている。

【0016】

すなわち、SiCトレンチMOSFETのトレンチ底のゲート絶縁膜に接するSiC部分にp型領域を設けた半導体装置が知られている(特許文献1参照)。

20

【0017】

また、上記課題を解決するために、ソース領域にトレンチ構造を設け、ソース領域の下部にp型領域を設けることで、トレンチ底のゲート絶縁膜に印加される電界を緩和させる構造がある。

【0018】

さらに、SiCトレンチMOSFETのソース領域にもトレンチ構造を設け、ソース領域の下部にp型領域を設けた半導体装置も知られている。

【0019】

これらの構造は、いずれの場合もJFET領域として働くため、ゲート絶縁膜の電界強度を緩和させる一方、JFET抵抗の寄生によりオン抵抗が増大するという、トレードオフが存在する。

30

【0020】

本実施の形態は、上記事情を背景に完成されたものである。

本実施の形態の半導体装置は、炭化珪素層と、前記炭化珪素層上に形成され、トレンチ溝の側壁面にチャンネルを有し、炭化珪素層の面に対して水平方向に電気伝導するチャンネルを有することを特徴とする。

【0021】

前記チャンネルは、トレンチ溝の側壁面と、炭化珪素層の表面と、トレンチ溝の底面との少なくとも1つ以上に形成されることが望ましい。

40

【0022】

前記トレンチ溝の側壁面は、{10-10}面、{11-20}面、{03-38}面の少なくとも一つを含むことが望ましい。

【0023】

前記炭化珪素層の表面は{0001}面であることが望ましい。

【0024】

前記トレンチ溝の底面は{0001}面であることが望ましい。

【0025】

50

前記チャネルは、MISFETまたはIGBTのチャネルであることが望ましい。

【0026】

上記本実施の形態によれば、MISFETの単位セル面積あたりのチャネル幅を、従来のSiCトレンチ型MISFETと同等、またはそれ以上にしつつ、従来のSiCトレンチ型MISFETのトレンチ溝底面のゲート絶縁膜の信頼性よりも、高い信頼性をもつSiC MISFETが実現できる。

【0027】

さらに、従来のSiCプレーナー型MOSFETでチャネルとして用いられる結晶面に加えて、よりも高い反転チャネル移動度を実現可能な結晶面をチャネルとして併用することで、従来のSiCプレーナー型MISFETよりもオン抵抗の低いSiC MISFETが実現できる。

10

【0028】

これらの結果として、本実施の形態によれば、SiCを用いた、低オン抵抗、かつ信頼性にも優れた半導体装置および半導体装置の製造方法を提供することが可能となる。

【0029】

以下、実施例により実施の形態を説明する。

(実施例1)

本実施例の半導体装置は、炭化珪素層と、炭化珪素層上に形成され、トレンチ溝の側面にチャネルを有し、炭化珪素層の面に対して水平方向に電気伝導するチャネルを有する。

20

【0030】

ここでは、縦型のMISFETを例に説明する。上記構成を有することにより、単位セル面積あたりのチャネル幅が増大され、チャネル抵抗が低減する。したがって、オン抵抗が低く駆動力の高いMISFETが実現される。また、ゲート絶縁膜が従来のトレンチMISFETのようにドリフト層に突き出ていないため、逆方向電圧印加時のトレンチ溝底面付近のゲート絶縁膜の電界強度が緩和され、信頼性が向上し、信頼性の高いMISFETが実現される。

【0031】

図1は、本実施の形態の半導体装置であるMISFETの構成を示す斜視図である。このMISFET100は、第1と第2の主面を有するSiC基板12を備えている。図1においては、第1の主面とは図の上側の面であり、第2の主面とは図の下側の面である。このSiC基板12は、不純物濃度 $5 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の、例えば窒素(N)をn型不純物として含む六方晶の4H-SiC基板(n⁺基板)である。

30

【0032】

このSiC基板12は第1の主面として(0001)面を備えている。この第1の主面上には、n型不純物の不純物濃度 $5 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-3}$ 程度のn型のn⁻層14が形成されている。n⁻層14の膜厚は、例えば5~10μm程度である。

【0033】

n⁻層14とpウェル領域16の一部表面には、トレンチ溝40が形成されている。トレンチ溝は深さが、例えば1μm程度である。また、トレンチ溝の幅は例えば1μm程度であり、トレンチ溝同士の間隔は例えば1μm程度である。

40

【0034】

トレンチ溝40の深さをさらに深くすることで、単位セルあたりのゲート幅が増加し、チャネル抵抗を低減することが出来る。

【0035】

トレンチ溝40の側壁は、例えば(11-20)面が露出している。トレンチ溝40の底面には例えば(0001)面が露出している。

【0036】

n⁻層14の一部表面には、p型不純物の不純物濃度 $1 \times 10^{16} \sim 5 \times 10^{17} \text{ cm}^{-3}$

50

10^{-3} 程度の p 型の p ウェル領域 16 が形成されている。p ウェル領域 16 の深さは、例えば $0.6 \mu\text{m}$ 程度である。

【0037】

p ウェル領域 16 の一部表面には、n 型不純物の不純物濃度 1×10^{20} 程度の n 型のソース領域 18 が形成されている。ソース領域 18 の深さは、p ウェル領域 16 の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である

【0038】

また、p ウェル領域 16 の一部表面であって、n 型のソース領域 18 の側方に、p 型不純物の不純物濃度 $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の p 型の p ウェルコンタクト領域 20 が形成されている。p ウェルコンタクト領域 20 の深さは、p ウェル領域 16 の深さよりも浅く、例えば $0.3 \mu\text{m}$ 程度である。

10

【0039】

さらに、p ウェル領域 16、n 層 14 の表面に連続的に、これらの領域および層を跨ぐように形成されたゲート絶縁膜 28 を有している。すなわち、SiC 層 14 の (0001) 面上にゲート絶縁膜 28 が形成されている。

【0040】

このゲート絶縁膜 28 は、例えば CVD 法によって堆積した SiO_2 を主成分とする膜である。

【0041】

ゲート絶縁膜 28 の膜厚は、 30 nm 以上 100 nm 以下であることが望ましい。 30 nm 未満ではゲート絶縁膜の初期耐圧や信頼性が劣化する恐れがある。また、 100 nm より大きいと MISFET の駆動力が劣化する恐れがある。

20

【0042】

そして、ゲート絶縁膜 28 上には、ゲート電極 30 が形成されている。ゲート電極 30 には、例えばポリシリコン等が適用可能である。ゲート電極 30 上には、例えば、シリコン酸化膜で形成される層間絶縁膜 32 が形成されている。

【0043】

そして、ソース領域 18 と、p ウェルコンタクト領域 20 と電気的に接続されるソース・p ウェル共通電極 24 を備えている。ソース・p ウェル共通電極 24 は、例えば、Ni のバリアメタル層 24a と、バリアメタル層 24a 上の Al のメタル層 24b とで構成される。Ni のバリアメタル層 24a と Al のメタル層 24b とは反応により合金を形成していてもよい。また、SiC 基板 12 の第 2 の主面上には、ドレイン電極 36 が形成されている。

30

【0044】

なお、本実施の形態において、n 型不純物は例えば、窒素 (N) が好ましいが、リン (P)、またはヒ素 (As) 等を適用することも可能である。また、p 型不純物は例えば、アルミニウム (Al) が好ましいがボロン (B) 等を適用することも可能である。

【0045】

(製造方法)

次に本実施例の半導体装置の製造方法について説明する。図 2 ~ 図 4 は、本実施の形態の半導体装置の製造方法を示す工程斜視図である。

40

【0046】

まず、図 2 (a) に示すように、n 型不純物としてリンまたは窒素を不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 程度含み、例えば、厚さ $300 \mu\text{m}$ であり、六方晶系の結晶格子を有する低抵抗の 4H-SiC 基板 12 を準備する。そして、SiC 基板 12 の一方の主面である (000-1) 面上にエピタキシャル成長法により、n 型不純物として、例えば窒素を不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度含み、厚さが $10 \mu\text{m}$ 程度の高抵抗の SiC 層 14 を成長させる。

【0047】

50

次に、図2(b)に示すように、適切なマスク材を用いてSiC層14にトレンチ溝40をドライエッチングにて形成する。トレンチ溝の深さは、例えば1 μ m程度である。また、トレンチ溝の幅は例えば1 μ m程度であり、トレンチ溝同士の間隔は例えば1 μ m程度である。

【0048】

トレンチ溝40の深さをさらに深くすることで、単位セルあたりのゲート幅が増加し、チャネル抵抗を低減することが出来る。

【0049】

次に、図2(c)に示すように、適切なマスク材を用いてp型不純物であるアルミニウムをSiC層14にイオン注入し、pウェル領域16を形成する。

10

【0050】

次に、図3(d)に示すように、適切なマスク材を用いてn型不純物であるリンをSiC層14にイオン注入し、ソース領域18を形成する。その後、図3(e)に示すように、適切なマスク材を用いてp型不純物であるアルミニウムをSiC層14にイオン注入し、pウェルコンタクト領域20を形成する。この後、例えば1800程度の熱処理によりイオン注入した不純物を活性化する。

【0051】

次に、図3(f)に示すように、TEOS(テトラエトキシシラン)と酸素ガスを用いたLP-CVD法により、SiC層14の(0001)面に酸化物膜28aを形成する。形成する酸化物膜28aの膜厚は例えば、60nmである。

20

【0052】

次に、いわゆるPOA(Post Oxidation Annealing)処理を行う。例えば、1200の温度で、アンモニアガスを含む雰囲気中で熱処理(アンモニアアニールまたはNH₃アニール)し、アンモニア熱窒化を行うことで、界面準位密度が減少しMISFETのチャネル駆動力が向上する。

【0053】

このとき、POA処理は例えば水素(H₂)、水蒸気(H₂O)雰囲気等で処理を行えば、水素末端の効果によって界面準位密度が減少し、また、アンモニア(NH₃)、亜酸化窒素(N₂O)、一酸化窒素(NO)雰囲気等で処理を行えば、窒素末端の効果によって界面準位密度が減少する。

30

【0054】

次に、図4(g)に示すように、ゲート絶縁膜28上にポリシリコンを堆積し、適切なマスク材を用いてポリシリコンをパターンニングしてゲート電極30を形成する。

【0055】

その後、公知の半導体プロセスにより、層間絶縁膜32、ソース・pウェル共通電極24、ドレイン電極36を形成し、図1に示す縦型のMISFETが製造される。

【0056】

本実施の形態の製造方法によれば、単位セル面積あたりのチャネル幅が増大され、チャネル抵抗が低減する。したがって、オン抵抗が低く駆動力の高いMISFETが実現される。また、ゲート絶縁膜が従来のトレンチMISFETのようにドリフト層に突き出していないため、ゲート絶縁膜の信頼性が向上し、信頼性の高いMISFETが実現される。

40

【0057】

図5、及び表1に、本実施の形態の半導体装置と従来の形態の半導体装置の単位セル構造と、単位セル面積あたりのチャネル幅と実効反転チャネル移動度の比較結果を示す。

【0058】

【表 1】

	実施例	従来例 1	従来例 2
	F I N 型	プレーナ型	トレンチ型
単位体積あたりのゲート巾 (μm)	0.67	0.25	0.64
実効チャンネル移動度 μ_{eff} [cm^2/Vs]	83	50	100

10

【0059】

本実施の形態の半導体装置の単位セル構造においては、単位セル面積あたりのチャンネル幅が $0.67 \mu\text{m}$ と最も高い。

【0060】

また、実効的な反転チャンネル移動度は従来構造 1 に示したプレーナ型 M I S F E T、よりも高く、従来構造 2 に示したトレンチ型 M I S F E T 値よりも低い。

【0061】

従って、従来例 1 のプレーナ型 M I S F E T よりも低オン抵抗で、かつ従来例 2 のトレンチ M I S F E T よりも信頼性が高い、M I S F E T が実現される。

20

【0062】

(実施例 2)

実施例 1 の半導体装置においては、S i C 基板が n 型であるのに対し、本実施例 2 の半導体装置は、p 型であり I G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r) を構成する。S i C 基板の不純物タイプが異なる点以外は実施例 1 と同様であるので、重複する記載を省略する。

【0063】

図 6 は、本実施の形態の半導体装置である I G B T の構成を示す斜視図である。この I G B T 300 は、第 1 と第 2 の主面を有する S i C 基板 52 を備えている。図 6 においては、第 1 の主面とは図の上側の面であり、第 2 の主面とは図の下側の面である。この S i C 基板 52 は、不純物濃度 $5 \times 10^{18} \sim 1 \times 10^{19} \text{cm}^{-3}$ 程度の、例えば A l を p 型不純物として含む六方晶の 4 H - S i C 基板 (p + 基板) である。

30

【0064】

また、本実施の形態の半導体装置の製造方法は、準備する S i C 基板が、例えば A l を p 型不純物として含む六方晶の 4 H - S i C 基板 (p + 基板) であること以外は実施例 1 と同様である。したがって、本実施例の半導体装置によれば、オン抵抗が低く駆動力の高い I G B T が実現される。また、ゲート絶縁膜の信頼性が向上し、信頼性の高い I G B T が実現される。低オン抵抗、かつ信頼性にも優れた I G B T を製造することが可能となる。

40

【0065】

(変形例)

以上の説明では、トレンチ形状として、断面矩形の例を示したが、必ずしも断面矩形である必要はなく、断面三角形、あるいは台形のような形状であっても良い。トレンチ壁面もしくは底面が、S i C の電荷移動性に優れた面で形成されていることが必要であり、この条件を満たすことによって断面形状は適宜設計可能である。

【0066】

(変形例)

以上、本発明のいくつかの実施の形態を説明したが、これらの実施の形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの実施の形態

50

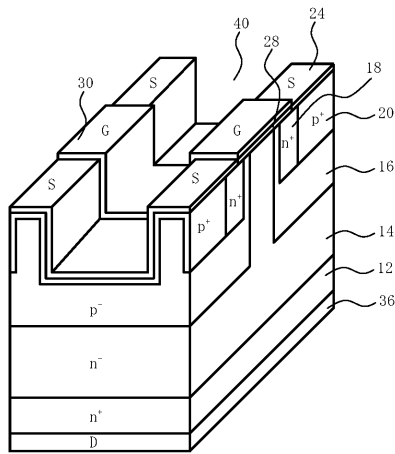
は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

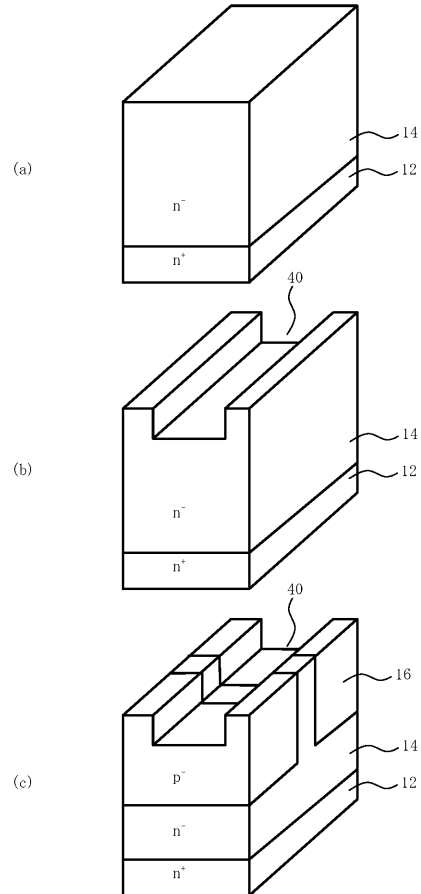
【0067】

- 12 ... SiC基板
- 16 ... pウェル領域
- 18 ... ソース領域
- 20 ... ウェルコンタクト領域
- 24 ... ソース・pウェル共通電極
- 28 ... ゲート絶縁膜
- 30 ... ゲート電極
- 36 ... ドレイン電極
- 40 ... トレンチ溝

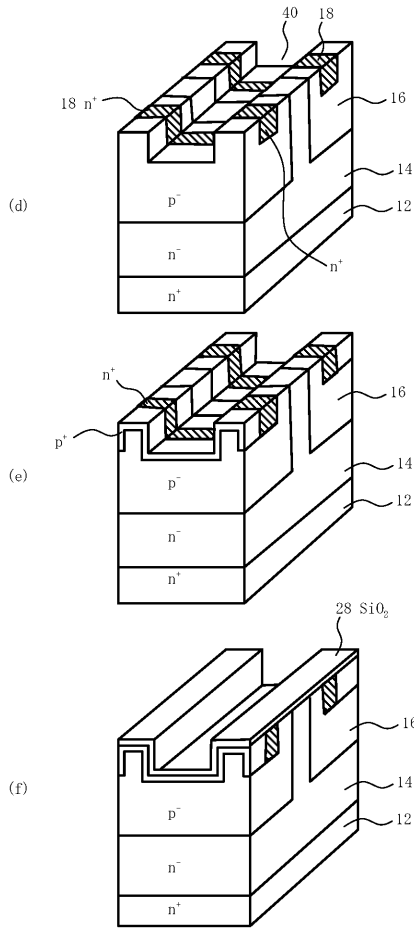
【図1】



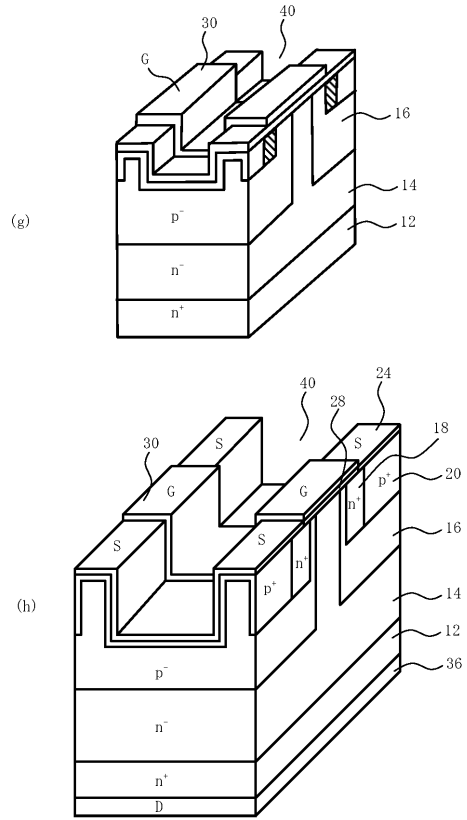
【図2】



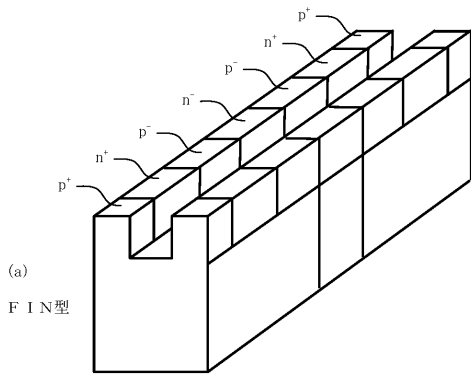
【図3】



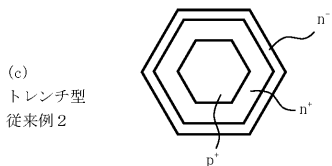
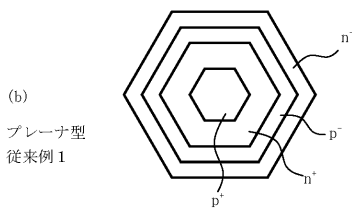
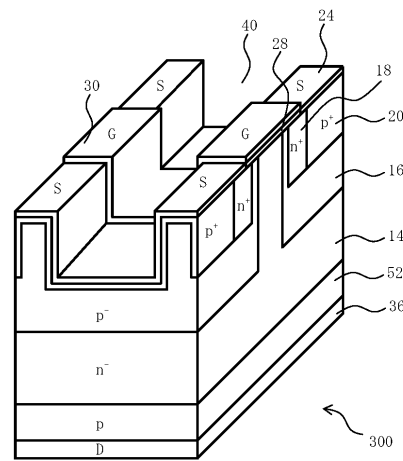
【図4】



【図5】



【図6】



フロントページの続き

合議体

審判長 河口 雅英

審判官 小田 浩

審判官 加藤 浩一

- (56)参考文献 特開2010-258385(JP,A)
特開2000-323712(JP,A)
国際公開第2010/110253(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L29/12

H01L29/739

H01L29/78