

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-263211

(P2010-263211A)

(43) 公開日 平成22年11月18日(2010.11.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 7 1	4 M 1 1 9
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 3 7 1	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 4	
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	

審査請求 未請求 請求項の数 29 O L (全 41 頁) 最終頁に続く

(21) 出願番号 特願2010-103594 (P2010-103594)
 (22) 出願日 平成22年4月28日 (2010. 4. 28)
 (31) 優先権主張番号 10-2009-0038949
 (32) 優先日 平成21年5月4日 (2009. 5. 4)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10-2010-0004481
 (32) 優先日 平成22年1月18日 (2010. 1. 18)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

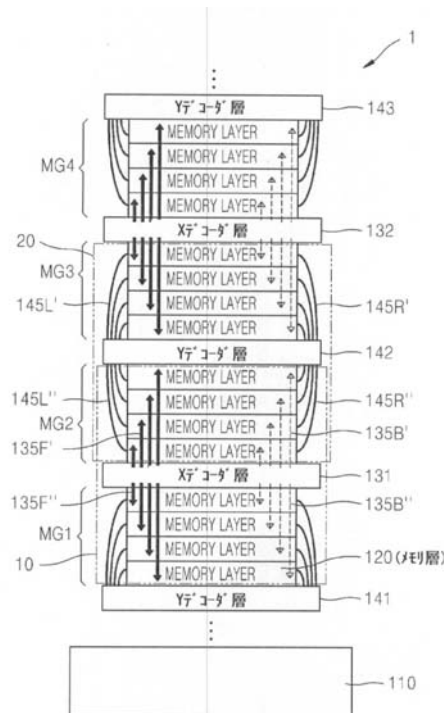
最終頁に続く

(54) 【発明の名称】 積層メモリ素子

(57) 【要約】

【課題】 高集積化が容易な積層メモリ素子を提供する。
 【解決手段】 本願発明の積層メモリ素子は、基板と、基板上に互いに積層された、少なくとも1層のメモリ層をそれぞれ含む複数のメモリグループと、該複数のメモリグループのうち、複数の隣接した2つのメモリグループ間に介在する複数のXデコーダ層と、前記複数の隣接した2つのメモリグループ間に、複数のXデコーダ層と交互に介在される複数のYデコーダ層と、を具備する積層メモリ素子である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板と、

前記基板上に互いに積層された、少なくとも 1 層のメモリ層をそれぞれ含む複数のメモリグループと、

前記複数のメモリグループのうち、複数の隣接した 2 つのメモリグループ間に、1 層を介して少なくとも 1 層ずつ介在する複数の X デコーダ層と、

前記複数の隣接した 2 つのメモリグループ間に、1 層を介して少なくとも 1 層ずつ、前記複数の X デコーダ層と交互に介在する複数の Y デコーダ層と、
を含むことを特徴とする積層メモリ素子。

10

【請求項 2】

各 X デコーダ層及び各 Y デコーダ層間には、前記複数のメモリグループのうち、少なくとも 1 つのメモリグループが介在することを特徴とする請求項 1 に記載の積層メモリ素子。

【請求項 3】

前記複数のメモリグループは、同数のメモリ層をそれぞれ含むことを特徴とする請求項 1 に記載の積層メモリ素子。

【請求項 4】

前記複数の X デコーダ層と前記複数の Y デコーダ層は、前記複数の隣接した 2 つのメモリグループ間で、1 層ずつ交互に配されたことを特徴とする請求項 1 に記載の積層メモリ素子。

20

【請求項 5】

各 X デコーダ層は、前記複数の隣接した 2 つのメモリグループのうち、該 X デコーダ層の上下に隣接して配された 2 つのメモリグループに結合されることを特徴とする請求項 4 に記載の積層メモリ素子。

【請求項 6】

各 Y デコーダ層は、前記複数の隣接した 2 つのメモリグループのうち、該 Y デコーダ層の上下に隣接して配された 2 つのメモリグループに結合されたことを特徴とする請求項 4 に記載の積層メモリ素子。

【請求項 7】

前記複数の Y デコーダ層は、前記複数の X デコーダ層と交互に一対ずつ配された複数対の第 1 Y デコーダ層及び第 2 Y デコーダ層を含み、各対の第 1 Y デコーダ層及び第 2 Y デコーダ層は、互いに隣接して積層され、

30

前記複数の X デコーダ層は、前記複数の隣接した 2 つのメモリグループ間で、1 層を介して 1 層ずつ介在することを特徴とする請求項 1 に記載の積層メモリ素子。

【請求項 8】

各対の第 1 Y デコーダ層及び第 2 Y デコーダ層は、前記複数の隣接した 2 つのメモリグループのうち、該 2 つのメモリグループにそれぞれ結合されることを特徴とする請求項 7 に記載の積層メモリ素子。

【請求項 9】

各 X デコーダ層は、前記複数の隣接した 2 つのメモリグループのうち、該 X デコーダ層の上下に配された隣接した 2 つのメモリグループに結合されることを特徴とする請求項 7 に記載の積層メモリ素子。

40

【請求項 10】

前記複数の X デコーダ層は、前記複数の Y デコーダ層と交互に一対ずつ配された複数対の第 1 X デコーダ層及び第 2 X デコーダ層を含み、各対の第 1 X デコーダ層及び第 2 X デコーダ層は、互いに隣接して積層され、

前記複数の Y デコーダ層は、前記複数の隣接した 2 つのメモリグループ間で、1 層を介して 1 層ずつ介在することを特徴とする請求項 1 に記載の積層メモリ素子。

【請求項 11】

50

各対の第 1 X デコーダ層及び第 2 X デコーダ層は、前記複数の隣接した 2 つのメモリグループのうち、該 2 つのメモリグループにそれぞれ結合されることを特徴とする請求項 10 に記載の積層メモリ素子。

【請求項 12】

各 Y デコーダ層は、前記複数の隣接した 2 つのメモリグループのうち、該 Y デコーダ層の上下に配された隣接した 2 つのメモリグループに結合されることを特徴とする請求項 10 に記載の積層メモリ素子。

【請求項 13】

各 X デコーダ層は、各メモリグループに含まれたメモリ層の個数と同じ個数の X デコーダ対を含み、

各 Y デコーダ層は、各メモリグループに含まれたメモリ層の個数と同じ個数の Y デコーダ対を含むことを特徴とする請求項 1 に記載の積層メモリ素子。

【請求項 14】

各メモリ層に含まれたメモリセルは、第 1 グループ及び第 2 グループに分類され、

各 X デコーダ対に含まれた X デコーダは、対応するメモリ層の前記第 1 グループ及び第 2 グループにそれぞれ連結され、

各 Y デコーダ対に含まれた Y デコーダは、対応するメモリ層の前記第 1 グループ及び第 2 グループにそれぞれ連結されることを特徴とする請求項 13 に記載の積層メモリ素子。

【請求項 15】

各 X デコーダ層は、各メモリグループに含まれたメモリ層の個数と同じ個数の X デコーダ対を含み、

各 Y デコーダ層は、各メモリグループに含まれたメモリ層の個数と同じ個数の Y デコーダ対を含むことを特徴とする請求項 1 に記載の積層メモリ素子。

【請求項 16】

基板上に配列された複数の積層メモリブロックを含む積層メモリ素子であって、各積層メモリブロックは、

前記基板上に互いに積層され、少なくとも 1 層のメモリ層をそれぞれ含む複数のメモリグループと、

前記複数のメモリグループ内で、一つにおいて一つずつ介在する複数の X デコーダアレイと、

前記複数のメモリグループ内で、一つにおいて一つずつ前記複数の X デコーダアレイと交互に介在する複数の Y デコーダアレイとを含むことを特徴とする積層メモリ素子。

【請求項 17】

各積層メモリブロックの前記複数の X デコーダアレイは、当該積層メモリブロックと隣接した積層メモリブロックの前記複数の Y デコーダアレイと同一レベルに配されたことを特徴とする請求項 16 に記載の積層メモリ素子。

【請求項 18】

各メモリグループは、少なくとも 1 本のワードラインに共通して結合され、

各積層メモリブロックの各 X デコーダアレイは、前記少なくとも 1 本のワードラインに結合された少なくとも 1 つの X デコーダ対を含むことを特徴とする請求項 16 に記載の積層メモリ素子。

【請求項 19】

各メモリグループは、少なくとも 1 対のワードラインに結合され、

各積層メモリブロックの各 X デコーダアレイは、前記少なくとも 1 対のワードラインに結合された少なくとも 1 対の X デコーダ対を含むことを特徴とする請求項 16 に記載の積層メモリ素子。

【請求項 20】

各 X デコーダアレイは、各メモリグループに含まれたメモリ層の個数の半分に該当する個数の X デコーダ対を含み、各 X デコーダ対は、少なくとも 2 層のメモリ層に共通に連結され、

10

20

30

40

50

各 Y デコーダアレイは、各メモリグループに含まれたメモリ層の個数の半分に該当する個数の Y デコーダ対を含み、各 Y デコーダ対は、少なくとも 2 層のメモリ層に共通に連結されることを特徴とする請求項 16 に記載の積層メモリ素子。

【請求項 21】

各メモリ層に含まれたメモリセルは、第 1 グループ及び第 2 グループに分類され、
各 X デコーダ対に含まれた X デコーダは、対応するメモリ層の前記第 1 グループ及び第 2 グループにそれぞれ連結され、
各 Y デコーダ対に含まれた Y デコーダは、対応するメモリ層の前記第 1 グループ及び第 2 グループにそれぞれ連結されることを特徴とする請求項 20 に記載の積層メモリ素子。

【請求項 22】

各 X デコーダアレイは、各メモリグループに含まれたメモリ層の個数の半分に該当する個数の X デコーダを含み、各 X デコーダは、少なくとも 2 層のメモリ層に共通に連結され

、
各 Y デコーダアレイは、各メモリグループに含まれたメモリ層の個数の半分に該当する個数の Y デコーダを含み、各 Y デコーダは、少なくとも 2 層のメモリ層に共通に連結されることを特徴とする請求項 16 に記載の積層メモリ素子。

【請求項 23】

基板と、
1 層またはそれ以上のメモリ層をそれぞれ含む、前記基板上に積層された複数のメモリグループと、

前記複数のメモリグループ内の 1 層またはそれ以上のデコーダ層と、
を含み、

前記 1 層またはそれ以上のデコーダ層は、
少なくとも 1 つの X デコーダを含む X デコーダアレイと、
少なくとも 1 つの Y デコーダを含む Y デコーダアレイと、
を含み、

各デコーダ層内の前記 X デコーダアレイ及び前記 Y デコーダアレイは、格子状に配されることを特徴とする積層メモリ素子。

【請求項 24】

前記 X デコーダアレイは、複数の X デコーダを含み、
前記 Y デコーダアレイは、複数の Y デコーダを含むことを特徴とする請求項 23 に記載の積層メモリ素子。

【請求項 25】

前記複数の X デコーダ及び前記複数の Y デコーダは、交互に配列されることを特徴とする請求項 24 に記載の積層メモリ素子。

【請求項 26】

前記 1 層またはそれ以上のデコーダ層は、前記複数のメモリグループ内の複数のデコーダ層を含むことを特徴とする請求項 23 に記載の積層メモリ素子。

【請求項 27】

前記複数のデコーダ層のうち、隣接したメモリグループ内の 1 対のデコーダ層は、互いに相反した構造のデコーダ配置を有することを特徴とする請求項 26 に記載の積層メモリ素子。

【請求項 28】

前記複数のデコーダ層は、互いに相反した二種のデコーダ配置を交互に有することを特徴とする請求項 26 に記載の積層メモリ素子。

【請求項 29】

各メモリ層は、記録媒体として可変抵抗体を利用することを特徴とする請求項 23 に記載の積層メモリ素子。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は、半導体素子に係り、特に多層構造で積層されたメモリ素子に関する。

【 背景技術 】

【 0 0 0 2 】

半導体製品は、その体積がだんだん小さくなりつつも、大容量のデータ処理を要求している。したがって、このような半導体製品に使われる不揮発性メモリ素子の集積度を高める必要がある。このような点で、メモリ層を三次元に積層させて形成した多層構造のメモリ素子が考慮されている。

【 0 0 0 3 】

しかし、多層構造のメモリ素子の動作を支援するための回路の配置が容易ではなく、集積度上昇に限界がある。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

よって、本発明がなそうとする技術的課題は、高集積化が容易な積層メモリ素子を提供するところにある。

【 0 0 0 5 】

しかし、前述の本発明の技術的課題は、例示的に提示されたものであって、本発明がそれらに限定されるものではない。

【 課題を解決するための手段 】

【 0 0 0 6 】

前記課題を解決するための本発明の一実施形態による積層メモリ素子は、基板と、前記基板上に互いに積層された、少なくとも1層のメモリ層をそれぞれ含む複数のメモリグループと、前記複数のメモリグループのうち、複数の隣接した2つのメモリグループ間で、1層をにおいて少なくとも1層ずつ介在する複数のXデコーダ層と、前記複数の隣接した2つのメモリグループ間で、1層をにおいて少なくとも1層ずつ、前記複数のXデコーダ層と交互に介在する複数のYデコーダ層と、を含む。

【 0 0 0 7 】

一部実施形態で、各Xデコーダ層及び各Yデコーダ層間には、前記複数のメモリグループのうち、少なくとも1つのメモリグループが介在しうる。

【 0 0 0 8 】

一部実施形態で、前記複数のメモリグループは、同数のメモリ層をそれぞれ含むことができる。

【 0 0 0 9 】

一部実施形態で、前記複数のXデコーダ層と前記複数のYデコーダ層は、前記複数の隣接した2つのメモリグループ間で、1層ずつ交互に配されうる。各Xデコーダ層は、前記複数の隣接した2つのメモリグループのうち、当該Xデコーダ層の上下に隣接して配された2つのメモリグループに結合されうる。各Yデコーダ層は、前記複数の隣接した2つのメモリグループのうち、当該Yデコーダ層の上下に隣接して配された2つのメモリグループに結合されうる。

【 0 0 1 0 】

一部実施形態で、前記複数のYデコーダ層は、前記複数のXデコーダ層と交互に1対ずつ配された複数の対E I第1Yデコーダ層及び第2Yデコーダ層を含み、各対の第1Yデコーダ層及び第2Yデコーダ層は、互いに隣接して積層され、前記複数のXデコーダ層は、前記複数の隣接した2つのメモリグループ間で、1層をにおいて1層ずつ介在しうる。各対の第1Yデコーダ層及び第2Yデコーダ層は、前記複数の隣接した2つのメモリグループのうち、当該2つのメモリグループにそれぞれ結合されうる。各Xデコーダ層は、前記複数の隣接した2つのメモリグループのうち、当該Xデコーダ層の上下に配された隣接した2つのメモリグループに結合されうる。

【 0 0 1 1 】

10

20

30

40

50

一部実施形態で、前記複数の X デコーダ層は、前記複数の Y デコーダ層と交互に一つずつ配された複数対の第 1 X デコーダ層及び第 2 X デコーダ層を含み、各対の第 1 X デコーダ層及び第 2 X デコーダ層は、互いに隣接して積層され、前記複数の Y デコーダ層は、前記複数の隣接した 2 つのメモリグループ間で、1 層を介して 1 層ずつ介在しうる。各対の第 1 X デコーダ層及び第 2 X デコーダ層は、前記複数の隣接した 2 つのメモリグループのうち、当該 2 つのメモリグループにそれぞれ結合されうる。各 Y デコーダ層は、前記複数の隣接した 2 つのメモリグループのうち、当該 Y デコーダ層の上下に配された隣接した 2 つのメモリグループに結合されうる。

【0012】

一部実施形態で、各 X デコーダ層は、各メモリグループに含まれたメモリ層の個数と同じ個数の X デコーダ対を含み、各 Y デコーダ層は、各メモリグループに含まれたメモリ層の個数と同じ個数の Y デコーダ対を含むことができる。各メモリ層に含まれたメモリセルは、第 1 グループ及び第 2 グループに分類され、各 X デコーダ対に含まれた X デコーダは、対応するメモリ層の前記第 1 グループ及び第 2 グループにそれぞれ連結され、各 Y デコーダ対に含まれた Y デコーダは、対応するメモリ層の前記第 1 グループ及び第 2 グループにそれぞれ連結されうる。

10

【0013】

一部実施形態で、各 X デコーダ層は、各メモリグループに含まれたメモリ層の個数と同じ個数の X デコーダを含み、各 Y デコーダ層は、各メモリグループに含まれたメモリ層の個数と同じ個数の Y デコーダを含むことができる。

20

【0014】

また、前記課題を解決するための本発明の他の実施形態による積層メモリ素子は、基板上に配列された複数の積層メモリブロックを含み、各積層メモリブロックは、前記基板上に互いに積層され、少なくとも 1 層のメモリ層をそれぞれ含む複数のメモリグループと、前記複数のメモリグループ内で、一つにおいて一つずつ介在された複数の X デコーダアレイと、前記複数のメモリグループ内で、一つにおいて一つずつ前記複数の X デコーダアレイと交互に介在された複数の Y デコーダアレイとを含む。

【0015】

一部実施形態で、各積層メモリブロックの前記複数の X デコーダアレイは、当該積層メモリブロックと隣接した積層メモリブロックの前記複数の Y デコーダアレイと同一レベルに配されうる。

30

【0016】

一部実施形態で、各メモリグループは、少なくとも 1 本のワードラインに共通して結合され、各積層メモリブロックの各 X デコーダアレイは、前記少なくとも 1 本のワードラインに結合された少なくとも 1 つの X デコーダを含むことができる。

【0017】

一部実施形態で、各メモリグループは、少なくとも 1 対のワードラインに結合され、各積層メモリブロックの各 X デコーダアレイは、前記少なくとも 1 対のワードラインに結合された少なくとも 1 対の X デコーダを含むことができる。

【0018】

一部実施形態で、各 X デコーダアレイは、各メモリグループに含まれたメモリ層の個数の半分に該当する個数の X デコーダ対を含み、各 X デコーダ対は、少なくとも 2 層のメモリ層に共通に連結され、各 Y デコーダアレイは、各メモリグループに含まれたメモリ層の個数の半分に該当する個数の Y デコーダ対を含み、各 Y デコーダ対は、少なくとも 2 層のメモリ層に共通に連結されうる。各メモリ層に含まれたメモリセルは、第 1 グループ及び第 2 グループに分類され、各 X デコーダ対に含まれた X デコーダは、対応するメモリ層の前記第 1 グループ及び第 2 グループにそれぞれ連結され、各 Y デコーダ対に含まれた Y デコーダは、対応するメモリ層の前記第 1 グループ及び第 2 グループにそれぞれ連結されうる。

40

【0019】

50

一部実施形態で、各 X デコーダアレイは、各メモリグループに含まれたメモリ層の個数の半分に該当する個数の X デコーダを含み、各 X デコーダは、少なくとも 2 層のメモリ層に共通に連結され、各 Y デコーダアレイは、各メモリグループに含まれたメモリ層の個数の半分に該当する個数の Y デコーダを含み、各 Y デコーダは、少なくとも 2 層のメモリ層に共通に連結されう。

【0020】

また、前記課題を解決するための本発明の他の実施形態による積層メモリ素子は、基板と、1層またはそれ以上のメモリ層をそれぞれ含み、前記基板上に積層された複数のメモリグループと、前記複数のメモリグループ内の 1 層またはそれ以上のデコーダ層を含み、前記 1 層またはそれ以上のデコーダ層は、少なくとも 1 つの X デコーダを含む X デコーダアレイと、少なくとも 1 つの Y デコーダを含む Y デコーダアレイと、を含み、各デコーダ層内の前記 X デコーダアレイ及び前記 Y デコーダアレイは、格子状に配されう。

10

【0021】

一部実施形態で、前記 X デコーダアレイは、複数の X デコーダを含み、前記 Y デコーダアレイは、複数の Y デコーダを含むことができる。前記複数の X デコーダ及び前記複数の Y デコーダは、交互に配列されう。

【0022】

一部実施形態で、前記 1 層またはそれ以上のデコーダ層は、前記複数のメモリグループ内の複数のデコーダ層を含むことができる。前記複数のデコーダ層のうち、隣接したメモリグループ内の 1 対のデコーダ層は、互いに相反した構造のデコーダ配置を有することができる。前記複数のデコーダ層は、互いに相反した二種のデコーダ配置を交互に有することができる。

20

【0023】

一部実施形態で、各メモリ層は、記録媒体として可変抵抗体を利用できる。

【発明の効果】

【0024】

本発明の実施形態による積層メモリ素子によれば、X デコーダと Y デコーダとが互いに異なる層に互いに離隔されるように積層されう。従って、X デコーダと Y デコーダとが 1 層に共に配される必要がないために、各層の X デコーダまたは Y デコーダが占める面積を大きく縮めることができる。かようなデコーダ配置を利用すれば、メモリ層の積層数に対する制限が減り、積層メモリ素子の集積度が高まりう。

30

【0025】

また、本発明の実施形態による積層メモリ素子によれば、複数のメモリブロックの同一レベルで、X デコーダアレイと Y デコーダアレイとが格子状に配されう。従って、メモリ層は、当該メモリブロックの X デコーダアレイまたは Y デコーダアレイだけではなく、隣接するメモリブロックの同一レベルの X デコーダアレイまたは Y デコーダアレイに連結されう。かようなデコーダ配置を利用すれば、X デコーダまたは Y デコーダと、メモリ層との連結ラインの長さを縮めることができる。

【0026】

また、本発明の実施形態による積層メモリ素子によれば、各メモリ層に含まれたメモリセルを少なくとも 2 つのグループに分類し、各メモリ層に対応する複数の X デコーダ対または複数の Y デコーダ対を含むことができる。従って、各 X デコーダまたは Y デコーダでデコーディングするメモリセルの個数が減るので、各 X デコーダまたは Y デコーダの複雑度を低下させることができるため、その具現を簡単にできる。

40

【図面の簡単な説明】

【0027】

【図 1】本発明の一実施形態による積層メモリ素子を示す断面図である。

【図 2】図 1 の積層メモリ素子に含まれた X デコーダ層の X デコーダアレイの一例を示す概略図である。

【図 3】図 1 の積層メモリ素子に含まれた Y デコーダ層の Y デコーダアレイの一例を示す

50

概略図である。

【図 4】図 1 の積層メモリ素子で、メモリ層、Xデコーダアレイ及びYデコーダアレイの連結を示す概略図である。

【図 5】本発明の他の実施形態による積層メモリ素子を示す断面図である。

【図 6】本発明のさらに他の実施形態による積層メモリ素子を示す断面図である。

【図 7】本発明のさらに他の実施形態による積層メモリ素子を示す断面図である。

【図 8】本発明の一実施形態による積層メモリ素子を示す平面図である。

【図 9】図 8 の積層メモリ素子の A - A' 線に沿って切り取った断面図の一例である。

【図 10】図 8 の積層メモリ素子の B - B' 線に沿って切り取った断面図の一例である。

【図 11】図 8 の積層メモリ素子の A - A' 線に沿って切り取った断面図の他の例である

10

【図 12】図 8 の積層メモリ素子の B - B' 線に沿って切り取った断面図の他の例である

【図 13】本発明の他の実施形態による積層メモリ素子を示す平面図である。

【図 14】図 13 の積層メモリ素子の C - C' 線に沿って切り取った断面図の一例である

【図 15】図 13 の積層メモリ素子の D - D' 線に沿って切り取った断面図の一例である

【図 16】図 13 の積層メモリ素子の C - C' 線に沿って切り取った断面図の他の例である。

20

【図 17】図 13 の積層メモリ素子の D - D' 線に沿って切り取った断面図の他の例である。

【図 18】本発明の一部実施形態による積層メモリ素子で、メモリ層とXデコーダアレイとの物理的な連結を示す概略的な断面図である。

【図 19】本発明の他の実施形態による積層メモリ素子で、メモリ層とXデコーダアレイとの物理的な連結を示す概略的な断面図である。

【図 20】本発明の他の実施形態による積層メモリ素子で、メモリ層とXデコーダアレイとの物理的な連結を示す概略的な断面図である。

【図 21】本発明のさらに他の実施形態による積層メモリ素子で、メモリ層とXデコーダアレイとの物理的な連結を示す概略的な断面図である。

30

【図 22】本発明の一実施形態によるメモリカードを示す概略図である。

【図 23】本発明の一実施形態による電子システムを示すブロック図である。

【発明を実施するための形態】

【0028】

以下、添付した図面を参照しつつ、本発明による望ましい実施形態を介して、本発明の原理について詳細に説明する。しかし、本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で具現されうる。図面での構成要素は、説明の便宜のために、その大きさが誇張されうる。

【0029】

図 1 は、本発明の一実施形態による積層メモリ素子を示す断面図である。

40

【0030】

図 1 を参照すれば、積層メモリ素子 1 は、基板 110、複数のメモリ層 120、複数の Xデコーダ層 131, 132 及び複数の Yデコーダ層 141, 142, 143 を含むことができる。図 1 では、図解の便宜上、2 層の Xデコーダ層 131, 132 と 3 層の Yデコーダ層 141, 142, 143 とを図示したが、積層メモリ素子 1 は、さらに多数の Xデコーダ層及び Yデコーダ層を含むことができる。以下、積層メモリ素子 1 に含まれたそれぞれの構成要素について詳述する。

【0031】

基板 110 上に、複数のメモリ層 120 が積層されうる。例えば、基板 110 は、半導体ウェーハを含むことができる。かようなメモリ層 120 の積層構造は、メモリ素子の集

50

積度を高め、かつその容量を増やすのに効果的である。各メモリ層120は、マトリックス状に配列されたメモリセルアレイ（図示せず）を含むことができる。積層メモリ素子1に含まれるメモリ層120の数は、メモリ容量によって適切に選択され、この実施形態を制限するものではない。メモリ層120は、多様な形態のメモリ、例えば、DRAM（dynamic random access memory）、SRAM（static random access memory）、フラッシュメモリ（flash memory）、PRAM（phase change random access memory）、ReRAM（resistive random access memory）、FeRAM（ferroelectric random access memory）またはMRAM（magnetoresistive random access memory）によって構成される。

【0032】

複数のメモリ層120は、複数のメモリグループMG1、MG2、MG3、MG4にグループ化され、各メモリグループMG1、MG2、MG3、MG4は、同数のメモリ層120を含むことができる。本実施形態で、各メモリグループMG1、MG2、MG3、MG4は、4個のメモリ層120を含むが、かような各メモリグループMG1、MG2、MG3、MG4に含まれたメモリ層120の数は、例示的に図示されており、本実施形態の範囲を制限するものではない。本実施形態の変形例で、メモリグループは、互いに異なる数のメモリ層120を含むこともできる。

【0033】

複数のメモリグループMG1、MG2、MG3、MG4間には、Xデコーダ層とYデコーダ層とが交互に配される。具体的には、積層メモリ素子1で、Yデコーダ層141、メモリグループMG1、Xデコーダ層131、メモリグループMG2、Yデコーダ層142、メモリグループMG3、Xデコーダ層132、メモリグループMG4及びYデコーダ層143が、基板110上に順次に積層される。このとき、Xデコーダ層131、及びXデコーダ層131を中心に上下に配されたメモリグループMG1、MG2は、第1基本積層構造10とし、Yデコーダ層142、及びYデコーダ層142を中心に上下に配されたメモリグループMG2、MG3は、第2基本積層構造20とする。以下、第1基本積層構造10及び第2基本積層構造20について詳述する。

【0034】

まず、積層メモリ素子1は、基板110上に積層される複数の第1基本積層構造10を含み、複数の第1基本積層構造10間には、複数のYデコーダ層141、142、143が介在される。第1基本積層構造10でXデコーダ層131は、その上部に隣接して積層されたメモリグループMG2のメモリ層120と、第1前面（front）連結ライン135F'及び第1背面（back）連結ライン135B'を介して連結され、その下部に隣接して積層されたメモリグループMG1のメモリ層120と、第2前面連結ライン135F''及び第2背面連結ライン135B''を介して連結される。具体的には、第1前面連結ライン135F'及び第2前面連結ライン135F''と第1背面連結ライン135B'及び第2背面連結ライン135B''は、各メモリ層120にそれぞれ連結されたXデコーダ用配線（図示せず）に連結されるが、ここで、Xデコーダ用配線は、ワードラインでありうる。

【0035】

これにより、Xデコーダ層131は、メモリグループMG1、MG2のメモリ層120と電氣的に信号を送受信することができる。例えば、Xデコーダ層131は、各メモリ層に含まれたメモリセルについてのX軸アドレス情報をデコーディングしてメモリ層120に伝達できる。Xデコーダ層131は、基板110上のXバッファまたはXドライバ（図示せず）に電氣的にさらに連結される。

【0036】

ここで、実線矢印で表示された第1前面連結ライン135F'及び第2前面連結ライン135F''は、Xデコーダ層131とメモリ層120との前面に配されて、図面の紙面を貫通する方向への連結関係を指示できる。一方、点線矢印で表示された第1背面連結ライン135B'及び第2背面連結ライン135B''は、Xデコーダ層131とメモリ層12

10

20

30

40

50

0との背面に配され、図面の紙面を貫通する方向への連結関係を指示できる。従って、図1の断面方向では、第1背面連結ライン135B'及び第2背面連結ライン135B"は、見えないので、点線矢印で図示した。図2は、図1の積層メモリ素子に含まれたXデコーダ層のXデコーダアレイの一例を示す概略図である。

【0037】

図1及び図2を参照すれば、Xデコーダ層131は、少なくとも1つのXデコーダアレイ131Aを含むことができ、Xデコーダアレイ131Aは、複数のXデコーダ1311, 1312, 1311', 1312'を含むことができる。図2には、便宜上、4個のXデコーダ1311, 1312, 1311', 1312'が図示されているが、Xデコーダアレイ131Aは、さらに多数のXデコーダを含むことができる。

10

【0038】

各メモリ層120に含まれたメモリセルは、2つのグループに分類されうるが、例えば、各メモリ層120に含まれたメモリセルのうち、奇数番目のメモリセルを第1グループに、偶数番目のメモリセルを第2グループに分類しうる。しかし、これは一例に過ぎず、各メモリ層120に含まれたメモリセルは、他の方式で分類されうる。このように、2つのグループに分類されたメモリセルについてのX軸アドレス情報のデコーディングのために、Xデコーダアレイ131Aは、各メモリグループに含まれたメモリ層120のそれぞれに対応する複数のXデコーダ対を含むことができる。従って、Xデコーダアレイ131Aは、各メモリグループに含まれたメモリ層120の個数の2倍のXデコーダを含むことができる。

20

【0039】

本実施形態で、各メモリグループMG1, MG2, MG3, MG4は、4層のメモリ層120を含むので、Xデコーダアレイ131Aは、4個のXデコーダ対、換言すれば、8個のXデコーダを含むことができる。具体的には、Xデコーダアレイ131Aに含まれた2つの第1Xデコーダ1311, 1311'は、第1Xデコーダ対をなし、2つの第2Xデコーダ1312, 1312'は、第2Xデコーダ対をなすことができる。以下、各対のXデコーダとメモリ層120との連結関係について詳述する。

【0040】

第1Xデコーダ1311, 1311'は、Xデコーダ層131の上部に最も隣接して位置するメモリ層120と、下部に最も隣接して位置するメモリ層120とに共通に連結されうる。ここで、第1Xデコーダ1311は、第1前面連結ライン135F'を介して、Xデコーダ層131の上部に最も隣接して位置するメモリ層120の第1グループに連結され、第2前面連結ライン135F"を介して、Xデコーダ層131の下部に最も隣接して位置するメモリ層120の第1グループに連結されうる。また、第1Xデコーダ1311'は、第1背面連結ライン135B'を介して、Xデコーダ層131の上部に最も隣接して位置するメモリ層120の第2グループに連結され、第2背面連結ライン135B"を介して、Xデコーダ層131の下部に最も隣接して位置するメモリ層120の第2グループに連結されうる。

30

【0041】

同様に、第2Xデコーダ1312, 1312'は、Xデコーダ層131の上部から二番目に隣接して位置するメモリ層120と、下部から二番目に隣接して位置するメモリ層120とに共通に連結されうる。ここで、第2Xデコーダ1312は、第1前面連結ライン135F'を介して、Xデコーダ層131の上部から二番目に隣接して位置するメモリ層120の第1グループに連結され、第2前面連結ライン135F"を介して、Xデコーダ層131の下部から二番目に隣接して位置するメモリ層120の第1グループに連結されうる。また、第2Xデコーダ1312'は、第1背面連結ライン135B'を介して、Xデコーダ層131の上部から二番目に隣接して位置するメモリ層120の第2グループに連結され、第2背面連結ライン135B"を介して、Xデコーダ層131の下部から二番目に隣接して位置するメモリ層120の第2グループに連結されうる。

40

【0042】

50

本実施形態によれば、メモリ層 120 に含まれたメモリセルを 2 つのグループに分類し、1 対の X デコーダが、X デコーダ層 131 の上下部に対称的に位置するメモリ層 120 に共通に連結される。このとき、1 対の X デコーダのうち一つは、対応するメモリ層 120 の第 1 グループに連結され、他の一つは、対応するメモリ層 120 の第 2 グループに連結されうる。これにより、X デコーダ層 131 でデコーディングするメモリセルの個数が減ることになるので、X デコーダ層 131 の複雑度を低下させることができるので、その具現も簡単にできる。

【0043】

再び図 1 を参照すれば、積層メモリ素子 1 は、基板 110 上に積層される複数の第 2 基本積層構造 20 を含み、複数の第 2 基本積層構造 20 間には、複数の X デコーダ層 131 , 132 が介在される。第 2 基本積層構造 20 で Y デコーダ層 142 は、その上部に隣接して積層されたメモリグループ MG3 のメモリ層 120 に、第 1 左側 (left) 連結ライン 145 L' 及び第 1 右側 (right) 連結ライン 145 R' を介して連結され、その下部に隣接して積層されたメモリグループ MG2 に含まれたメモリ層 120 に、第 2 左側連結ライン 145 L'' 及び第 2 右側連結ライン 145 R'' を介して連結されうる。具体的には、第 1 左側連結ライン 145 L' 及び第 2 左側連結ライン 145 L'' と第 1 右側連結ライン 145 R' 及び第 2 右側連結ライン 145 R'' は、各メモリ層 120 に連結された Y デコーダ用配線 (図示せず) に連結されうるが、ここで、Y デコーダ用配線は、ビットラインでありうる。

【0044】

これにより、Y デコーダ層 142 は、メモリグループ MG2 , MG3 のメモリ層 120 と電氣的に信号を送受信することができる。例えば、Y デコーダ層 142 は、各メモリ層に含まれたメモリセルについての Y 軸アドレス情報をデコーディングしてメモリ層 120 に伝達できる。Y デコーダ層 142 は、基板 110 上の Y バッファまたは Y ドライバ (図示せず) に電氣的にさらに連結されうる。

【0045】

ここで、実線で表示された第 1 左側連結ライン 145 L' 及び第 2 左側連結ライン 145 L'' 並びに第 1 右側連結ライン 145 R' 及び第 2 右側連結ライン 145 R'' は、図面の紙面と平行した方向への連結関係を指示できる。従って、実線矢印で表示された第 1 前面連結ライン 135 F' 及び第 2 前面連結ライン 135 F'' 並びに点線矢印で表示された第 1 背面連結ライン 135 B' 及び第 2 背面連結ライン 135 B'' は、実線で表示された第 1 左側連結ライン 145 L' 及び第 2 左側連結ライン 145 L'' 並びに第 1 右側連結ライン 145 R' 及び第 2 右側連結ライン 145 R'' と互いに交差する方向の連結関係を表示できる。

【0046】

図 3 は、図 1 の積層メモリ素子に含まれた Y デコーダ層の Y デコーダアレイの一例を示す概略図である。

【0047】

図 1 及び図 3 を参照すれば、Y デコーダ層 142 は、少なくとも 1 つの Y デコーダアレイ 142 A を含むことができ、Y デコーダアレイ 142 A は、複数の Y デコーダ 142 1 , 142 2 , 142 1' , 142 2' を含むことができる。図 3 には、便宜上、4 個の Y デコーダ 142 1 , 142 2 , 142 1' , 142 2' が図示されているが、Y デコーダアレイ 142 A は、さらに多数の Y デコーダを含むことができる。

【0048】

各メモリ層 120 に含まれたメモリセルは、2 つのグループに分類できるが、例えば、各メモリ層 120 に含まれたメモリセルのうち、奇数番目のメモリセルを第 1 グループに、偶数番目のメモリセルを第 2 グループに分類しうる。しかし、これは一例に過ぎず、各メモリ層 120 に含まれたメモリセルは、他の方式で分類されうる。このように、2 つのグループに分類されたメモリセルについての Y 軸アドレス情報のデコーディングのために、Y デコーダアレイ 142 A は、各メモリグループに含まれたメモリ層 120 のそれぞれ

10

20

30

40

50

に対応する複数の Y デコーダ対を含むことができる。従って、Y デコーダアレイ 142A は、各メモリグループに含まれたメモリ層 120 の個数の 2 倍の Y デコーダを含むことができる。

【0049】

本実施形態で、各メモリグループ MG1, MG2, MG3, MG4 は、4 層のメモリ層 120 を含むので、Y デコーダアレイ 142A は、4 個の Y デコーダ対、換言すれば、8 個の Y デコーダを含むことができる。具体的には、Y デコーダアレイ 142A に含まれた 2 つの第 1 Y デコーダ 1421, 1421' は第 1 Y デコーダ対をなし、2 つの第 2 Y デコーダ 1422, 1422' は、第 2 Y デコーダ対をなすことができる。以下、各対の Y デコーダとメモリ層 120 との連結関係について詳述する。

10

【0050】

第 1 Y デコーダ 1421, 1421' は、Y デコーダ層 142 の上部に最も隣接して位置するメモリ層 120 と、下部に最も隣接して位置するメモリ層 120 とに共通に連結されうる。ここで、第 1 Y デコーダ 1421 は、第 1 左側連結ライン 145L' を介して、Y デコーダ層 142 の上部に最も隣接して位置するメモリ層 120 の第 1 グループに連結され、第 2 左側連結ライン 145L'' を介して、Y デコーダ層 142 の下部に最も隣接して位置するメモリ層 120 の第 1 グループに連結されうる。また、第 1 Y デコーダ 1421' は、第 1 右側連結ライン 145R' を介して、Y デコーダ層 142 の上部に最も隣接して位置するメモリ層 120 の第 2 グループに連結され、第 2 右側連結ライン 145R'' を介して、Y デコーダ層 142 の下部に最も隣接して位置するメモリ層 120 の第 2 グループに連結されうる。

20

【0051】

同様に、第 2 Y デコーダ 1422, 1422' は、Y デコーダ層 142 の上部から二番目に隣接して位置するメモリ層 120 と、下部から二番目に隣接して位置するメモリ層 120 とに共通に連結されうる。ここで、第 2 Y デコーダ 1422 は、第 1 左側連結ライン 145L' を介して、Y デコーダ層 142 の上部から二番目に隣接して位置するメモリ層 120 の第 1 グループに連結され、第 2 左側連結ライン 145L'' を介して、Y デコーダ層 142 の下部から二番目に隣接して位置するメモリ層 120 の第 1 グループに連結されうる。また、第 2 Y デコーダ 1422' は第 1 右側連結ライン 145R' を介して、Y デコーダ層 142 の上部から二番目に隣接して位置するメモリ層 120 の第 2 グループに連結され、第 2 右側連結ライン 145R'' を介して、Y デコーダ層 142 の下部から二番目に隣接して位置するメモリ層 120 の第 2 グループに連結されうる。

30

【0052】

本実施形態によれば、メモリ層 120 に含まれたメモリセルを 2 つのグループに分類し、1 対の Y デコーダが、Y デコーダ層 142 の上下部に対称的に位置するメモリ層 120 に共通に連結される。このとき、1 対の Y デコーダのうち一つは、対応するメモリ層 120 の第 1 グループに連結され、他の一つは、対応するメモリ層 120 の第 2 グループに連結されうる。これにより、Y デコーダ層 142 でデコーディングするメモリセルの個数が減ることになるので、Y デコーダ層 142 の複雑度を低下させることができるので、その具現も簡単にできる。

40

【0053】

図 4 は、図 1 の積層メモリ素子で、メモリ層、X デコーダアレイ及び Y デコーダアレイの連結を示す概略図である。

【0054】

図 1 及び図 4 を参照すれば、下層メモリ層 120a 及び上層メモリ層 120b は、セルアレイをそれぞれ有することができる。下層メモリ層 120a 及び上層メモリ層 120b 間の Y デコーダアレイ 142A は、下層メモリ層 120a 及び上層メモリ層 120b に共通して連結されうる。例えば、下層メモリ層 120a 及び上層メモリ層 120b の選択ビットライン BL は、Y デコーダアレイ 142A のデコーディング・トランジスタ Td に連結されうる。

50

【 0 0 5 5 】

下層メモリ層 1 2 0 a 下の下層 X デコーダアレイ 1 3 1 A は、下層メモリ層 1 2 0 a の選択ワードライン W L に連結されうる。上層メモリ層 1 2 0 b 上の上層 X デコーダアレイ 1 3 2 A は、上層メモリ層 1 2 0 b の選択ワードライン W L に連結されうる。

【 0 0 5 6 】

図 5 は、本発明の他の実施形態による積層メモリ素子を示す断面図である。

【 0 0 5 7 】

図 5 を参照すれば、積層メモリ素子 1 ' は、基板 1 1 0、複数のメモリ層 1 2 0、複数の X デコーダ層 1 3 1、1 3 2 及び / または複数対の第 1 Y デコーダ層 1 4 1 a、1 4 2 a、1 4 3 a) 及び / または第 2 Y デコーダ層 1 4 1 b、1 4 2 b、1 4 3 b を含む。この実施形態の積層メモリ素子 1 ' は、図 1 ないし図 4 の積層メモリ素子 1 で、一部構成を变形したものであり、従って、重複する説明は省略する。

10

【 0 0 5 8 】

複数のメモリグループ M G 1、M G 2、M G 3、M G 4 間には、X デコーダ層と 1 対の第 1 Y デコーダ層及び第 2 Y デコーダ層とが互いに入れ違いながら配されうる。具体的には、積層メモリ素子 1 ' で、1 対の第 1 Y デコーダ層 1 4 1 a 及び第 2 Y デコーダ層 1 4 1 b、メモリグループ M G 1、X デコーダ層 1 3 1、メモリグループ M G 2、1 対の第 1 Y デコーダ層 1 4 2 a 及び第 2 Y デコーダ層 1 4 2 b、メモリグループ M G 3、X デコーダ層 1 3 2、メモリグループ M G 4、及び / または 1 対の第 1 Y デコーダ層 1 4 3 a 及び第 2 Y デコーダ層 1 4 3 b が、基板 1 1 0 上に順次に積層される。このとき、X デコーダ層 1 3 1 及び X デコーダ層 1 3 1 を中心に上下に配されたメモリグループ M G 1、M G 2 は、第 1 基本積層構造 1 0 とし、Y デコーダ層対 1 4 2 a、1 4 2 b、及び Y デコーダ層対 1 4 2 a、1 4 2 b を中心に上下に配されたメモリグループ M G 2、M G 3 は、第 2 基本積層構造 2 0 ' とする。第 1 基本積層構造 1 0 は、図 1 に含まれた構成と実質的に同一なので、これについての説明は省略する。

20

【 0 0 5 9 】

積層メモリ素子 1 ' は、基板 1 1 0 上に積層される複数の第 2 基本積層構造 2 0 ' を含み、複数の第 2 基本積層構造 2 0 ' 間には、複数の X デコーダ層 1 3 1、1 3 2 が介在される。第 2 基本積層構造 2 0 ' で第 1 Y デコーダ層 1 4 2 a は、その上部に隣接して積層されたメモリグループ M G 3 のメモリ層 1 2 0 に、第 1 左側連結ライン 1 4 5 L ' 及び第 1 右側連結ライン 1 4 5 R ' を介して連結され、第 2 Y デコーダ層 1 4 2 b は、その下部に隣接して積層されたメモリグループ M G 2 のメモリ層 1 2 0 に、第 2 左側連結ライン 1 4 5 L " 及び第 2 右側連結ライン 1 4 5 R " を介して連結されうる。

30

【 0 0 6 0 】

これにより、第 1 Y デコーダ層 1 4 2 a は、その上部に隣接して積層されたメモリグループ M G 3 のメモリ層 1 2 0 と電氣的に信号を送受信でき、第 2 Y デコーダ層 1 4 2 b は、その下部に隣接して積層されたメモリグループ M G 2 のメモリ層 1 2 0 と電氣的に信号を送受信することができる。

【 0 0 6 1 】

本実施形態によれば、隣接した 2 つのメモリグループは、その間に配される X デコーダ層は共有するが、その間に配される Y デコーダ層は共有しない。換言すれば、複数のメモリグループ間に、X デコーダ層と 1 対の Y デコーダ層とが交互に配され、隣接した 2 つのメモリグループ間には、1 つの X デコーダ層が存在し、隣接した 2 つのメモリグループ間には、2 層の Y デコーダ層が存在する。これにより、隣接した 2 つのメモリグループに含まれたメモリ層に対して、個別的に Y 軸アドレスをデコーディングすることができる。

40

【 0 0 6 2 】

図 6 は、本発明のさらに他の実施形態による積層メモリ素子を示す断面図である。

【 0 0 6 3 】

図 6 を参照すれば、積層メモリ素子 1 " は、基板 1 1 0、複数のメモリ層 1 2 0、複数対の第 1 X デコーダ層 1 3 1 a、1 3 2 a、1 3 3 a 及び / または第 2 X デコーダ層 1 3

50

1 b , 1 3 2 b , 1 3 3 b 及び / または複数の Y デコーダ層 1 4 1 , 1 4 2 を含む。この実施形態の積層メモリ素子 1 ” は、図 1 ないし図 4 の積層メモリ素子 1 で、一部構成を変形したものであり、従って、重複する説明は省略する。

【 0 0 6 4 】

複数のメモリグループ M G 1 , M G 2 , M G 3 , M G 4 の間には、Y デコーダ層及び / または 1 対の第 1 X デコーダ層及び第 2 X デコーダ層が、互いに入れ違いながら配される。具体的には、積層メモリ素子 1 ” で、1 対の第 1 X デコーダ層 1 3 1 a 及び第 2 X デコーダ層 1 3 1 b、メモリグループ M G 1、Y デコーダ層 1 4 1、メモリグループ M G 2、1 対の第 1 X デコーダ層 1 3 2 a 及び第 2 X デコーダ層 1 3 2 b、メモリグループ M G 3、Y デコーダ層 1 4 2、メモリグループ M G 4、及び / または 1 対の第 1 X デコーダ層 1 3 3 a 及び第 2 X デコーダ層 1 3 3 b が、基板 1 1 0 上に順次に積層される。このとき、Y デコーダ層 1 4 1 及び Y デコーダ層 1 4 1 を中心に上下に配されたメモリグループ M G 1 , M G 2 は、第 2 基本積層構造 2 0 とし、X デコーダ層対 1 3 2 a , 1 3 2 b 及び X デコーダ層対 1 3 2 a , 1 3 2 b を中心に上下に配されたメモリグループ M G 2 , M G 3 は、第 1 基本積層構造 1 0 ’ とする。第 2 基本積層構造 2 0 は、図 1 に含まれた構成と実質的に同一なので、これについての説明は省略する。

10

【 0 0 6 5 】

積層メモリ素子 1 ” は、基板 1 1 0 上に積層される複数の第 1 基本積層構造 1 0 ’ を含み、複数の第 1 基本積層構造 1 0 ’ 間には、複数の Y デコーダ層 1 4 1 , 1 4 2 が介在される。第 1 基本積層構造 1 0 ’ で第 1 X デコーダ層 1 3 2 a は、その上部に隣接して積層されたメモリグループ M G 3 のメモリ層 1 2 0 に、第 1 前面連結ライン 1 3 5 F ’ 及び第 1 背面連結ライン 1 3 5 B ’ を介して連結され、第 2 X デコーダ層 1 3 2 b は、その下部に隣接して積層されたメモリグループ M G 2 のメモリ層 1 2 0 に、第 2 前面連結ライン 1 3 5 F ” 及び第 2 背面連結ライン 1 3 5 B ” を介して連結されうる。

20

【 0 0 6 6 】

これにより、第 1 X デコーダ層 1 3 2 a は、その上部に隣接して積層されたメモリグループ M G 3 のメモリ層 1 2 0 と電氣的に信号を送受信でき、第 2 X デコーダ層 1 3 2 b は、その下部に隣接して積層されたメモリグループ M G 2 のメモリ層 1 2 0 と電氣的に信号を送受信することができる。

【 0 0 6 7 】

本実施形態によれば、隣接した 2 つのメモリグループは、その間に配される Y デコーダ層は共有するが、その間に配される X デコーダ層は共有しない。換言すれば、複数のメモリグループ間に、Y デコーダ層と 1 対の X デコーダ層とが交互に配され、隣接した 2 つのメモリグループ間には、1 層の Y デコーダ層が存在し、隣接した 2 つのメモリグループ間には、2 層の X デコーダ層が存在する。これにより、隣接した 2 つのメモリグループに含まれたメモリ層に対して、個別的に X 軸アドレスをデコーディングすることができる。

30

【 0 0 6 8 】

図 7 は、本発明の他の実施形態による積層メモリ素子を示す断面図である。

【 0 0 6 9 】

図 7 を参照すれば、積層メモリ素子 2 は、基板 2 1 0、複数のメモリ層 2 2 0、複数の X デコーダ層 2 3 1 , 2 3 2 及び複数の Y デコーダ層 2 4 1 , 2 4 2 , 2 4 3 を含むことができる。図 7 では、図解の便宜上、2 層の X デコーダ層 2 3 1 , 2 3 2 と 3 層の Y デコーダ層 2 4 1 , 2 4 2 , 2 4 3 とを図示したが、積層メモリ素子 2 は、さらに多数の X デコーダ層及び Y デコーダ層を含むことができる。この実施形態の積層メモリ素子 2 は、図 1 の積層メモリ素子 1 で、一部構成を変形したものであり、従って、重複する説明は省略する。

40

【 0 0 7 0 】

基板 1 1 0 上に複数のメモリ層 2 2 0 が積層され、複数のメモリ層 2 2 0 は、複数のメモリグループ M G 1 , M G 2 , M G 3 , M G 4 にグループ化されうる。複数のメモリグループ M G 1 , M G 2 , M G 3 , M G 4 間には、Y デコーダ層 2 4 1 , 2 4 2 , 2 4 3 と X

50

デコーダ層 2 3 1 , 2 3 2 とが交互に配されうる。このとき、Xデコーダ層 2 3 1、及び Xデコーダ層 2 3 1 を中心に上下に配されたメモリグループ M G 1 , M G 2 は、第 1 基本積層構造 3 0 とし、Yデコーダ層 2 4 2、及び Yデコーダ層 2 4 2 を中心に上下に配されたメモリグループ M G 2 , M G 3 は、第 2 基本積層構造 4 0 とする。以下、第 1 基本積層構造 3 0 及び第 2 基本積層構造 4 0 について詳述する。

【 0 0 7 1 】

まず、積層メモリ素子 2 は、基板 2 2 0 上に積層される複数の第 1 基本積層構造 3 0 を含み、複数の第 1 基本積層構造 3 0 間には、複数の Yデコーダ層 2 4 1 , 2 4 2 , 2 4 3 が介在される。第 1 基本積層構造 3 0 で Xデコーダ層 2 3 1 は、その上部に隣接して積層されたメモリグループ M G 2 のメモリ層 2 2 0 と、第 1 前面連結ライン 2 3 5 F ' 及び / または第 1 背面連結ライン 2 3 5 B ' を介して連結され、その下部に隣接して積層されたメモリグループ M G 1 のメモリ層 2 2 0 と、第 2 前面連結ライン 2 3 5 F " 及び / または第 2 背面連結ライン 2 3 5 B " を介して連結されうる。

10

【 0 0 7 2 】

このとき、各メモリグループに含まれたメモリ層 2 2 0 のうち一部は、Xデコーダ用配線を共有できるが、Xデコーダ用配線は、ワードラインでありうる。本実施形態で、各メモリグループに含まれたメモリ層 2 2 0 のうち、二番目のメモリ層と三番目のメモリ層は、Xデコーダ用配線を共有できる。従って、Xデコーダ層 2 3 1 は、その上部に隣接して積層されたメモリグループ M G 2 のメモリ層 2 2 0 との連結のために、3 本の第 1 前面連結ライン 2 3 5 F ' 及び 3 本の第 1 背面連結ライン 2 3 5 B ' を必要とすることになる。また、Xデコーダ層 2 3 1 は、その下部に隣接して積層されたメモリグループ M G 1 のメモリ層 2 2 0 との連結のために、3 本の第 2 前面連結ライン 2 3 5 F " 及び 3 本の第 2 背面連結ライン 2 3 5 B " を必要とすることになる。

20

【 0 0 7 3 】

次に、積層メモリ素子 2 は、基板 2 1 0 上に積層される複数の第 2 基本積層構造 4 0 を含み、複数の第 2 基本積層構造 4 0 間には、複数の Xデコーダ層 2 3 1 , 2 3 2 が介在される。第 2 基本積層構造 4 0 で Yデコーダ層 2 4 2 は、その上部に隣接して積層されたメモリグループ M G 3 のメモリ層 2 2 0 と、第 1 左側連結ライン 2 4 5 L ' 及び第 1 右側連結ライン 2 4 5 R ' を介して連結され、その下部に隣接して積層されたメモリグループ M G 2 のメモリ層 2 2 0 と、第 2 左側連結ライン 2 4 5 L " 及び / または第 2 右側連結ライン 2 4 5 R " を介して連結されうる。

30

【 0 0 7 4 】

このとき、各メモリグループに含まれたメモリ層 2 2 0 のうち一部は、Yデコーダ用配線を共有できるが、Yデコーダ用配線は、ビットラインでありうる。本実施形態で、各メモリグループに含まれたメモリ層 2 2 0 のうち、最初のメモリ層と二番目のメモリ層は、Yデコーダ用配線を共有でき、三番目のメモリ層と四番目のメモリ層は、Yデコーダ用配線を共有できる。従って、Yデコーダ層 2 4 2 は、その上部に隣接して積層されたメモリグループ M G 3 のメモリ層 2 2 0 との連結のために、2 本の第 1 左側連結ライン 2 4 5 L ' 及び 2 本の第 2 右側連結ライン 2 4 5 R ' を必要とすることになり。また、Yデコーダ層 2 4 2 は、その下部に隣接して積層されたメモリグループ M G 2 のメモリ層 2 2 0 との連結のために、2 本の第 2 左側連結ライン 2 4 5 L " 及び 2 本の第 2 右側連結ライン 2 4 5 R " を必要とすることになる。

40

【 0 0 7 5 】

本実施形態によれば、各メモリグループに含まれたメモリ層 2 2 0 のうち一部は、Xデコーダ用配線 / Yデコーダ用配線を共有するので、Xデコーダ層 2 3 1 / Yデコーダ層 2 4 2 と各メモリグループに含まれたメモリ層 2 2 0 との連結ラインの本数が減ることになる。また、Xデコーダ層 2 3 1 / Yデコーダ層 2 4 2 でデコーディングするメモリセルの個数が減ることになるので、Xデコーダ層 2 3 1 / Yデコーダ層 2 4 2 の複雑度を低下させることができるので、その具現も簡単にできる。

【 0 0 7 6 】

50

また、本実施形態の変形された実施形態によれば、積層メモリ素子は、複数のメモリグループ間に、Xデコーダ層及び1対のYデコーダ層が交互に介在しうる。このとき、Xデコーダ層は、その上下部に積層されたメモリグループに共通に連結されるが、1対のYデコーダ層は、その上部に積層されたメモリグループ及びその下部に積層されたメモリグループにそれぞれ連結されうる。また、本実施形態の他の変形された実施形態によれば、積層メモリ素子は、複数のメモリグループ間に、Yデコーダ層及び1対のXデコーダ層が交互に介在しうる。このとき、Yデコーダ層は、その上下部に積層されたメモリグループに共通に連結されるが、1対のXデコーダ層は、その上部に積層されたメモリグループ及びその下部に積層されたメモリグループにそれぞれ連結されうる。

【0077】

図8は、本発明の一実施形態による積層メモリ素子を示す平面図である。

【0078】

図8を参照すれば、積層メモリ素子3は、基板(図示せず)上に配される複数の積層メモリブロックである第1メモリブロックMB1ないし第9メモリブロックMB9を含むことができる。図8には、便宜上、9個のメモリブロックMB1ないしMB9が図示されているが、積層メモリ素子3は、さらに多数のメモリブロックを含むことができる。

【0079】

各メモリブロックMB1ないしMB9は、複数のメモリ層及び複数のデコーダ層を含むことができるが、各メモリブロックMB1ないしMB9の所定レベルに配されるデコーダ層は、隣接したメモリブロックの同一レベルに配されるデコーダ層と交互に配されうる。具体的には、各メモリブロックMB1ないしMB9の所定レベルに、Xデコーダ層330が配されれば、隣接したメモリブロックの同一レベルには、Yデコーダ層340が配されうる。これにより、複数のメモリブロックMB1ないしMB9の同一レベルで、Xデコーダ層330とYデコーダ層340は、格子構造をなすことができる。

【0080】

各メモリブロックMB1ないしMB9内の各メモリ層に含まれたメモリセルは、第1グループ及び第2グループに分類されうる。ここで、各Xデコーダ層330は、複数のXデコーダアレイを含むことができるが、このとき、Xデコーダアレイは、図2に図示されたXデコーダアレイと類似した構造を有することができる。また、各Yデコーダ層340は、複数のYデコーダアレイを含むことができるが、このとき、Yデコーダアレイは、図3に図示されたYデコーダアレイと類似した構造を有することができる。

【0081】

具体的には、第2メモリブロックMB2内の各メモリ層の第1グループ及び第2グループは、第2メモリブロックMB2に含まれたYデコーダ層340に連結され、第2メモリブロックMB2内の各メモリ層の第1グループは、第1メモリブロックMB1に含まれたXデコーダ層330に連結され、各メモリ層の第2グループは、第3メモリブロックMB3に含まれたXデコーダ層330に連結されうる。このように、各メモリブロックMB1ないしMB9内のメモリ層は、当該メモリブロック内に含まれたデコーダ層及び隣接したメモリブロック内に含まれたデコーダ層に連結され、メモリ層の動作に必要なX軸アドレス及びY軸アドレスをデコーディングすることができる。

【0082】

一方、第1メモリブロックMB1内の各メモリ層の第1グループ及び第2グループは、第1メモリブロックMB1に含まれたXデコーダ層330に連結され、第1メモリブロックMB1内の各メモリ層の第1グループは、第4メモリブロックMB4に含まれたYデコーダ層340に連結され、各メモリ層の第2グループは、第1メモリブロックMB1の左側に隣接して配されたYデコーダ層340'に連結されうる。また、第4メモリブロックMB4内の各メモリ層の第1グループ及び第2グループは、第4メモリブロックMB4に含まれたYデコーダ層340に連結され、第4メモリブロックMB4内の各メモリ層の第1グループは、第5メモリブロックMB5に含まれたXデコーダ層330に連結され、各メモリ層の第2グループは、第4メモリブロックMB4の上側に隣接して配されたXデコ

10

20

30

40

50

ーダ層 330' に連結されうる。このように、積層メモリ素子 3 で、最外郭に配されて隣接するメモリブロックのないメモリブロックの場合には、X 軸アドレス情報または Y 軸アドレス情報を受信するための追加的なデコーダ層 330' , 340' の配置が要求される。

【0083】

図 9 は、図 8 の積層メモリ素子で、A - A' 線に沿って切り取った断面図の一例である。図 10 は、図 8 の積層メモリ素子で、B - B' 線に沿って切り取った断面図の一例である。

【0084】

図 9 及び図 10 を参照すれば、基板 310 上に A - A' 線方向に、第 2 メモリブロック MB 2、第 5 メモリブロック MB 5 及び第 8 メモリブロック MB 8 が隣接して配され、B - B' 線方向に、第 7 メモリブロック MB 7、第 8 メモリブロック MB 8 及び第 9 メモリブロック MB 9 が隣接して配される。ここで、各メモリブロックは、図 1 に図示された積層メモリ素子 1 に対応しうる。積層メモリ素子 3 では、基板 310 上に、複数の第 1 基本積層構造 50 が反復的に形成されると見ることができ、複数の第 2 基本積層構造 55 が反復的に形成されるとも見ることができる。一方、理解を助けるために図 9 では、X デコーダ連結ラインが省略され、図 10 では、Y デコーダ連結ラインが省略された状態で図式化されている。図 9 の Y デコーダ連結状態と図 10 の X デコーダ連結状態とを結合したものが、本実施形態によるメモリ素子の全体的な構造となる。

【0085】

まず、図 9 を使用しつつ、Y デコーダ連結構造と関連したメモリ構造について説明すれば、次の通りである。

【0086】

第 1 基本積層構造 50 は、同一レベルに交互に配される Y デコーダ層 340 及び X デコーダ層 330 と、Y デコーダ層 340 及び X デコーダ層 330 それぞれの上下に隣接して配されるメモリ層 320 と、を含む。具体的には、第 1 基本積層構造 50 は、第 2 メモリブロック MB 2 に含まれた Y デコーダ層 340、及び Y デコーダ層 340 の上下部に隣接して配されたメモリ層 320 と、第 5 メモリブロック MB 5 に含まれた X デコーダ層 330、及び X デコーダ層 330 の上下部に隣接して配されたメモリ層 320 と、第 8 メモリブロック MB 8 に含まれた Y デコーダ層 340、及び Y デコーダ層 340 の上下部に隣接して配されたメモリ層 320 と、を含むことができる。本実施形態で、第 1 基本積層構造 50 で、各デコーダ層 330 , 340 の上部と下部とは、それぞれ 2 層のメモリ層 320 が配されうる。

【0087】

第 1 基本積層構造 50 で、第 2 メモリブロック MB 2 及び第 8 メモリブロック MB 8 のメモリ層 320 間には、Y デコーダ層 340 が含まれ、第 5 メモリブロック MB 5 のメモリ層 320 間には、X デコーダ層 330 が含まれる。従って、第 2 メモリブロック MB 2 及び第 8 メモリブロック MB 8 のメモリ層 320 は、当該メモリブロックに含まれた Y デコーダ層 340 に連結されて Y 軸アドレス情報を受信することができ、第 5 メモリブロック MB 5 のメモリ層 320 は、隣接するメモリブロックに含まれた Y デコーダ層 340 に連結されて Y 軸アドレス情報を受信することができる。

【0088】

具体的には、第 2 メモリブロック MB 2 に含まれた各メモリ層 320 の第 1 グループ及び第 2 グループは、第 2 メモリブロック MB 2 に含まれた Y デコーダ層 340 と、第 1 連結ライン 345 を介して連結され、第 8 メモリブロック MB 2 に含まれた各メモリ層 320 の第 1 グループ及び第 2 グループは、第 8 メモリブロック MB 8 に含まれた Y デコーダ層 340 と、第 1 連結ライン 345 を介して連結されうる。一方、第 5 メモリブロック MB 5 に含まれた各メモリ層 320 の第 1 グループは、第 2 メモリブロック MB 2 に含まれた Y デコーダ層 340 と、第 2 連結ライン 347 を介して連結され、第 2 グループは、第 8 メモリブロック MB 8 に含まれた Y デコーダ層 340 と、第 2 連結ライン 347 を介し

10

20

30

40

50

て連結されうる。

【0089】

次に、図10を参照しつつ、Xデコーダ連結構造と関連したメモリ構造について説明すれば、次の通りである。

【0090】

第2基本積層構造55は、同一レベルに交互に配されるXデコーダ層330及びYデコーダ層340と、Xデコーダ層330及びYデコーダ層340それぞれの上下に隣接して配されるメモリ層320と、を含む。具体的には、第2基本積層構造55は、第7メモリブロックMB7に含まれたXデコーダ層330、及びXデコーダ層330の上下部に隣接して配されたメモリ層320と、第8メモリブロックMB8に含まれたYデコーダ層340、及びYデコーダ層340の上下部に隣接して配されたメモリ層320と、第9メモリブロックMB9に含まれたXデコーダ層330、及びXデコーダ層330の上下部に隣接して配されたメモリ層320と、を含むことができる。本実施形態で、第2基本積層構造55で、各デコーダ層330、340の上部と下部とは、それぞれ2層のメモリ層320が配されうる。

10

【0091】

第2基本積層構造55で、第7メモリブロックMB7及び第9メモリブロックMB9のメモリ層320間には、Xデコーダ層330が含まれ、第8メモリブロックMB8のメモリ層320間には、Yデコーダ層340が含まれる。従って、第7メモリブロックMB7及び第9メモリブロックMB9のメモリ層320は、当該メモリブロックに含まれたXデコーダ層330に連結されてX軸アドレス情報を受信することができ、第8メモリブロックMB8のメモリ層320は、隣接するメモリブロックに含まれたXデコーダ層330に連結されてX軸アドレス情報を受信することができる。

20

具体的には、第7メモリブロックMB7に含まれた各メモリ層320の第1グループ及び第2グループは、第7メモリブロックMB7に含まれたXデコーダ層330と、第3連結ライン335を介して連結され、第9メモリブロックMB9に含まれた各メモリ層320の第1グループ及び第2グループは、第9メモリブロックMB9に含まれたXデコーダ層330と、第3連結ライン335を介して連結されうる。一方、第8メモリブロックMB8に含まれた各メモリ層320の第1グループは、第7メモリブロックMB7に含まれたXデコーダ層330と、第4連結ライン337を介して連結され、第2グループは、第9メモリブロックMB9に含まれたXデコーダ層330と、第4連結ライン337を介して連結されうる。

30

【0092】

本実施形態で、各メモリブロックで、複数のメモリグループ間にXデコーダ層とYデコーダ層は、互いに交互に介在され、複数のメモリブロックの同一レベルには、Xデコーダ層とYデコーダ層とが交互に配されうる。これにより、各メモリブロックのXデコーダ層は、それと隣接したメモリブロックで、同一レベルに位置するYデコーダ層によって取り囲まれるように配されうる。同様に、各メモリブロックのYデコーダ層は、それと隣接したメモリブロックで、同一レベルに位置するXデコーダ層によって取り囲まれるように配されうる。従って、基板310上の同一レベルには、メモリブロックを横切ってXデコーダ層とYデコーダ層とが交互に配されうる。

40

【0093】

本実施形態によれば、第1基本積層構造50または第2基本積層構造55で、各メモリブロックに含まれたメモリ層320は、当該メモリブロック内のデコーダ層及び隣接したメモリブロックで、同一レベルに位置するデコーダ層に連結されうる。従って、連結ラインの長さを短く具現できるので、信号の干渉を減らすことができ、連結効率を向上させることができる。

【0094】

また、各メモリ層320に含まれたメモリセルは、2つのグループに分類されるので、第1基本積層構造50または第2基本積層構造55で、各デコーダ層330、340は、

50

当該メモリブロック内のメモリ層320の数の1/2に該当する複数のデコーダ対を含む。1つのデコーダ対は、1つの連結ライン対を介して各メモリ層320に連結されることによって、各メモリ層320に含まれたメモリセルを2つのグループに分けてデコーディングすることができる。従って、各デコーダ層330, 340に含まれたデコーダの複雑度を減らすことができるので、結果的に、積層メモリ素子3の集積効率を向上させることができる。

【0095】

図11は、図8の積層メモリ素子で、A - A'線に沿って切り取った断面図の他の例である。図12は、図8の積層メモリ素子で、B - B'線に沿って切り取った断面図の他の例である。

10

【0096】

図11及び図12を参照すれば、基板310上にA - A'線方向に、第2メモリブロックMB2'、第5メモリブロックMB5'及び第8メモリブロックMB8'が隣接して配され、B - B'線方向に、第7メモリブロックMB7'、第8メモリブロックMB8'及び第9メモリブロックMB9'が隣接して配される。ここで、各メモリブロックは、図7に図示された積層メモリ素子2に対応しうる。積層メモリ素子3'では、基板310上に、複数の第1基本積層構造60が反復的に形成されると見ることができ、複数の第2基本積層構造65が反復的に形成されるとも見ることができ。一方、理解を助けるために、図11では、Xデコーダ連結ラインが省略され、図12では、Yデコーダ連結ラインが省略された状態で図式化されている。図11のYデコーダ連結状態と図12のXデコーダ連結状態とを結合したものが、本実施形態によるメモリ素子の全体的な構造となる。

20

【0097】

まず、図11を使用しつつ、Yデコーダ連結構造と関連したメモリ構造について説明すれば、次の通りである。

【0098】

第1基本積層構造60は、同一レベルに交互に配されるYデコーダ層340及びXデコーダ層330と、Yデコーダ層340及びXデコーダ層330それぞれの上下に隣接して配されるメモリ層320と、を含む。具体的には、第1基本積層構造60は、第2メモリブロックMB2'に含まれたYデコーダ層340、及びYデコーダ層340の上下部に隣接して配されたメモリ層320と、第5メモリブロックMB5'に含まれたXデコーダ層330、及びXデコーダ層330の上下部に隣接して配されたメモリ層320と、第8メモリブロックMB8'に含まれたYデコーダ層340、及びYデコーダ層340の上下部に隣接して配されたメモリ層320と、を含むことができる。本実施形態で、第1基本積層構造60で、各デコーダ層330, 340の上部と下部とは、それぞれ2層のメモリ層320が配されうる。

30

【0099】

第1基本積層構造60で、第2ブロックメモリMB2'及び第8メモリブロックMB8'のメモリ層320間には、Yデコーダ層340が含まれ、第5メモリブロックMB5'のメモリ層320間には、Xデコーダ層330が含まれる。従って、第2ブロックメモリMB2'及び第8メモリブロックMB8'のメモリ層320は、当該メモリブロックに含まれたYデコーダ層340に連結されてY軸アドレス情報を受信することができ、第5メモリブロックMB5'のメモリ層320は、隣接するメモリブロックに含まれたYデコーダ層340に連結されてY軸アドレス情報を受信することができる。

40

【0100】

具体的には、第2メモリブロックMB2'に含まれた各メモリ層320の第1グループ及び第2グループは、第2メモリブロックMB2'に含まれたYデコーダ層340と、第1連結ライン345'を介して連結され、第8メモリブロックMB8'に含まれた各メモリ層320の第1グループ及び第2グループは、第8メモリブロックMB8'に含まれたYデコーダ層340と、第1連結ライン345'を介して連結されうる。一方、第5メモリブロックMB5'に含まれた各メモリ層320の第1グループは、第2メモリブロック

50

MB 2'に含まれたYデコーダ層340と、第2連結ライン347'を介して連結され、第2グループは、第8メモリブロックMB 8'に含まれたYデコーダ層340と、第2連結ライン347'を介して連結されうる。

【0101】

このとき、各メモリグループの最初のメモリ層320と二番目のメモリ層320は、Yデコーダ用配線を共有し、三番目のメモリ層320と四番目のメモリ層320は、Yデコーダ用配線を共有できる。従って、第2メモリブロックMB 2'でYデコーダ層340は、1対の第1連結ライン345'を介して、その上部に配されたメモリ層320間のYデコーダ用配線に共通に連結され、他の対の第1連結ライン345'を介して、その下部に配されたメモリ層320間のYデコーダ用配線に共通に連結されうる。また、第2メモリブロックMB 2'のYデコーダ層340は、1本の第2連結ライン347'を介して、第5メモリブロックMB 5'で、Xデコーダ層330の上部に配されたメモリ層320間のYデコーダ用配線に共通に連結され、他の1本の第2連結ライン347'を介して、Xデコーダ層330の下部に配されたメモリ層320間のYデコーダ用配線に共通に連結されうる。また、第8メモリブロックMB 8'のYデコーダ層340は、1本の第2連結ライン347'を介して、第5メモリブロックMB 5'で、Xデコーダ層330の上部に配されたメモリ層320間のYデコーダ用配線に共通に連結され、他の1本の第2連結ライン347'を介して、Xデコーダ層330の下部に配されたメモリ層320間のYデコーダ用配線に共通に連結されうる。

10

【0102】

次に、図12を参照しつつ、Xデコーダ連結構造と関連したメモリ構造について説明すれば、次の通りである。

20

【0103】

第2基本積層構造65は、同一レベルに交互に配されるXデコーダ層330及びYデコーダ層340と、Xデコーダ層330及びYデコーダ層340それぞれの上下に隣接して配されるメモリ層320と、を含む。具体的には、第2基本積層構造65は、第7メモリブロックMB 7'に含まれたXデコーダ層330、及びXデコーダ層330の上下部に隣接して配されたメモリ層320と、第8メモリブロックMB 8'に含まれたYデコーダ層340、及びYデコーダ層340の上下部に隣接して配されたメモリ層320と、第9メモリブロックMB 9'に含まれたXデコーダ層330、及びXデコーダ層330の上下部に隣接して配されたメモリ層320と、を含むことができる。本実施形態で、第2基本積層構造65で、各デコーダ層330、340の上部と下部とは、それぞれ2層のメモリ層320が配されうる。

30

【0104】

第2基本積層構造65で、第7メモリブロックMB 7'及び第9メモリブロックMB 9'のメモリ層320間には、Xデコーダ層330が含まれ、第8メモリブロックMB 8'のメモリ層320間には、Yデコーダ層340が含まれる。従って、第7メモリブロックMB 7'及び第9メモリブロックMB 9'のメモリ層320は、当該メモリブロックに含まれたXデコーダ層330に連結されてX軸アドレス情報を受信することができ、第8メモリブロックMB 8'のメモリ層320は、隣接するメモリブロックに含まれたXデコーダ層330に連結されてX軸アドレス情報を受信することができる。

40

【0105】

具体的には、第7メモリブロックMB 7'に含まれた各メモリ層320の第1グループ及び第2グループは、第7メモリブロックMB 7'に含まれたXデコーダ層330と、第3連結ライン335'を介して連結され、第9メモリブロックMB 9'に含まれた各メモリ層320の第1グループ及び第2グループは、第9メモリブロックMB 9'に含まれたXデコーダ層330と、第3連結ライン335'を介して連結されうる。一方、第8メモリブロックMB 8'に含まれた各メモリ層320の第1グループは、第7メモリブロックMB 7'に含まれたXデコーダ層330と、第4連結ライン337'を介して連結され、第2グループは、第9メモリブロックMB 9'に含まれたXデコーダ層330と、第4連

50

結ライン 3 3 7 ' を介して連結されうる。

【 0 1 0 6 】

このとき、各メモリグループの二番目のメモリ層 3 2 0 と三番目のメモリ層 3 2 0 は、Xデコーダ用配線を共有できる。従って、第7メモリブロック MB 7 ' でXデコーダ層 3 3 0 は、1対の第3連結ライン 3 3 5 ' を介して、その上部に配されたメモリ層 3 2 0 間のXデコーダ用配線に共通に連結され、他の対の第3連結ライン 3 3 5 ' を介して、その下部に配されたメモリ層 3 2 0 間のXデコーダ用配線に共通に連結されうる。また、第7メモリブロック MB 7 ' のXデコーダ層 3 3 0 は、1本の第4連結ライン 3 3 7 ' を介して、第8メモリブロック MB 8 ' で、Yデコーダ層 3 3 0 の上部に配された二番目のメモリ層 3 2 0 と三番目のメモリ層 3 2 0 との間のXデコーダ用配線に共通に連結され、他の1本の第4連結ライン 3 3 7 ' を介して、Yデコーダ層 3 3 0 の下部に配された二番目のメモリ層 3 2 0 と三番目のメモリ層 3 2 0 との間のXデコーダ用配線に共通に連結されうる。また、第9メモリブロック MB 9 ' のXデコーダ層 3 3 0 は、1本の第4連結ライン 3 3 7 ' を介して、第8メモリブロック MB 8 ' で、Yデコーダ層 3 4 0 の上部に配された二番目のメモリ層 3 2 0 と三番目のメモリ層 3 2 0 との間のXデコーダ用配線に共通に連結され、他の1本の第4連結ライン 3 3 7 ' を介して、Yデコーダ層 3 4 0 の下部に配された二番目のメモリ層 3 2 0 と三番目のメモリ層 3 2 0 との間のXデコーダ用配線に共通に連結されうる。

10

【 0 1 0 7 】

図 1 2 には図示されていないが、第2基本積層構造 6 5 で、第7メモリブロック MB 7 ' 及び第9メモリブロック MB 9 ' に含まれたメモリ層 3 2 0 は、それぞれ第7メモリブロック MB 7 ' 及び第9メモリブロック MB 9 ' の背面に配されたメモリブロック（図示せず）に含まれたYデコーダ層からY軸アドレス情報を受信することができる。

20

【 0 1 0 8 】

本実施形態で、各メモリブロックで、複数のメモリグループ間におけるXデコーダ層とYデコーダ層は、互いに交互に介在され、複数のメモリブロックの同一レベルには、Xデコーダ層とYデコーダ層とが交互に配されうる。これにより、各メモリブロックのXデコーダ層は、それと隣接したメモリブロックで、同一レベルに位置するYデコーダ層によって取り囲まれるように配されうる。同様に、各メモリブロックのYデコーダ層は、それと隣接したメモリブロックで、同一レベルに位置するXデコーダ層によって取り囲まれるように配されうる。従って、基板 3 1 0 上の同一レベルには、メモリブロックを横切ってXデコーダ層とYデコーダ層とが交互に配されうる。

30

【 0 1 0 9 】

本実施形態によれば、第1基本積層構造 6 0 または第2基本積層構造 6 5 で、各メモリブロックに含まれたメモリ層 3 2 0 は、当該メモリブロック内のデコーダ層及び隣接したメモリブロックで、同一レベルに位置するデコーダ層に連結されうる。従って、連結ラインの長さを短く具現できるので、信号の干渉を減らすことができ、連結効率を向上させることができる。

【 0 1 1 0 】

また、各メモリ層 3 2 0 に含まれたメモリセルは、2つのグループに分類されるので、第1基本積層構造 6 0 または第2基本積層構造 6 5 で各デコーダ層 3 3 0 , 3 4 0 は、当該メモリグループ内のメモリ層 3 2 0 の数の 1 / 2 に該当する複数のデコーダ対を含む。1つのデコーダ対は、1本の連結ライン対を介して、各メモリ層 3 2 0 に連結されることによって、各メモリ層 3 2 0 に含まれたメモリセルを2つのグループに分けてデコーディングすることができる。従って、各デコーダ層 3 3 0 , 3 4 0 に含まれたデコーダの複雑度を減らすことができるので、結果的に、積層メモリ素子 3 の集積効率を向上させることができる。

40

【 0 1 1 1 】

図 1 3 は、本発明の他の実施形態による積層メモリ素子を示す平面図である。

【 0 1 1 2 】

50

図13を参照すれば、積層メモリ素子4は、基板(図示せず)上に配される複数の積層メモリブロックの第1メモリブロックMB1ないし第4メモリブロックMB4を含むことができる。図13には、便宜上、4個のメモリブロックMB1ないしMB4が図示されているが、積層メモリ素子4は、さらに多数のメモリブロックを含むことができる。この実施形態は、図8の積層メモリ素子3で、一部構成を変形したものであり、従って、重複する説明は省略する。

【0113】

各メモリブロックMB1ないしMB4は、複数のメモリ層及び複数のデコーダ層を含むことができるが、各メモリブロックMB1ないしMB4の所定レベルに配されるデコーダ層は、隣接したメモリブロックの同一レベルに配されるデコーダ層と交互に配されうる。具体的には、各メモリブロックMB1ないしMB4の所定レベルに、Xデコーダ層430が配されれば、隣接したメモリブロックの同一レベルには、Yデコーダ層440が配されうる。これにより、複数のメモリブロックMB1ないしMB4の同一レベルで、Xデコーダ層430とYデコーダ層440は、格子構造をなすことができる。

10

【0114】

ここで、各Xデコーダ層430は、一つまたはそれ以上のXデコーダアレイを含むことができ、各Yデコーダ層440は、一つまたはそれ以上のYデコーダアレイを含むことができる。

【0115】

具体的には、第1メモリブロックMB1内の各メモリ層は、第1メモリブロックMB1に含まれたXデコーダ層430に連結され、第1メモリブロックMB1内の各メモリ層は、第3メモリブロックMB1に含まれたYデコーダ層440に連結されうる。また、第2メモリブロックMB2内の各メモリ層は、第2メモリブロックMB2に含まれたYデコーダ層440に連結され、第2メモリブロックMB2内の各メモリ層は、第4メモリブロックMB4に含まれたXデコーダ層430に連結されうる。従って、積層メモリ素子4で、最外郭に配されて隣接するメモリブロックのないメモリブロックの場合にも、X軸アドレス情報またはY軸アドレス情報を受信するための追加的なデコーダ層の配置が要求されない。これにより、積層メモリ素子4の全体具現面積を縮めることができる。

20

【0116】

図14は、図13の積層メモリ素子で、C-C'線に沿って切り取った断面図の一例である。図15は、図13の積層メモリ素子で、D-D'線に沿って切り取った断面図の一例である。

30

【0117】

図14及び図15を参照すれば、基板410上にC-C'線方向に、第1メモリブロックMB1及び第3メモリブロックMB3が隣接して配され、D-D'線方向に、第3目盛るブロックMB3及び第4メモリブロックMB4が隣接して配される。ここで、各メモリブロックは、図1に図示された積層メモリ素子1に対応しうる。積層メモリ素子4では、基板410上に複数の第1基本積層構造70が反復的に形成されると見ることができ、複数の第2基本積層構造75が反復的に形成されとも見ることができ、一方、理解を助けるために図14では、Xデコーダ連結ラインが省略され、図15では、Yデコーダ連結ラインが省略された状態で図式化されている。図14のYデコーダ連結状態と図15のXデコーダ連結状態とを結合したものが、本実施形態によるメモリ素子の全体的な構造となる。

40

【0118】

まず、図14を使用しつつ、Yデコーダ連結構造と関連したメモリ構造について説明すれば、次の通りである。

【0119】

第1基本積層構造70は、同一レベルに交互に配されるYデコーダ層440及びXデコーダ層430と、Yデコーダ層440及びXデコーダ層430それぞれの上下に隣接して配されるメモリ層420と、を含む。具体的には、第1基本積層構造70は、第1メモリ

50

ブロックMB 1に含まれたYデコーダ層440、及びYデコーダ層440の上下部に隣接して配されたメモリ層420と、第3メモリブロックMB 3に含まれたXデコーダ層430、及びXデコーダ層430の上下部に隣接して配されたメモリ層420と、を含むことができる。本実施形態で、第1基本積層構造70で、各デコーダ層430、440の上部と下部とは、それぞれ2層のメモリ層420が配されうる。

【0120】

第1基本積層構造70で、第1メモリブロックMB 1のメモリ層420間には、Yデコーダ層440が含まれ、第3メモリブロックMB 3のメモリ層420間には、Xデコーダ層430が含まれる。従って、第1メモリブロックMB 1のメモリ層420は、当該メモリブロックに含まれたYデコーダ層440に連結されてY軸アドレス情報を受信することができ、第3メモリブロックMB 3のメモリ層420は、隣接するメモリブロックに含まれたYデコーダ層440に連結されてY軸アドレス情報を受信することができる。

10

【0121】

具体的には、第1メモリブロックMB 1に含まれた各メモリ層420は、第1メモリブロックMB 1に含まれたYデコーダ層440と、第1連結ライン445を介して連結され、第3メモリブロックMB 3に含まれた各メモリ層420は、第1メモリブロックMB 1に含まれたYデコーダ層440と、第2連結ライン447を介して連結されうる。

【0122】

次に、図15を参照しつつ、Xデコーダ連結構造と関連したメモリ構造について説明すれば、次の通りである。

20

【0123】

第2基本積層構造75は、同一レベルに交互に配されるXデコーダ層430及びYデコーダ層440と、Xデコーダ層430及びYデコーダ層440それぞれの上下に隣接して配されるメモリ層420と、を含む。具体的には、第2基本積層構造75は、第3メモリブロックMB 3に含まれたXデコーダ層430、及びXデコーダ層430の上下部に隣接して配されたメモリ層420と、第4メモリブロックMB 4に含まれたYデコーダ層440、及びYデコーダ層440の上下部に隣接して配されたメモリ層420と、を含むことができる。本実施形態で、第2基本積層構造75で、各デコーダ層の上部と下部とは、それぞれ2層のメモリ層420が配されうる。

【0124】

第2基本積層構造75で、第3メモリブロックMB 3のメモリ層420間には、Xデコーダ層430が含まれ、第4メモリブロックMB 4のメモリ層420間には、Yデコーダ層440が含まれる。従って、第3メモリブロックMB 3のメモリ層420は、当該メモリブロックに含まれたXデコーダ層430に連結されてX軸アドレス情報を受信することができ、第4メモリブロックMB 4のメモリ層420は、隣接するメモリブロックに含まれたXデコーダ層430に連結されてX軸アドレス情報を受信することができる。

30

【0125】

具体的には、第3メモリブロックMB 3に含まれた各メモリ層420は、第1メモリブロックMB 1に含まれたXデコーダ層430と、第3連結ライン435を介して連結され、第4メモリブロックMB 4に含まれた各メモリ層420は、第3メモリブロックMB 3に含まれたXデコーダ層430と、第4連結ライン437を介して連結されうる。

40

【0126】

本実施形態で、各メモリブロックで、複数のメモリグループ間におけるXデコーダ層とYデコーダ層は、互いに交互に介在され、複数のメモリブロックの同一レベルには、Xデコーダ層とYデコーダ層とが交互に配されうる。これにより、各メモリブロックのXデコーダ層は、それと隣接したメモリブロックで、同一レベルに位置するYデコーダ層によって取り囲まれるように配されうる。同様に、各メモリブロックのYデコーダ層は、それと隣接したメモリブロックで、同一レベルに位置するXデコーダ層によって取り囲まれるように配されうる。従って、基板410上の同一レベルには、メモリブロックを横切ってXデコーダ層とYデコーダ層とが交互に配されうる。

50

【 0 1 2 7 】

本実施形態によれば、第 1 基本積層構造 7 0 または第 2 基本積層構造 7 5 で、各メモリブロックに含まれたメモリ層 4 2 0 は、当該メモリブロック内のデコーダ層及び隣接したメモリブロックで、同一レベルに位置するデコーダ層に連結されうる。従って、連結ラインの長さを短く具現できるので、信号の干渉を減らすことができ、連結効率を向上させることができる。

【 0 1 2 8 】

図 1 6 は、図 1 3 の積層メモリ素子で、C - C ' 線に沿って切り取った断面図の他の例である。図 1 7 は、図 1 3 の積層メモリ素子で、D - D ' 線に沿って切り取った断面図の他の例である。

10

【 0 1 2 9 】

図 1 6 及び図 1 7 を参照すれば、基板 4 1 0 上に C - C ' 線方向に、第 1 メモリブロック MB 1 ' 及び第 3 メモリブロック MB 3 ' が隣接して配され、D - D ' 線方向に、第 3 メモリブロック 3 ' 及び第 4 メモリブロック MB 4 ' が隣接して配される。ここで、各メモリブロックは、図 7 に図示された積層メモリ素子 2 に対応しうる。積層メモリ素子 4 では、基板 4 1 0 上に複数の第 1 基本積層構造 8 0 が反復的に形成されると見ることができ、複数の第 2 基本積層構造 8 5 が反復的に形成されるとも見ることができ。一方、理解を助けるために、図 1 6 では、X デコーダ連結ラインが省略され、図 1 7 では、Y デコーダ連結ラインが省略された状態で図式化されている。図 1 6 の Y デコーダ連結状態と図 1 6 の X デコーダ連結状態とを結合したものが、本実施形態によるメモリ素子の全体的な構造となる。

20

【 0 1 3 0 】

まず、図 1 6 を使用しつつ、Y デコーダ連結構造と関連したメモリ構造について説明すれば、次の通りである。

【 0 1 3 1 】

第 1 基本積層構造 8 0 は、同一レベルに交互に配される Y デコーダ層 4 4 0 及び X デコーダ層 4 3 0 と、Y デコーダ層 4 4 0 及び X デコーダ層 4 3 0 それぞれの上下に隣接して配されるメモリ層 4 2 0 と、を含む。具体的には、第 1 基本積層構造 8 0 は、第 1 メモリブロック MB 1 ' に含まれた Y デコーダ層 4 4 0、及び Y デコーダ層 4 4 0 の上下部に隣接して配されたメモリ層 4 2 0 と、第 3 メモリブロック MB 3 ' に含まれた X デコーダ層 4 3 0、及び X デコーダ層 4 3 0 の上下部に隣接して配されたメモリ層 4 2 0 と、を含むことができる。本実施形態で、第 1 基本積層構造 8 0 で、各デコーダ層 4 3 0、4 4 0 の上部と下部とには、それぞれ 2 層のメモリ層 4 2 0 が配されうる。

30

【 0 1 3 2 】

第 1 基本積層構造 8 0 で、第 1 メモリブロック MB 1 ' のメモリ層 4 2 0 間には、Y デコーダ層 4 4 0 が含まれ、第 3 メモリブロック MB 3 ' のメモリ層 4 2 0 間には、X デコーダ層 4 3 0 が含まれる。従って、第 1 メモリブロック MB 1 ' のメモリ層 4 2 0 は、当該メモリブロックに含まれた Y デコーダ層 4 4 0 に連結されて Y 軸アドレス情報を受信することができ、第 3 メモリブロック MB 3 ' のメモリ層 4 2 0 は、隣接するメモリブロックに含まれた Y デコーダ層 4 4 0 に連結されて Y 軸アドレス情報を受信することができる。

40

【 0 1 3 3 】

具体的には、第 1 メモリブロック MB 1 ' に含まれた各メモリ層 4 2 0 は、第 1 メモリブロック MB 1 ' に含まれた Y デコーダ層 4 4 0 と、第 1 連結ライン 4 4 5 ' を介して連結され、第 3 メモリブロック MB 3 ' に含まれた各メモリ層 3 2 0 は、第 1 メモリブロック MB 1 ' に含まれた Y デコーダ層 4 4 0 と、第 2 連結ライン 4 4 7 ' を介して連結されうる。

【 0 1 3 4 】

図 1 6 には図示されていないが、第 2 メモリブロック MB 2 ' の各メモリグループで、二番目のメモリ層と三番目のメモリ層は、第 2 メモリブロック MB 2 ' の背面に配された

50

メモリブロック（図示せず）に含まれたXデコーダ層から、X軸アドレス情報を受信することができる。また、第8メモリブロックMB8'の各メモリグループで、二番目のメモリ層と三番目のメモリ層は、第8メモリブロックMB8'の背面に配されたメモリブロック（図示せず）に含まれたXデコーダ層から、X軸アドレス情報を受信することができる。

【0135】

次に、図17を参照しつつ、Xデコーダ連結構造と関連したメモリ構造について説明すれば、次の通りである。

【0136】

第2基本積層構造85は、同一レベルに交互に配されるXデコーダ層430及びYデコーダ層440と、Xデコーダ層430及びYデコーダ層440それぞれの上下に隣接して配されるメモリ層420と、を含む。具体的には、第2基本積層構造85は、第3メモリブロックMB3'に含まれたXデコーダ層430、及びXデコーダ層430の上下部に隣接して配されたメモリ層420と、第4メモリブロックMB4'に含まれたYデコーダ層440、及びYデコーダ層440の上下部に隣接して配されたメモリ層420と、を含むことができる。本実施形態で、第2基本積層構造85で、各デコーダ層の上部と下部とは、それぞれ2層のメモリ層420が配されうる。

10

【0137】

第2基本積層構造85で、第3メモリブロックMB3'のメモリ層420間には、Xデコーダ層430が含まれ、第4メモリブロックMB4'のメモリ層420間には、Yデコーダ層440が含まれる。従って、第3メモリブロックMB3'のメモリ層420は、当該メモリブロックに含まれたXデコーダ層430に連結されてX軸アドレス情報を受信することができる、第4メモリブロックMB4'のメモリ層420は、隣接するメモリブロックに含まれたXデコーダ層430に連結されてX軸アドレス情報を受信することができる。

20

【0138】

具体的には、第3メモリブロックMB3'に含まれた各メモリ層420は、第3メモリブロックMB3'に含まれたXデコーダ層430と、第3連結ライン435'を介して連結され、第4メモリブロックMB4'に含まれた各メモリ層420は、第3メモリブロックMB3'に含まれたXデコーダ層430と、第4連結ライン437'を介して連結されうる。

30

【0139】

図17には図示されていないが、第2基本積層構造85で、第7メモリブロックMB7'及び第9メモリブロックMB9'に含まれたメモリ層420は、それぞれ第7メモリブロックMB7'及び第9メモリブロックMB9'の背面に配されたメモリブロック（図示せず）に含まれたYデコーダ層から、Y軸アドレス情報を受信することができる。

【0140】

本実施形態で、各メモリブロックで、複数のメモリグループ間におけるXデコーダ層とYデコーダ層は、互いに交互に介在され、複数のメモリブロックの同一レベルには、Xデコーダ層とYデコーダ層とが交互に配されうる。これにより、各メモリブロックのXデコーダ層は、それと隣接したメモリブロックで、同一レベルに位置するYデコーダ層によって取り囲まれるように配されうる。同様に、各メモリブロックのYデコーダ層は、それと隣接したメモリブロックで、同一レベルに位置するXデコーダ層によって取り囲まれるように配されうる。従って、基板410上の同一レベルには、メモリブロックを横切ってXデコーダ層とYデコーダ層とが交互に配されうる。

40

【0141】

本実施形態によれば、第1基本積層構造80または第2基本積層構造85で、各メモリブロックに含まれたメモリ層420は、当該メモリブロック内のデコーダ層及び隣接したメモリブロックで、同一レベルに位置するデコーダ層に連結されうる。従って、連結ラインの長さを短く具現できるので、信号の干渉を減らすことができ、連結効率を向上させる

50

ことができる。

【0142】

図18は、本発明の一実施形態による積層メモリ素子で、メモリ層とXデコーダアレイとの物理的な連結を示す概略的な断面図である。図1ないし図6の実施形態による積層メモリ素子は、図18に図示されているように、物理的に具現されうる。

【0143】

図18を参照すれば、複数のメモリセルMCが複数層、例えば、3層に配列されうる。例えば、各メモリセルMCは、可変抵抗体R及びダイオードDを含むことができる。可変抵抗体Rは、印加される電圧によって高抵抗状態と低抵抗状態とを有することができ、従って、データ記録媒体として利用されうる。各層のメモリセルMCは、アレイ構造に配されうる。

10

【0144】

ワードラインWLは、当該層のメモリセルMCと結合するように、一方向に伸張されうる。従って、他層のメモリセルMCは、他のワードラインWLに結合されうる。ビットラインBLは、メモリセルMCを挟んでワードラインWLと交差するように伸張されうる。本実施形態によれば、1つのメモリセルMCには、対応するワードラインWLとビットラインBLとがそれぞれ連結される。

【0145】

ワードラインWLは、XデコーダアレイX__DECと結合されうる。XデコーダアレイX__DAは、メモリセルMCの積層数と同数のXデコーダX__DECを含むことができる。各XデコーダX__DECは、デコーディング・トランジスタTdを含むことができる。XデコーダアレイX__DAに含まれたXデコーダX__DECは、ワードラインWLと一対一で結合されうる。

20

【0146】

図19は、本発明の他の実施形態による積層メモリ素子で、メモリ層とXデコーダアレイとの物理的な連結を示す概略的な断面図である。図8ないし図10、図13ないし図15の実施形態による積層メモリ素子は、図19に図示されているように、物理的に具現されうる。

【0147】

図19を参照すれば、メモリブロックMB_{n-1}、MB_n内のメモリセルMCは、複数層、例えば、3層に積層されうる。この実施形態は、図18の積層メモリ素子をメモリブロックの単位で拡張して一部変形したものであり、従って、重複する説明は省略する。

30

【0148】

ワードラインWLは、当該層のメモリセルMCと結合するように一方向に伸張されうる。ビットラインBLは、メモリセルMCを挟んでワードラインWLと交差するように伸張されうる。このとき、隣接するメモリブロックMB_{n-1}、MB_nに含まれたワードラインWLは一本に連結され、一本に連結されたワードラインWLは、XデコーダアレイX__DAに結合されうる。

【0149】

XデコーダアレイX__DAは、1つのXデコーダX__DECを含むことができ、1つのXデコーダX__DECと、一本に連結されたワードラインWLの連結を介して、各メモリセルMCをデコーディングすることができる。従って、XデコーダX__DECの具現が簡単であり、各メモリセルMCに対するデコーディング速度を大きく向上させることができる。

40

【0150】

図20は、本発明の他の実施形態による積層メモリ素子で、メモリ層とXデコーダアレイとの物理的な連結を示す概略的な断面図である。図7の実施形態による積層メモリ素子は、図20に図示されているように、物理的に具現されうる。

【0151】

図20を参照すれば、複数のメモリセルMCが複数層、例えば、4層に配列されうる。

50

この実施形態は、図18の積層メモリ素子の構成を一部変形したものであり、従って、重複する説明は省略する。

【0152】

ワードラインWLは、隣接する2層のメモリセルMCと共通して結合するように一方向に伸張されうる。例えば、2層と3層とに含まれたメモリセルMCは、1本のワードラインWLを共有できる。また、ビットラインBLは、メモリセルMCを挟んでワードラインWLと交差するように伸張されうる。例えば、1層と2層とに含まれたメモリセルMCは、ビットラインBLをそれぞれ共有でき、3層と4層とに含まれたメモリセルMCは、ビットラインBLをそれぞれ共有できる。本実施形態によれば、ワードラインWL及びビットラインBLの共有によって、全体的に、ワードラインWLとビットラインBLとの個数を減らすことができる。従って、工程コストを減らすことができ、デコーダが占める領域も減少させられる。

10

【0153】

ワードラインWLは、XデコーダアレイX__DAと結合されうる。XデコーダアレイX__DAは、メモリセルMCの積層数よりも小さい数のXデコーダX__DECを含むことができる。XデコーダX__DECは、ワードラインWLと結合されうる。この実施形態によれば、共有構造を利用し、XデコーダX__DECの数を減らすことができる。

【0154】

図21は、本発明のさらに他の実施形態による積層メモリ素子で、メモリ層とXデコーダアレイとの物理的な連結を示す概略的な断面図である。図8、図11ないし図13、図16、図17の実施形態による積層メモリ素子は、図21に図示されているように、物理的に具現されうる。

20

【0155】

図21を参照すれば、メモリブロックMB_{n-1}、MB_n、MB_{n+1}内のメモリセルMCは、複数層、例えば、4層に積層されうる。この実施形態は、図20の積層メモリをメモリブロックの単位で拡張して一部変形したものであり、従って、重複する説明は省略する。

【0156】

ワードラインWLe、WL_oは、隣接する各2層のメモリセルMCと共通して結合するように交互に配されうる。例えば、第2層と第3層とのメモリセルMCは、その間のワードラインWLeに共通して結合されうる。一方、第1層と第4層とのメモリセルMCは、それに隣接したワードラインWL_oに共通して結合されうる。ビットラインBLは、メモリセルMCを挟んでワードラインWLe、WL_oと交差するように伸張されうる。

30

【0157】

ワードラインWLe、WL_oは、XデコーダアレイX__DAと結合されうる。XデコーダアレイX__DAは、XデコーダX__DECを含むことができる。例えば、隣接したメモリブロックMB_{n-1}、MB_n内のワードラインWL_oは、互いに連結されてXデコーダX__DECに共通して結合されうる。他の隣接したメモリブロックMB_n、MB_{n+1}内のワードラインWLeは、互いに連結されてXデコーダX__DECに共通して結合されうる。ここで、XデコーダアレイX__DAは、同一レベルに位置すると図示されているが、XデコーダアレイX__DAに含まれたXデコーダX__DECは、互いに異なる層に位置することもでき、互いに異なるメモリブロックMB_{n-1}、MB_n、MB_{n+1}に含まれもする。

40

【0158】

図22は、本発明の一実施形態によるメモリカードを示す概略図である。

【0159】

図22を参照すれば、メモリカード2200は、ハウジング2230内に、制御器2210とメモリ部2220とを含むことができる。制御器2210とメモリ部2220は、電気的な信号を交換できる。例えば、制御器2210の命令によって、メモリ部2220と制御器2210は、データを授受することができる。これによって、メモリカード22

50

00は、メモリ部2220にデータを保存し、またはメモリ部2220からデータを外部に出力できる。

【0160】

例えば、メモリ部2220は、図1ないし図21の積層メモリ素子の少なくとも一つを含むことができる。かようなメモリカード2200は、多様な携帯用機器のデータ記録媒体として利用されうる。例えば、メモリカード2200は、マルチメディアカード(MMC: multi media card)またはSDメモリカードを含むことができる。

【0161】

図23は、本発明の一実施形態による電子システムを示すブロック図である。

【0162】

図23を参照すれば、電子システム2300は、プロセッサ2310、入力/出力装置2330及びメモリ部2320を含むことができ、それらは、バス2340を利用して互いにデータ通信できる。プロセッサ2310は、プログラムを実行して電子システム2300を制御する役割を行える。入力/出力装置2330は、電子システム2300のデータを入力または出力するのに利用できる。電子システム2300は、入力/出力装置2330を利用し、外部装置、例えば、パソコン(PC)またはネットワークに連結され、外部装置と互いにデータを交換できる。メモリ部2320は、プロセッサ2310の動作のためのコード及びデータを保存することができる。例えば、メモリ部2320は、図1ないし図21の積層メモリ素子の少なくとも一つを含むことができる。

【0163】

例えば、かような電子システム2300は、メモリ部2320を必要とする多様な電子制御装置を構成でき、例えば、モバイルホン(mobile phone)、MP3プレーヤ、ナビゲーション(navigation)、フラッシュメモリドライブ(SSD:solid state drive)または家電製品(household appliances)に利用されうる。

【0164】

発明の特定実施形態についての以上の説明は、例示及び説明を目的に提供された。従って、本発明は、前記実施形態に限定されるものではなく、本発明の技術的思想内で、当該分野で当業者によって、前記実施形態を組み合わせるなど、さまざまな多くの修正及び変更が可能であることは明白である。

【符号の説明】

【0165】

1, 2, 3, 4	積層メモリ素子	
10, 30, 50, 70, 80	第1基本積層構造	
20, 40, 55, 75, 85	第2基本積層構造	
110, 210, 310, 410	基板	
120, 220, 320, 420	メモリ層	
131, 132, 231, 232, 330, 430	Xデコーダ層	
1311	第1Xデコーダ層	
1312	第2Xデコーダ層	
135B'	第1背面連結ライン	
135B''	第2背面連結ライン	
135F'	第1前面連結ライン	
135F''	第2前面連結ライン	
141, 142, 143, 241, 242, 243, 340, 440	Yデコーダ層	
1421	第1Yデコーダ層	
1422	第2Yデコーダ層	
145L'	第1左側連結ライン	
145L''	第2左側連結ライン	
145R'	第1右側連結ライン	
145R''	第2右側連結ライン	

10

20

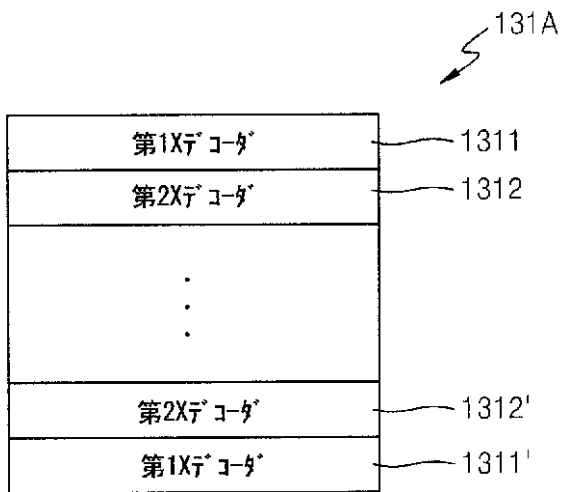
30

40

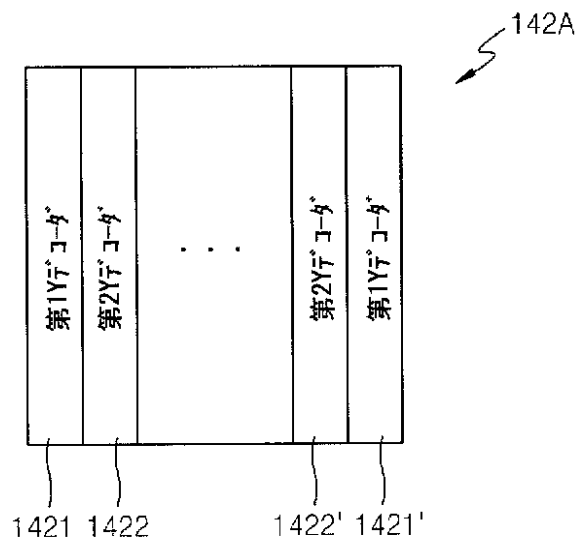
50

- 3 4 5 , 4 4 5 第 1 連結ライン
- 3 4 7 , 4 4 7 第 2 連結ライン
- 4 3 5 第 3 連結ライン
- 4 3 7 第 4 連結ライン
- 2 2 0 0 メモリカード
- 2 2 1 0 制御部
- 2 2 2 0 , 2 3 2 0 メモリ部
- 2 2 3 0 ハウジング
- 2 3 0 0 電子システム
- 2 3 1 0 プロセッサ
- 2 3 3 0 出力 / 入力部
- 2 3 4 0 バス
- M G メモリグループ

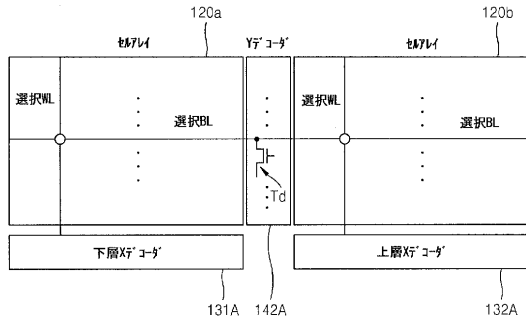
【 図 2 】



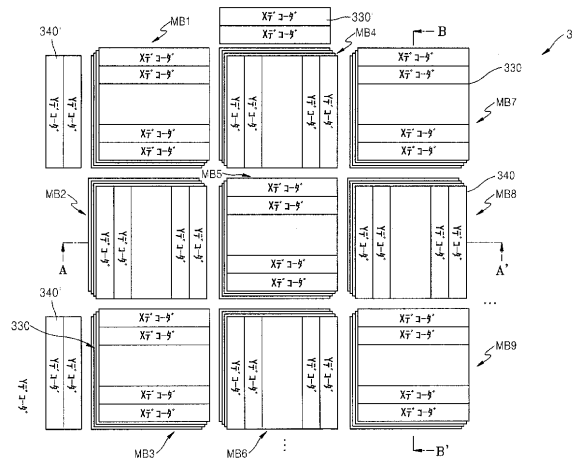
【 図 3 】



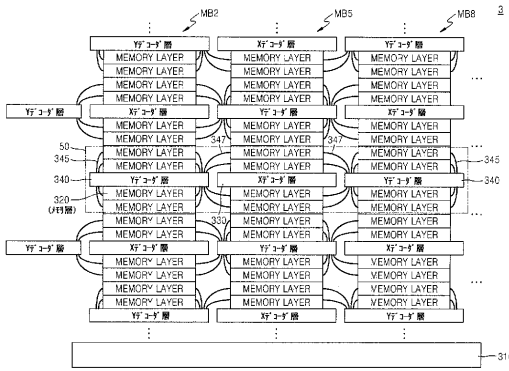
【 図 4 】



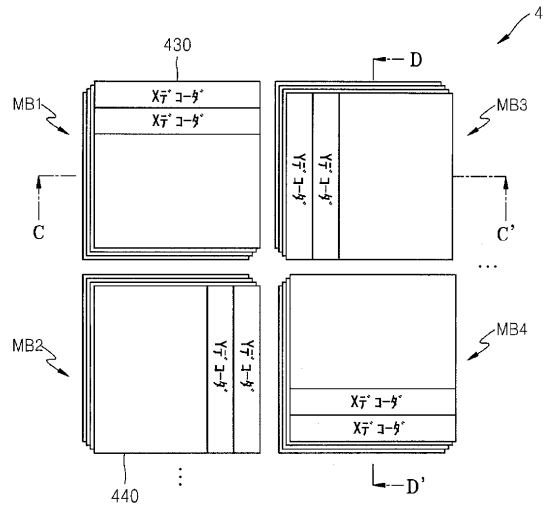
【 図 8 】



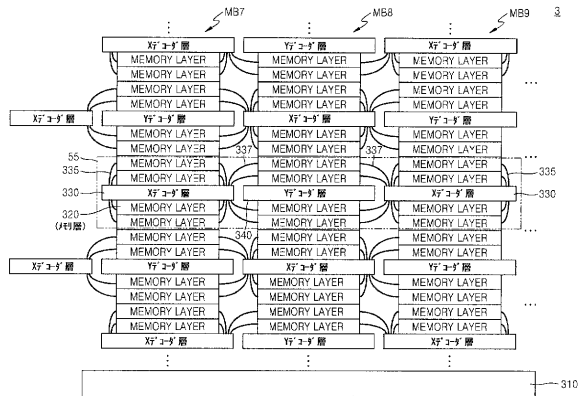
【 図 9 】



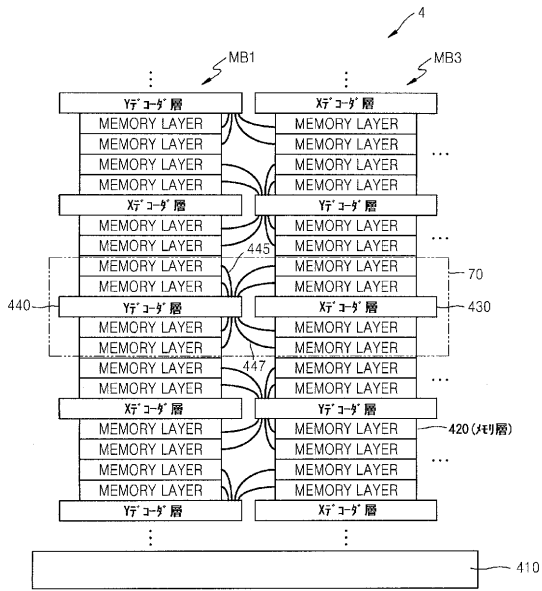
【 図 1 3 】



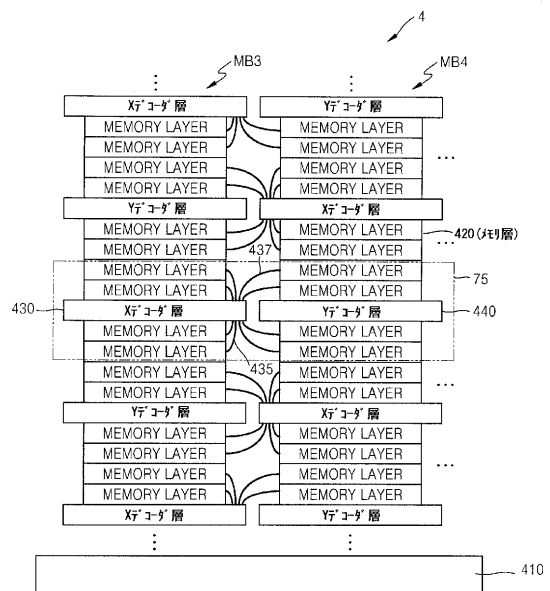
【 図 1 0 】



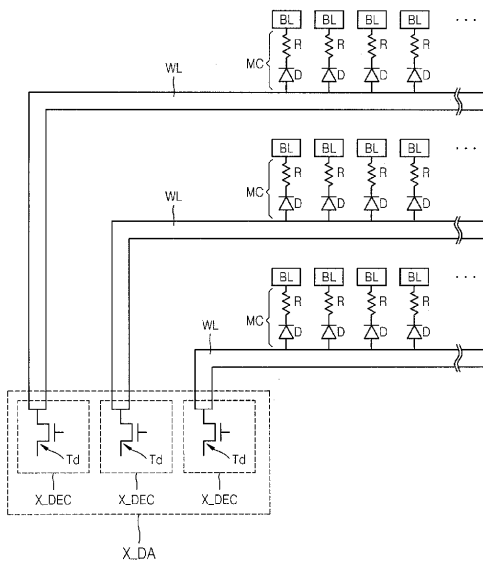
【図14】



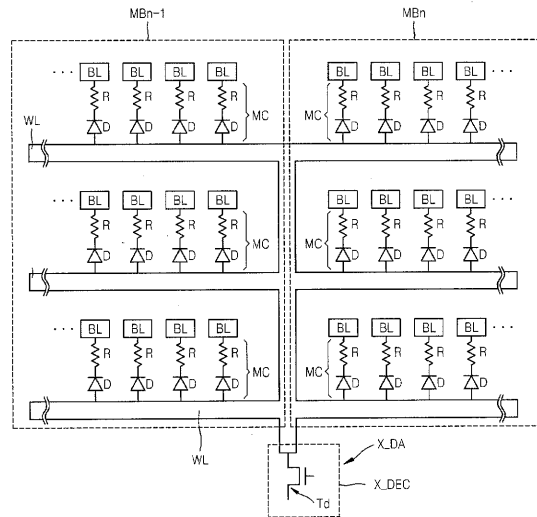
【図15】



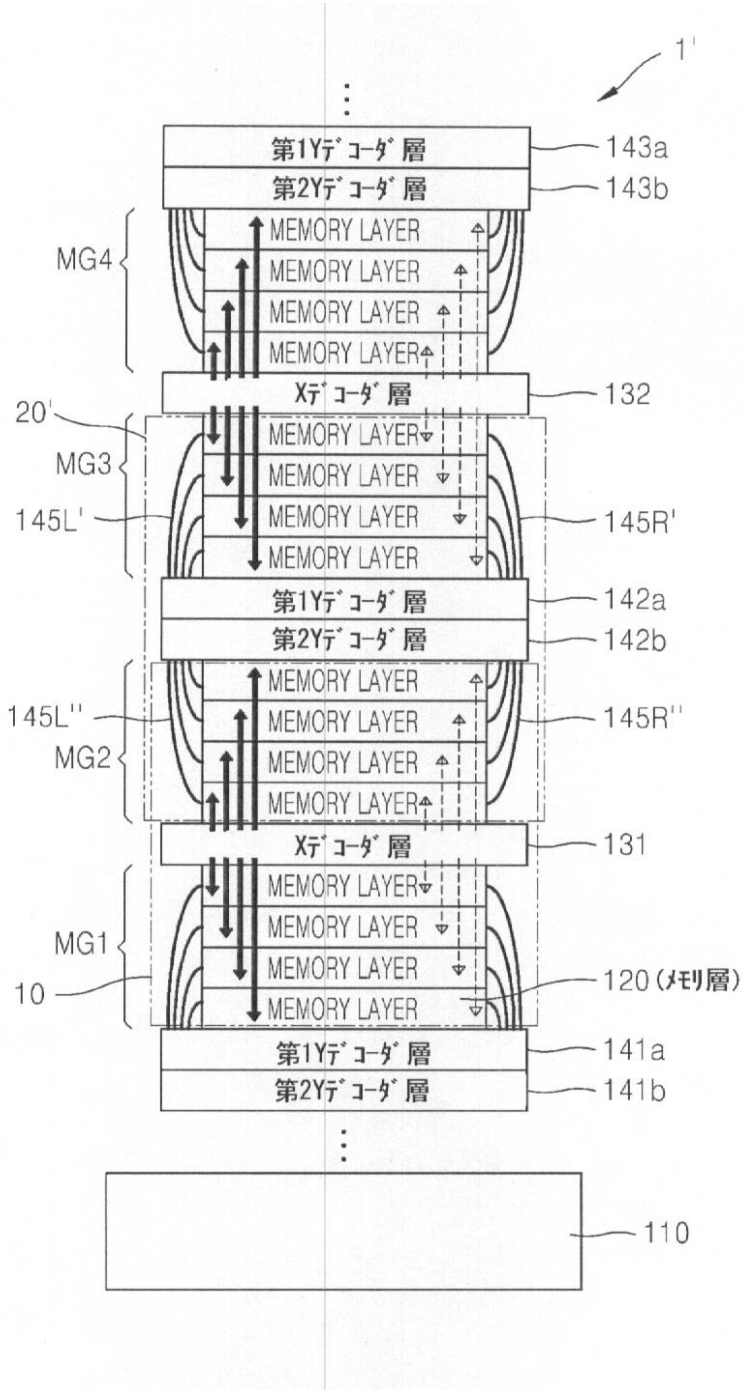
【図18】



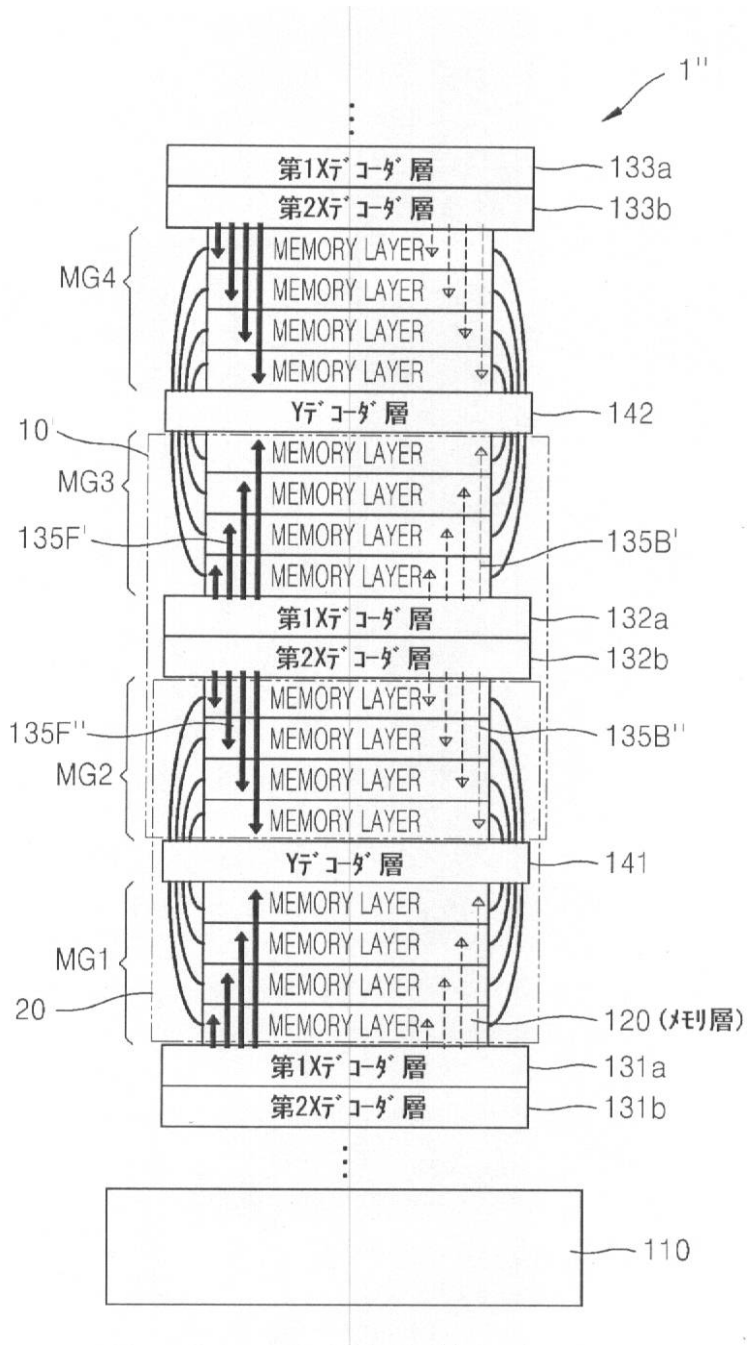
【図19】



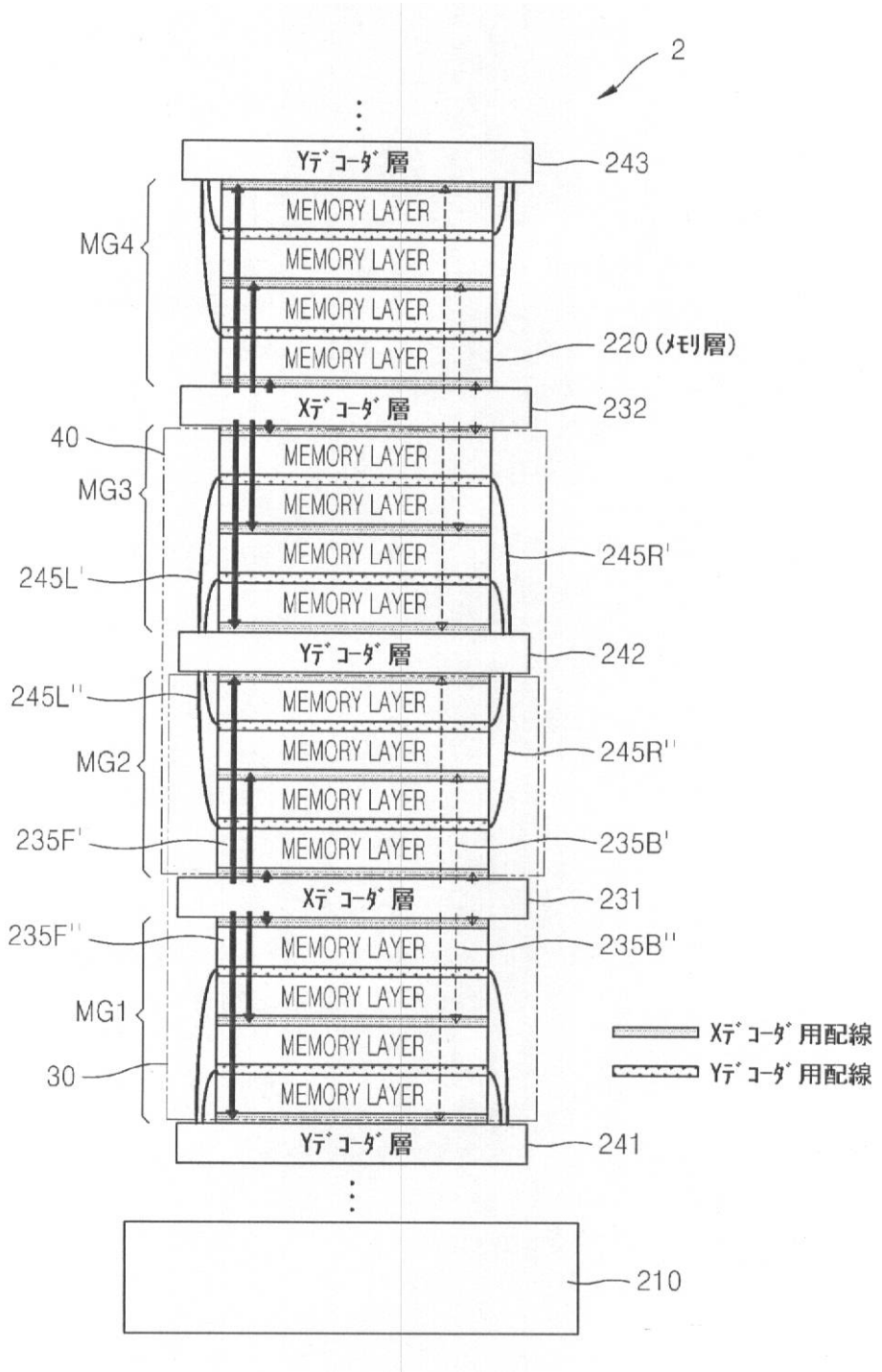
【 図 5 】



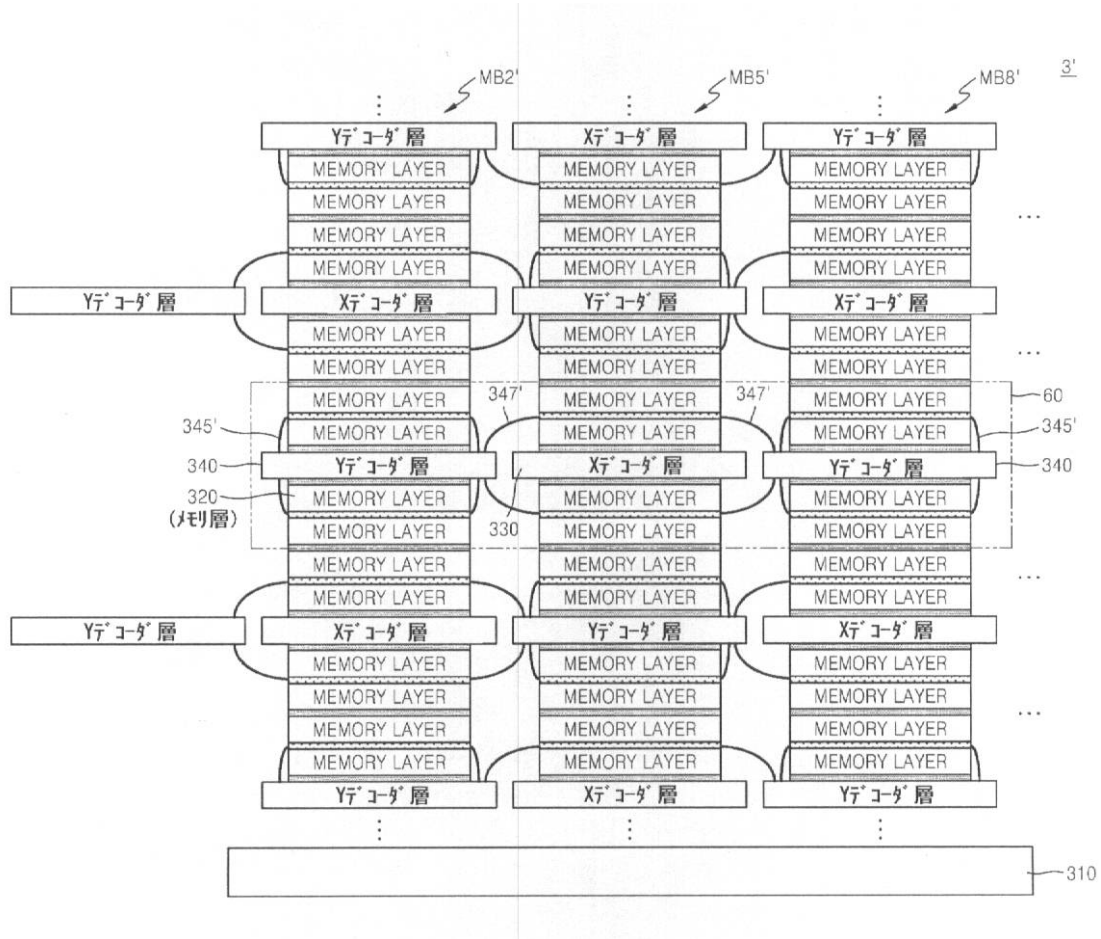
【 図 6 】



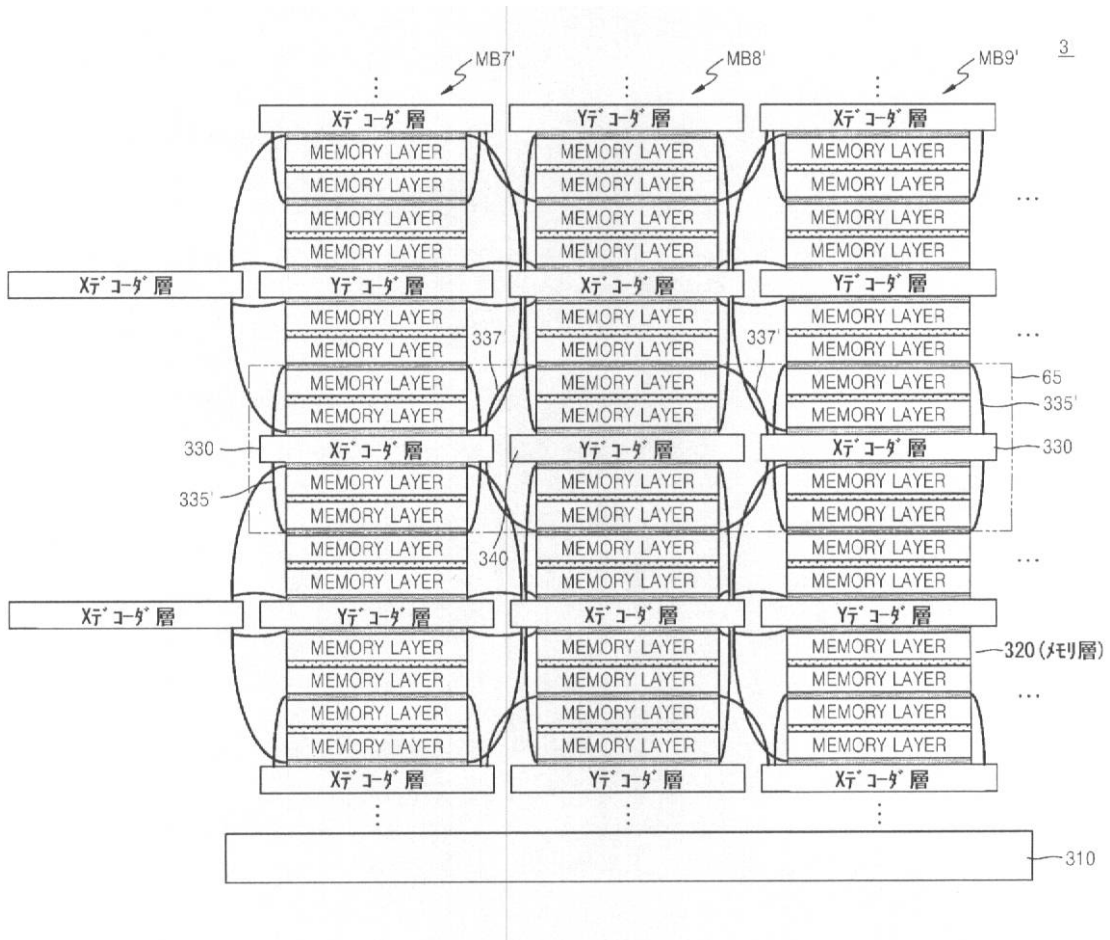
【図7】



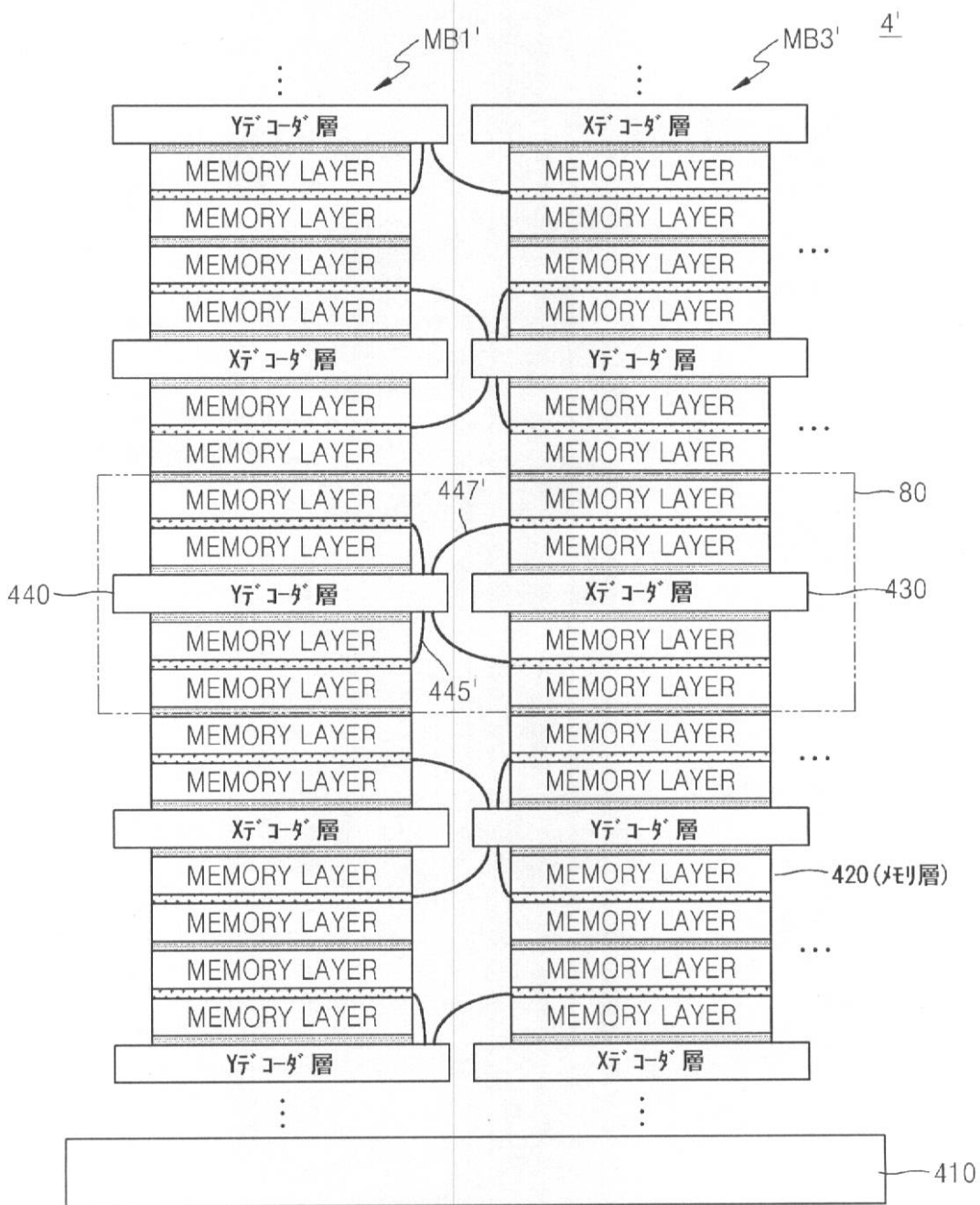
【図 11】



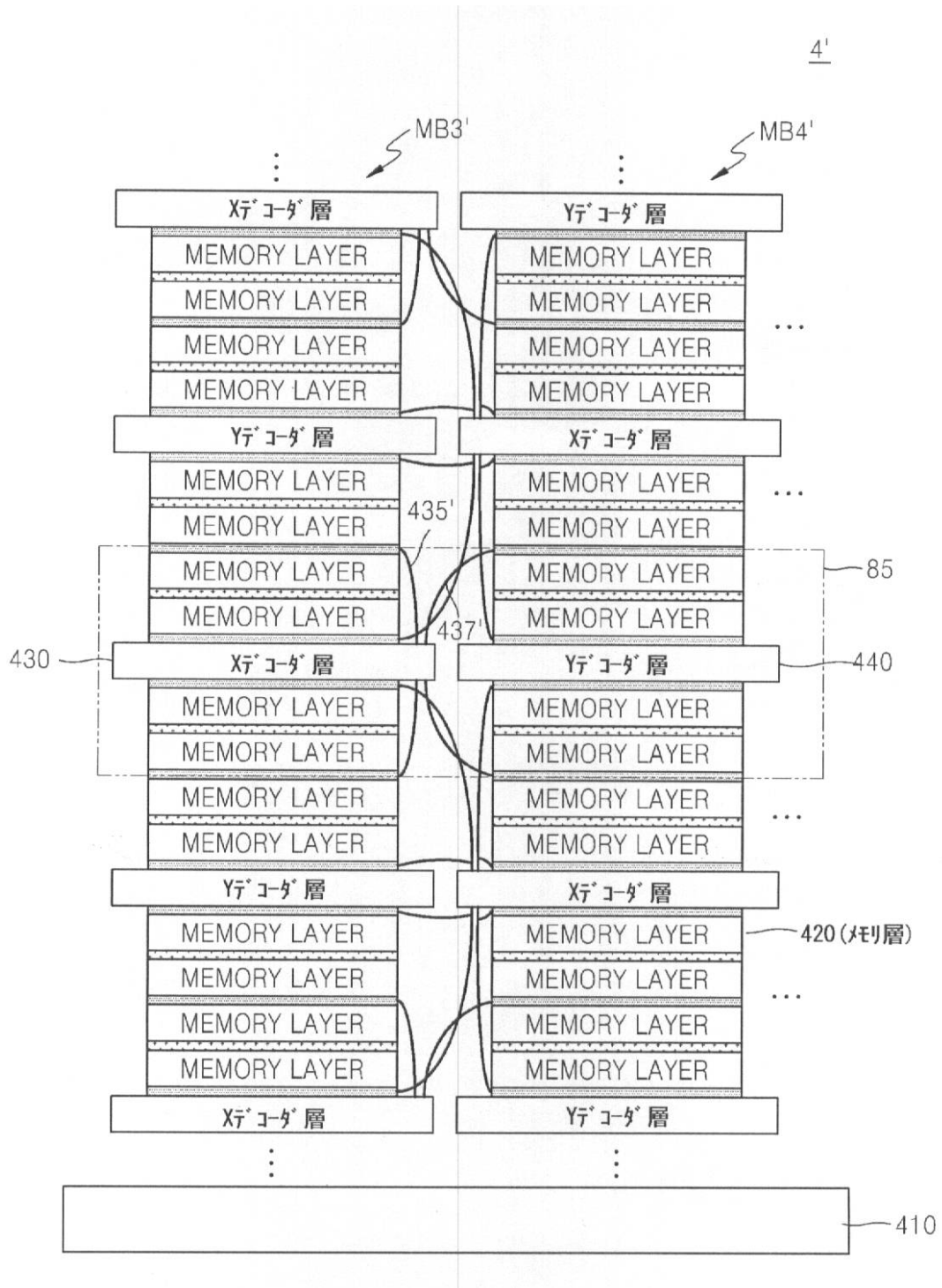
【 図 1 2 】



【図16】



【図 17】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/8242 (2006.01)	H 0 1 L 27/10	4 5 1
H 0 1 L 27/108 (2006.01)	H 0 1 L 27/10	6 0 1
H 0 1 L 29/788 (2006.01)	H 0 1 L 29/78	3 7 1
H 0 1 L 29/792 (2006.01)	H 0 1 L 27/10	4 4 7
H 0 1 L 27/00 (2006.01)	H 0 1 L 27/00	3 0 1 A

(72)発明者 安 承彦
大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 金 鎬正
大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 朴 哲佑
大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 姜 尚範
大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 崔 賢鎬
大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

F ターム(参考) 4M119 AA11 GG10 HH07
5F083 AD00 BS00 EP00 FR00 FZ10 GA10 LA04 LA05
5F101 BE07 BH23