



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I447851 B

(45) 公告日：中華民國 103 (2014) 年 08 月 01 日

(21) 申請案號：100119885

(22) 申請日：中華民國 100 (2011) 年 06 月 07 日

(51) Int. Cl. : H01L21/768 (2006.01)

H01L23/52 (2006.01)

H01L27/105 (2006.01)

(30) 優先權：2011/01/19 美國

61/434,423

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.  
(TW)

新竹市新竹科學工業園區力行路 16 號

(72) 發明人：陳士弘 CHEN, SHIH HUNG (TW)；呂函庭 LUE, HANG TING (TW)；李鴻志 LEE,  
HONG JI (TW)；楊金成 YANG, CHIN CHENG (TW)

(74) 代理人：祁明輝；林素華

(56) 參考文獻：

TW 201039409A

審查人員：邱青松

申請專利範圍項數：23 項 圖式數：68 共 0 頁

(54) 名稱

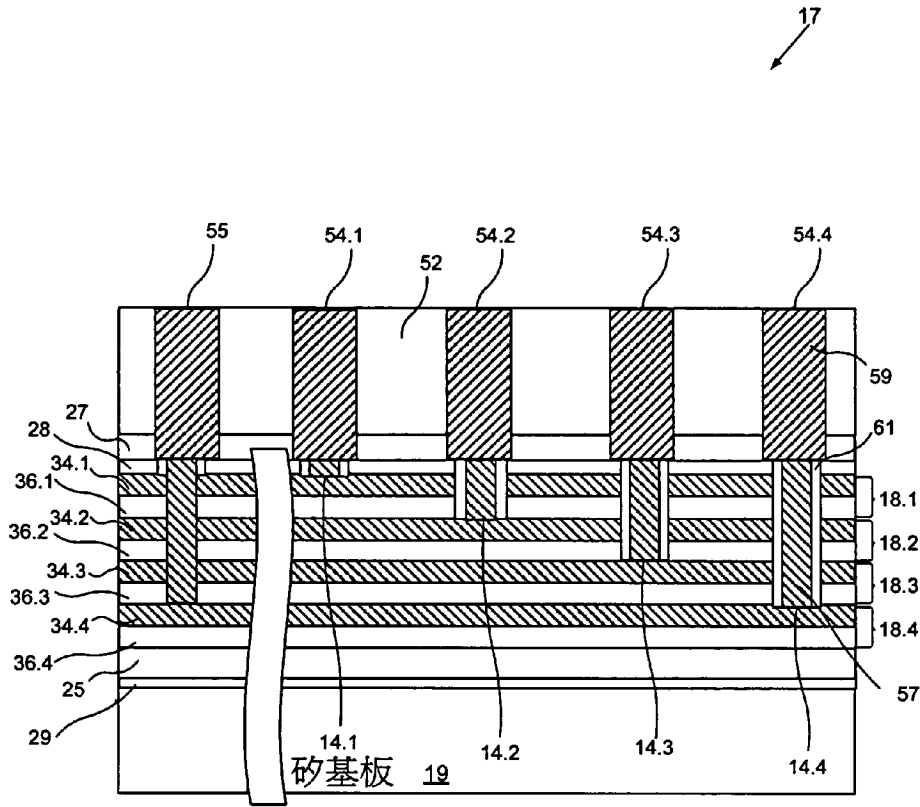
多層連線結構及製造方法

MULTILAYER CONNECTION STRUCTURE AND MAKING METHOD

(57) 摘要

一種方法，用於三維堆疊積體電路裝置，用以提供電性連接至內連線區域之接觸層的堆疊處。各接觸層包括導電層及絕緣層。移除任何上層之一部分以暴露出第一接觸層並產生用於各接觸層之接觸開口。N 個蝕刻遮罩之組合用來蝕刻接觸開口多達且包含 2 的 N 次方個接觸層。各個遮罩係用來蝕刻有效地一半的接觸開口。當 N 為 3 時，第一遮罩蝕刻一個接觸層，第二遮罩蝕刻兩個接觸層，以及第三遮罩蝕刻四個接觸層。介電層可形成於接觸開口的側壁上。導電體可形成穿過接觸開口，並以介電層將導電體電性絕緣於側壁。

A method provides electrical connections to a stack of contact levels of an interconnect region for a 3-D stacked IC device. Each contact level comprises conductive and insulation layers. A portion of any upper layer is removed to expose a first contact level and create contact openings for each contact level. A set of N masks is used to etch the contact openings up to and including  $2^N$  contact levels. Each mask is used to etch effectively half of the contact openings. When N is 3, a first mask etches one contact level, a second mask etches two contact levels, and a third mask etches four contact levels. A dielectric layer may be formed on the sidewalls of the contact openings. Electrical conductors may be formed through the contact openings with the dielectric layers electrically insulating the electrical conductors from the sidewalls.



第 17 圖

- 14.1、14.2、14.3、14.4 . . . 內連線接觸區域
- 17 . . . 內連線區域
- 18.1、18.2、18.3、18.4 . . . 接觸層
- 19 . . . 矽基板
- 25 . . . 介電層
- 27 . . . 停止層
- 28 . . . 上介電層
- 29 . . . 底介電層
- 34.1、34.2、34.3、34.4 . . . 導電層
- 36.1、36.2、36.3、36.4 . . . 絕緣層
- 52 . . . 層間介電質
- 54.1、54.2、54.3、54.4 . . . 導電體
- 55 . . . 接地導電體
- 57 . . . 導電體 54 之第一部分
- 59 . . . 導電體 54 之第二部分
- 61 . . . 介電側壁間隔物

TW7480PA

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大致上是有關於一種高密度積體電路裝置，且特別是有關於一種用於多層三維堆疊裝置之內連線結構。

### 【先前技術】

在高密度記憶體裝置之製造中，積體電路上每單位面積之資料量可做為一關鍵的因素。因此，當記憶體裝置之關鍵尺寸達到微影技術之極限時，為了達成更高的儲存密度及較低的每位元之成本，用於堆疊多層記憶胞(memory cell)之技術已被提出。

舉例而言，於 Lai 等人之“A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory,” IEEE Int'l Electron Devices Meeting, 11-13 Dec. 2006，以及於 Jung 等人之“Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node”，IEEE Int'l Electron Devices Meeting, 11-13 Dec. 2006 之文獻中，薄膜電晶體技術係應用於電荷捕捉記憶體。

此外，於 Johnson 等人之“512-Mb PROM With a Three-Dimensional Array of Diode/Anti-fuse Memory Cells”，IEEE J. of Solid-State Circuits, vol. 38, no. 11, Nov. 2003 之文獻中，交叉點陣列 (cross-point array) 技術已應用於反熔絲記憶體 (anti-fuse memory)。同時，參照 Cleaves 之標

TW7480PA

題為「Three-Dimensional Memory」之美國專利案第 7,081,377 號案。

於電荷捕捉記憶體技術中提供垂直反及（NAND）胞之另一結構係描述於 Kim 等人之“Novel 3-D Structure for Ultra-High Density Flash Memory with VRAT and PIPE”, 2008 Symposium on VLSI Technology Digest of Technical Papers; 17-19 June 2008; pages 122-123 之文獻中。

在三維堆疊記憶體裝置中，導電內連線穿過記憶胞之較上層，用以將記憶胞之較下層耦合至解碼電路及其相似電路。實行內連線之成本會隨著所需之微影步驟的數量而增加。一種減少微影步驟的數量之方法係描述於 Tanaka 等人之“Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory”, 2007 Symposium on VLSI Technology Digest of Technical Papers; 12-14 June 2007, pages:14-15 之文獻中。

然而，習知的三維堆疊記憶體裝置之其中一個缺點為，對於各個接觸層通常使用獨立的遮罩。因此，若有例如 20 個接觸層，通常需要 20 個不同的遮罩，各個接觸層需要對於此層之遮罩的產生，以及對於此層之蝕刻步驟。

### 【發明內容】

一種方法之一範例，使用於一內連線區域具有至少四個接觸層之一堆疊的一三維堆疊積體電路裝置，係用以產生複數個內連線接觸區域，該些內連線接觸區域與該些接觸層之複數個降落區域對齊且於該些接觸層露出該些降

TW7480PA

落區域。各該接觸層包括一導電層及一絕緣層。設置於該內連線區域上的任何一上層之至少一部分係被移除，以暴露出一第一接觸層並產生用於各該接觸層之接觸開口。選擇一組  $N$  個蝕刻遮罩，用以於該些接觸層之該堆疊處產生複數個個內連線接觸區域層， $N$  為至少等於 2 之整數。使用該些  $N$  個蝕刻遮罩以蝕刻該些接觸開口至多達且包含 2 的  $N$  次方個該些接觸層。該些  $N$  個遮罩使用步驟包括使用一第一遮罩以對於有效地一半的該些接觸開口蝕刻一個該接觸層以及使用一第二遮罩，以對於有效地一半的該些接觸開口蝕刻兩個該些接觸層。該移除、該選擇及該使用步驟係執行以致於該些接觸開口延伸至該些 2 的  $N$  次方個接觸層。形成複數個導電體穿過該些接觸開口以接觸於該些接觸層之該些降落區域。在一些範例中，該移除步驟係使用一額外的遮罩來執行。在一些範例中，該第一遮罩使用步驟包括使用該第一遮罩於每隔一個該接觸開口蝕刻一個該接觸層，以及該第二遮罩使用步驟包括使用該第二遮罩於至少一組第一至第四該些接觸開口中之該第三和該第四接觸開口蝕刻兩個該些接觸層。在一些範例中，該些  $N$  個遮罩使用步驟更包括使用一第三遮罩以對於有效地一半的該些接觸開口蝕刻四個該些接觸層，以及使用一第四遮罩以對於有效地一半的該些接觸開口蝕刻八個該些接觸層。在一些範例中，該第三遮罩使用步驟包括使用該第三遮罩於至少一組第一至第八該些接觸開口中之該第五至該第八接觸開口蝕刻四個該些接觸層，以及該第四遮罩使用步驟包括使用該第四遮罩於至少一組第一至第

十六該些接觸開口中之該第九至該第十六接觸開口蝕刻八個該些接觸層。在一些範例中，產生一接地接觸開口穿過該些接觸層，以及形成一接地導電體穿過該接地接觸開口，以與該些接觸層之多個該些導電層電性接觸。在一些範例中，該接地接觸開口具有一接地接觸開口側壁，且在該接地導電體形成步驟之前，移除於該接地接觸開口側壁的絕緣層之部分，所以該接地導電體增強該接地導電體與該些接觸層之多個該些導電層之間的電性接觸。

一種方法之另一範例，用於一三維堆疊積體電路裝置，該方法提供複數個電性連接至位於該內連線區域之複數個接觸層的一堆疊處之複數個降落區域。該積體電路裝置為包括一內連線區域之一類型。該內連線區域包含一上層，該上層之下具有該些接觸層之堆疊。各該接觸層包括一導電層及一絕緣層。設置於該內連線區域上的任何一上層之至少一部分被移除，以暴露出一第一接觸層並產生用於各該接觸層之接觸開口。選擇一組  $N$  個蝕刻遮罩以於該些接觸層之該堆疊處產生複數個內連線接觸區域層， $N$  為至少等於 2 之整數。使用該些  $N$  個蝕刻遮罩以蝕刻該些接觸開口至多達且包含 2 的  $N$  次方個該些接觸層。該些  $N$  個遮罩使用步驟包括使用一第一遮罩以對於有效地一半的該些接觸開口蝕刻一個該接觸層，以及使用一第二遮罩以對於有效地一半的該些接觸開口蝕刻兩個該些接觸層。該移除、該選擇及該使用步驟係執行以致於該些接觸開口延伸至該些 2 的  $N$  次方個接觸層。形成一介電層於複數個側壁上。形成複數個導電體穿過該些接觸開口至位於

TW7480PA

(footprint)，其中導電體 180 延伸至裝置中不同的接觸層 160-1 至 160-4。在所示之範例中，表示有四個接觸層 160-1 至 160-4。一般而言，在此描述之小的內連線結構 190 能以具有接觸層 0 至 N 而 N 至少為 2 之結構來實行。

導電體 180 排列於內連線結構 190 之內，以接觸在不同的接觸層 160-1 至 160-4 上之降落區域。如以下更詳細之描述，用於各個特定層之導電體 180 延伸穿過設置於上方的層中之開口，以接觸降落區域 161-1a、161-1b、161-2a、161-2b、161-3a、161-3b、161-4。於此例中，導電體 180 是用於將接觸層 160-1 至 160-4 耦合至導線層中之內連線 185，而導線層設置於接觸層 160-1 至 160-4 之上方。

降落區域為用於與導電體 180 接觸之接觸層 160-1 至 160-4 之部分。降落區域之尺寸大到足以提供空間給導電體 180，使導電體 180 足夠地將在不同的接觸層 160-1 至 160-4 之降落區域內的導電降落區域耦合至設置於上方的內連線 185，同時解決例如在不同的層中導電體 180 與用於降落區域之設置於其中一層上方的開口之間的不對齊問題。

降落區域之尺寸因此取決於數個因素，包含所使用之導電體之尺寸及數量，且隨著各個實施例而將有所改變。此外，對於各個降落區域，導電體 180 之數量可有所不同。

於所示之範例中，接觸層 160-1 至 160-4 由材料之各自的平面導電層所組成，此材料例如經摻雜的多晶矽，其中還有分隔接觸層 160-1 至 160-4 之絕緣材料 165。或者

是，接觸層 160-1 至 160-4 不需要是平面堆疊的材料層，反而是能沿著垂直維度有所改變之材料層。

接觸不同的接觸層 160-1 至 160-4 之導電體 180，係以沿著如第 1A 圖中所示之剖面延伸方向來排列。由接觸不同的接觸層 160-1 至 160-4 之導電體 180 之此排列所定義出的方向，在此稱為「縱向」方向。「橫向」方向係垂直於縱向方向，且為如第 1A 圖中所示之剖面的進紙面及出紙面方向。縱向及橫向方向二者皆被認為「側向維度 (lateral dimensions)」，意指接觸層 160-1 至 160-4 之平面視圖的二維區域中之方向。結構之「長度」或特徵為其於縱向方向上之長度，且結構之「寬度」為其於橫向方向上之寬度。

接觸層 160-1 為複數個接觸層 160-1 至 160-1 中最低的層。接觸層 160-1 係位於絕緣層 164 之上。

接觸層 160-1 包含用以與導電體 180 接觸之第一及第二降落區域 161-1a、161-1b。

在第 1 圖中，接觸層 160-1 於內連線結構 190 之相對的末端上包含兩個降落區域 161-1a、161-1b。在一些其他的實施例中，降落區域 161-1a、161-1b 其中之一被省略。

第 2A 圖繪示一部分的接觸層 160-1 之平面視圖，於內連線結構 190 之底面積內包含降落區域 161-1a、161-1b。內連線結構 190 之底面積可接近用於導電體之通孔尺寸的寬度，且具有比此寬度更長之長度。如第 2A 圖所示，降落區域 161-1a 沿著橫向方向具有寬度 200，且沿著縱向方向具有長度 201。降落區域 161-1b 沿著橫向方向



TW7480PA

具有寬度 202，且沿著縱向方向具有長度 203。於第 2A 圖之實施例中，降落區域 161-1a、161-1b 各具有矩形剖面。於實施例中，降落區域 161-1a、161-1b 各可具有圓形、橢圓形、方形、矩形或一些不規則形的剖面。

因為接觸層 160-1 為最低的接觸層，導電體 180 不需穿過接觸層 160-1 至設置於下方的層。因此，於此例中，接觸層 160-1 在內連線結構 190 之內不具有開口。

回頭參照第 1 圖，接觸層 160-2 設置於接觸層 160-1 之上方。接觸層 160-2 包含設置於接觸層 160-1 上之降落區域 161-1a 的上方之開口 250。開口 250 具有遠側的縱向側壁 251a 及近側的縱向側壁 251b，定義出開口 250 之長度 252。開口 250 之長度 252 至少與設置於下方之降落區域 161-1a 之長度 201 一樣長，使得用於降落區域 161-1a 之導電體 180 可穿過接觸層 160-2。

接觸層 160-2 也包含設置於降落區域 161-1b 的上方之開口 255。開口 255 具有遠側的和近側的縱向側壁 256a、256b，定義出開口 255 之長度 257。開口 255 之長度 257 至少與設置於下方之降落區域 161-1b 之長度 203 一樣長，使得用於降落區域 161-1b 之導電體 180 可穿過接觸層 160-2。

接觸層 160-2 也包含第一及第二降落區域 161-2a、161-2b，其分別相鄰於開口 250、255。第一及第二降落區域 161-2a、161-2b 為用於與導電體 180 接觸之接觸層 160-2 之部分。

第 2B 圖繪示接觸層 160-2 之一部分的平面視圖，包

TW7480PA

括內連線結構 190 之內的第一及第二降落區域 161-2a、161-2b 以及開口 250、255。

如第 2B 圖所示，開口 250 具有縱向側壁 251a、251b，定義出開口 250 之長度 252，以及具有橫向側壁 253a、253b，定義出開口 250 之寬度 254。寬度 254 至少與設置於下方之降落區域 161-1a 之寬度 200 一樣寬，使得導電體 180 可穿過開口 250。

開口 255 具有縱向側壁 256a、256b，定義出長度 257，以及具有橫向側壁 258a、258b，定義出寬度 259。寬度 259 至少與設置於下方之降落區域 161-1b 之寬度 202 一樣寬，使得導電體 180 可穿過開口 255。

在第 2B 圖之平面視圖中，開口 250、255 各具有矩形剖面。於實施例中，開口 250、255 取決於用以形成此些開口之遮罩的形狀，開口 250、255 各可具有圓形、橢圓形、方形、矩形或一些不規則形的剖面。

如第 2B 圖所示，降落區域 161-2a 相鄰於開口 250，且於橫向方向上具有寬度 204，並於縱向方向上具有長度 205。降落區域 161-2b 相鄰於開口 255，且於橫向方向上具有寬度 206，並於縱向方向上具有長度 207。

回頭參照第 1 圖，接觸層 160-3 設置於接觸層 160-2 之上方。接觸層 160-3 包含設置於接觸層 160-1 上之降落區域 161-1a 及接觸層 160-2 上之降落區域 161-2a 的上方之開口 260。開口 260 具有遠側的和近側的縱向側壁 261a、261b，定義出開口 260 之長度 262。開口 260 之長度 262 至少與設置於下方之降落區域 161-1a 及 161-2a 之

TW7480PA

長度 201 及 205 的總和一樣長，使得用於降落區域 161-1a 及 161-2a 之導電體 180 可穿過接觸層 160-3。

如第 1 圖所示，開口 260 之遠側縱向側壁 261a 垂直地對齊於設置於下方之開口 250 之遠側縱向側壁 251a。在以下更詳細描述之製造實施例中，能使用單一蝕刻遮罩中之開口及一個形成於此單一蝕刻遮罩中之開口上之額外的遮罩，以及用於蝕刻此額外的遮罩之過程，來形成開口，而不需關鍵的對齊步驟，因而導致具有遠側縱向側壁（261a、251a、...）之開口係沿著經垂直對齊之單一蝕刻遮罩之周邊而形成。

接觸層 160-3 也包含設置於接觸層 160-1 上之降落區域 161-1b 及接觸層 160-2 上之降落區域 161-2b 的上方之開口 265。開口 265 具有外側和內側的縱向側壁 266a、266b，定義出開口 265 之長度 267。開口 265 之外側縱向側壁 266a 垂直地對齊於設置於下方之開口 255 之外側縱向側壁 256a。

開口 265 之長度 267 至少與設置於下方之降落區域 161-1b 及 161-2b 之長度 203 及 207 的總和一樣長，使得用於降落區域 161-1b 及 161-2b 之導電體 180 可穿過接觸層 160-3。

接觸層 160-3 也包含第一及第二降落區域 161-3a、161-3b，其分別相鄰於開口 260、265。第一及第二降落區域 161-3a、161-3b 為用於與導電體 180 接觸之接觸層 160-3 之部分。

第 2C 圖繪示接觸層 160-3 之一部分的平面視圖，包

TW7480PA

括內連線結構 190 之內的第一及第二降落區域 161-3a、161-3b 以及開口 260、265。

如第 2C 圖所示，開口 260 具有外側和內側的縱向側壁 261a、261b，定義出開口 260 之長度 262，以及具有橫向側壁 263a、263b，定義出開口 260 之寬度 264a、264b。寬度 264a 至少與設置於下方之降落區域 161-1a 之寬度 200 一樣寬，且寬度 264b 至少與設置於下方之降落區域 161-2a 之寬度 204 一樣寬，使得導電體 180 可穿過開口 260。

在所示之實施例中，寬度 264a 及 264b 實質上相同。或者，為了容納具有不同的寬度之降落區域，寬度 264a 及 264b 可為不同。

開口 265 具有縱向側壁 266a、266b，定義出長度 267，以及具有橫向側壁 268a、268b，定義出寬度 269a、269b。寬度 269a 至少與設置於下方之降落區域 161-1b 之寬度 202 一樣寬，且寬度 269b 至少與設置於下方之降落區域 161-2b 之寬度 206 一樣寬，使得導電體 180 可穿過開口 265。

如第 2C 圖所示，降落區域 161-3a 相鄰於開口 260，且於橫向方向上具有寬度 214，並於縱向方向上具有長度 215。降落區域 161-3b 相鄰於開口 265，且於橫向方向上具有寬度 216，並於縱向方向上具有長度 217。

回頭參照第 1 圖，接觸層 160-4 設置於接觸層 160-3 之上方。接觸層 160-4 包含設置於接觸層 160-1 上之降落區域 161-1a、接觸層 160-2 上之降落區域 161-2a 以及接觸層 160-3 上之降落區域 161-3a 的上方之開口 270。開口 270

TW7480PA

具有縱向側壁 271a、271b，定義出開口 270 之長度 272。開口 270 之長度 272 至少與設置於下方之降落區域 161-1a、161-2a 以及 161-3a 之長度 201、205 以及 215 的總和一樣長，使得用於降落區域 161-1a、161-2a 以及 161-3a 之導電體 180 可穿過接觸層 160-4。如第 1 圖所示，開口 270 之縱向側壁 271a 垂直地對齊於設置於下方之開口 260 之縱向側壁 261a。

接觸層 160-4 也包含設置於接觸層 160-1 上之降落區域 161-1b、接觸層 160-2 上之降落區域 161-2b 以及接觸層 160-3 上之降落區域 161-3b 的上方之開口 275。開口 275 具有縱向側壁 276a、276b，定義出開口 275 之長度 277。開口 275 之縱向側壁 276a 垂直地對齊於設置於下方之開口 265 之縱向側壁 266a。

開口 275 之長度 277 至少與設置於下方之降落區域 161-1b、161-2b 以及 161-3b 之長度 203、207 以及 217 的總和一樣長，使得用於降落區域 161-1b、161-2b 以及 161-3b 之導電體 180 可穿過接觸層 160-4。

接觸層 160-4 也包含在開口 270、275 之間的降落區域 161-4。降落區域 161-4 為用於與導電體 180 接觸之接觸層 160-4 之部分。在第 1 圖中，接觸層 160-4 具有一個降落區域 161-4。或者，接觸層 160-4 可包含多於一個的降落區域。

第 2D 圖繪示接觸層 160-4 之一部分的平面視圖，包括內連線結構 190 之內的降落區域 161-4a 以及開口 270、275。

如第 2D 圖所示，開口 270 具有縱向側壁 271a、271b，定義出開口 270 之長度 272，以及具有橫向側壁 273a、273b，定義出開口 270 之寬度 274a、274b、274c。寬度 274a、274b、274c 至少與設置於下方之降落區域 161-1a、161-2a 及 161-3a 之寬度 200、204 及 214 一樣寬，以使導電體 180 可穿過開口 270。

開口 275 具有縱向側壁 276a、276b，定義出長度 277，以及具有橫向側壁 278a、278b，定義出寬度 279a、279b、279c。寬度 279a、279b、279c 至少與設置於下方之降落區域 161-1b、161-2b 及 161-3b 之寬度 202、206 及 216 一樣寬，以使導電體 180 可穿過開口 275。

如第 2D 圖所示，降落區域 161-4 位於開口 270、275 之間，且於橫向方向上具有寬度 224，並於縱向方向上具有長度 225。

回頭參照第 1 圖，開口 270、260 及 250 之遠側縱向側壁 271a、261a 及 251a 為垂直地對齊，以使開口 270、260 及 250 於長度上的相異處係起因於側壁 271b、261b 及 251b 之水平偏移。在此所使用，元件或特徵「垂直地對齊」係實質上齊平 (flush) 於與橫向及縱向方向二者皆垂直之一虛平面。在此所使用的術語「實質上齊平」意圖涵蓋於開口之形成中之製造容許限度 (tolerance)，其中此開口之形成是使用單一蝕刻遮罩中之開口，以及使用能造成側壁之平面性的變異之多重蝕刻處理。

如第 1 圖所示，開口 275、265 及 255 之縱向側壁 276a、266a 及 256a 為垂直地對齊。

相似地，於層中之開口之橫向側壁亦垂直地對齊。參照第 2A 至 2D 圖，開口 270、260 及 250 之橫向側壁 273a、263a 及 253a 為垂直地對齊。此外，橫向側壁 273b、263b 及 253b 為垂直地對齊。對於開口 275、265 及 255，縱向側壁 276a、266a 及 256a 為垂直地對齊，且橫向側壁 278b、268b 及 258b 為垂直地對齊。

在所示之實施例中，在不同接觸層 160-1 至 160-4 中的開口在橫向方向上具有實質上相同的寬度。或者，為了容納具有不同的寬度之降落區域，開口之寬度可沿著縱向方向有所變化，例如以類似階梯狀的形式。

用於實行如在此所述之內連線結構 190 之此技術，相較於先前技藝之技術，能顯著地減少用於與複數個接觸層 160-1 至 160-4 接觸所需要的面積或底面積 (footprint)。因此，在不同的接觸層 160-1 至 160-4 中能夠有更多的空間來實行記憶體電路。相較於先前技藝之技術，如此能在上層中允許較高的記憶密度及較小的每位元之成本。

在第 1 圖之剖面圖中，內連線結構 190 內之開口導致諸層於接觸層 160-4 上之降落區域 161-4 之兩側上具有類似階梯圖樣。亦即，於各層中之兩個開口，對稱於一皆垂直於縱向方向及橫向方向之軸，且各層之兩個降落區域亦對稱於此軸。如在此所述，術語「對稱」意圖涵蓋於開口之形成中之製造容許限度，其中此開口之形成是使用單一蝕刻遮罩中之開口，以及使用能造成開口之尺度的變異之多重蝕刻處理。

在其他的實施例中，各層包含單一開口及單一降落區

域，此些層僅於單側上具有類似階梯圖樣。

於所示之範例中，表示四個接觸層 160-1 至 160-4。更一般而言，在此描述之小的內連線結構能實行於層 0 至 N，其中 N 至少為 2。一般而言，層 (i) 設置於層 (i-1) 之上方，其中 (i) 等於 1 至 N，且層 (i) 於層 (i) 上具有相鄰於降落區域 (i) 之開口 (i)。開口 (i) 延伸於層 (i-1) 上之降落區域 (i-1) 之上方，且當 (i) 大於 1 時，開口 (i) 延伸於層 (i-1) 相鄰的開口 (i-1) 之上方。開口 (i) 具有與層 (i) 中的開口 (i-1) 之遠側縱向側壁對齊之遠側縱向側壁，且具有定義開口 (i) 之長度的近側縱向側壁。若有的話，開口 (i) 之長度至少與降落區域 (i-1) 之長度加上開口 (i-1) 之長度一樣長。當 (i) 大於 1 時，開口 (i) 具有與層 (i-1) 中的開口 (i-1) 之橫向側壁對齊之橫向側壁，且定義開口 (i) 之寬度至少與降落區域 (i-1) 之寬度一樣寬。

其他類型的記憶胞及配置可使用於其他的實施例中。可使用的其他類型的記憶胞例如包含介電質電荷捕捉及浮動閘極記憶胞。舉例而言，在另一種裝置的層中可實行為由絕緣材料分隔之平面記憶胞陣列，並於層內使用薄膜電晶體或相關技術來形成存取裝置及存取線。此外，在此描述之內連線結構可以其他類型的三維堆疊積體電路裝置來實行，其中，具有於小的底面積區內延伸至裝置中的不同層之導電體為有利的。

第 3A 圖繪示三維堆疊積體電路裝置 100 之一部分的剖視圖，三維堆疊積體電路裝置 100 包含記憶體陣列區域



TW7480PA

110 及具有在此描述的內連線結構 190 之周圍區域 120。

在第 3A 圖中，記憶體陣列區域 110 實行為如描述於 Lung 之美國專利申請案第 12/430,290 號案中之一次性可程式化多層記憶胞，此案為本申請案之受讓人所共同擁有且在此做為參照。在此描述以作為代表的積體電路結構可實行於描述於此之三維內連線結構。

記憶體陣列區域 110 包含記憶胞存取層 112，記憶胞存取層 112 包含水平場效電晶體存取裝置 131a、131b，水平場效電晶體存取裝置 131a、131b 於半導體基板 130 中具有源極區 132a、132b 及汲極區 134a、134b。基板 130 可包括塊狀矽(bulk silicon)或絕緣層上矽層或其他用於支撐積體電路之習知結構。溝槽隔絕結構 135a、135b 隔絕基板 130 中之區域。字元線(WL)140a、140b 作用為存取裝置 131a、131b 之閘極。接觸插塞(contact plug)142a、142b 延伸穿過層間介電質 144，以將汲極區 134a、134b 耦合至位元線(BL)150a、150b。

接觸墊 152a、152b 耦合至設置於下方之接觸窗 146a、146b，並提供連接至存取電晶體之源極區 132a、132b。接觸墊 152a、152b 及位元線 150a、150b 位於層間介電質 154 之內。

於所示之範例中，這些接觸層由材料之各自的平面導電層所組成，此材料例如經摻雜的多晶矽。或者，這些接觸層不需要是平面堆疊的材料層，反而是能沿著垂直維度有所改變之材料層。

絕緣層 165-1 至 165-3 逐一分隔接觸層 160-1 至

160-4。絕緣層 166 設置於接觸層 160-1 至 160-4 及絕緣層 165-1 至 165-3 的上方。

複數個電極柱 (electrode pillar) 171a、171b 排列於記憶胞存取層 112 之頂部上，且延伸穿過此些接觸層。於此圖中，第一電極柱 171a 包含中央導電核層 170a，此導電核層 170a 例如由鎢或其他合適的電極材料所製作，且由多晶矽覆蓋層 172a 所圍繞。反熔絲材料層 174a，或其他可程式化記憶體材料層，係形成於多晶矽覆蓋層 172a 及複數個接觸層 160-1 至 160-4 之間。於此範例中，接觸層 160-1 至 160-4 包括相對高度摻雜的 n 型多晶矽，而多晶矽覆蓋層 172a 則包括相對輕度摻雜的 p 型多晶矽。較佳地，多晶矽覆蓋層 172a 之厚度大於由 p-n 接面所形成之空乏區之深度。空乏區之深度係部分地由用於形成空乏區之 n 型及 p 型多晶矽之相對摻雜濃度決定。接觸層 160-1 至 160-4 及覆蓋層 172a 亦能使用非晶矽來實行。另外，亦能使用其他半導體材料。

第一電極柱 171a 係耦合至接觸墊 152a。第二電極柱 171b 包含導電核層 170b、多晶矽覆蓋層 172b 及反熔絲材料層 174b，係耦合至接觸墊 152b。

複數個接觸層 160-1 至 160-4 及電極柱 171a、171b 間之介面區域，包含記憶體元件，此記憶體元件包括與整流器串連之可程式化元件，將於下詳加解釋。

於原生狀態中，電極柱 171a 之反熔絲材料層 174a 具有高電阻，此反熔絲材料層 174a 可為二氧化矽、氮氧化矽或其他矽氧化物。可使用其他如氮化矽之反熔絲材料。

TW7480PA

於藉由施加適當的電壓給字元線 140、位元線 150 及複數個接觸層 160-1 至 160-4 來程式化之後，反熔絲材料層 174a 崩潰，且於相鄰一對應層之反熔絲材料內之主動區域呈現低電阻狀態。

如第 3A 圖所示，接觸層 160-1 至 160-4 之複數個導電層延伸進入周圍區域 120，此處係支援用以連接至複數個接觸層 160-1 至 160-4 之電路及導電體 180。各種各樣的裝置實行於周圍區域 120，以支援積體電路 100 上之解碼邏輯電路和其他電路。

導電體 180 係排列於內連線結構 190 之內，以接觸不同接觸層 160-1 至 160-4 上之降落區域。如以下更詳細的討論，用於各個特定接觸層 160-1 至 160-4 之導電體 180 延伸穿過設置於上方的層之開口，至包含導電內連線 185 之導線層。導電內連線 185 提供為接觸層 160-1 至 160-4 與周圍區域 120 中的解碼電路之間的連線。

如第 3A 圖中用虛線所表示，接觸不同的接觸層 160-1 至 160-4 之導電體 180 係排列為成沿著縱向方向延伸進出於第 3A 圖中所示之剖面。

第 3B 圖繪示穿過第 3A 圖之內連線結構 190 以縱向方向沿著第 3B 圖—第 3B 圖線的剖面視圖，表示類似第 1 圖所示之內連線結構 190 的視圖。如第 3B 圖中可見，用於各個特定接觸層之導電體 180 延伸穿過設置於上方的層之開口，以接觸降落區域。

於所示之範例中，表示四個接觸層 160-1 至 160-4。更一般而言，在此描述之小的內連線結構能實行於層 0 至

N，其中 N 至少為 2。

其他類型的記憶胞及配置可使用於其他的實施例中。舉例而言，在另一種裝置的層中可實行為由絕緣材料分隔之平面記憶胞陣列，並於層內使用薄膜電晶體或相關技術來形成存取裝置及存取線。此外，在此描述之內連線結構可以其他類型的三維堆疊積體電路裝置來實行，其中，具有於小的底面積區內延伸至裝置中的不同層之導體為有利的。

在第 3A 及 3B 圖中，表示單一內連線結構 190。可於裝置中之不同位置排列複數個內連線結構，例如圍繞記憶體陣列區域 110，以提供更平均的電力分配。第 4 圖繪示裝置 100 之一實施例之佈局的上視圖，裝置 100 包含兩個串列的內連線結構，包含在陣列之各自側邊上之周圍區域 120 中區域 190-1 和區域 190-2 之串列。第 5 圖繪示一實施例之佈局的上視圖，裝置 100 包含四個串列的內連線結構，包含在陣列之所有四個側邊上之周圍區域 120 中之串列 190-1、190-2、190-3 及 190-4。舉例而言，陣列尺寸包含 1000 個行 (column) 及 1000 個列 (row) 胞，且具有 10 層，特徵尺寸 F 定義字元線寬度及位元線寬度，且其中層上之降落區域之尺寸約為 F，則可知一個內連線結構所佔用之面積的長度約為  $2F$  乘上層的數量或者約為  $20F$ ，而每字元線之間距約為  $2F$  或更寬，使陣列之寬度約為  $2000F$ 。因此，如此範例所示，約 100 個內連線結構可形成於如沿著陣列寬度之串列 190-3 的串列中，且也有相似數量可形成於如沿著陣列長度之串列 190-1 的串列中

在又一另外的其他實施例中，除了於周圍區域 120 具有內連線結構以外，或是作為取代，一個或多個內連線結構可實行於記憶體陣列區域 110 內。此外，內連線結構可以對角線方向或以任何其他方向延伸，而非平行於記憶體陣列區域 110 之一邊緣。

第 6 圖繪示包含在此所述內連線結構之記憶體裝置的一部分之示意圖。第一電極柱 171a 耦合至存取電晶體 131a，存取電晶體 131a 係使用位元線 150a 及字元線 140a 所選擇。複數個記憶體元件 544-1 至 544-4 連接至電極柱 171a。各個記憶體元件包含可程式化元件 548 與整流器 549 串聯。即使反熔絲材料層是位於 p-n 接面，此串聯排列仍代表如第 3A 及 3B 圖所示之結構。可程式化元件 548 藉由通常用於指示反熔絲之符號來代表。然而，將可理解亦可使用其他類型的可程式化電阻材料及結構。

此外，藉由電極柱中之導電平面與多晶矽之間的 p-n 接面來實行之整流器 549，亦可被其他整流器所取代。舉例而言，可使用基於如鍺矽化物或其他合適的材料之固態電解質的整流器，以提供整流器。其他代表性的固態電解質材料請參照美國專利案第 7,382,647 號案。

各記憶體元件 544-1 至 544-4 耦合至對應的導電接觸層 160-1 至 160-4。接觸層 160-1 至 160-4 經由導電體 180 及內連線 185 耦合至平面解碼器 546。平面解碼器 546 回應於位址以施加一電壓，如接地 547，至所選擇的層，以使記憶體元件中之整流器被順向偏壓而導通，並施加一電壓至或浮動非選擇的層，以使記憶體元件中之整流器被逆

向偏壓或不導通。

第 7 圖繪示積體電路裝置 300 之簡化方塊圖，積體電路裝置 300 包含具有在此描述之內連線結構的三維記憶體陣列 360。列解碼器 361 耦合至沿著記憶體陣列 360 中之列來排列的複數個字元線 140。行解碼器 363 耦合至沿著記憶體陣列 360 中之行來排列的複數個位元線 150，用於讀取及程式化來自陣列 360 中之記憶胞之資料。平面解碼器 546 經由導電體 180 及內連線 185 耦合至記憶體陣列 360 中之複數個接觸層 160-1 至 160-4。於匯流排 365 上，將位址供應至行解碼器 363、列解碼器 361 及平面解碼器 546。於此範例中，方塊 366 中之感測放大器及資料輸入結構，透過資料匯流排 367 耦合至行解碼器 363。從積體電路 300 上之輸入／輸出埠，透過資料輸入線 371，將資料供應至方塊 366 中之資料輸入結構。於所述之實施例中，積體電路 300 上包含其他電路 374，例如一般目的之處理器或特殊目的之應用電路，或者提供單晶片系統 (system-on-a-chip) 功能之模組的組合。從方塊 366 中之感測放大器，透過資料輸出線 372，將資料供應至積體電路 300 上之輸入／輸出埠，或者供應至積體電路 300 之內部或外部的其他資料目的地。

使用偏壓安排狀態機器 369 而實行於此範例中之控制器，控制經由電壓供應器或於方塊 368 中之供應器所產生或所提供之偏壓安排供應電壓之施加，例如讀取電壓及程式化電壓。控制器可使用如習知技藝之特殊目的邏輯電路來實行。於另外實施例中，控制器包括一般目的處理

TW7480PA

器，此處理器可實行於相同的積體電路上，此積體電路執行電腦程式以控制裝置之操作。在又一其他實施例中，特殊目的邏輯電路及一般目的處理器之組合可被利用於此控制器之實行。

第 8A 至 8C 圖至第 15 圖繪示用以製造描述於此且具有非常小的底面積區之內連線結構之製造流程之實施例中的步驟。

第 8A 及 8C 圖繪示製造流程之第一步驟的剖面視圖，而第 8B 圖繪示製造流程之第一步驟的上視圖。對於此應用之目的，第一步驟涉及形成複數個接觸層 160-1 至 160-4 設置於所提供之記憶胞存取層 112 的上方。於所示之實施例中，第 8A 至 8C 圖所繪示之結構係使用由 Lung 所共同擁有之美國專利申請案第 12/430,290 號案所述之製程來形成，此案做為上述之參照。

在另外的實施例中，接觸層可藉由如習知技藝之標準製程來形成，且可包含存取裝置例如電晶體與二極體、字元線、位元線與源極線、導電插塞以及基板內摻雜區域，取決於此裝置，其中描述於此之內連線結構被實行。

如上所述，用於記憶體陣列區域 110 之其他類型的記憶胞及配置亦可使用於另外的實施例。

接著，具有開口 810 之第一遮罩 800 形成於第 8A 至 8C 圖中所示之結構上，而產生第 9A 及 9B 圖之上視圖及剖面視圖分別繪示之結構。第一遮罩 800 可藉由沉積用於第一遮罩 800 之層來形成，並使用微影技術圖案化此層以形成開口 810。第一遮罩可包括例如硬遮罩材料，如氮化

矽、矽氧化物或氮氧化矽。

於第一遮罩 800 中之開口 810 圍繞於接觸層 160-1 至 160-4 上之降落區域之組合的周邊。因此，開口 810 之寬度 192 至少與接觸層 160-1 至 160-4 上的降落區域之寬度一樣寬，以使後續形成之導電體 180 可穿過接觸層中之開口。開口 810 之長度 194 至少與接觸層 160-1 至 160-4 上的降落區域之長度的總和一樣長，以使後續形成之導電體 180 可穿過接觸層中之開口。

接著，第二蝕刻遮罩 900 形成於第 9A 及 9B 圖中所示之結構上，包含於開口 810 內，而產生第 10A 及 10B 圖之上視圖及剖面視圖分別繪示之結構。如圖中所示，第二蝕刻遮罩 900 具有長度 910 小於開口 810 之長度 194，且第二蝕刻遮罩 900 具有至少與開口 810 之寬度 192 一樣寬的寬度。

於所示之實施例中，第二蝕刻遮罩 900 包括相對於第一遮罩 800 之材料可選擇性地被蝕刻的材料，以使第二遮罩 900 於開口 810 內之長度，可於下述之後續製程步驟中選擇性地減少。換句話說，對於用以減少第二遮罩 900 之長度的製程，第二遮罩 900 之材料所具有的蝕刻率大於第一遮罩 800 之材料的蝕刻率。舉例而言，於此實施例中，第一遮罩 800 包括硬遮罩材料，第二遮罩可包括光阻材料。

接著，使用第一及第二遮罩 800、900 做為蝕刻遮罩，於第 10A 及 10B 圖所示之結構上進行蝕刻製程，而產生第 11A 及 11B 圖之上視圖及剖面視圖分別繪示之結構。蝕刻製程可使用單一蝕刻化學物來實施，例如時序模式蝕刻



TW7480PA

(timing mode etching)。或者，蝕刻製程可使用相異的蝕刻化學物來實施，以個別地蝕刻絕緣層 166、接觸層 160-4、絕緣材料 165-3 及接觸層 160-3。

此蝕刻形成穿過接觸層 160-4 之開口 1000，以暴露出接觸層 160-3 之一部分。開口 1000 設置於接觸層 160-1 上之降落區域 161-1a 的上方。開口 1000 具有至少與降落區域 161-1a 之長度一樣長的長度 1002，且具有至少與降落區域 161-1a 之寬度一樣寬的寬度 1004。

此蝕刻亦形成穿過接觸層 160-4 之開口 1010，以暴露出接觸層 160-3 之一部分。開口 1010 設置於接觸層 160-1 上之降落區域 161-1b 的上方。開口 1010 具有至少與降落區域 161-1b 之長度一樣長的長度 1012，且具有至少與降落區域 161-1b 之寬度一樣寬的寬度 1004。

接著，減少遮罩 900 之長度 910 以形成經減少長度的遮罩 1100，其具有長度 1110，而產生第 12A 及 12B 圖之上視圖及剖面視圖分別繪示之結構。於所示之實施例中，遮罩 900 包括光阻材料，並可例如使用具有以  $CL_2$  或  $HBr$  為基底的化學物之反應離子蝕刻來修剪遮罩 900。

接著，使用第一遮罩 800 及經減少長度的遮罩 1100 做為蝕刻遮罩，於第 12A 及 12B 圖所示之結構上進行蝕刻製程，而產生第 13A 及 13B 圖之上視圖及剖面視圖分別繪示之結構。

蝕刻製程延伸開口 1000、1010 穿過接觸層 160-3，以暴露出設置於接觸層 160-2 之下方的部分。

此蝕刻亦形成開口 1200、1210 穿過接觸層 160-4 之

TW7480PA

部分，因遮罩 1100 之長度的減少，不再被遮罩 1100 所覆蓋，藉此暴露出接觸層 160-3 之部分。開口 1200 係形成相鄰於開口 1000，且設置於接觸層 160-2 上之降落區域 161-2a 的上方。開口 1200 具有至少與降落區域 161-2a 之長度一樣長的長度 1202，且具有至少與降落區域 161-2a 之寬度一樣寬的寬度 1204。

開口 1210 係形成相鄰於開口 1010，且設置於接觸層 160-2 上之降落區域 161-2b 的上方。開口 1210 具有至少與降落區域 161-2b 之長度一樣長的長度 1212，且具有至少與降落區域 161-2b 之寬度一樣寬的寬度 1204。

接著，減少遮罩 1100 之長度 1110 以形成經減少長度的遮罩 1300，其具有長度 1305。使用第一遮罩 800 及遮罩 1300 做為蝕刻遮罩，來進行蝕刻製程而產生第 14A 及 14B 圖之上視圖及剖面視圖分別繪示之結構。

蝕刻製程延伸開口 1000、1010 穿過接觸層 160-2，以暴露出接觸層 160-1 上之降落區域 161-1a、161-1b。蝕刻製程亦延伸開口 1200、1210 穿過接觸層 160-3，以暴露出接觸層 160-2 上之降落區域 161-2a、161-2b。

此蝕刻亦形成開口 1310、1320 穿過接觸層 160-4 之部分，因遮罩 1300 之長度的減少，不再被覆蓋，藉此暴露出接觸層 160-3 上之降落區域 161-3a、161-3b。

開口 1310 係形成相鄰於開口 1200。開口 1310 具有至少與降落區域 161-3a 之長度一樣長的長度 1312，且具有至少與降落區域 161-3a 之寬度一樣寬的寬度 1314。

開口 1320 係形成相鄰於開口 1210。開口 1320 具有

TW7480PA

至少與降落區域 161-3b 之長度一樣長的長度 1322，且具有至少與降落區域 161-3b 之寬度一樣寬的寬度 1324。

接著，絕緣填充材料 1400 係沉積於第 14A 及 14B 所示之結構上，並執行平坦化製程，如化學機械研磨 (Chemical Mechanical Polishing, CMP)，以移除遮罩 800、1300，而產生第 15 圖之剖面視圖中所示的結構。

接著，形成微影圖案，以定義用於導電體 180 並連接至降落區域之通孔。可應用反應離子蝕刻，以形成高深寬比之通孔穿過絕緣填充材料 1400，以提供用於導電體 180 之通孔。於開設通孔之後，以鎢或其他導電材料填充此通孔，以形成導電體 180。然後應用金屬化製程以形成內連線 185，以提供導電體 180 與裝置上之平面解碼電路之間的連線。最後，應用後端製程 (back end of line, BEOL) 以完成積體電路，而產生第 3A 及 3B 圖中所示之結構。

於不同接觸層中用於使導電體穿過至設置於下方之接觸層上之降落區域的開口，係藉由使用於單一蝕刻遮罩 800 中之開口 810 而圖案化接觸層來形成，並且使用用於蝕刻額外的遮罩之製程，而不必關鍵對齊步驟。因此，於不同接觸層中具有垂直對齊的側壁之開口，係以自我對準的方式來形成。

於上所示之範例中，遮罩 800 中之開口 810 於平面視角上具有矩形的剖面。因此，於不同接觸層中之開口，沿著橫向方向上具有實質上相同的寬度。或者，取決於不同接觸層之降落區域的形狀，遮罩 800 中之開口可具有圓形、橢圓形、方形、矩形或一些不規則形的剖面。

舉例而言，為了容納具有不同寬度之降落區域，遮罩 800 中之開口之寬度能沿著縱向方向而有所變化。第 16 圖繪示遮罩 800 中之開口 1510 的平面視圖，此遮罩 800 以類似階梯之方式沿著縱向方向具有變化的寬度，而造成接觸層中之開口的寬度因此有所變化。

現在將主要參照第 17 至 34A 圖來描述本發明。

下列描述通常將參照特定結構的實施例及方法。應理解為並非有意於限制發明至特定揭露的實施例及方法，而是可使用其他特徵、元件、方法及實施例來實行。將描述較佳的實施例以說明本發明，而非限制由申請專利範圍所定義之本發明的範疇。此些習知技藝者將承認以下描述之各種均等的變化。於不同實施例中，相同的元件以相同的元件符號共同參照。

第 17 至 34A 圖繪示製造另一個三維堆疊積體電路裝置之範例的結構及方法，相似的標號相當於相似的結構。第 17 及 17A 圖為三維堆疊積體電路裝置之此範例之內連線區域 17 的簡化側剖面及上視圖。在此範例中，內連線區域 17 包括四個內連線接觸層 18，其標記為 18.1 至 18.4，四個導電體 54，其標記為 54.1 至 54.4，以及一個接地導電體 55。導電體 54 具有第一部分 57 穿過接觸層 18，及具有第二部分 59 穿過層間介電質 52 及停止層(Stopping Layer)27，以電性連接至接觸層 18 之導電層 34(標記為 34.1 至 34.4)之內連線接觸區域 14(標記為 14.1 至 14.4)的其中一個。第一部分 57 係由介電側壁間隔物 61 所圍繞，以將導電體 54 電性隔離於導電層 34，使導電體不要電性接觸。

TW7480PA

此外，接地導電體 55 電性連接至各接觸層 18 之各導電層 34。

第 18 及 18A 圖繪示內連線區域 17 之製造的初始步驟。使用光阻材料 88 蝕刻接觸開口 33 及接地接觸開口 35，穿過上層 24 以暴露出第一接觸層 18.1 之上層導電層 34.1，其中接觸開口 33 標記為開口 33.1 至 33.4，接地接觸開口 35 係繪示於第 18A 圖中。接觸開口 33 之蝕刻之後，光阻材料 88 被剝除，並形成第一光阻遮罩 89 於內連線區域 17 上，如第 19 及 19A 圖所示。第一遮罩 89 暴露每隔一個開口 33，亦即在此例中的開口 33.2 及 33.4。如第 19A 圖，遮罩 89 也覆蓋接地接觸開口 35。經由比較第 17 圖與第 18 圖可知，接觸開口 33 之位置決定導電體 54 之位置，接地接觸開口 35 之位置決定接地導電體 55 之位置。在此範例中，導電體 54 以及內連線接觸區域 14 具有恆定的間距。

第 20 及 20A 圖繪示穿過在暴露出的接觸開口 33.2 及 33.4 下的單一接觸層 18.1 之蝕刻結果。第一遮罩 89 然後被剝除，隨之形成如第 21 及 21A 圖所示之第二光阻遮罩 90。第二遮罩 90 用以暴露出接觸開口 33.3 及 33.4，同時覆蓋接觸開口 33.1 及 33.2 以及接地接觸開口 35。第 21 圖繪示第一遮罩 89 之移除及第二遮罩 90 形成於第 20 圖之結構上的結果，使得從左邊數來的第一和第二接觸開口 33.1 及 33.2 係被第二遮罩所覆蓋，而第三和第四接觸開口 33.3 及 33.4 則裸露。

第 22 及 22A 圖繪示向下穿過第三及第四接觸開口

33.3 及 33.4 之兩個接觸層 18 的蝕刻結果。亦即，接觸層 18.1 及 18.2 於接觸開口 33.3 被蝕刻穿過，而接觸層 18.2 及 18.3 於接觸開口 33.4 被蝕刻穿過。第 23 及 23A 圖繪示移除第 22 圖之第二遮罩 90 後之結構。可見接觸開口 33.1 至 33.4 向下延伸至接觸層 18.1 至 18.4 之導電層 34.1 至 34.4。

第 24 及 24A 圖繪示第 23 圖在開口 33.1 至 33.4 的側壁上形成側壁間隔物 61 後之結構。側壁間隔物 61 將接觸開口 33.2、33.3 及 33.4 電性絕緣於接觸開口所通過之接觸層 18 的導電層 34。

第 25 及 25A 圖繪示第 24 圖之結構加上第 25 圖所示接地接觸開口 35 之剖面視圖。所有的接觸開口 33 被光阻材料 92 所覆蓋，而接地接觸開口 35 則暴露。第 26 及 26A 圖繪示第 25 圖於接地接觸開口 35 蝕刻穿過三個接觸層 18 後之結構，以暴露出導電層 34.1 至 34.4 到接地接觸開口 35 的內部。第 27 及 27A 圖繪示第 26 圖移除光阻材料 92 後之結構。

第 28 及 28A 圖繪示第 27 圖沉積電性導電材料 93 後之結構，電性導電材料 93 通常為多晶矽，藉此填充接觸開口 33 及接地接觸開口 35。在接觸開口 33 及接地接觸開口 35 內的此材料 93 分別形成導電體 54 與接地導電體 55。如果需要的話，於接地接觸開口側壁的絕緣層 36 之部分可被回蝕刻或是在接地接觸開口 35 內形成接地導電體 55 前先移除，以增強接地導電體 55 與接觸層 18 之導電層 34 之間的電性接觸。此於第 28 圖中圍繞接地導電體 55 之絕

緣層 36 中係藉由虛線來表示。

電性導電材料 93 也覆蓋上層 24 之介電層 26。此後，第 28 圖之結構被蝕刻移除覆蓋介電層 26 之電性導電材料 93。此繪示於第 29 及 29A 圖。使第 29 圖的結構承受例如化學機械研磨(chemical mechanical polishing)向下至停止層 27，產生第 30 圖的結構。

第 31 及 31A 圖繪示第 30 圖沉積停止層 96 隨後沉積層間介電質 97 於停止層上後之結構，停止層 96 通常為氮化矽。接著第 31 圖之結構具有接觸開口 33 及接地接觸開口 35 之延伸部分，其係穿過層間介電質 97 及停止層 96 至導電體 54 及接地導電體 55 而形成，導電體 54 標記為 54.1 至 54.4。見第 32 及 32A 圖，隨後以導電材料填充此延伸部分，例如鎢，以產生導電體 54 及接地導電體 55。導電體 54 具有第一部分 57 延伸穿越接觸層 18，以及第二部分 59 延伸穿越上層 24。

在一些例子中，停止層 96 為氮化矽，而層間介電質 97 為二氧化矽。然而，停止層 96 可為其他介電材料層，如二氧化矽或其他氧化矽及氮化矽之層。側壁間隔物 61 可為氮化矽但亦可為其他材料，如二氧化矽或氧/矽氮化物的多層。相似地，介電層 25 通常為氮化矽但也可為例如二氧化矽。導電體 54 之第一部分 57 通常為多晶矽但也可為其他導電材料，如 N+多晶矽、鎢、氮化鈦(TiN)等。而且，導電體 54 之整體長度可為相同的材料，如鎢。

第 33 圖係以圖形繪示一組十六個接觸開口，表示四組不同的接觸開口 33，蝕刻至十六個不同的深度，藉由僅

使用四個遮罩來提供通道進入十六個接觸層 18。

第 34 及 34A 圖為一三維堆疊積體電路裝置之剖面及平面視圖。第 34 圖為沿著字元線 94 繪示，此字元線係藉由層 95 而電性隔離於例如介電質和半導體層交替之堆疊。層 95 可為例如氧化矽和氮化矽之交替，作為電荷捕捉層。

以下的範例討論提供電性連接至內連線接觸區域 14 之方法，內連線接觸區域 14 位於用於三維堆疊積體電路裝置之連線區域 17 之接觸層 18 的堆疊處。在此範例中連線區域 17 包括上層 24，上層之下具有接觸層 18 之堆疊，各接觸層包括導電層 34 及絕緣層 36。設置於連線區域 17 上之任何上層 24 的至少一部分被移除，以暴露出第一接觸層 18.1，並產生對於各接觸層 18 之接觸開口 33。此繪示於第 18 圖中。

使用一組  $N$  個蝕刻遮罩，於接觸層 18 之堆疊處來產生  $2^N$  層之內連線接觸區域 14，層數多達且包含  $2^N$ 。雖然大部分的圖示為有四個接觸層 18 之範例，在此範例中接觸層的數量將增加至 16 個接觸層，因此  $N=4$ 。在此的討論將亦參照第 33 圖，其中包括 16 個接觸開口 33 之圖形代表。使用遮罩來蝕刻接觸開口 33 多達且包含  $2^N$  個接觸層，在此例為 16 個接觸層。步驟如以下所執行。

參考第 19 圖，使用第一遮罩 89 於每隔一個開口來蝕刻一個接觸層 18。沒有被第一遮罩 89 覆蓋之接觸開口視為等同於第 33 圖所示圍繞接觸開口 33.2、33.4 等之八個點狀線盒子。接著，參考第 21 圖，使用第二遮罩 90 於以



TW7480PA

一組第一至第四接觸開口的順序之第三和第四接觸開口來蝕刻兩個接觸層 18。第二遮罩 90 視為等同於第 33 圖所示於一組四個接觸開口當中圍繞兩個相鄰接觸開口 33 之四組短虛線盒子。在此範例中被蝕刻的第三和第四接觸開口，為第一接觸開口 33.1 至第四接觸開口 33.4 該組之接觸開口 33.3 和 33.4、接觸開口 33.5 至 33.8 該組之接觸開口 33.7 和 33.8 等。由第 22 圖可見，第一和第二遮罩 89、90 之使用提供了向下至四個接觸層 18.1 至 18.4 各層之接觸開口 33。

接著具有 16 個接觸層 18 之此範例，使用第三遮罩(未繪示)於以一組第一至第八接觸開口的順序之第五至第八接觸開口 33 來蝕刻四個接觸層 18。此藉由第 33 圖中的兩個長虛線盒子來指出。使用第四遮罩(未繪示)於以至少一組第一至第十六接觸開口的順序之第九至第十六接觸開口 33 來蝕刻八個接觸層 18。此藉由第 33 圖中的一個實線盒子來指出。注意有一半的接觸開口係藉由各第一、第二、第三和第四遮罩來蝕刻。

參考第 24 圖，介電層 61 形成於各個接觸開口 33 之側壁上。導電體 54 然後形成以穿過接觸開口 33 至接觸層 18 之內連線接觸區域 14，此介電層沿著側壁將導電體 54 電性隔離於導電層 34

如以上參照第 18 及 19 圖的討論，接地接觸開口 35 通常以與接觸開口 33.1 相同的方式所形成。然而，參考第 24 圖，在接觸開口 33 內形成導電體 54 之前，接地接觸開口 35 在上層 24 內的部分兩旁排列有側壁間隔物，參考第

26 圖，再被蝕刻穿過接觸層 18，然後如第 28 圖所示填有電性導電材料以產生接地導電體 55。接地導電體 55 電性接觸各導電層 34。相反地，因為介電側壁間隔物 61 之使用，導電體 54.1 至 54.4 僅接觸單一導電層 34。在一些範例中，接地導電體 55 可不與各導電層 34 電性接觸。

在以上的範例中，接觸開口 33 係從左數到右。如果需要的話，接觸開口可從左數到右或從右數到左或是依據設計需求以其他順序數數。關鍵點為總是使一半的接觸開口藉由各遮罩來打開。亦即，當有偶數的接觸開口時，各遮罩將打開一半的接觸開口，當有奇數的接觸開口時，例如 15 個，各遮罩將打開稍為多於或稍微少於一半的接觸開口，例如 7 或 8。一層/兩層/四層/八層之移除也可表示為對於各步驟  $2^0$  至  $2^{(N-1)}$  層之移除。

第 33 圖之遮罩和蝕刻程序以不同的形式繪示於第 35 圖中。在第 35 圖中，以及後續的第 36 至 39 圖中，0 表示黑暗，亦即具有光阻材料，且 1 表示打開，亦即沒有光阻材料，使得對於各遮罩之 16 個接觸開口有 8 個為打開。

若第 33 及 35 圖之蝕刻流程範例對於遮罩 1-4 移除一/二/四/八層，則藉由蝕刻順序定位的接觸層座落處(亦即蝕刻至)可識別為座落層，指定為 0-15。在各個位置 A 至 P 造成的接觸層座落處(亦即蝕刻至)如圖示為座落層 0、1、2、3 等。

可使用其他的蝕刻順序。舉例而言，第 36 圖繪示蝕刻順序之改變，其中交換被遮罩 1 及遮罩 4 所蝕刻的層數，使得遮罩 1 蝕刻 8 層，遮罩 2 蝕刻 2 層，遮罩 3 蝕刻

TW7480PA

4 層，遮罩 4 蝕刻 1 層。在各個位置 A 至 P 造成的接觸層座落處(亦即蝕刻至)如圖示為座落層 0、8、2、10 等。

非改變蝕刻順序，或是除了改變蝕刻順序以外，亦即如比較第 35 圖及第 36 圖所演示的各個遮罩所蝕刻的層數，遮罩順序可改變。此繪示於第 37 圖，其中遮罩 2 蝕刻 2 層及遮罩 3 蝕刻 4 層，如第 35 圖之例子。然而，在第 35 圖之例子中對於遮罩 2 的遮罩順序(00110011 等)變成第 37 圖之例子中對於遮罩 3 的遮罩順序，在第 35 圖之例子中對於遮罩 3 的遮罩順序(00001111000 等)變成第 37 圖之對於遮罩 2 的遮罩順序。在各個位置 A 至 P 造成的接觸層座落處(亦即蝕刻至)如圖示為座落層 0、1、4、5 等。

參照第 38 圖繪示之位置改變。在此範例中，對於遮罩 1 至 4 所蝕刻的層數相同於第 35 圖，即使位置 A 與位置 J 交換了，對於各個位置 A 至 P 的座落層也維持相同，包含對於 A 位置為層 0，對於 J 位置為層 9。然而，對於第 35 圖及第 36 圖之兩個例子，對於各個位置 A 至 P 的蝕刻皆相同。在各個位置 J、B、C 等造成的接觸層座落處(亦即蝕刻至)如圖示為座落層 9、1、2、3 等。

第 39 圖繪示採用第 35 圖之第一例且做第 36 圖之蝕刻順序改變、第 37 圖之遮罩順序改變以及第 38 圖之位置改變之結果。然而，此造成的結構對於 16 個不同的位置仍有 16 個不同的座落層。在各個位置 J、B、C 等造成的接觸層座落處(亦即蝕刻至)如圖示為座落層 9、8、4、12 等。

如以上參考之任何專利、專利申請案及印刷公開刊物

是作為參照而結合於此。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

第 1 至 16 圖以及相關的描述取自於 2009 年 10 月 14 日提出申請之美國專利申請案第 12/579,192 號案，且其標題為「3D Integrated Circuit Layer Interconnect having the same assignee as this application」，做為參照而結合於此揭露內容。

第 1 圖繪示包含具有內連線結構 190 之三維結構之裝置的剖面視圖，內連線結構 190 具有小的底面積區，其中導電體 180 延伸至裝置中之不同的接觸層 160-1 至 160-4。

第 2A 圖繪示接觸層 160-1 之平面視圖，表示降落區域。

第 2B 圖繪示接觸層 160-2 之平面視圖，表示相鄰於降落區域之開口。

第 2C 圖繪示接觸層 160-3 之平面視圖，表示相鄰於降落區域之開口。

第 2D 圖繪示接觸層 160-4 之平面視圖，表示相鄰於降落區域之開口。

第 3A 圖與第 3B 圖繪示三維堆疊積體電路裝置之一

部分的各個垂直視圖，此三維堆疊積體電路裝置包含具有小的底面積之 3 維內連線結構。

第 4 圖繪示裝置之一實施例之佈局的上視圖，此裝置於記憶體陣列之兩側邊上之周圍中包含內連線結構。

第 5 圖繪示裝置之一實施例之佈局的上視圖，此裝置於記憶體陣列之四個側邊上之周圍中包含內連線結構。

第 6 圖繪示包含在此所述內連線結構之記憶體裝置的一部分之示意圖。

第 7 圖繪示積體電路裝置之簡化方塊圖，積體電路裝置包含具有在此描述之內連線結構的三維記憶體陣列。

第 8A 至 8C 圖至第 15 圖繪示用以製造描述於此之內連線結構之製造流程的步驟。

第 16 圖繪示遮罩中之開口的平面視圖，此遮罩以類似階梯之方式沿著縱向方向具有變化的寬度，以容納層上之降落區域之變化的寬度。

第 17 至 34A 圖繪示製造另一個三維堆疊積體電路裝置之範例的結構及方法。

第 17 及 17A 圖為三維堆疊積體電路裝置之另一個範例之內連線區域的簡化側剖面及上視圖。

第 18 及 18A 圖繪示穿過上層形成接觸開口以暴露出第一接觸層之上層導電層後的內連線區域。

第 19 及 19A 圖繪示第一遮罩位於第 18 圖的結構上，第一遮罩暴露出隔開口。

第 20 及 20A 圖繪示穿過在暴露出的接觸開口之單一接觸層的蝕刻結果。

第 21 及 21A 圖繪示第一遮罩之移除及第二遮罩形成於第 20 圖之結構上的結果，使得從左邊數來的第一和第二接觸開口係被第二遮罩所覆蓋，而第三和第四接觸開口則裸露。

第 22 及 22A 圖繪示向下穿過第三及第四接觸開口之兩個接觸層的蝕刻結果。

第 23 及 23A 圖繪示第 22 圖移除第二遮罩後之結構。

第 24 及 24A 圖繪示第 23 圖在開口的側壁形成側壁間隔物後之結構，藉此將接觸層電性絕緣於接觸開口之內部。

第 25 及 25A 圖繪示第 24 圖之結構加上第 25 圖所示接地接觸開口之剖面視圖。接觸開口被光阻材料所覆蓋，而接地接觸開口則暴露。

第 26 及 26A 圖繪示第 25 圖於蝕刻穿過三個接觸層後之結構，以暴露出接地接觸開口的導電層。

第 27 及 27A 圖繪示第 26 圖移除光阻材料後之結構。

第 28 及 28A 圖繪示第 27 圖沉積多晶矽層填充接觸開口及接地接觸開口並覆蓋上層後之結構，在接觸開口及接地接觸開口內的此多晶矽層分別形成導電體與接地導電體。

第 29 及 29A 圖繪示第 28 圖蝕刻掉覆蓋上層之多晶矽層後之結構。

第 30 及 30A 圖繪示上表面向下至上表面之電荷捕捉層之化學機械研磨的結果。

第 31 及 31A 圖繪示第 30 圖沉積停止層隨後沉積層

TW7480PA

間介電質氧化物於停止層上後之結構。

第 32 及 32A 圖繪示第 31 圖形成接觸開口延伸部分延伸穿越層間介電質氧化物及停止層至導電體及接地導電體後之結構，隨後以導電體填充此通孔，以產生導電體及接地導電體，其具有第一部分延伸穿越接觸層，以及第二部分延伸穿越上層。

第 33 圖係以圖形繪示一組十六個接觸開口，表示不同組的接觸開口，蝕刻至四個不同的深度，以產生第 17 圖之結構。

第 34 及 34A 圖為一三維堆疊積體電路裝置之剖面及平面視圖。

第 35 圖繪示第 33 圖之以不同形式的遮罩及蝕刻程序。

第 36 至 38 圖相似於第 35 圖，但分別為蝕刻順序改變、遮罩順序改變以及位置順序改變。

第 39 圖相似於第 35 圖但結合了第 36 至 38 圖之改變。

#### 【主要元件符號說明】

14、14.1、14.2、14.3、14.4：內連線接觸區域

17：內連線區域

18.1、18.2、18.3、18.4、160-1、160-2、160-3、160-4：

接觸層

19：矽基板

24：上層

25、26：介電層

- 27、96：停止層
- 28：上介電層
- 29：底介電層
- 33、33.1、33.2、33.3、33.4：接觸開口
- 34、34.1、34.2、34.3、34.4：導電層
- 35：接地接觸開口
- 36、36.1、36.2、36.3、36.4、164、165-1、165-2、  
165-3、166：絕緣層
- 52、144、154：層間介電質
- 54、54.1、54.2、54.3、54.4、180：導電體
- 55：接地導電體
- 57：導電體 54 之第一部分
- 59：導電體 54 之第二部分
- 61：介電側壁間隔物
- 88、92：光阻材料
- 89：第一遮罩
- 90：第二遮罩
- 93：電性導電材料
- 95：電荷捕捉層
- 97：層間介電質
- 100、300：三維堆疊積體電路裝置
- 110：記憶體陣列區域
- 112：記憶胞存取層
- 120：周圍區域
- 130：半導體基板



- 131a、131b：水平場效電晶體存取裝置
- 132a、132b：源極區
- 134a、134b：汲極區
- 135a、135b：溝槽隔絕結構
- 140、140a、140b、94：字元線(WL)
- 142a、142b：接觸插塞
- 146a、146b：接觸窗
- 150、150a、150b：位元線(BL)
- 152a、152b：接觸墊
- 161-1a、161-1b、161-2a、161-2b、161-3a、161-3b、  
161-4：降落區域
- 165：絕緣材料
- 170a、170b：導電核層
- 171a：第一電極柱
- 171b：第二電極柱
- 172a、172b：多晶矽覆蓋層
- 174a、174b：反熔絲材料層
- 185：內連線
- 190：內連線結構
- 190-1、190-2、190-3、190-4：串列
- 192：開口 810 之寬度
- 194：開口 810 之長度
- 200：降落區域 161-1a 之寬度
- 201：降落區域 161-1a 之長度
- 202：降落區域 161-1b 之寬度

TW7480PA

- 203：降落區域 161-1b 之長度
- 204：降落區域 161-2a 之寬度
- 205：降落區域 161-2a 之長度
- 206：降落區域 161-2b 之寬度
- 207：降落區域 161-2b 之長度
- 214：降落區域 161-3a 之寬度
- 215：降落區域 161-3a 之長度
- 216：降落區域 161-3b 之寬度
- 217：降落區域 161-3b 之長度
- 224：降落區域 161-4 之寬度
- 225：降落區域 161-4 之長度
- 250、255、260、265、270、275、810、1000、1010、  
1200、1210、1310、1320、1510：開口
- 251a、251b、256a、256b、261a、261b、271a、271b、  
276a、276b：縱向側壁
- 252：開口 250 之長度
- 253a、253b、258a、258b、263a、263b、268a、268b、  
273a、273b、278a、278b：橫向側壁
- 254：開口 250 之寬度
- 257：開口 255 之長度
- 259：開口 255 之寬度
- 262：開口 260 之長度
- 264a、264b：開口 260 之寬度
- 266a、261a：外側縱向側壁
- 266b、261b：內側縱向側壁

- 267：開口 265 之長度
- 269a、269b：開口 265 之寬度
- 272：開口 270 之長度
- 274a、274b、274c：開口 270 之寬度
- 277：開口 275 之長度
- 279a、279b、279c：開口 275 之寬度
- 360：三維記憶體陣列
- 361：列解碼器
- 363：行解碼器
- 365、367：匯流排
- 366：感測放大器及資料輸入結構
- 368：偏壓安排供應電壓
- 369：偏壓安排狀態機器
- 371：資料輸入線
- 372：資料輸出線
- 374：其他電路
- 544-1、544-2、544-3、544-4：記憶體元件
- 546：平面解碼器
- 547：接地
- 548：可程式化元件
- 549：整流器
- 800：第一遮罩
- 900：第二遮罩
- 910：第二遮罩之長度
- 1002：開口 1000 之長度

TW7480PA

- 1004：開口 1000、1010 之寬度
- 1012：開口 1010 之長度
- 1100、1300：經減少長度的遮罩
- 1110：遮罩 1100 之長度
- 1202：開口 1200 之長度
- 1204：開口 1200、1210 之寬度
- 1212：開口 1210 之長度
- 1305：遮罩 1300 之長度
- 1312：開口 1310 之長度
- 1314：開口 1310 之寬度
- 1322：開口 1320 之長度
- 1324：開口 1320 之寬度
- 1400：絕緣填充材料

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100119885

※申請日：100.6.07

※IPC 分類：H01L 21/268(2006.01)  
H01L 23/52(2006.01)  
H01L 27/105(2006.01)

一、發明名稱：(中文/英文)

多層連線結構及製造方法/ MULTILAYER CONNECTION

STRUCTURE AND MAKING METHOD

二、中文發明摘要：

一種方法，用於三維堆疊積體電路裝置，用以提供電性連接至內連線區域之接觸層的堆疊處。各接觸層包括導電層及絕緣層。移除任何上層之一部分以暴露出第一接觸層並產生用於各接觸層之接觸開口。N 個蝕刻遮罩之組合用來蝕刻接觸開口多達且包含 2 的 N 次方個接觸層。各個遮罩係用來蝕刻有效地一半的接觸開口。當 N 為 3 時，第一遮罩蝕刻一個接觸層，第二遮罩蝕刻兩個接觸層，以及第三遮罩蝕刻四個接觸層。介電層可形成於接觸開口的側壁上。導電體可形成穿過接觸開口，並以介電層將導電體電性絕緣於側壁。

三、英文發明摘要：

A method provides electrical connections to a stack of contact levels of an interconnect region for a 3-D stacked IC device. Each contact level comprises conductive and insulation layers. A portion of any upper layer is removed to expose a first contact level and create contact openings for each contact level. A set of N masks is used to etch the contact openings up to and including  $2^N$  contact levels. Each mask is used to etch effectively half of the contact openings. When N

is 3, a first mask etches one contact level, a second mask etches two contact levels, and a third mask etches four contact levels. A dielectric layer may be formed on the sidewalls of the contact openings. Electrical conductors may be formed through the contact openings with the dielectric layers electrically insulating the electrical conductors from the sidewalls.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 17 圖。

(二)本代表圖之元件符號簡單說明：

14.1、14.2、14.3、14.4：內連線接觸區域

17：內連線區域

18.1、18.2、18.3、18.4：接觸層

19：矽基板

25：介電層

27：停止層

28：上介電層

29：底介電層

34.1、34.2、34.3、34.4：導電層

36.1、36.2、36.3、36.4：絕緣層

52：層間介電質

54.1、54.2、54.3、54.4：導電體

55：接地導電體

57：導電體 54 之第一部分

59：導電體 54 之第二部分

61：介電側壁間隔物

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：  
無。

TW7480PA

## 七、申請專利範圍：

1. 一種方法，使用於一內連線區域具有至少四個接觸層之一堆疊的一三維堆疊積體電路裝置，以產生複數個內連線接觸區域，該些內連線接觸區域與該些接觸層之複數個降落區域對齊且露出該些接觸層之該些降落區域，各該接觸層包括一導電層及一絕緣層，該方法包括：

移除設置於該內連線區域上的任何一上層之至少一部分，以暴露出一第一接觸層並產生用於各該接觸層之複數個接觸開口；

選擇一組  $N$  個蝕刻遮罩，用以於該些接觸層之該堆疊處產生複數個內連線接觸區域層， $N$  為至少等於 2 之整數；

使用該些  $N$  個蝕刻遮罩以蝕刻該些接觸開口至多達且包含 2 的  $N$  次方個該些接觸層，該些  $N$  個遮罩使用步驟包括：

使用一第一遮罩，以對於有效地一半的該些接觸開口蝕刻一個該接觸層；

使用一第二遮罩，以對於有效地一半的該些接觸開口蝕刻兩個該些接觸層；及

該移除、該選擇及該使用步驟係執行以致於該些接觸開口延伸至該些 2 的  $N$  次方個接觸層；以及

藉由形成複數個導電體穿過該些接觸開口以接觸於該些接觸層之該些降落區域。

2. 如申請專利範圍第 1 項所述之方法，其中該移除步驟係使用一額外的遮罩來執行。

3. 如申請專利範圍第 1 項所述之方法，其中：

該第一遮罩使用步驟包括使用該第一遮罩於每隔一個該接觸開口蝕刻一個該接觸層；以及

該第二遮罩使用步驟包括使用該第二遮罩於至少一組第一至第四該些接觸開口中之該第三和該第四接觸開口蝕刻兩個該些接觸層。

4. 如申請專利範圍第 1 項所述之方法，其中該些 N 個遮罩使用步驟更包括：

使用一第三遮罩，以對於有效地一半的該些接觸開口蝕刻四個該些接觸層；以及

使用一第四遮罩，以對於有效地一半的該些接觸開口蝕刻八個該些接觸層。

5. 如申請專利範圍第 4 項所述之方法，其中：

該第三遮罩使用步驟包括使用該第三遮罩於至少一組第一至第八該些接觸開口中之該第五至該第八接觸開口蝕刻四個該些接觸層；以及

該第四遮罩使用步驟包括使用該第四遮罩於至少一組第一至第十六該些接觸開口中之該第九至該第十六接觸開口蝕刻八個該些接觸層。

6. 如申請專利範圍第 4 項所述之方法，其中：

該第一遮罩使用步驟係執行用來蝕刻位於該些第二、第四、第六、第八、第十、第十二、第十四、第十六開口之一個該接觸層；

該第二遮罩使用步驟係執行用來蝕刻位於該些第三、第四、第七、第八、第十一、第十二、第十五、第十



TW7480PA

六開口之兩個該些接觸層；

該第三遮罩使用步驟係執行用來蝕刻位於該些第五至第八、第十三至第十六開口之四個該些接觸層；以及

該第四遮罩使用步驟係執行用來蝕刻位於該些第九至第十六開口之八個該些接觸層。

7. 如申請專利範圍第 4 項所述之方法，其中：

該第一遮罩使用步驟係執行用來蝕刻位於該些第二、第四、第六、第八、第十、第十二、第十四、第十六開口之八個該些接觸層；

該第二遮罩使用步驟係執行用來蝕刻位於該些第五、第六、第七、第八、第十三、第十四、第十五、第十六開口之兩個該些接觸層；

該第三遮罩使用步驟係執行用來蝕刻位於該些第三、第四、第七、第八、第十一、第十二、第十五、第十六開口之四個該些接觸層；以及

該第四遮罩使用步驟係執行用來蝕刻位於該些第九至第十六開口之一個該接觸層。

8. 如申請專利範圍第 1 項所述之方法，更包括：

產生一接地接觸開口穿過該些接觸層；以及

形成一接地導電體穿過該接地接觸開口，以與該些接觸層之多個該些導電層電性接觸。

9. 如申請專利範圍第 8 項所述之方法，其中該接地接觸開口具有一接地接觸開口側壁，且更包括：

在該接地導電體形成步驟之前，移除於該接地接觸開口側壁的絕緣層之部分，所以該接地導電體增強該接地導

電體與該些接觸層之多個該些導電層之間的電性接觸。

10. 如申請專利範圍第 1 項所述之方法，其中該使用步驟係以不同於蝕刻的該些接觸層之編號順序來執行。

11. 如申請專利範圍第 1 項所述之方法，其中該些接觸開口具有複數個側壁，且更包括形成一介電層於該些側壁上。

12. 一種方法，用於包括一內連線區域之一類型的一三維堆疊積體電路裝置，該方法用以提供複數個電性連接至位於該內連線區域之複數個接觸層的一堆疊處之複數個降落區域，該內連線區域包含一上層，該上層之下具有該些接觸層之該堆疊，各該接觸層包括一導電層及一絕緣層，該方法包括：

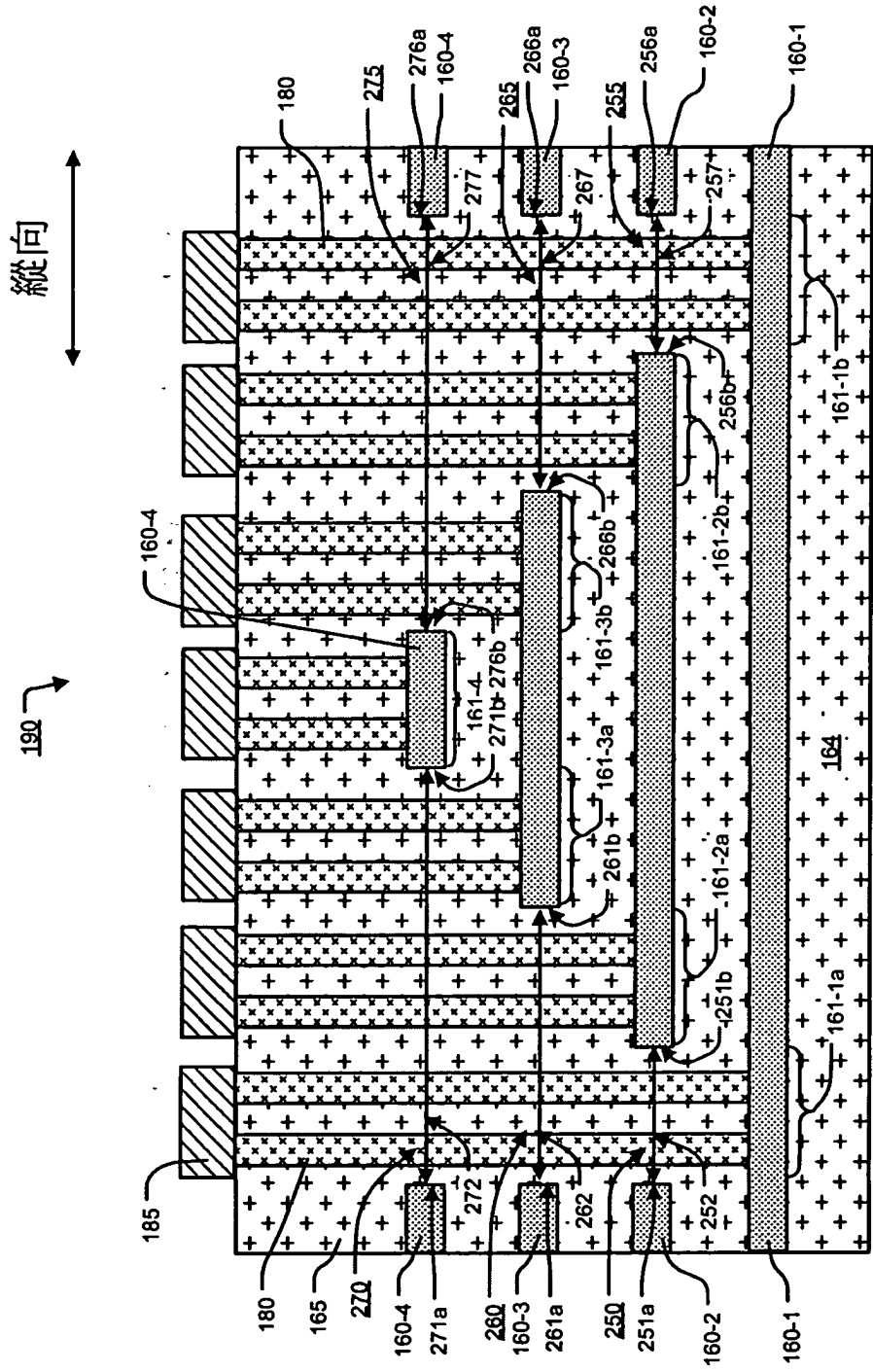
移除設置於該內連線區域上的任何一上層之至少一部分，以暴露出一第一接觸層並產生用於各該接觸層之複數個接觸開口；

選擇一組  $N$  個蝕刻遮罩，用於於該些接觸層之該堆疊處產生複數個內連線接觸區域層， $N$  為至少等於 2 之整數；

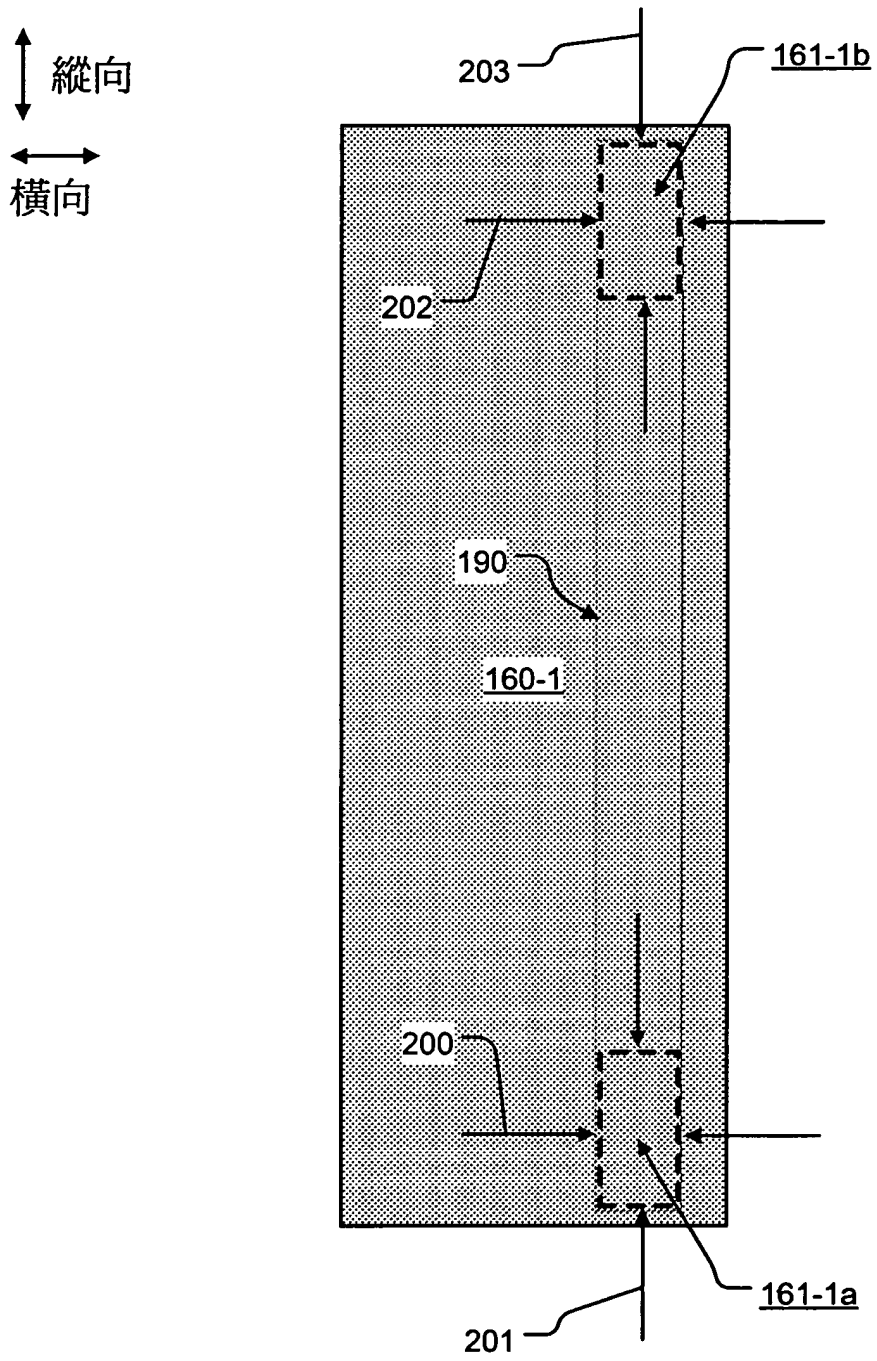
使用該些  $N$  個蝕刻遮罩以蝕刻該些接觸開口至多達且包含 2 的  $N$  次方個該些接觸層，該些  $N$  個遮罩使用步驟包括：

使用一第一遮罩，以對於有效地一半的該些接觸開口蝕刻一個該接觸層；

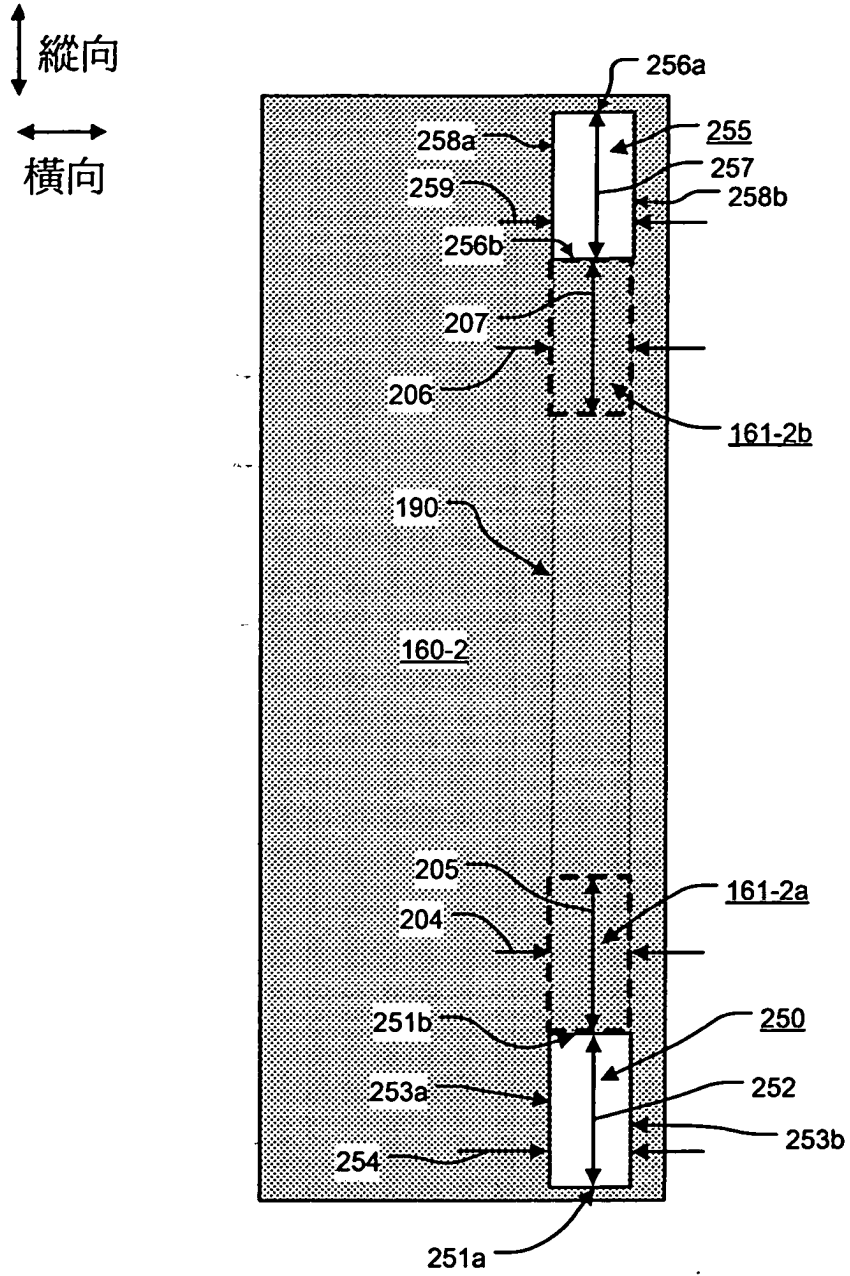
使用一第二遮罩，以對於有效地一半的該些接觸開口蝕刻兩個該些接觸層；及



第1圖

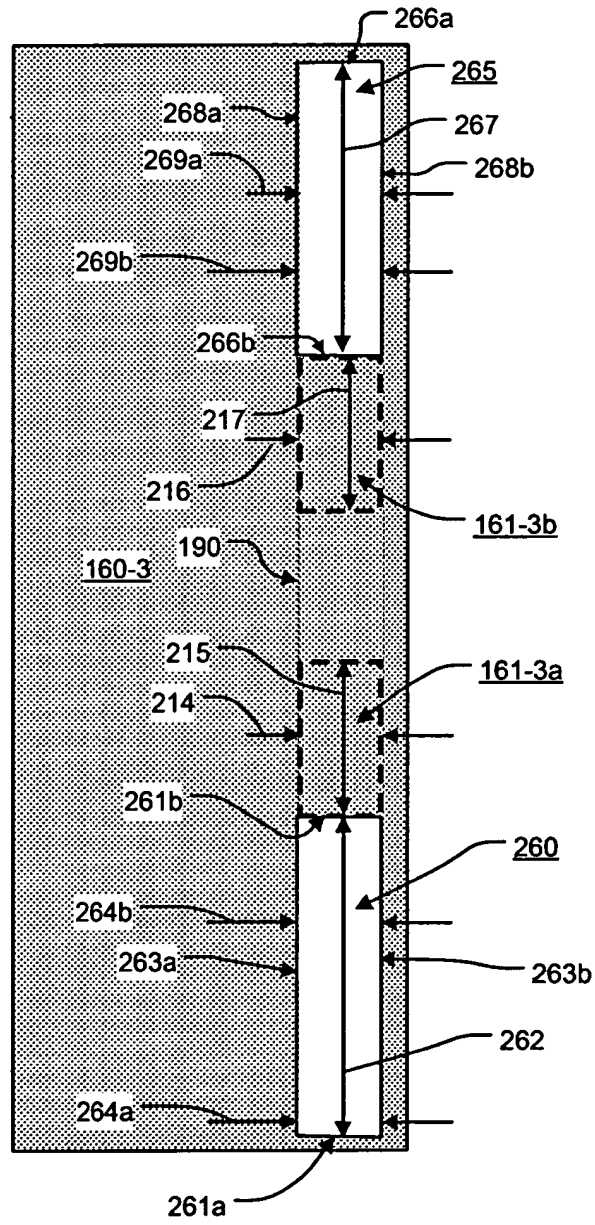


第 2A 圖



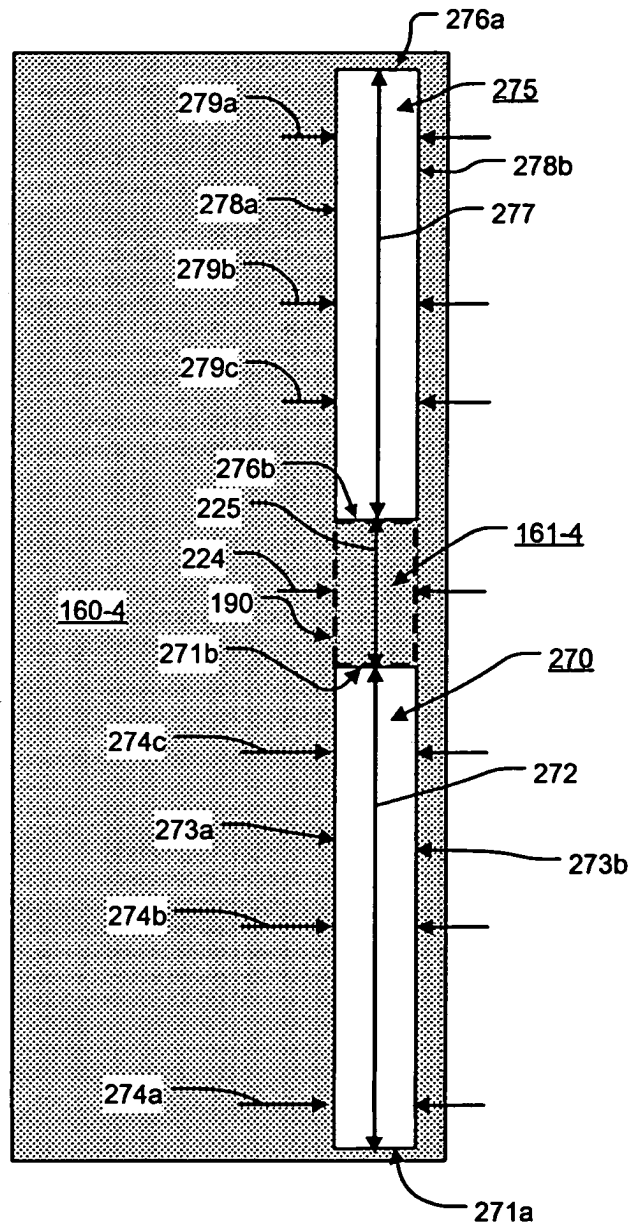
第 2B 圖

縱向  
橫向

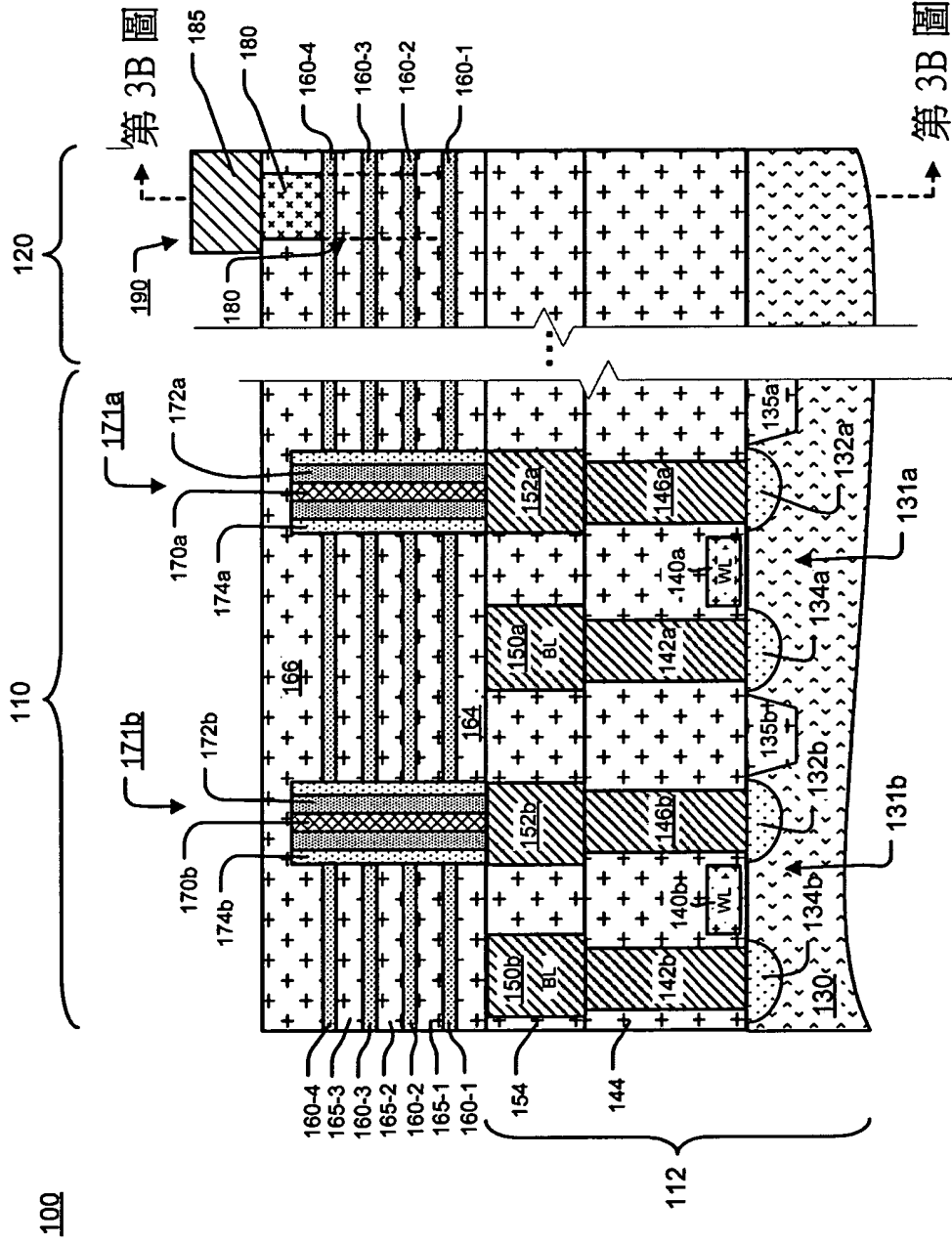


第 2C 圖

縱向  
橫向



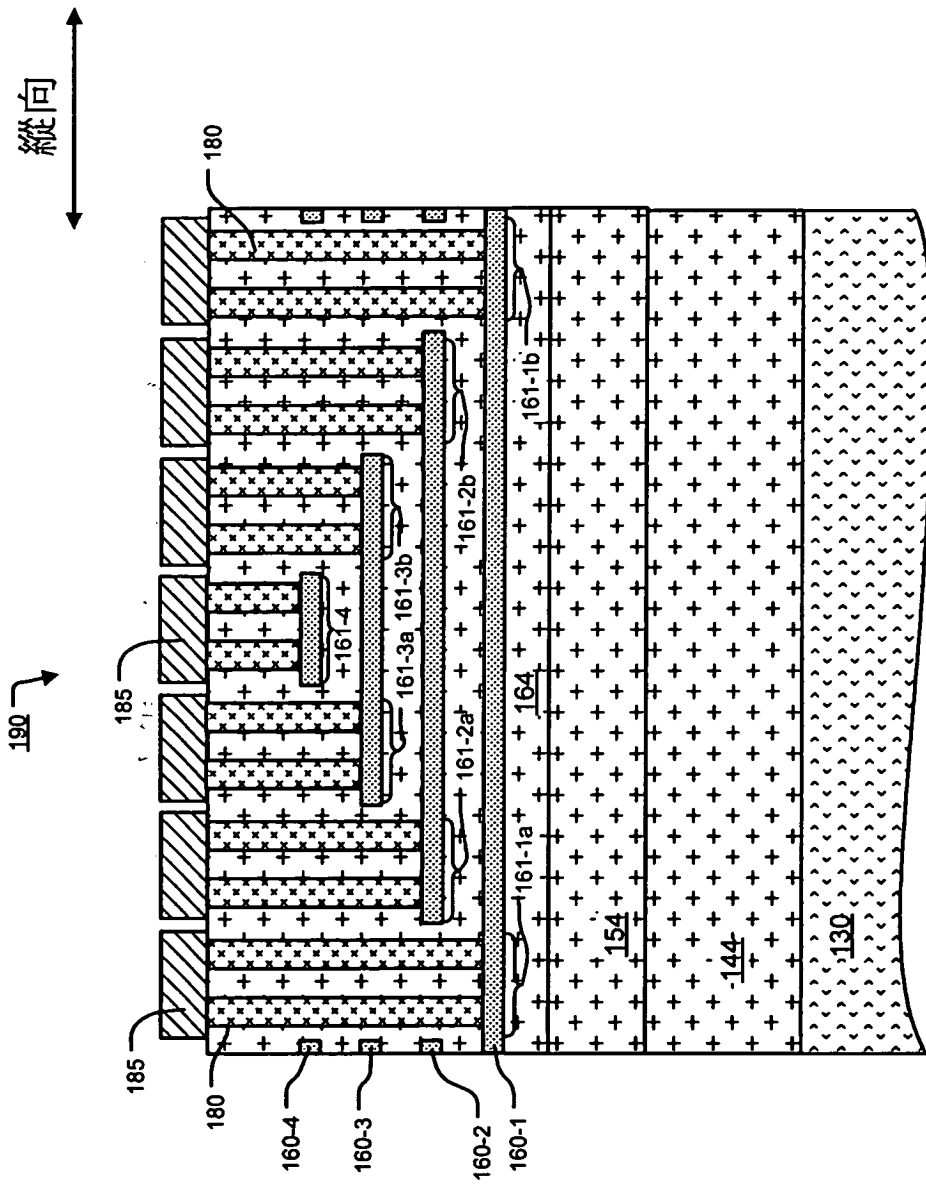
第 2D 圖



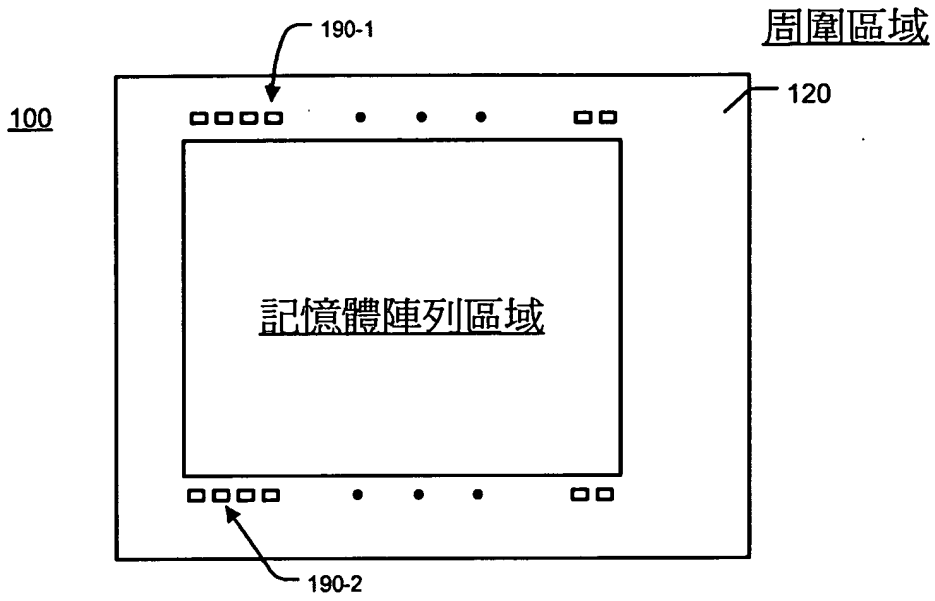
第3A圖

第3B圖

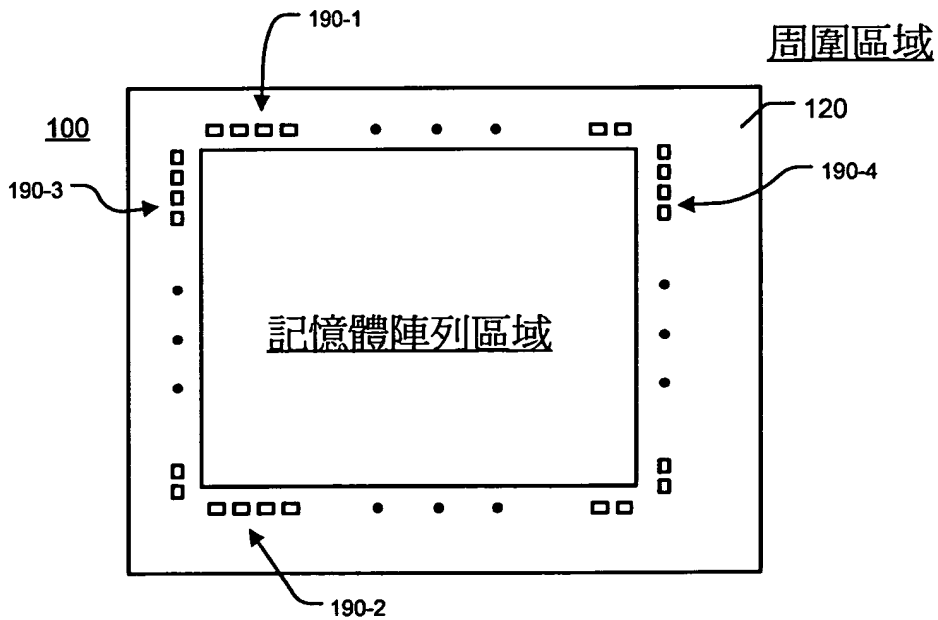




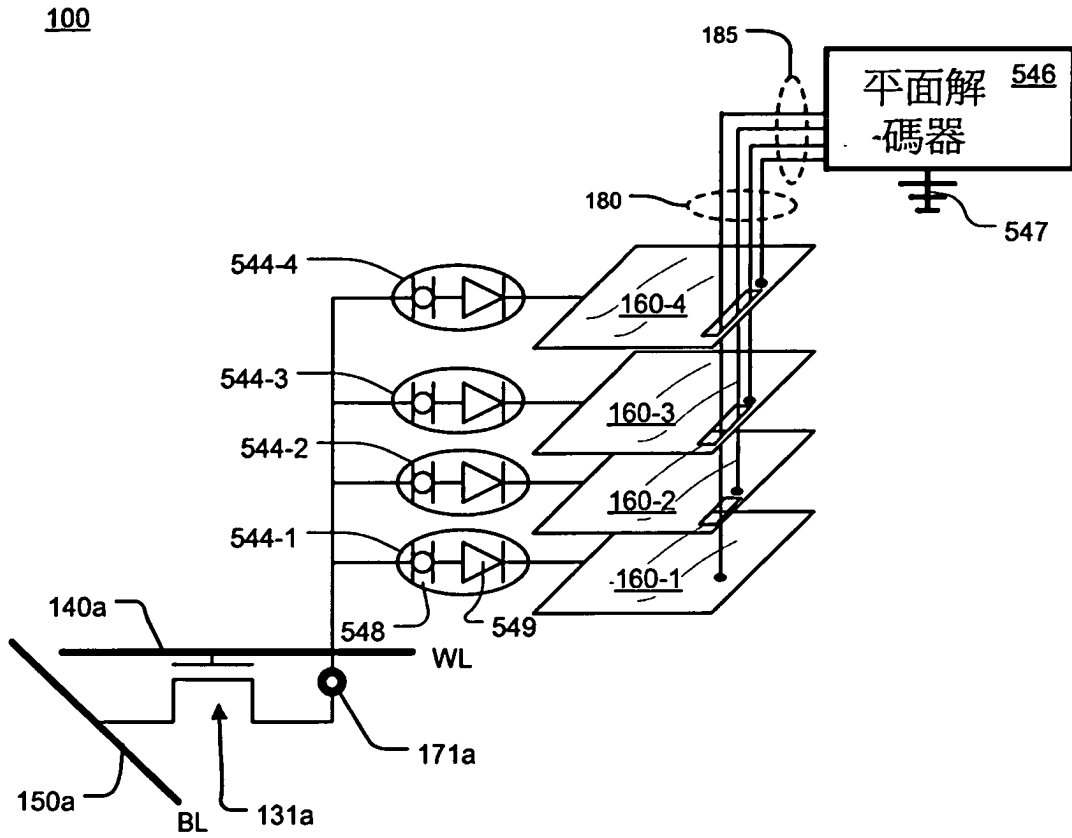
第3B圖



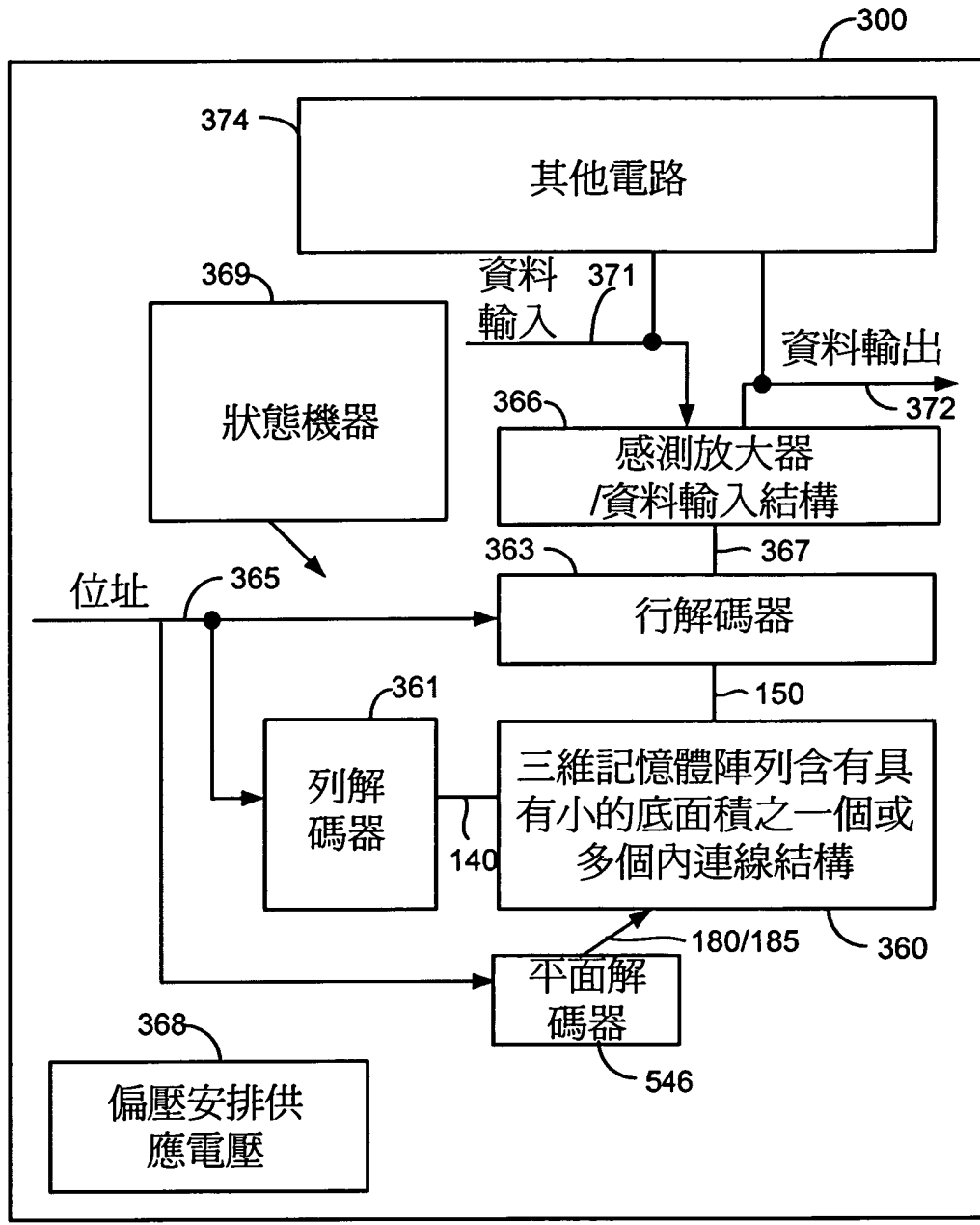
第 4 圖



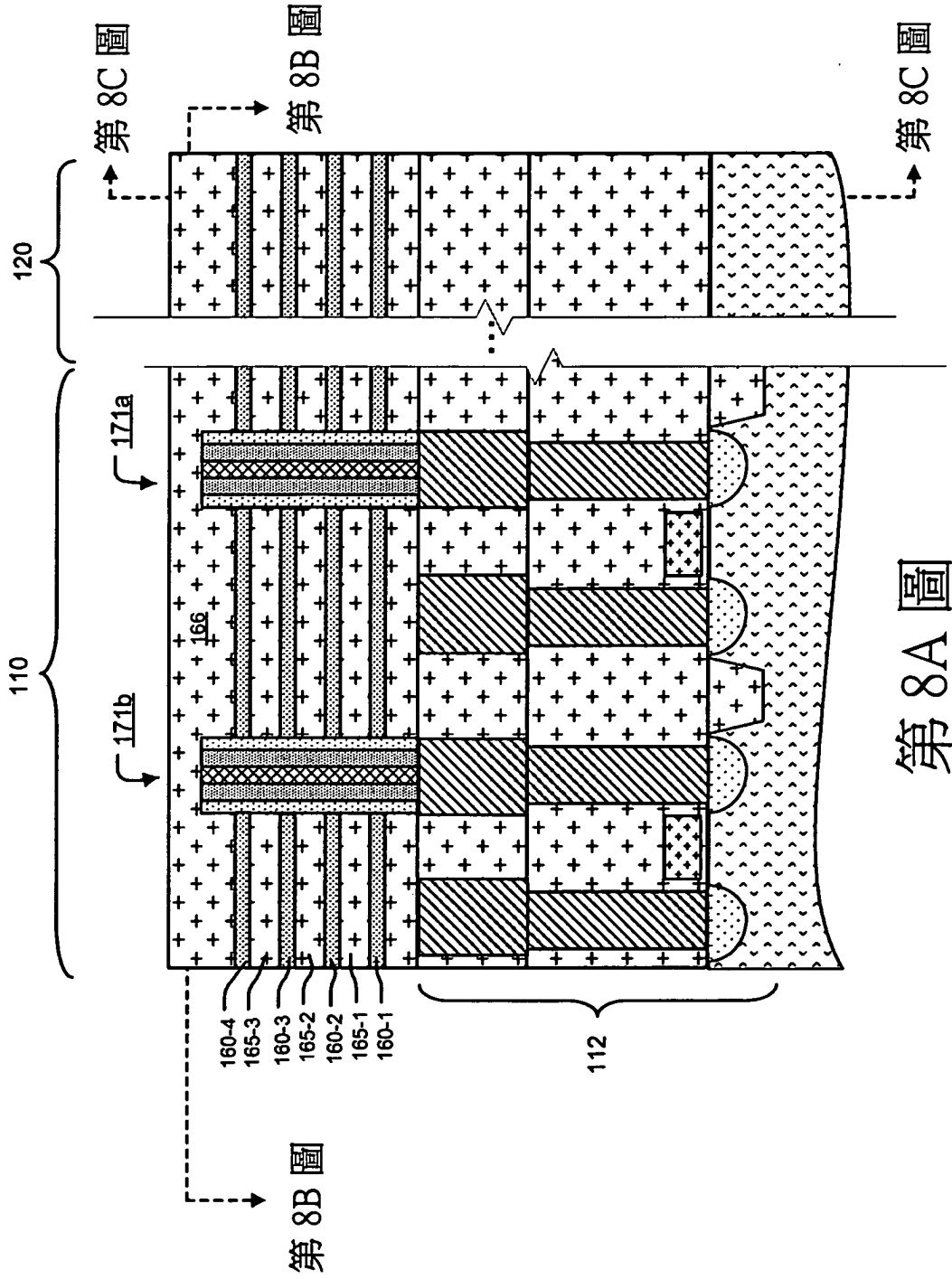
第 5 圖

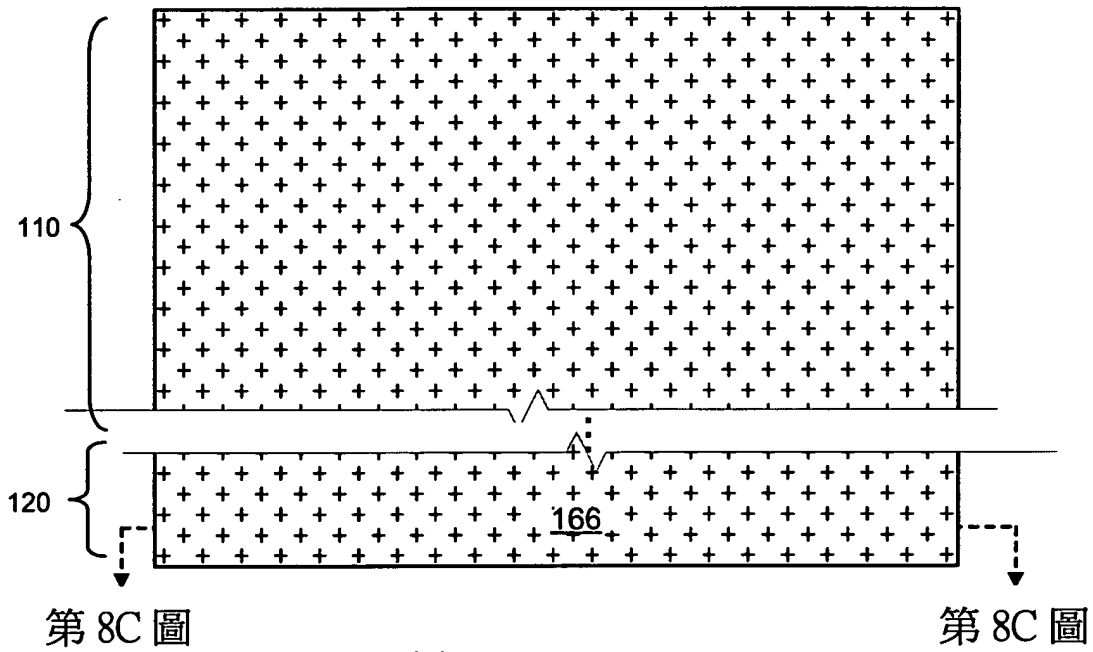


第 6 圖

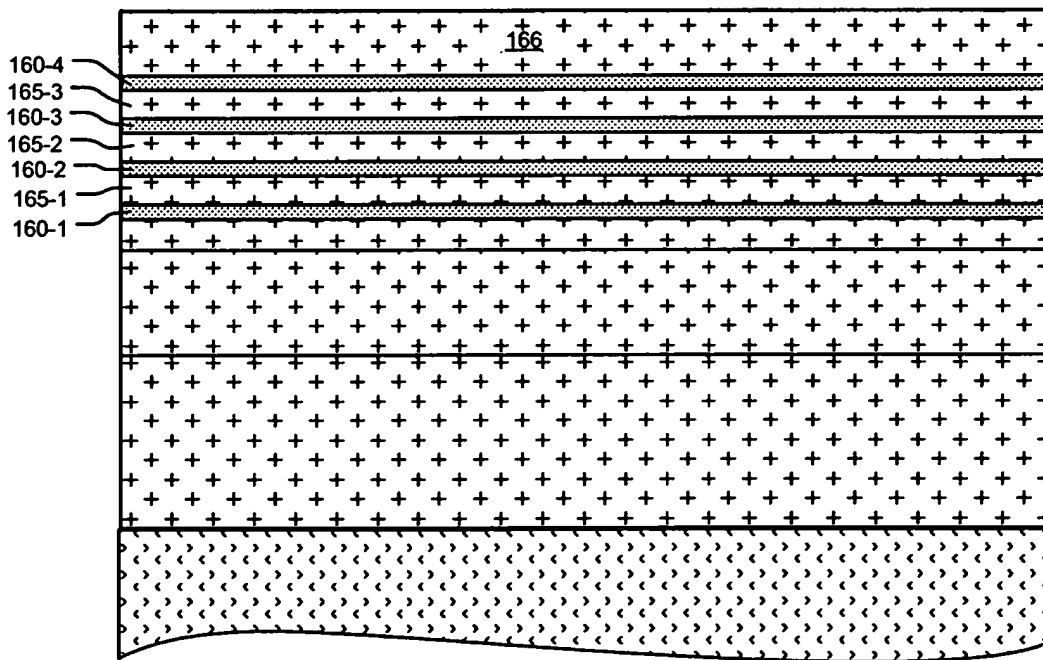


第 7 圖

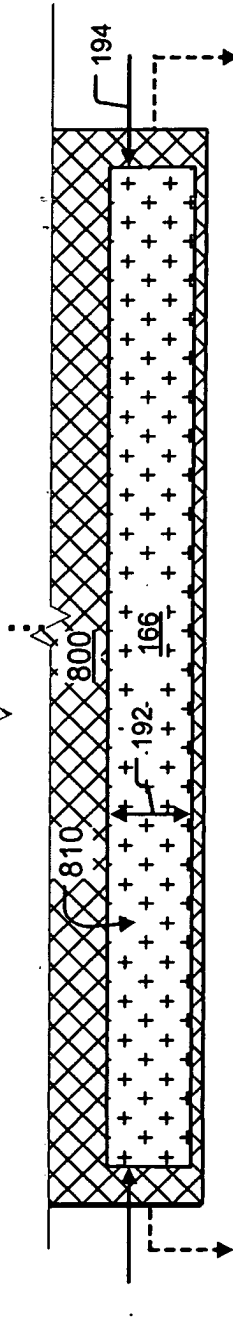
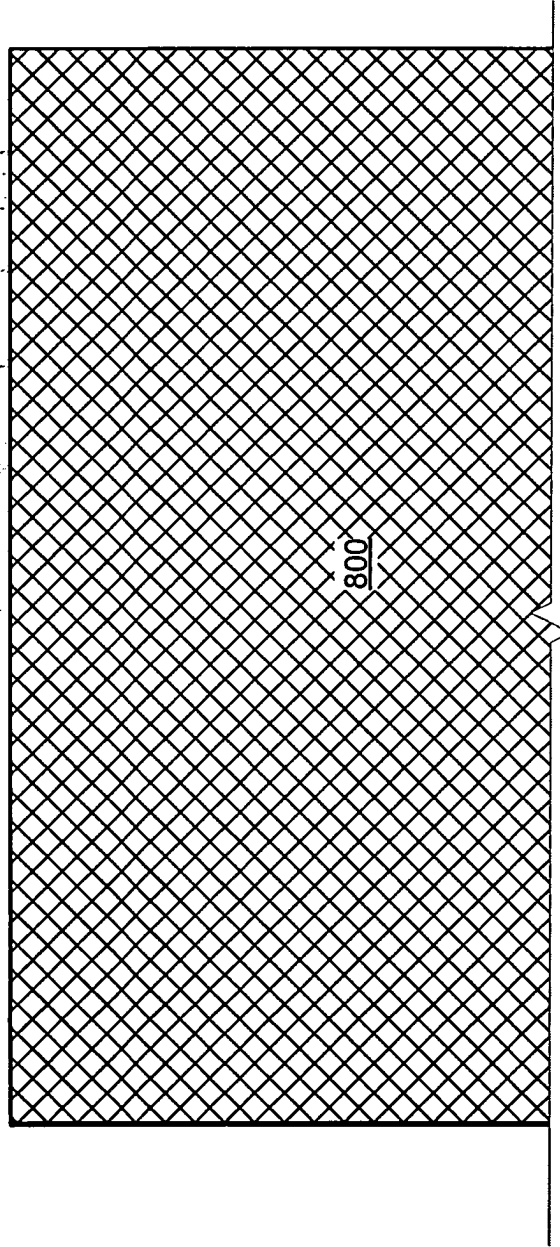




第 8B 圖



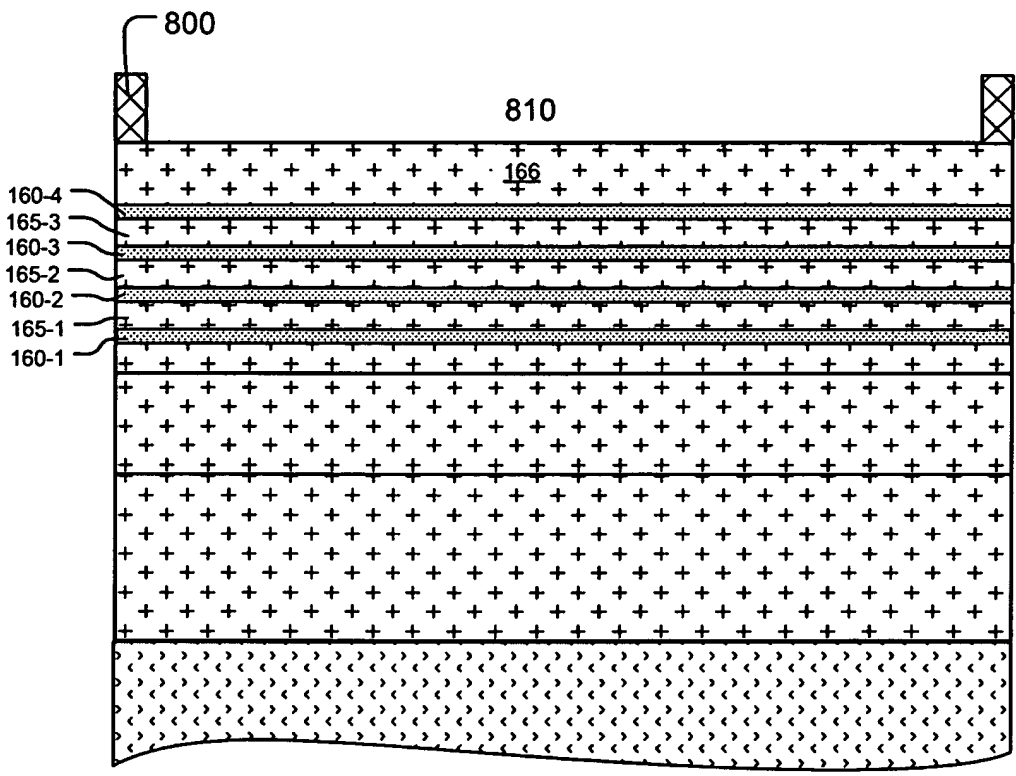
第 8C 圖



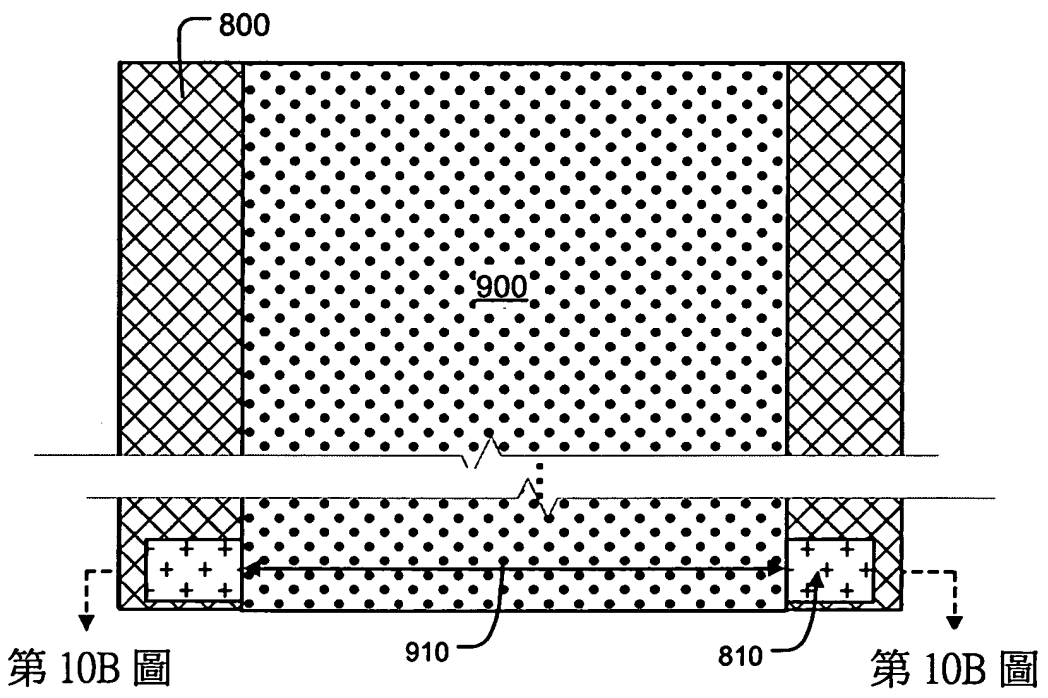
第9B圖

第9B圖

第9A圖



第 9B 圖

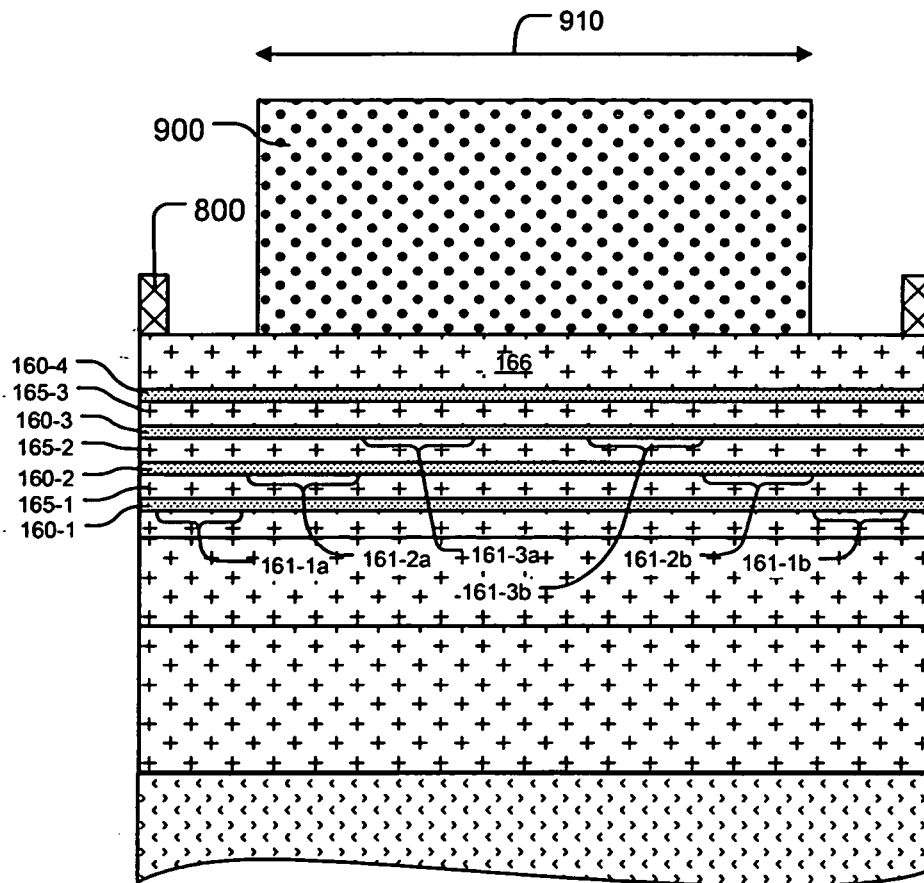


第 10B 圖

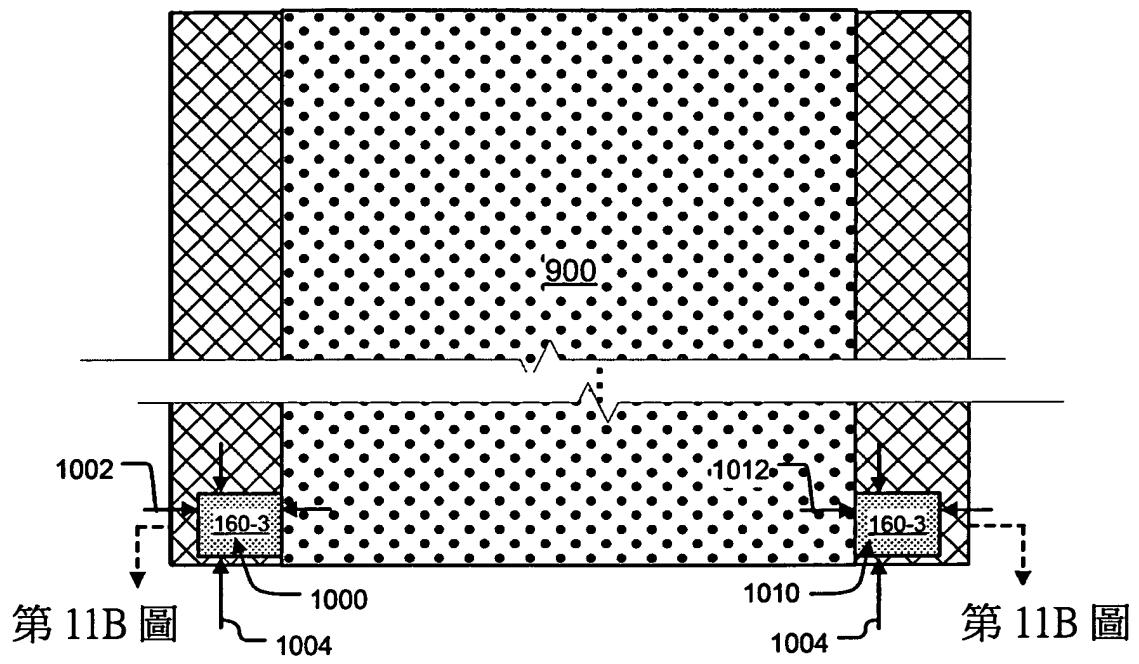
第 10A 圖

第 10B 圖

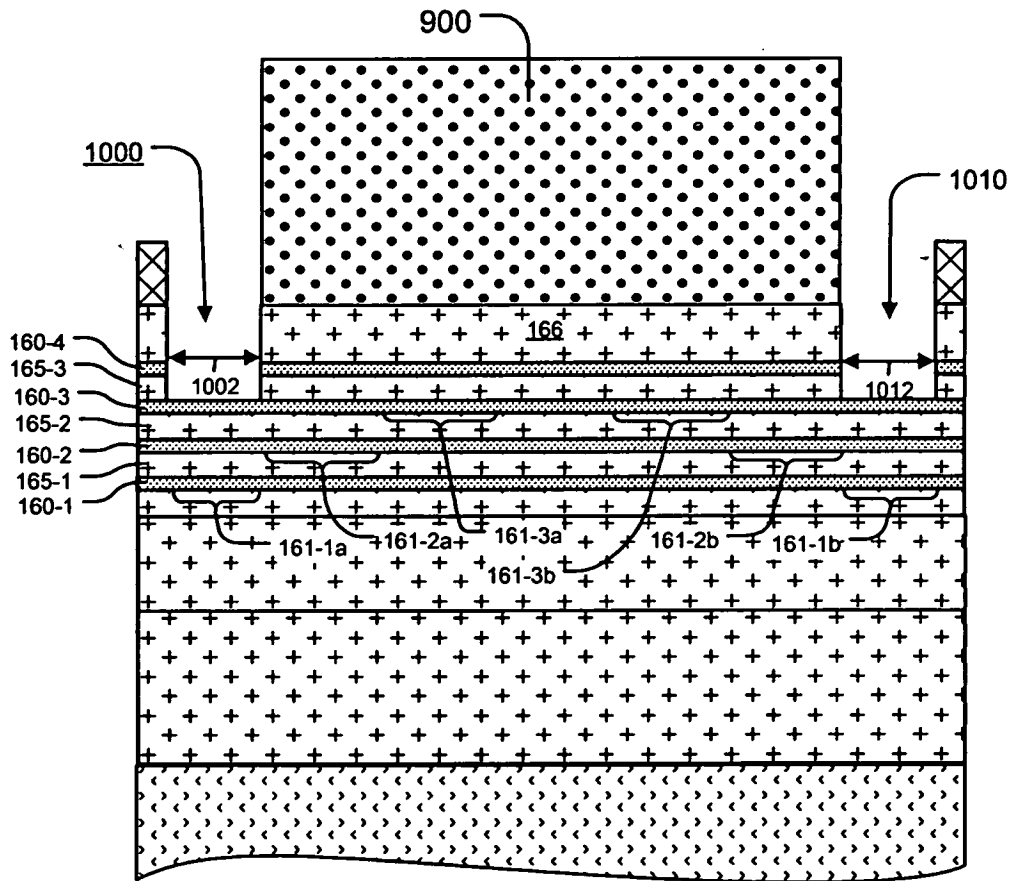




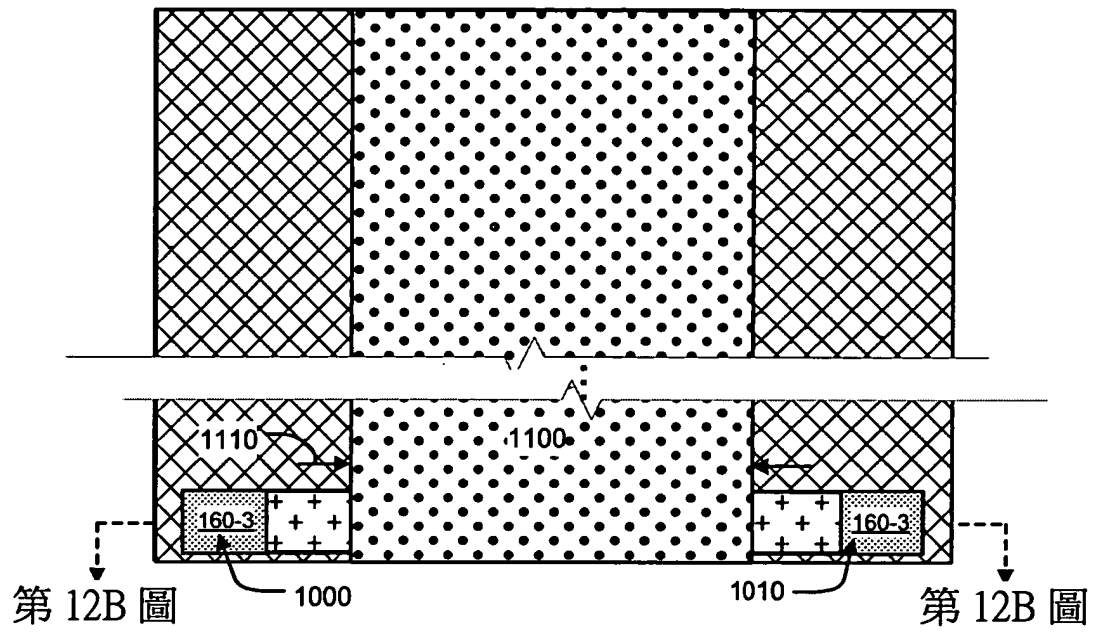
第 10B 圖



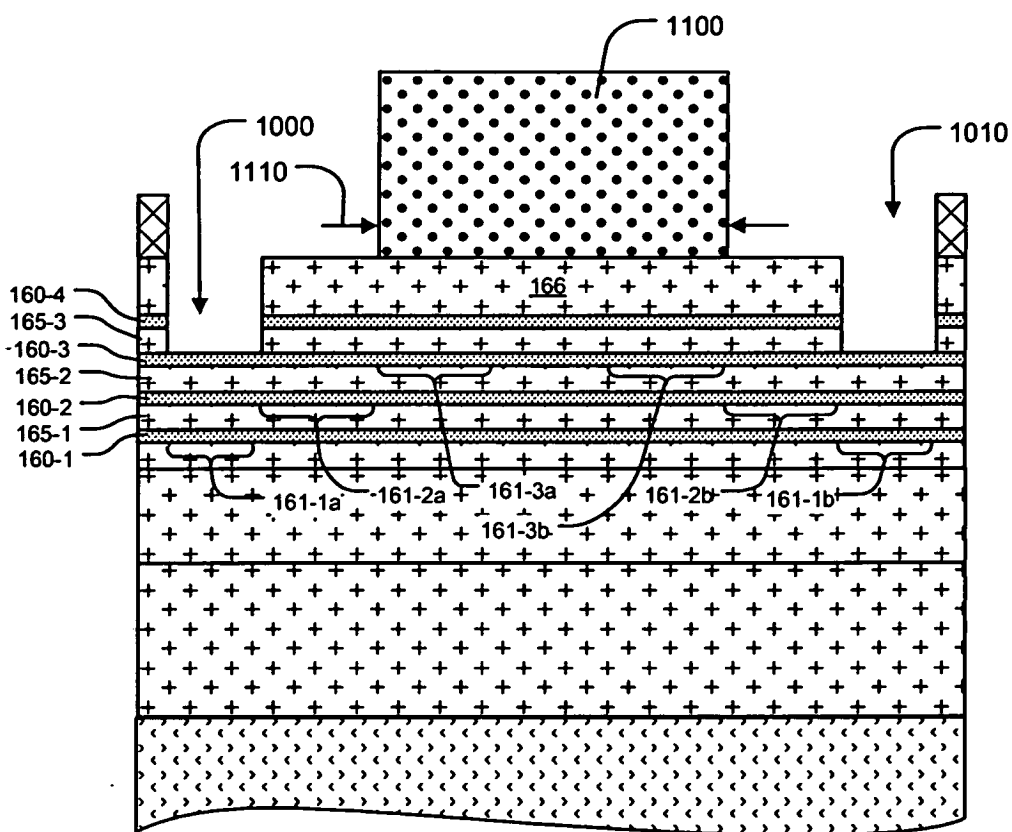
第 11A 圖



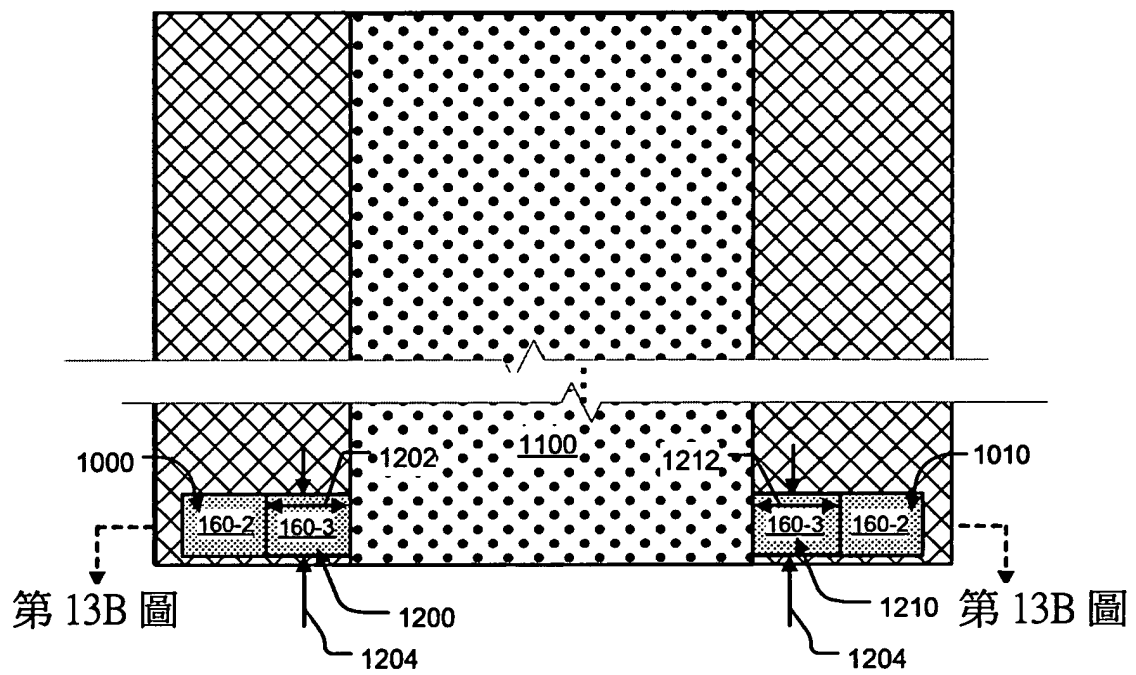
第 11B 圖



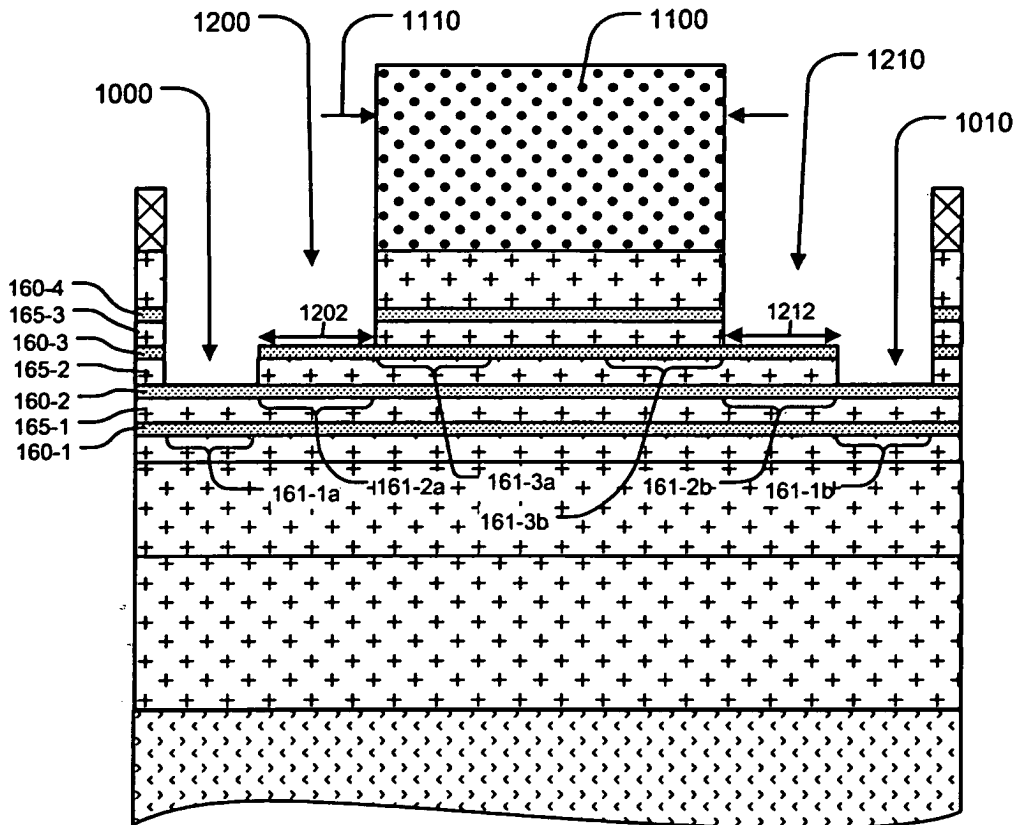
第 12A 圖



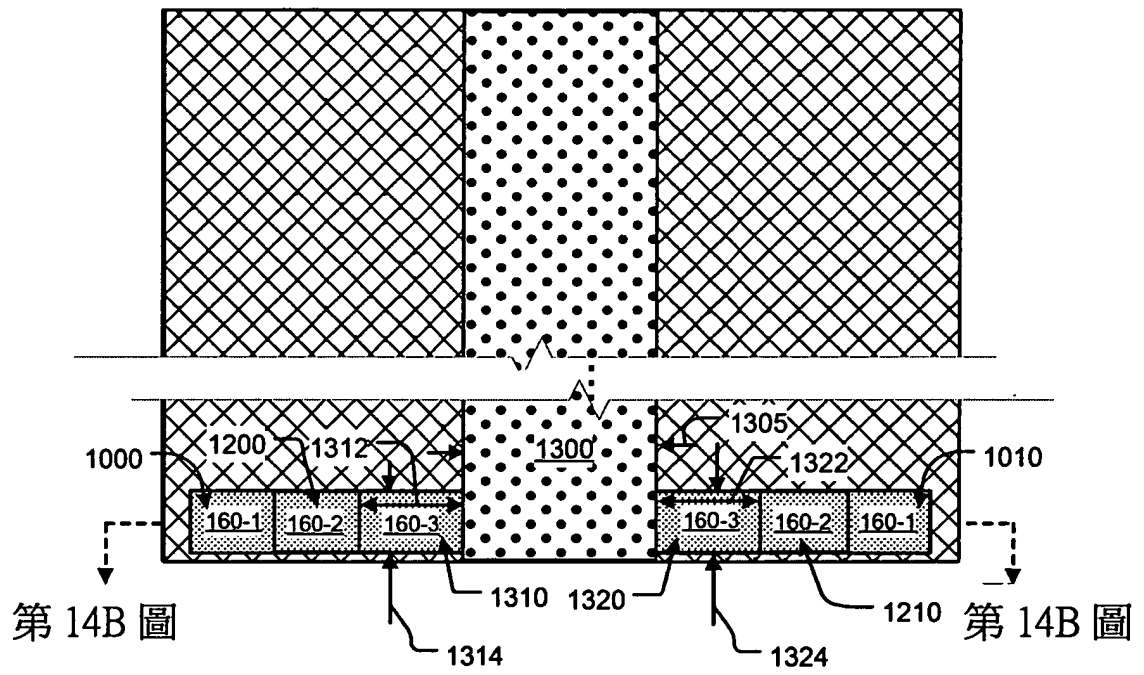
第 12B 圖



第 13A 圖

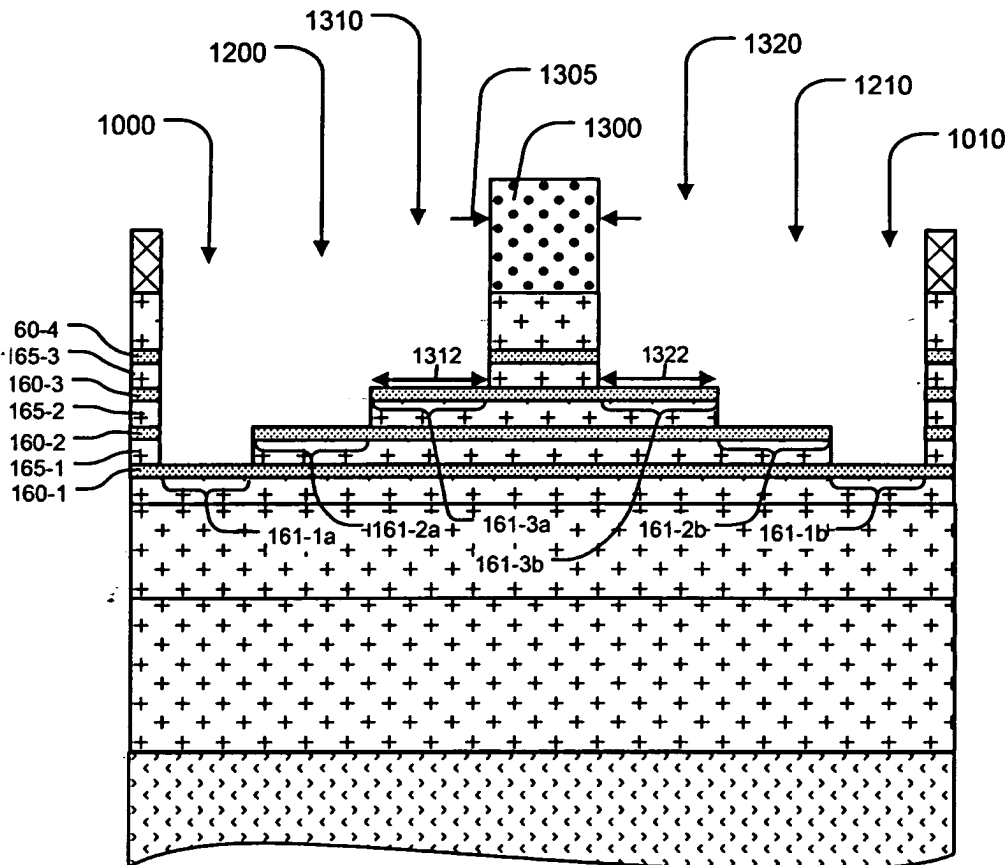


第 13B 圖

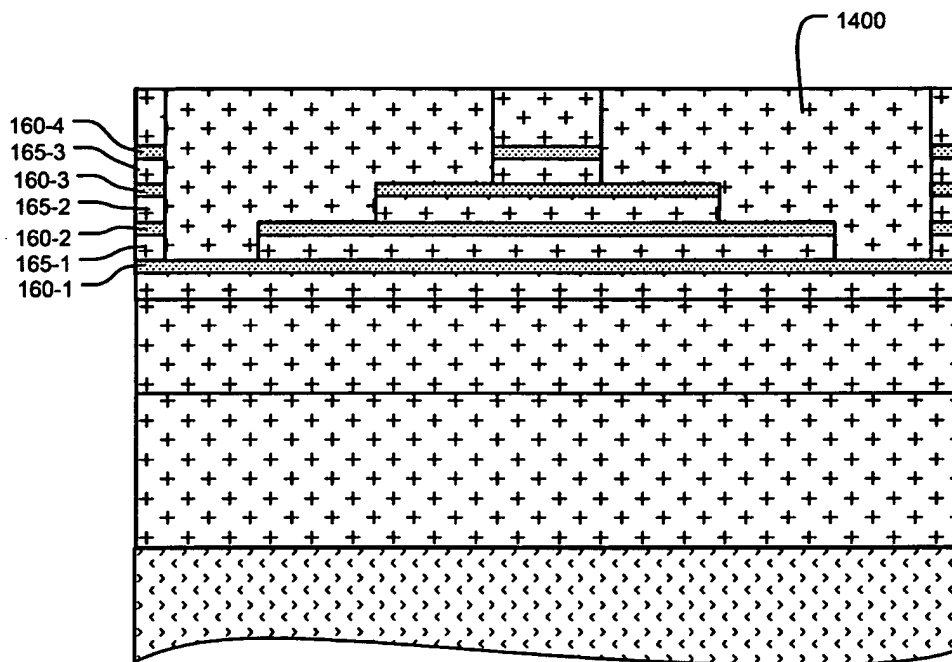


第 14A 圖



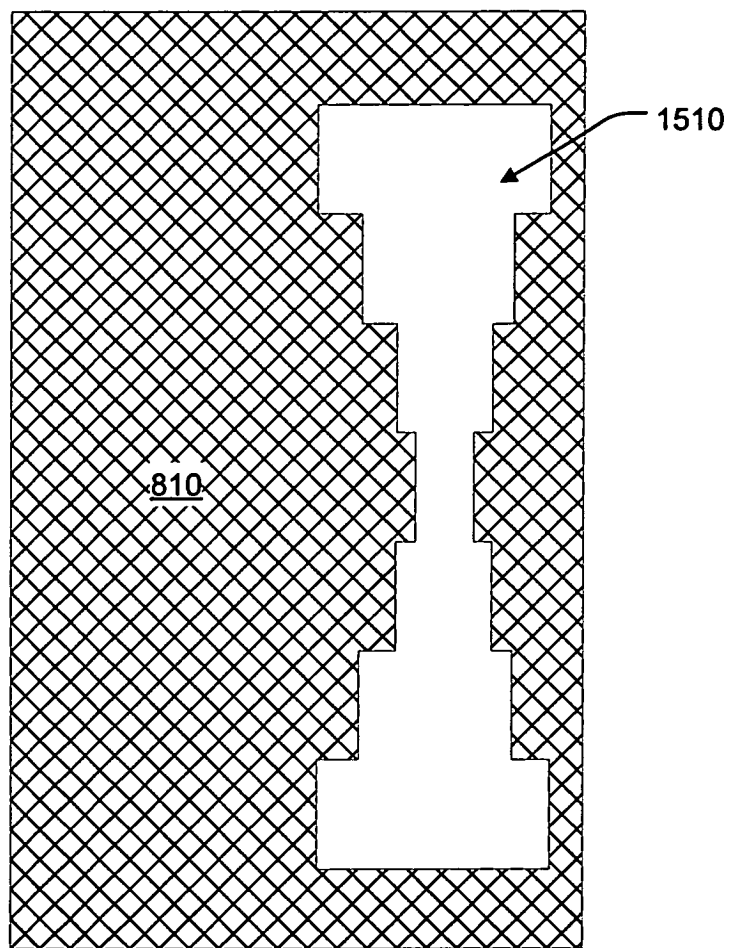


第 14B 圖

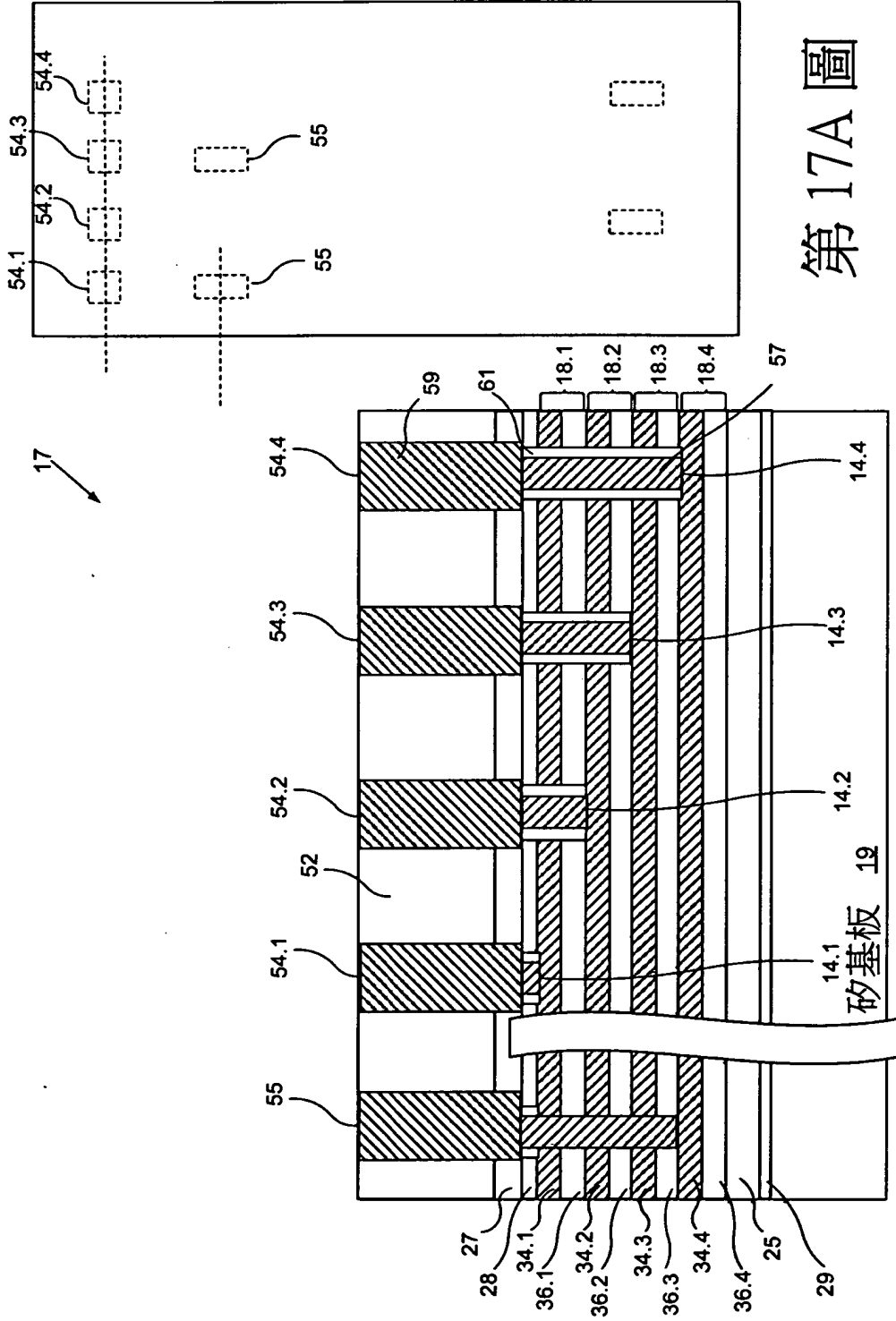


第 15 圖

縱向  
橫向

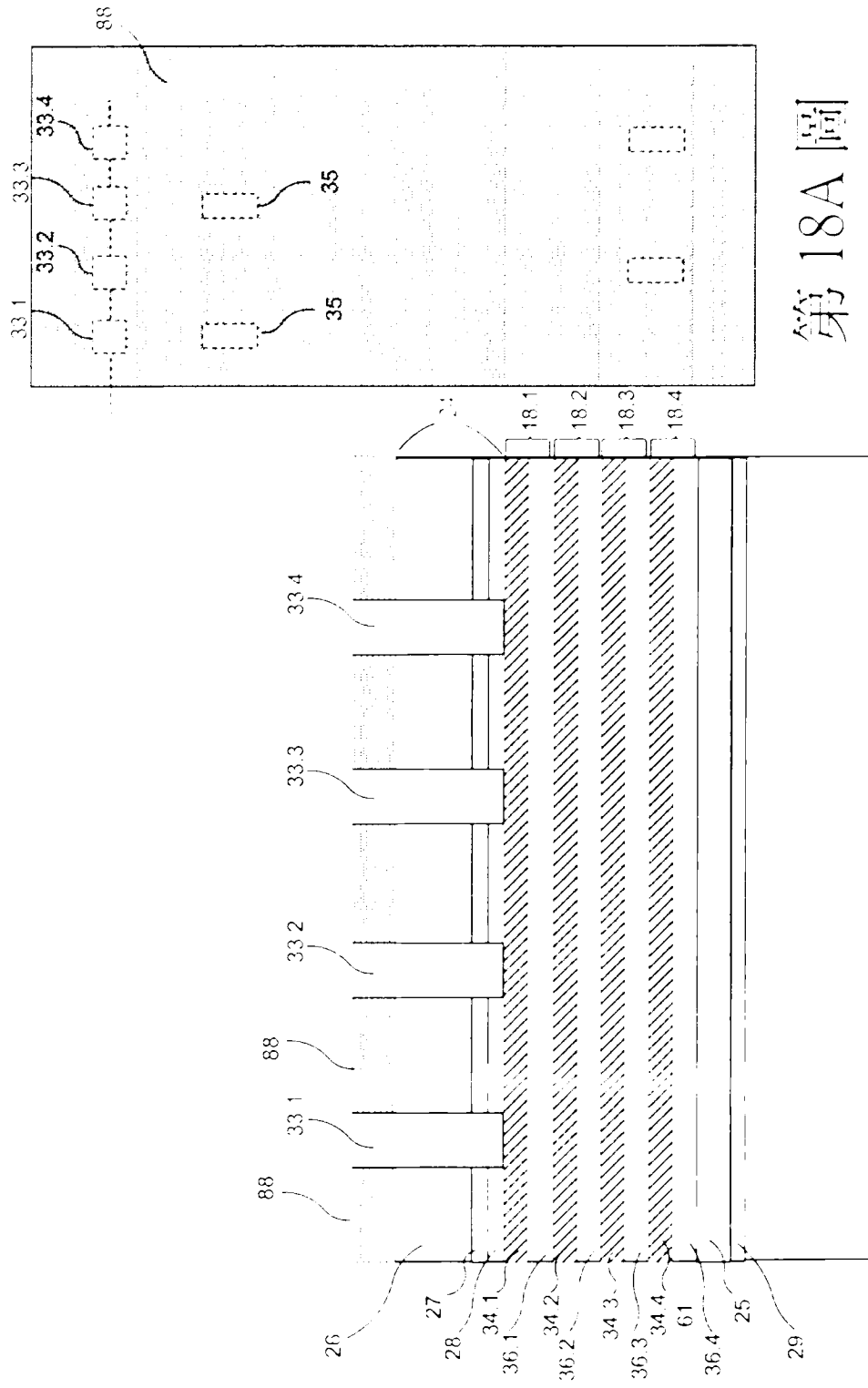


第 16 圖



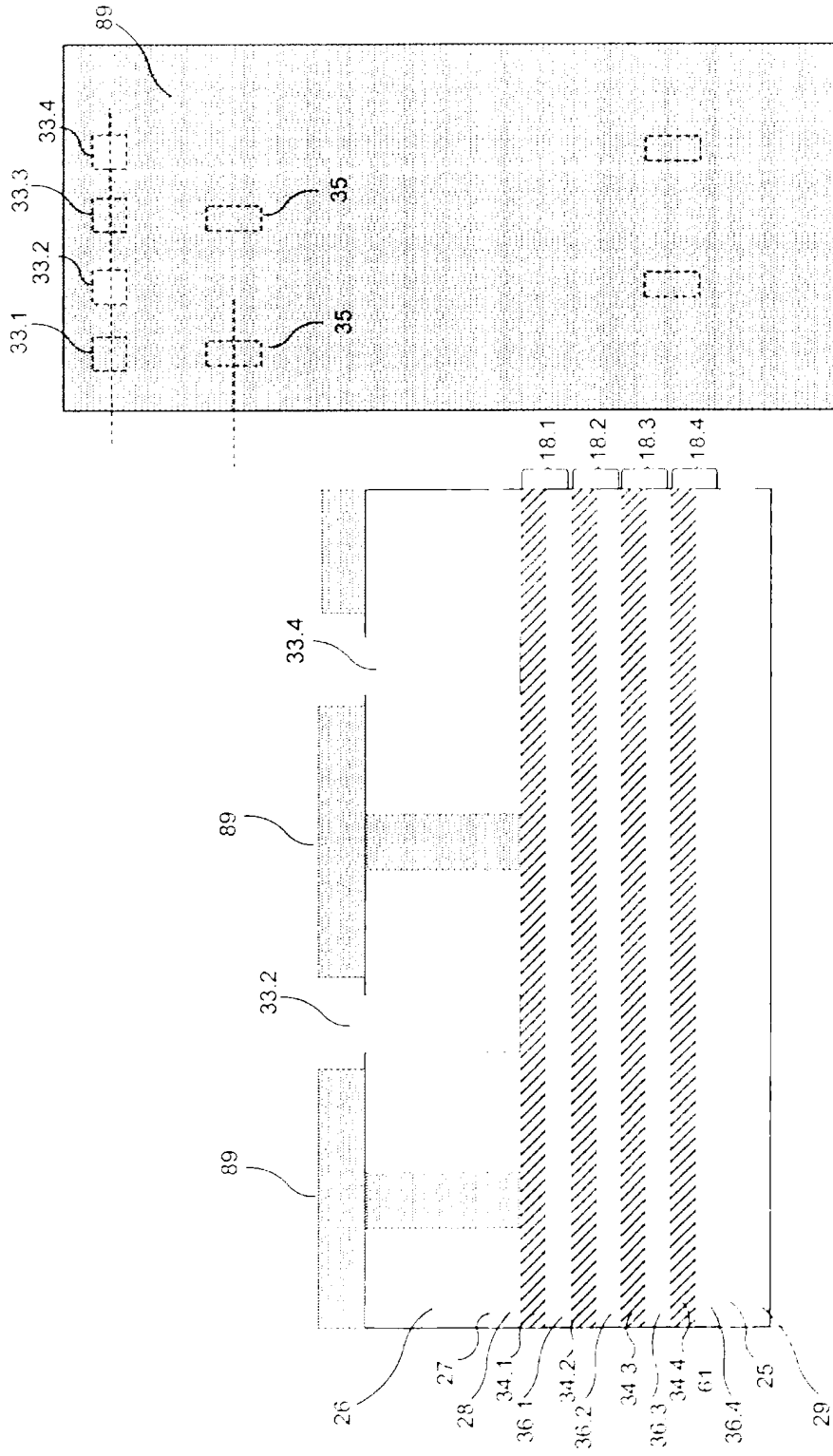
第17A圖

第17圖



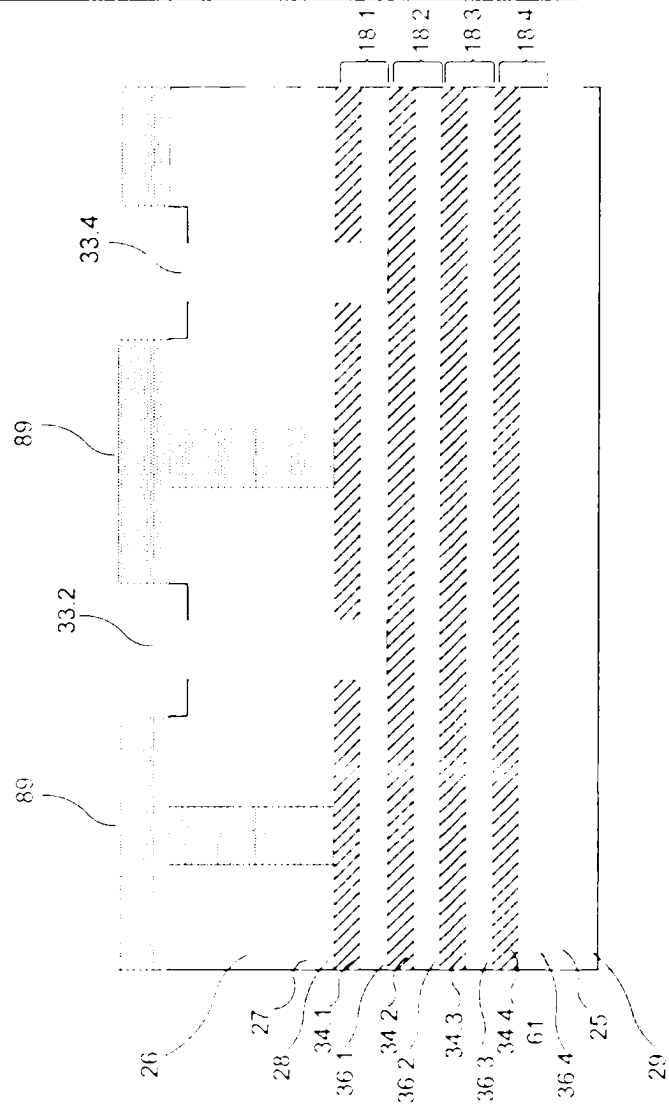
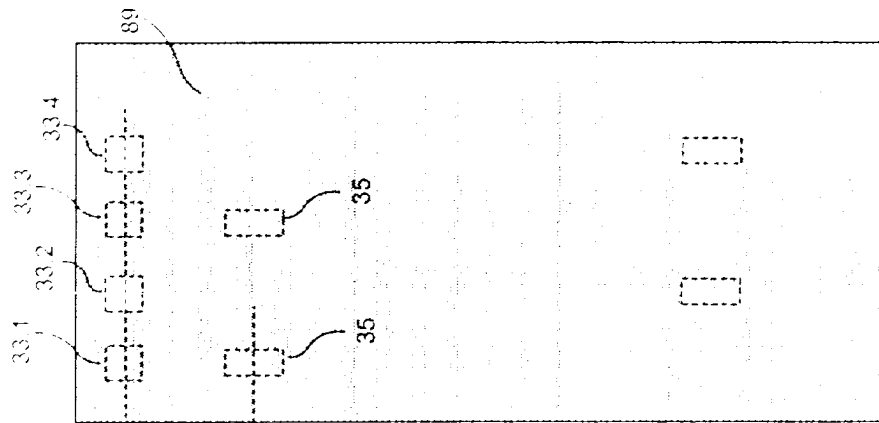
第18圖

第18A圖



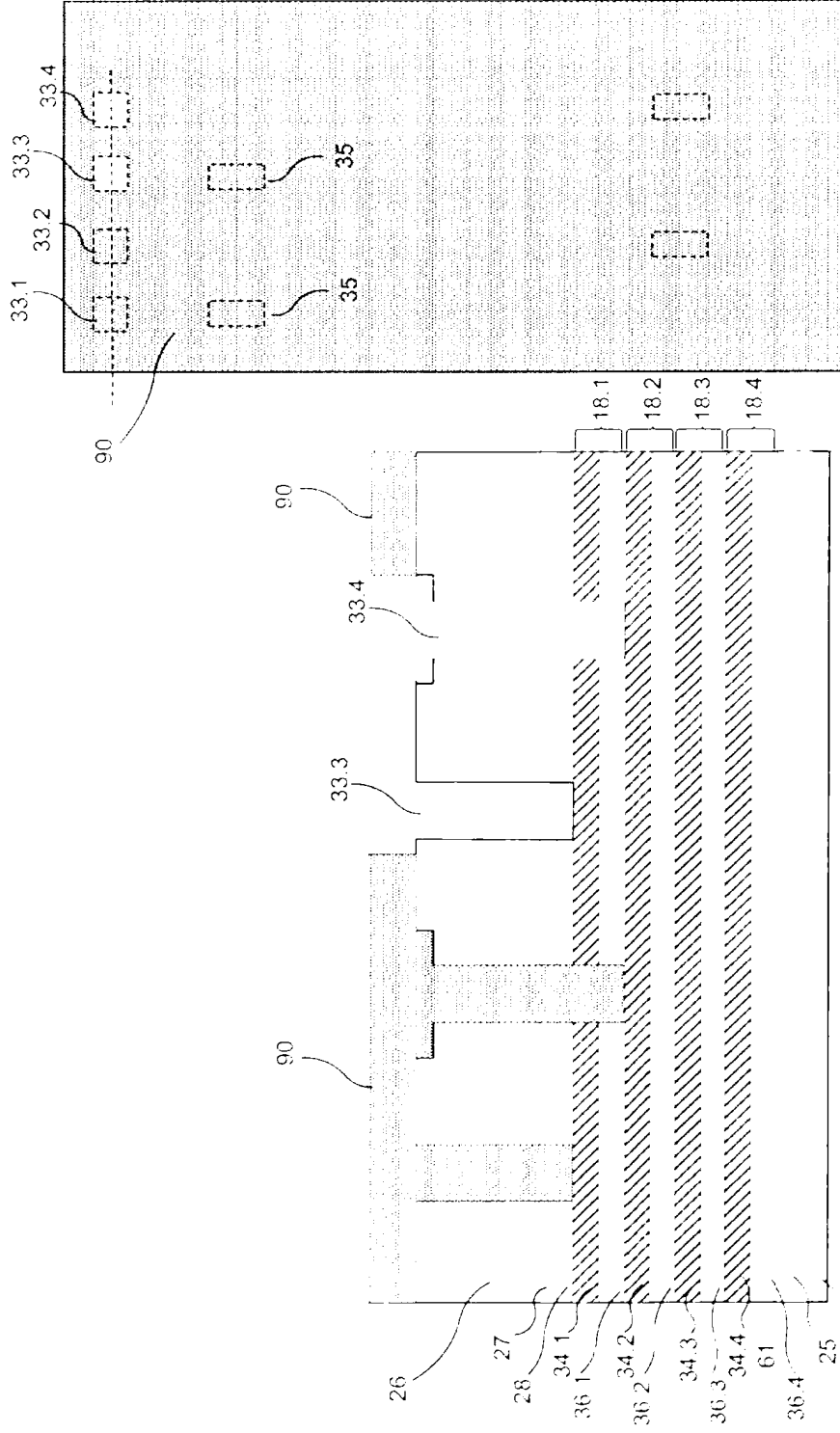
第19A圖

第19圖



第 20A 圖

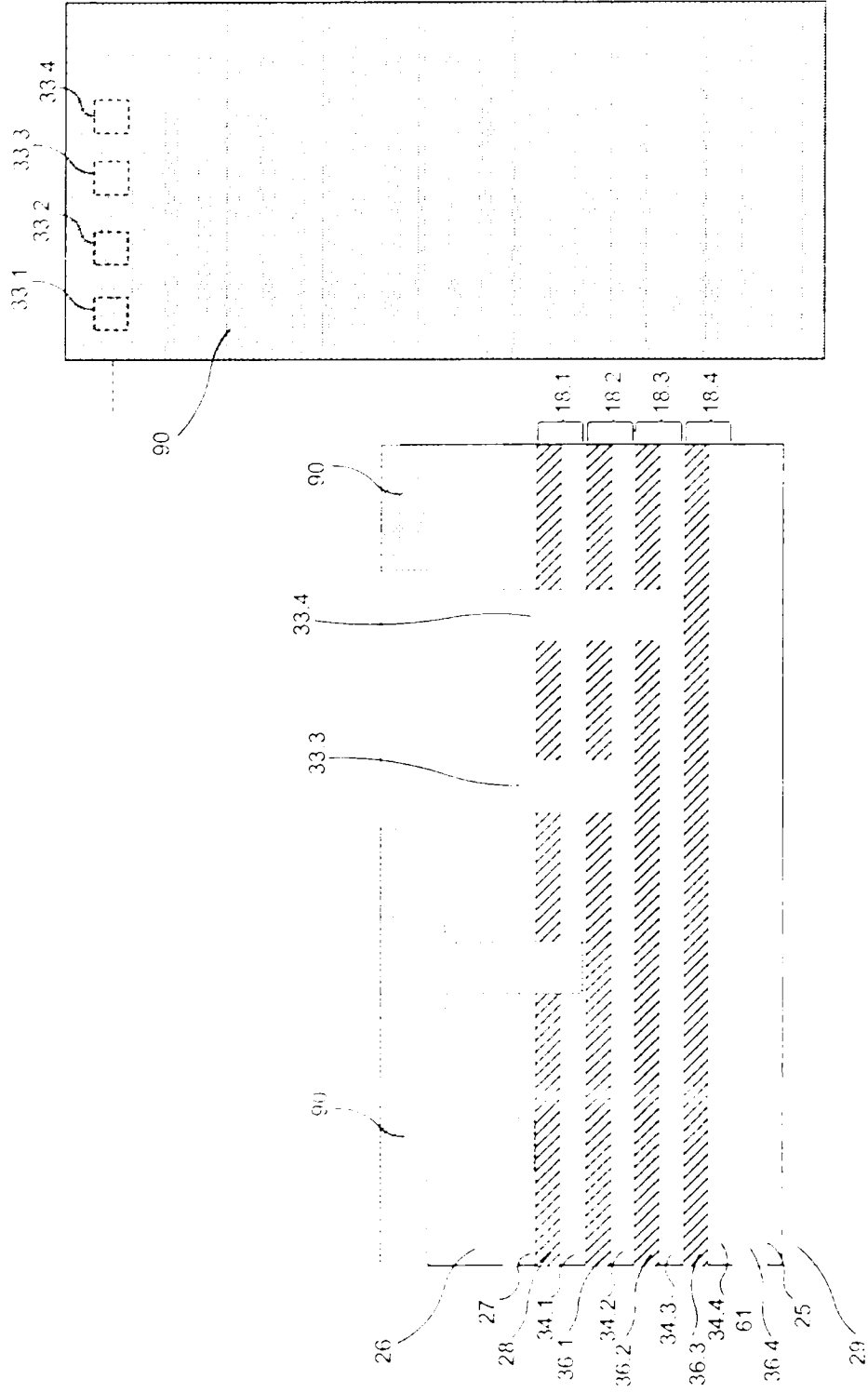
第 20 圖



第 21A 圖

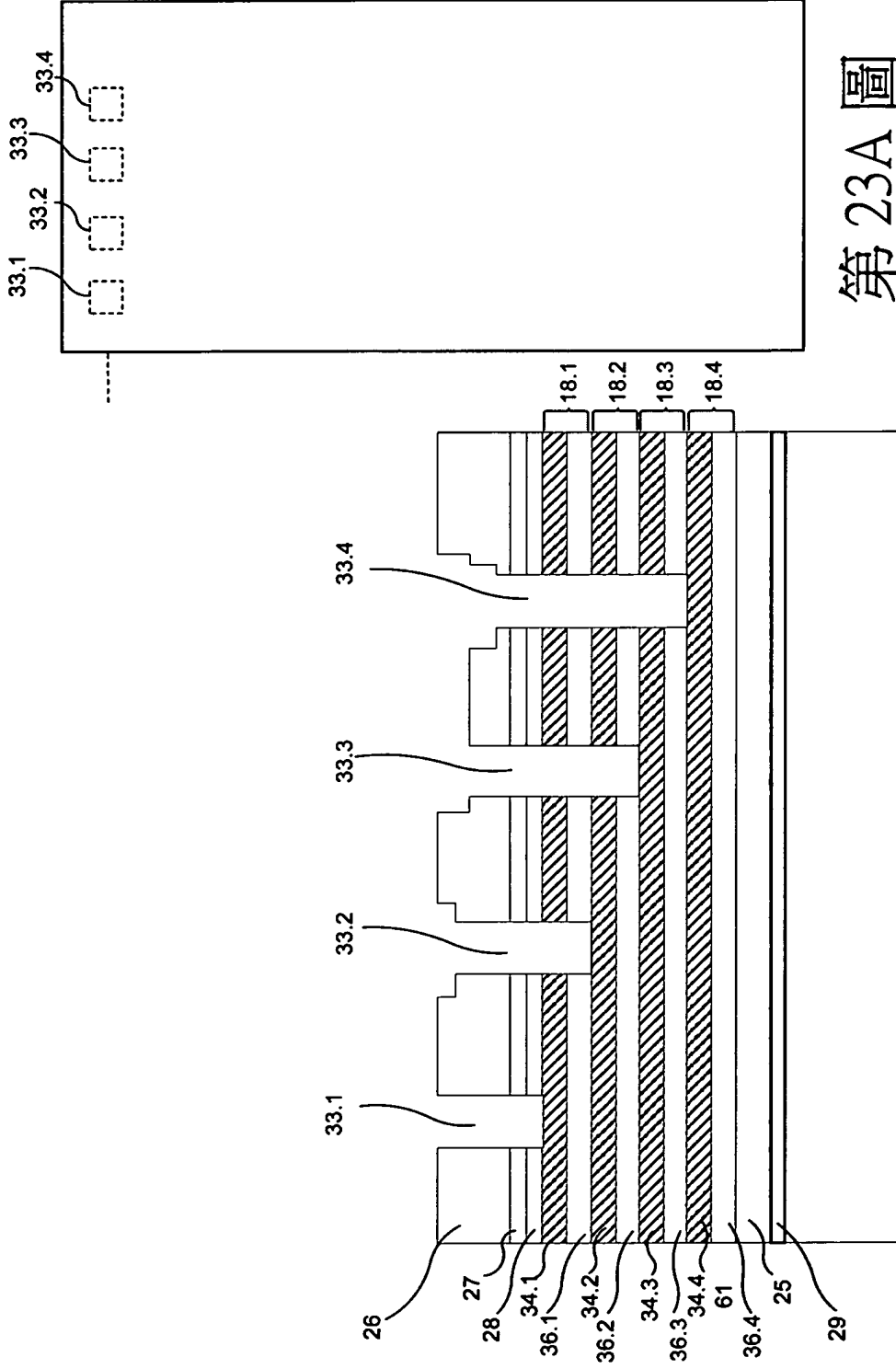
第 21 圖





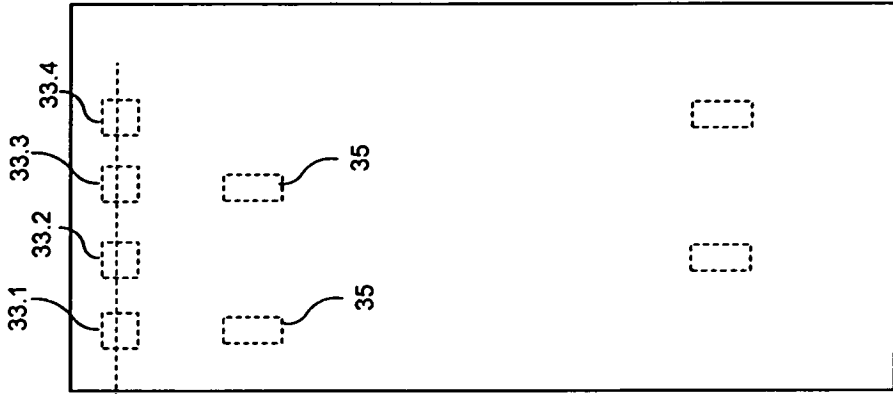
第 22A 圖

第 22 圖

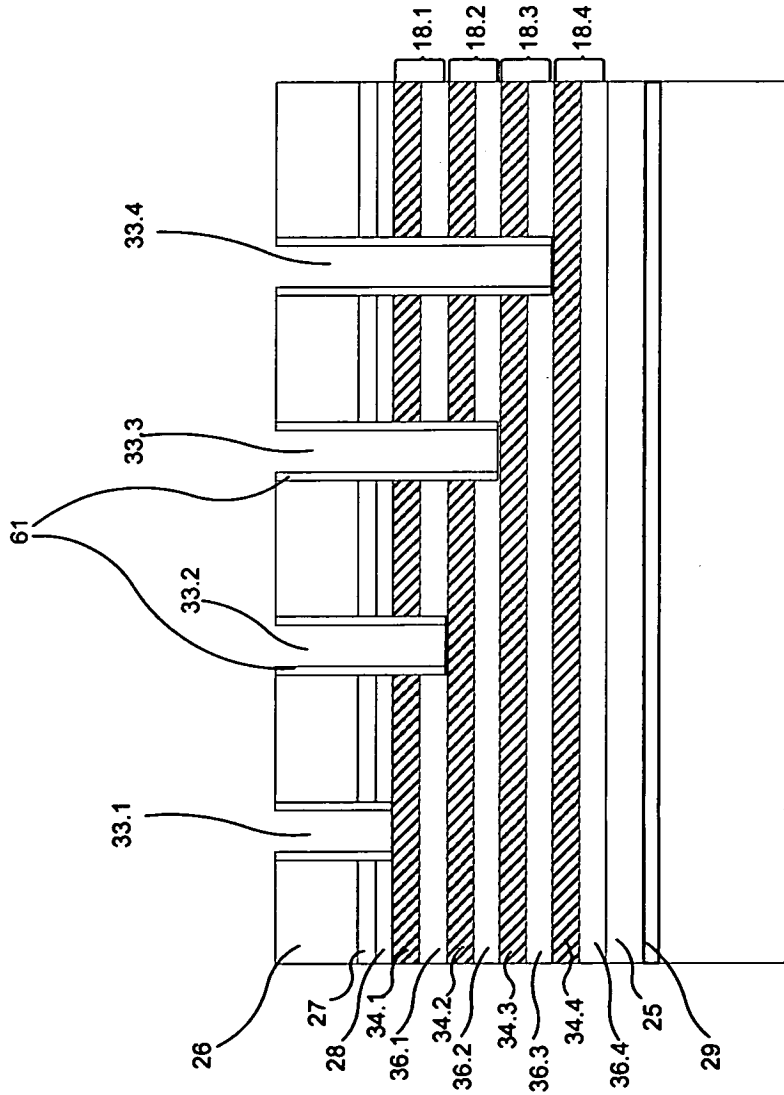


第 23A 圖

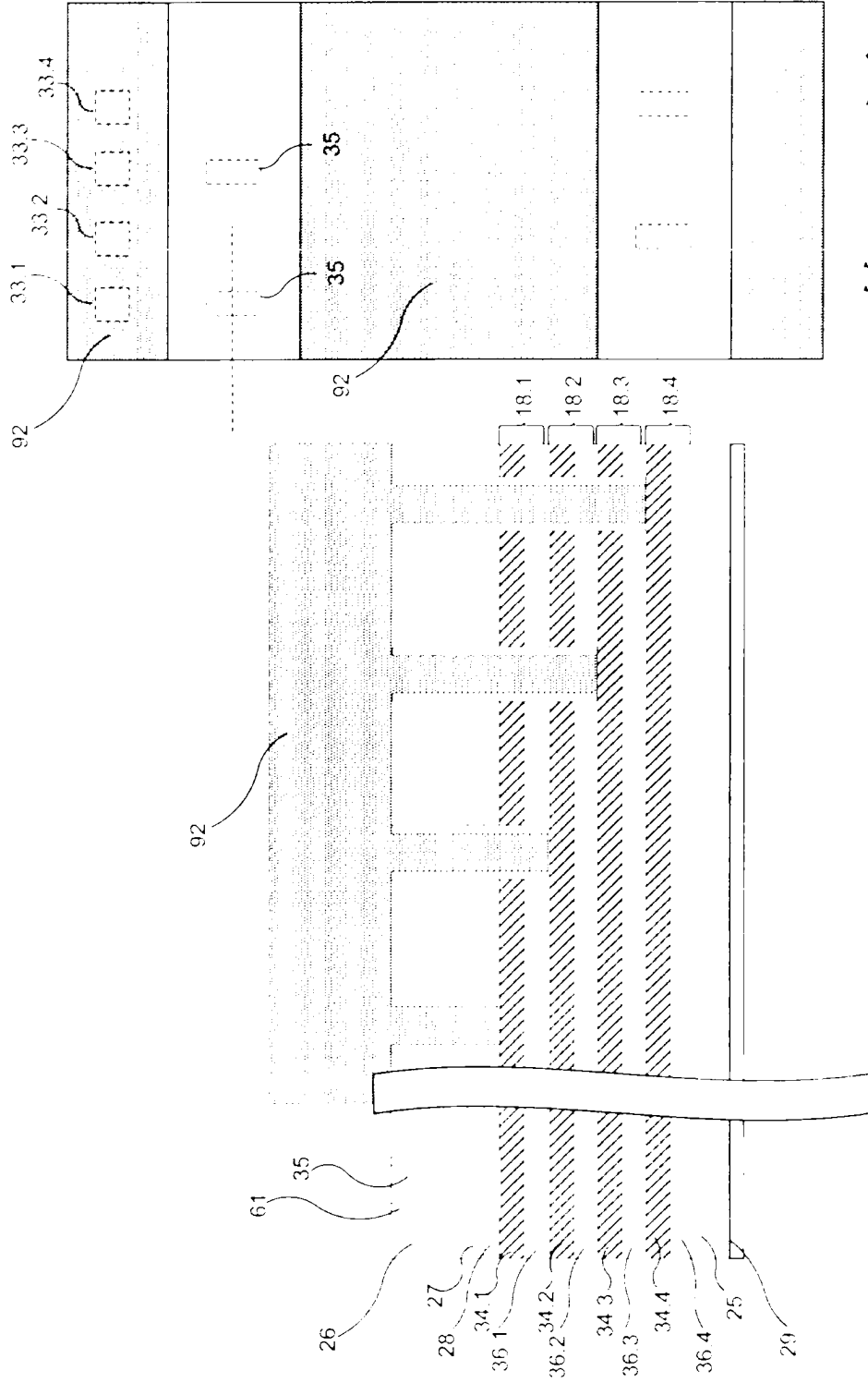
第 23 圖



第 24A 圖

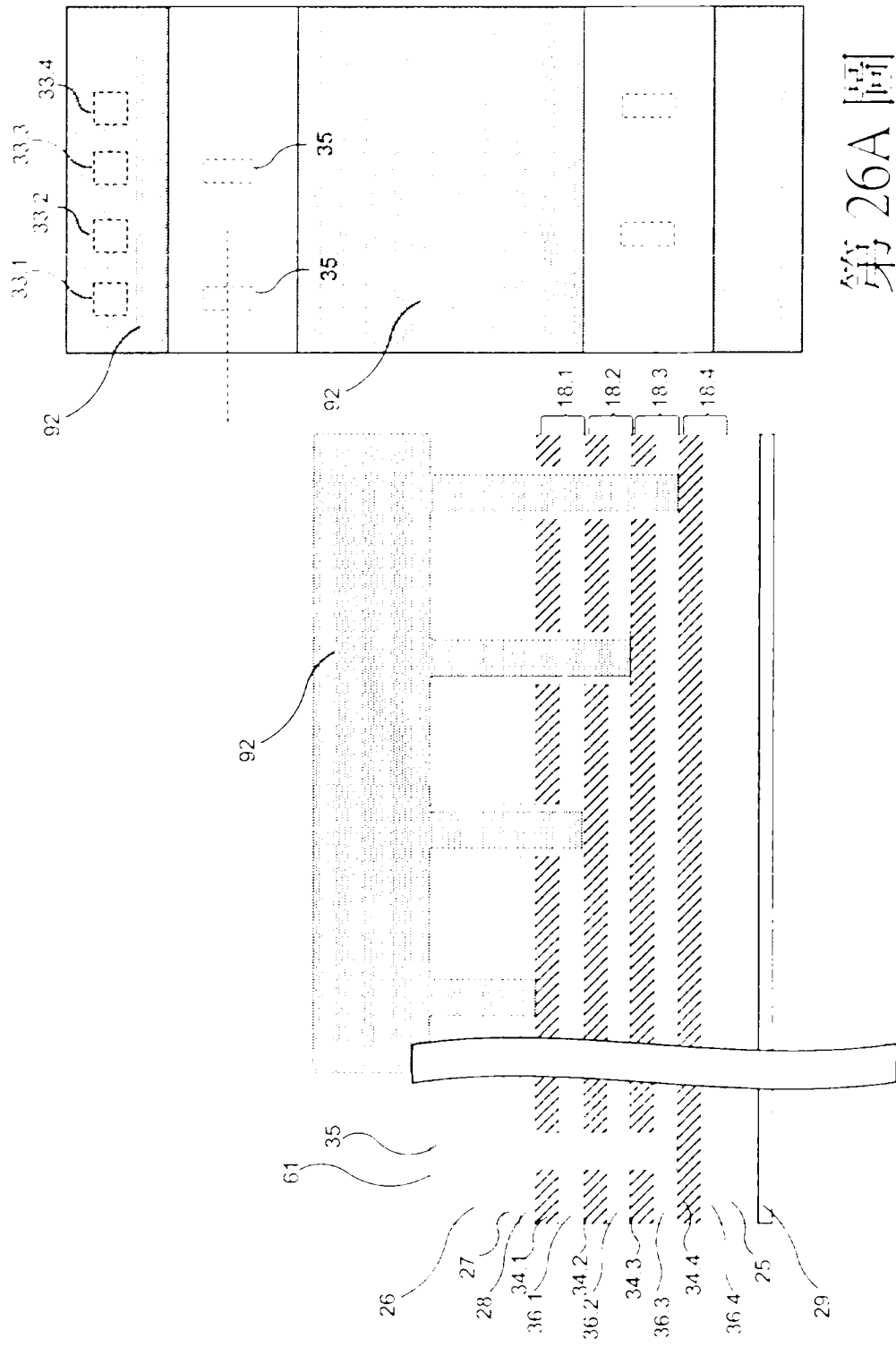


第 24 圖



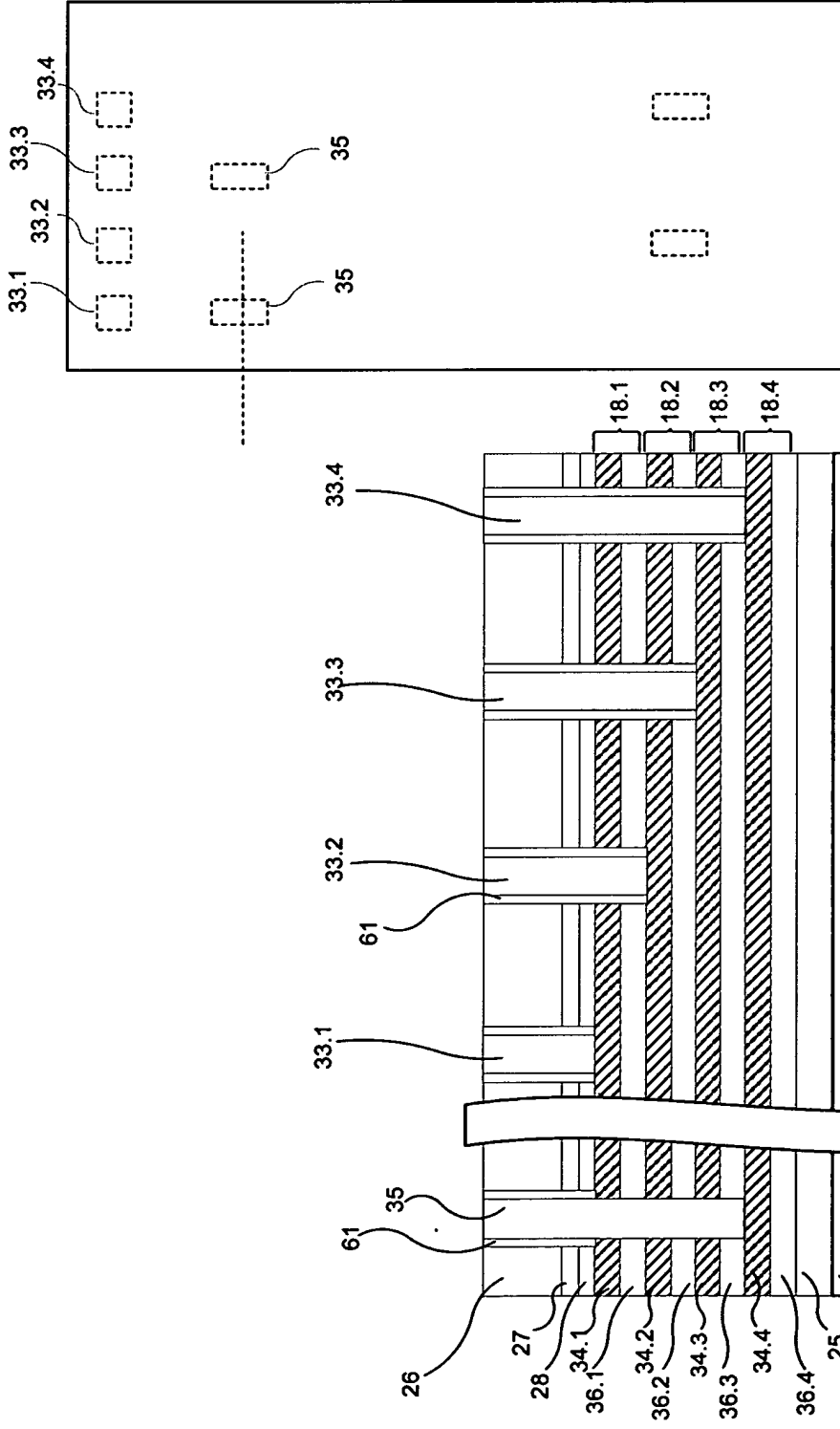
第 25 圖

第 25A 圖



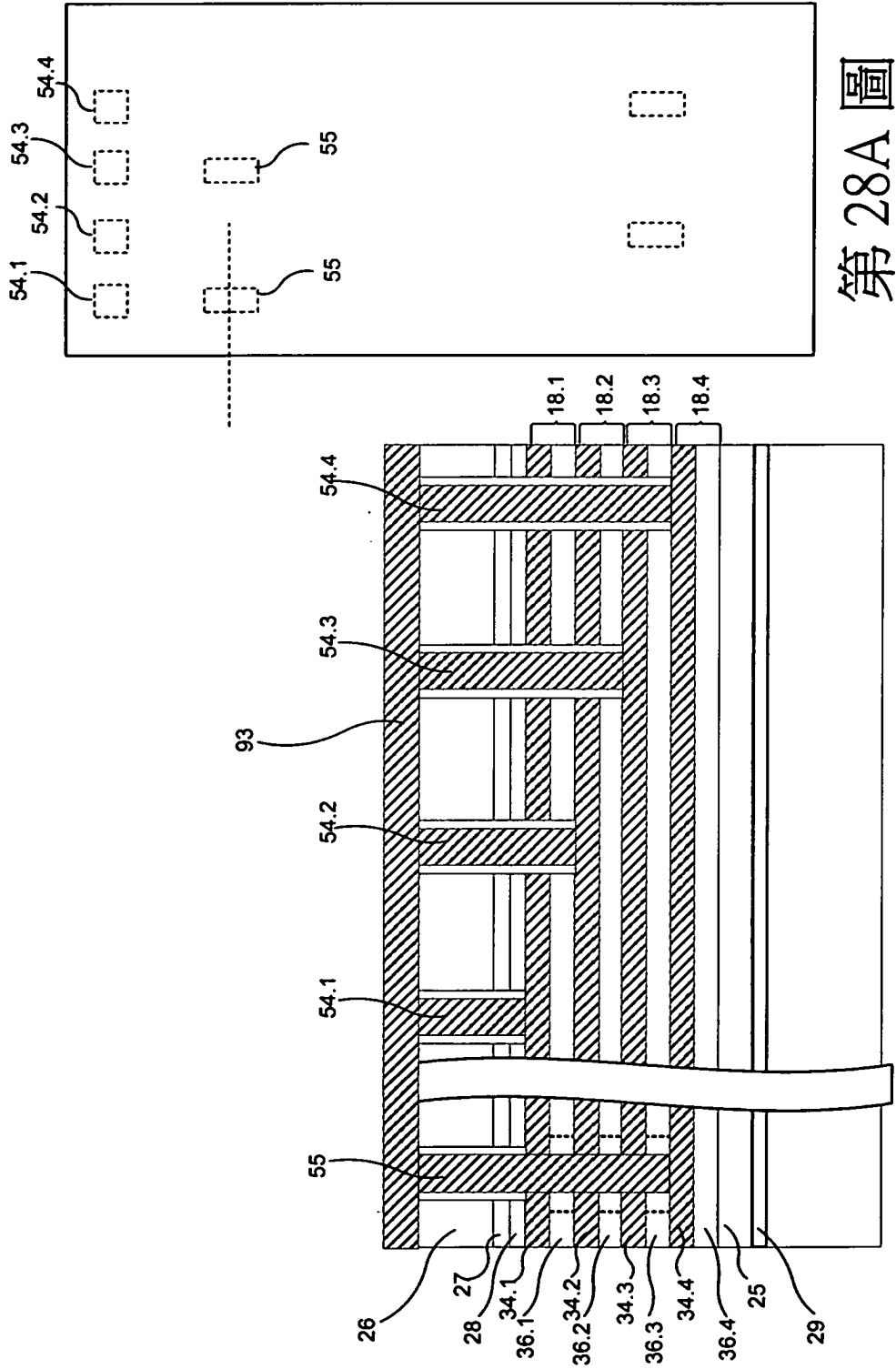
第 26 圖

第 26A 圖



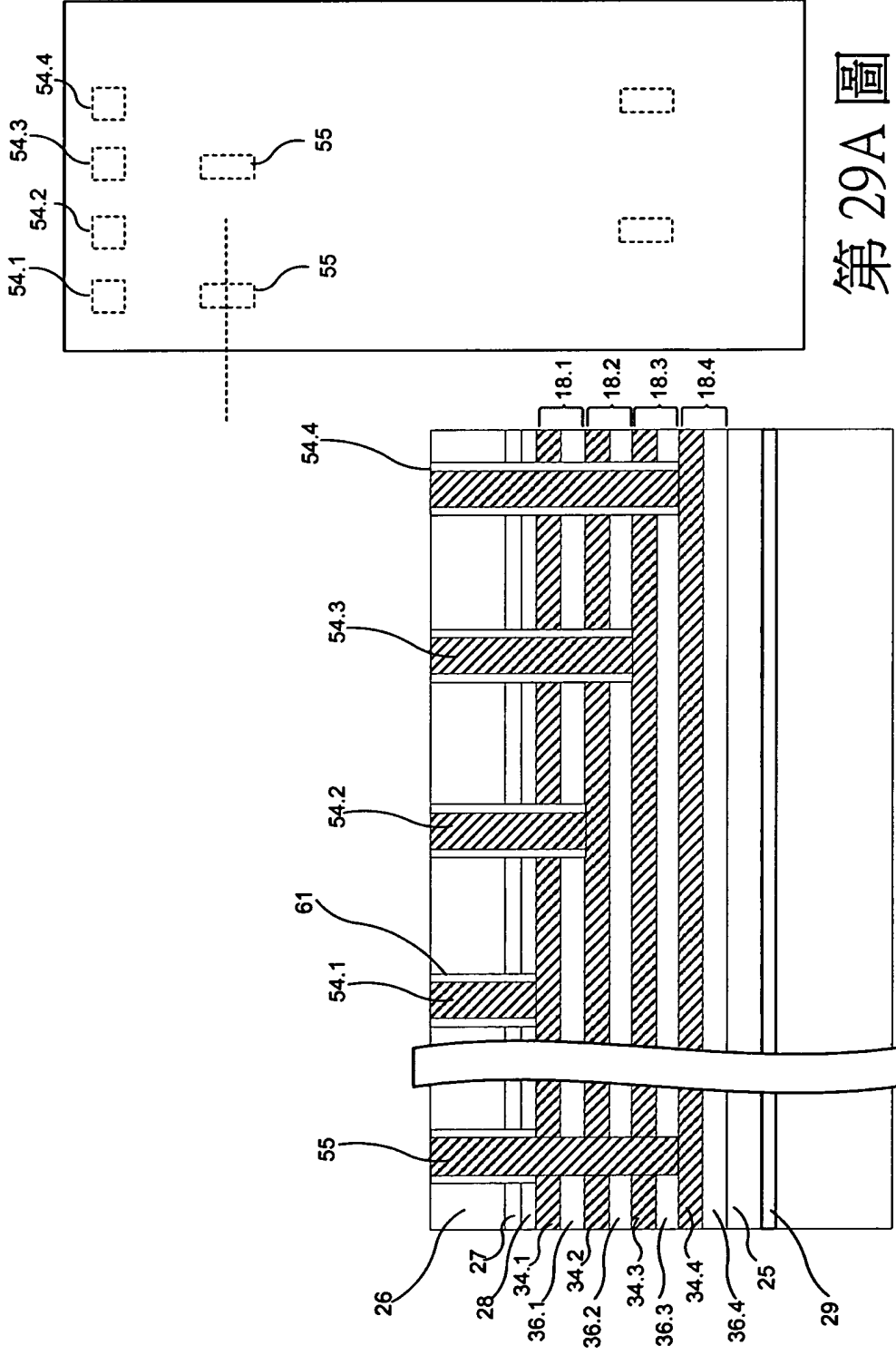
第 27A 圖

第 27 圖



第 28 圖

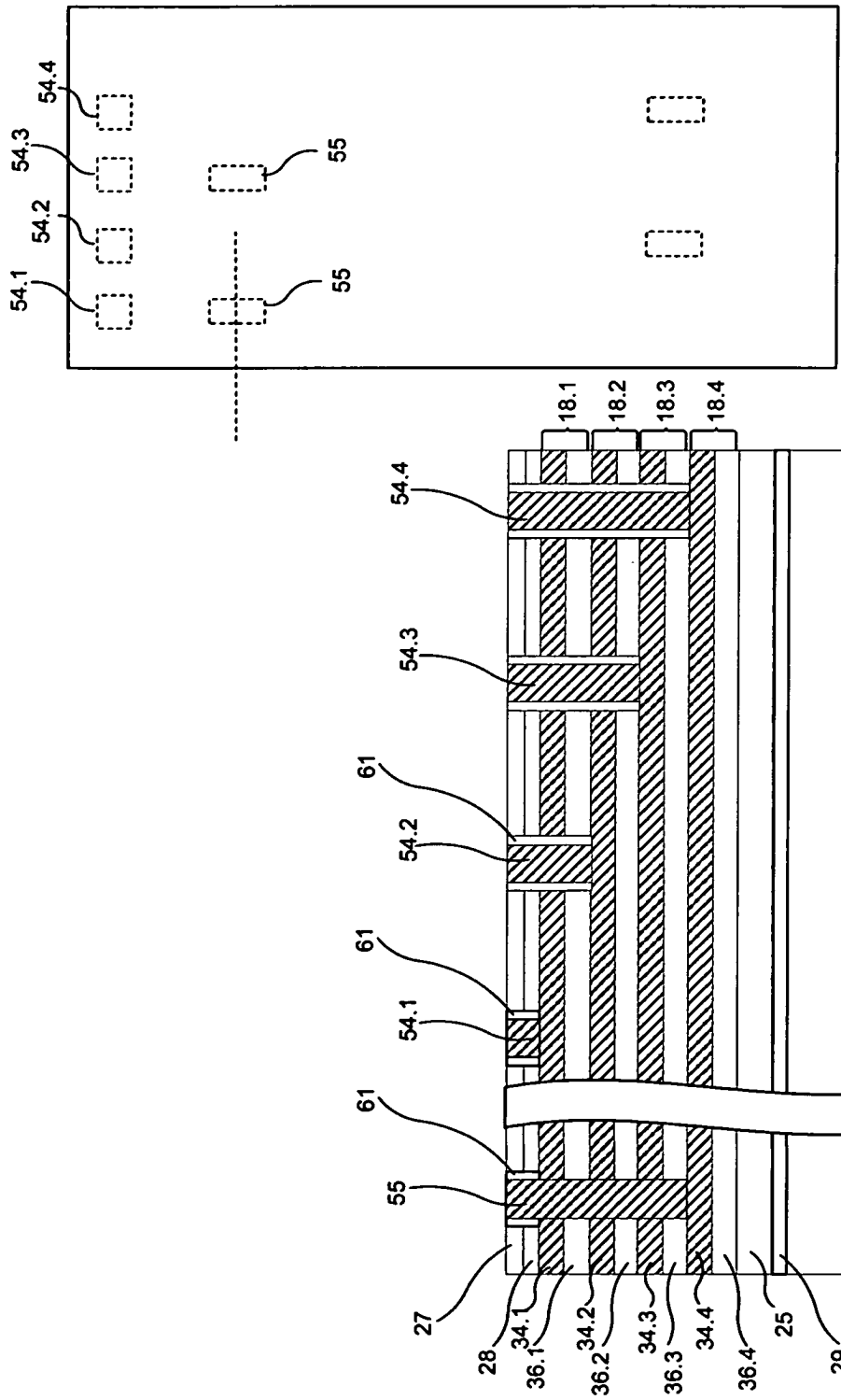
第 28A 圖



第 29A 圖

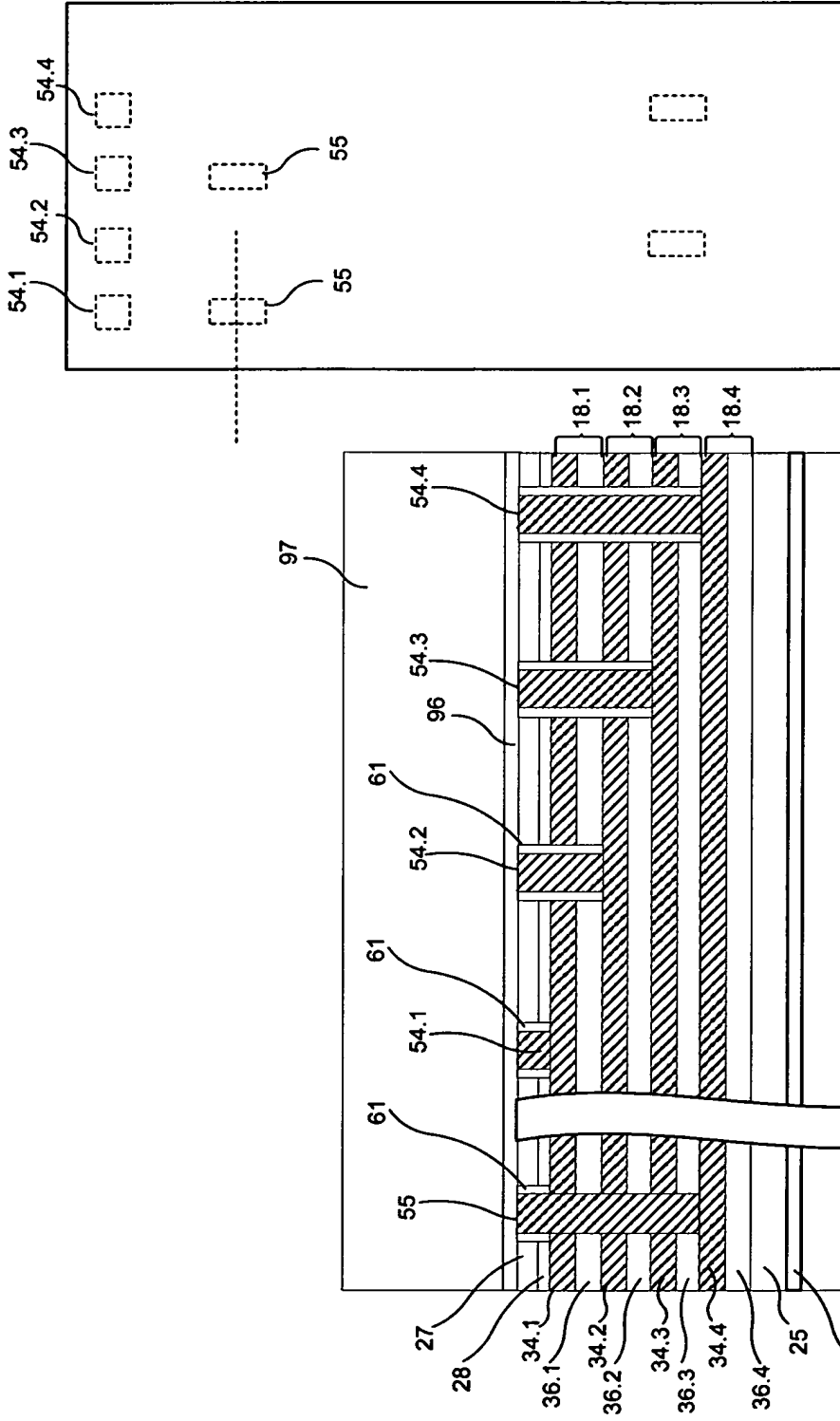
第 29 圖





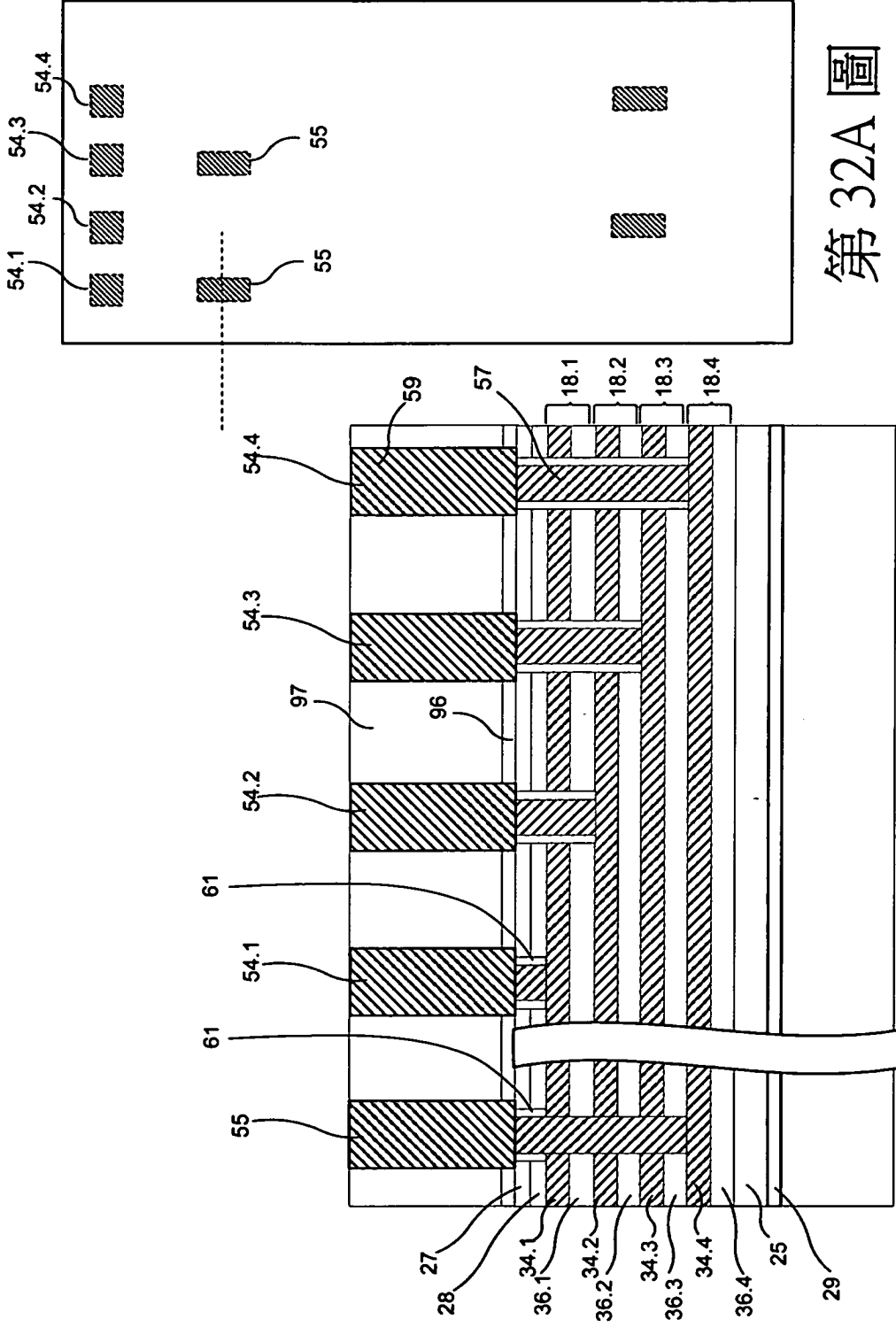
第30A圖

第30圖



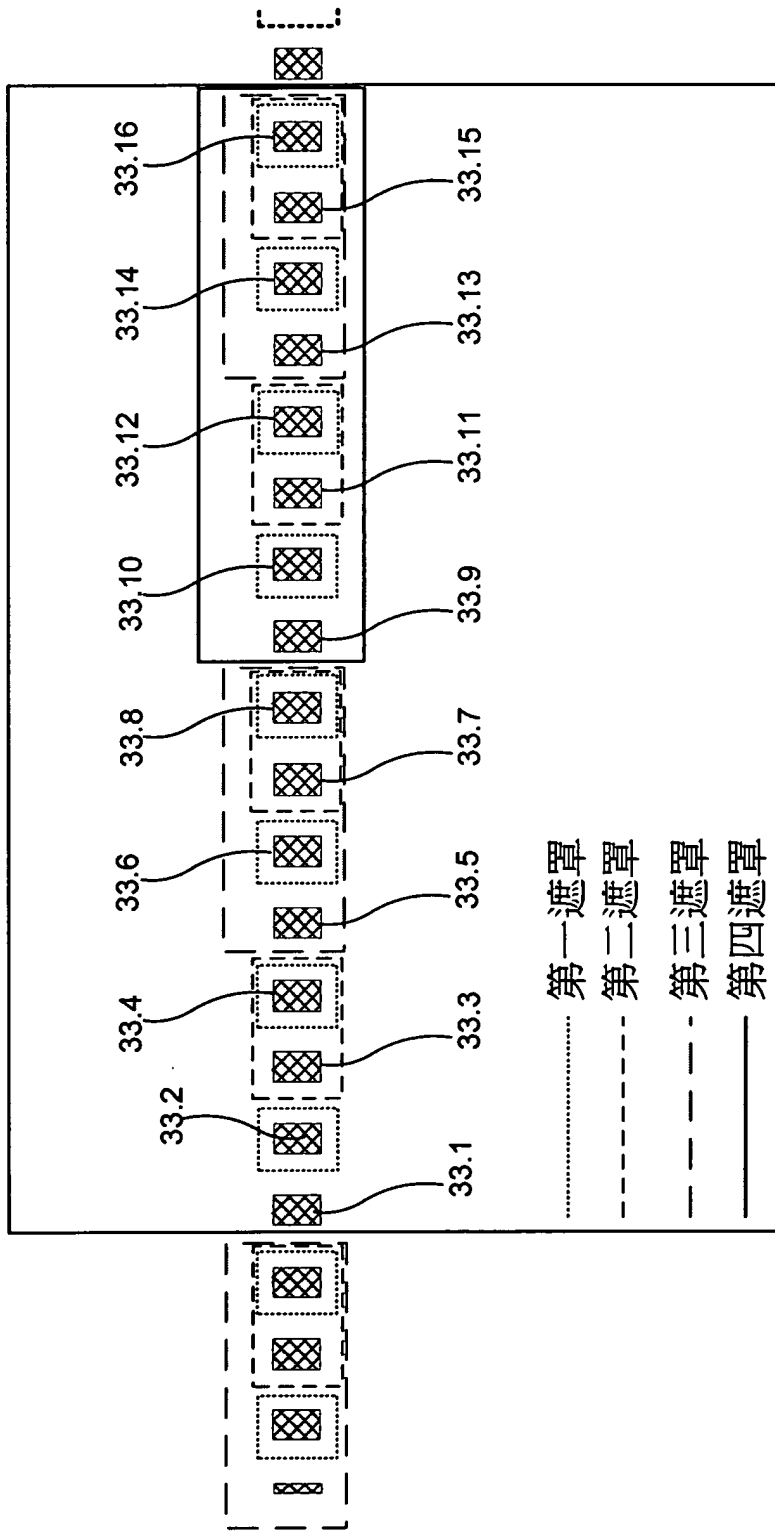
第31A圖

第31圖

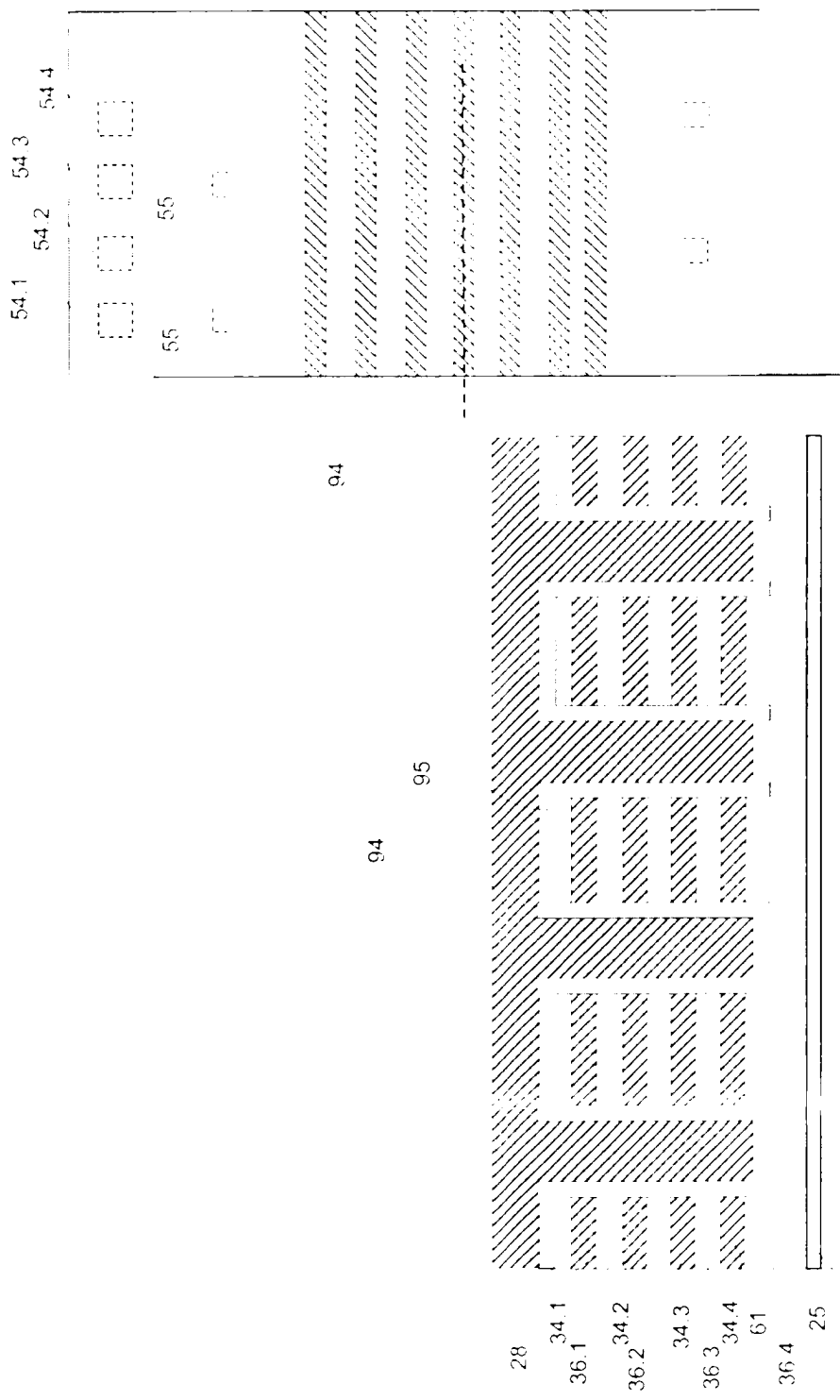


第32A圖

第32圖

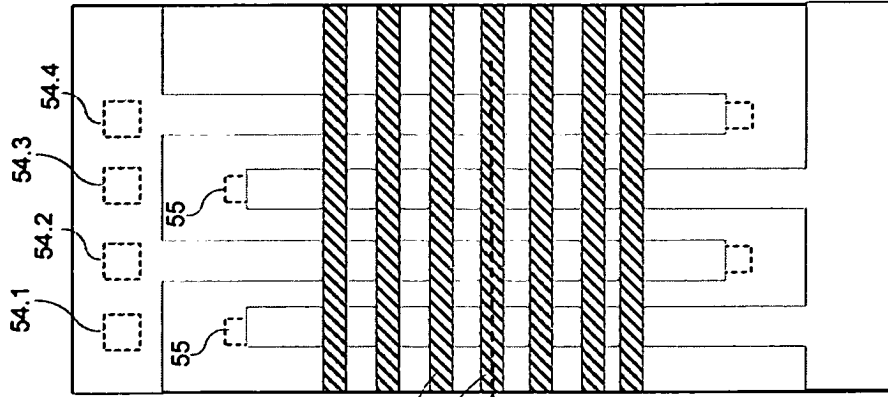


第 33 圖

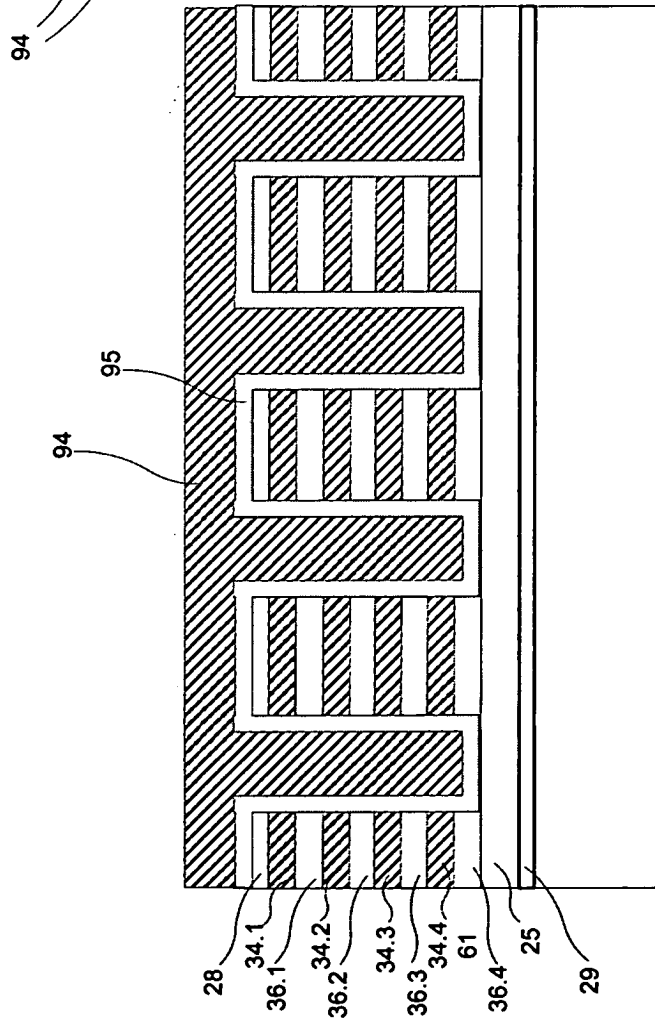


第34A圖

第34圖



第 34A 圖



第 34 圖

第一例

		接觸開口位置															
#蝕刻層數		A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P
遮罩1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
遮罩2	2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
遮罩3	4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
遮罩4	8	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
座落層		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

第35圖

		蝕刻順序改變															
#蝕刻層數		A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P
遮罩1	8	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
遮罩2	2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
遮罩3	4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
遮罩4	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
座落層		0	8	2	10	4	12	6	14	1	9	3	11	5	13	7	15

第36圖

遮罩順序改變

接觸開口位置

	#蝕刻層數	接觸開口位置															
		A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P
遮罩1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
遮罩2	2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
遮罩3	4	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
遮罩4	8	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
座落層		0	1	4	5	2	3	6	7	8	9	12	13	10	11	14	15

第37圖

位置改變

接觸開口位置

	#蝕刻層數	接觸開口位置															
		J	B	C	D	E	F	G	H	I	A	K	L	M	N	O	P
遮罩1	1	1	1	0	1	0	1	0	1	0	0	0	1	0	1	0	1
遮罩2	2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
遮罩3	4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
遮罩4	8	1	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1
座落層		9	1	2	3	4	5	6	7	8	0	10	11	12	13	14	15

第38圖



		綜合改變															
		接觸開口位置															
		J	B	C	D	E	F	G	H	I	A	K	L	M	N	O	P
遮罩1	#蝕刻層數	1	1	0	1	0	1	0	1	0	0	0	1	0	1	0	1
遮罩2		0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
遮罩3		0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
遮罩4		1	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1
座落層		9	8	4	12	2	10	6	14	1	0	5	13	3	11	7	15

第 39 圖

is 3, a first mask etches one contact level, a second mask etches two contact levels, and a third mask etches four contact levels. A dielectric layer may be formed on the sidewalls of the contact openings. Electrical conductors may be formed through the contact openings with the dielectric layers electrically insulating the electrical conductors from the sidewalls.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 17 圖。

(二)本代表圖之元件符號簡單說明：

14.1、14.2、14.3、14.4：內連線接觸區域

17：內連線區域

18.1、18.2、18.3、18.4：接觸層

19：矽基板

25：介電層

27：停止層

28：上介電層

29：底介電層

34.1、34.2、34.3、34.4：導電層

36.1、36.2、36.3、36.4：絕緣層

52：層間介電質

54.1、54.2、54.3、54.4：導電體

55：接地導電體

57：導電體 54 之第一部分

59：導電體 54 之第二部分

61：介電側壁間隔物

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：  
無。

該些接觸層之該些降落區域，該些介電層將該些導電體電性絕緣於該些側壁。在一些範例中，產生一接地接觸開口穿過該些接觸層，以及形成一接地導電體穿過該接地接觸開口，以與該些接觸層之多個該些導電層電性接觸。在一些範例中，該接地接觸開口具有一接地接觸開口側壁，且在該接地導電體形成步驟之前，移除於該接地接觸開口側壁的該些絕緣層之部分，使得相鄰於該接地接觸開口之多個該些導電層之部分係被暴露，使得該接地導電體增強與多個該些導電層的電性接觸。

一三維堆疊積體電路裝置之第一個範例包括至少第一、第二、第三及第四接觸層之一堆疊，係位於一內連線區域。各該接觸層包括一導電層及一絕緣層。第一、第二、第三及第四導電體穿過該接觸層之堆疊之部分。該第一、第二、第三及第四導電體係分別與該第一、第二、第三及第四導電層電性接觸。一介電側壁間隔物周圍環繞該第二、第三及第四導電體，以致於該第二、第三及第四導電體僅電性接觸各自的該第二、第三及第四導電層。在一些範例中，該第一、第二、第三及第四導電體具有一恆定的間距。在一些範例中，該第一、第二、第三及第四導電體之位置係由一共同的遮罩決定。在一些範例中，該堆疊積體電路裝置更包括一接地導電體穿過該些接觸層之該堆疊之部分，該接地導電體電性接觸各該第一、第二、第三及第四導電層。

一三維堆疊積體電路裝置之第二個範例包括至少第一、第二、第三及第四接觸層之一堆疊，係位於一內連線

區域。各該接觸層包括一導電層及一絕緣層。第一、第二、第三及第四導電體穿過該些接觸層之該堆疊之部分。該第一、第二、第三及第四導電體係分別與該第一、第二、第三及第四導電層電性接觸。該第一、第二、第三及第四導電體具有一恆定的間距。在一些範例中，該第一、第二、第三及第四導電體之位置係由一共同的遮罩決定。

一三維堆疊積體電路裝置之第三個範例包括至少第一、第二、第三及第四接觸層之一堆疊，係位於一內連線區域。各該接觸層包括一導電層及一絕緣層。第一、第二、第三及第四導電體穿過該些接觸層之該堆疊之部分。該第一、第二、第三及第四導電體係分別與該第一、第二、第三及第四導電層電性接觸。一介電側壁間隔物周圍環繞該第二、第三及第四導電體，以致於該第二、第三及第四導電體僅電性接觸各自的該第二、第三及第四導電層。一接地導電體穿過該些接觸層之該堆疊之部分且電性接觸各該第一、第二、第三及第四導電層。該第一、第二、第三及第四導電體具有一恆定的間距。該第一、第二、第三及第四導電體與該接地導電體之位置係由一共同的遮罩決定。

本發明之其他方面和優點可參考圖式、實施方式以及後附之申請專利範圍之說明。

### 【實施方式】

第1圖繪示包含具有內連線結構190之三維結構之裝置的剖面視圖，內連線結構190具有小的底面積

該移除、該選擇及該使用步驟係執行以致於該些接觸開口定義複數個側壁且延伸至該些 $2^N$ 的 $N$ 次方個接觸層；

形成一介電層於該些側壁上；以及

形成複數個導電體穿過該些接觸開口至位於該些接觸層之該些降落區域，該些介電層將該些導電體電性絕緣於該些側壁。

13. 如申請專利範圍第 12 項所述之方法，更包括：

產生一接地接觸開口穿過該些接觸層；以及

形成一接地導電體穿過該接地接觸開口，以與該些接觸層之多個該些導電層電性接觸。

14. 如申請專利範圍第 13 項所述之方法，其中該接地接觸開口具有一接地接觸開口側壁，且更包括：

在該接地導電體形成步驟之前，移除於該接地接觸開口側壁的該些絕緣層之部分，使得相鄰於該接地接觸開口之多個該些導電層之部分係被暴露，藉此使該接地導電體增強與多個該些導電層的電性接觸。

15. 如申請專利範圍第 12 項所述之方法，更包括在設置於該內連線區域上的一上層形成複數個接觸開口延伸部分，且其中該些導電體形成步驟係以延伸穿過該些接觸層的該些導電體之一第一部分以及延伸穿過該上層的該些導電體之一第二部分來執行。

16. 如申請專利範圍第 15 項所述之方法，其中該些導電體形成步驟係以該第一部分以及該第二部分為不同的導電材料來執行。

17. 一三維堆疊積體電路裝置包括：  
至少第一、第二、第三及第四接觸層之一堆疊，係位於一內連線區域；

各該接觸層包括一導電層及一絕緣層；

第一、第二、第三及第四導電體穿過該些接觸層之該堆疊之部分，其中該第四導電體貫穿該些接觸層至少其中之一；

該第一、第二、第三及第四導電體係分別與該第一、第二、第三及第四導電層電性接觸；以及

一介電側壁間隔物周圍環繞該第二、第三及第四導電體，以致於該第二、第三及第四導電體僅電性接觸各自的該第二、第三及第四導電層。

18. 如申請專利範圍第 17 項所述之堆疊積體電路裝置，其中該第一、第二、第三及第四導電體具有一恆定的間距。

19. 如申請專利範圍第 18 項所述之堆疊積體電路裝置，其中該第一、第二、第三及第四導電體之位置係由一共同的遮罩決定。

20. 如申請專利範圍第 17 項所述之堆疊積體電路裝置，其中該第一、第二、第三及第四導電體之位置係由一共同的遮罩決定。

21. 如申請專利範圍第 17 項所述之堆疊積體電路裝置，更包括一接地導電體穿過該些接觸層之該堆疊之部分且電性接觸各該第一、第二、第三及第四導電層。

22. 如申請專利範圍第 21 項所述之堆疊積體電路裝

置，其中該第一、第二、第三及第四導電體與該接地導電體之位置係由一共同的遮罩決定。

23. 一三維堆疊積體電路裝置包括：

至少第一、第二、第三及第四接觸層之一堆疊，係位於一內連線區域；

各該接觸層包括一導電層及一絕緣層；

第一、第二、第三及第四導電體穿過該些接觸層之該堆疊之部分；

該第一、第二、第三及第四導電體係分別與該第一、第二、第三及第四導電層電性接觸；

一介電側壁間隔物周圍環繞該第二、第三及第四導電體，以致於該第二、第三及第四導電體僅電性接觸各自的該第二、第三及第四導電層；

一接地導電體穿過該些接觸層之該堆疊之部分且電性接觸各該第一、第二、第三及第四導電層；

該第一、第二、第三及第四導電體具有一恆定的間距；以及

該第一、第二、第三及第四導電體與該接地導電體之位置係由一共同的遮罩決定。