

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6303348号  
(P6303348)

(45) 発行日 平成30年4月4日(2018.4.4)

(24) 登録日 平成30年3月16日(2018.3.16)

(51) Int. Cl.		F I			
<b>HO3F</b>	<b>1/32</b>	<b>(2006.01)</b>	HO3F	1/32	
<b>HO3H</b>	<b>7/18</b>	<b>(2006.01)</b>	HO3H	7/18	E
<b>HO3H</b>	<b>7/20</b>	<b>(2006.01)</b>	HO3H	7/20	E
<b>HO3H</b>	<b>7/42</b>	<b>(2006.01)</b>	HO3H	7/42	

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2013-188713 (P2013-188713)	(73) 特許権者	514315159
(22) 出願日	平成25年9月11日(2013.9.11)		株式会社ソシオネクスト
(65) 公開番号	特開2015-56756 (P2015-56756A)		神奈川県横浜市港北区新横浜2丁目10番
(43) 公開日	平成27年3月23日(2015.3.23)		23
審査請求日	平成28年4月1日(2016.4.1)	(74) 代理人	100090273
			弁理士 園分 孝悦
		(72) 発明者	川井 重明
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通セミコンダクター株式会社内
		審査官	緒方 寿彦

最終頁に続く

(54) 【発明の名称】 移相器、ブリディストータ、及びフェーズドアレイアンテナ

(57) 【特許請求の範囲】

【請求項1】

第1のインダクタ及び第2のインダクタを有するトランスフォーマと、  
一端を基準電位に接続した前記第1のインダクタの他端と第1の端子との間に直列に接続される第1の可変容量と、

前記第2のインダクタの一端と第2の端子との間に直列に接続される第2の可変容量と

、  
前記第2のインダクタの他端と第3の端子との間に直列に接続される第3の可変容量とを有し、

前記第1の可変容量、前記第2の可変容量、及び前記第3の可変容量の容量値は入力信号と出力信号の間の位相差を制御するための共通制御信号に基づいて制御され、

前記入力信号と前記出力信号の間の位相差は、前記出力信号の位相シフト量を制御することによって制御され、前記位相シフト量は、前記共通制御信号の変化に通じて、前記第1の可変容量、前記第2の可変容量、及び前記第3の可変容量の容量値を制御することによって制御されることを特徴とする移相器。

【請求項2】

前記可変容量は、前記共通制御信号に基づいて容量値が制御される可変容量ダイオードであることを特徴とする請求項1記載の移相器。

【請求項3】

前記可変容量は、前記共通制御信号に基づいて容量値が制御されるMOS構造のパラク

10

20

タであることを特徴とする請求項 1 記載の移相器。

【請求項 4】

前記可変容量は、複数の固定容量と前記共通制御信号に基づいて制御される複数のスイッチとを有する可変容量であることを特徴とする請求項 1 記載の移相器。

【請求項 5】

共通制御信号に応じて入力信号と出力信号の間の位相差を制御する移相器と、  
前記移相器に入力される信号の入力電力に応じて、前記移相器の後段に接続される回路で発生する位相歪とは逆特性の位相歪を前記移相器で発生させる前記共通制御信号を生成して前記移相器に出力する制御部とを有し、

前記移相器は、

第 1 のインダクタ及び第 2 のインダクタを有するトランスフォーマと、

一端を基準電位に接続した前記第 1 のインダクタの他端と第 1 の端子との間に直列に接続される第 1 の可変容量と、

前記第 2 のインダクタの一端と第 2 の端子との間に直列に接続される第 2 の可変容量と

、  
前記第 2 のインダクタの他端と第 3 の端子との間に直列に接続される第 3 の可変容量とを有し、

前記第 1 の可変容量、前記第 2 の可変容量、及び前記第 3 の可変容量の容量値は前記共通制御信号に基づいて制御され、

前記入力信号と前記出力信号の間の位相差は、前記出力信号の位相シフト量を制御することによって制御され、前記位相シフト量は、前記共通制御信号の変化に通じて、前記第 1 の可変容量、前記第 2 の可変容量、及び前記第 3 の可変容量の容量値を制御することによって制御されることを特徴とするプリディストータ。

【請求項 6】

前記制御部は、

前記移相器に入力される信号の入力電力を検出する電力検出部と、

前記電力検出部での検出結果に基づいて、前記共通制御信号を生成し前記移相器に出力する制御信号生成部とを有することを特徴とする請求項 5 記載のプリディストータ。

【請求項 7】

前記可変容量は、可変容量ダイオードであり、

前記制御信号生成部は、前記電力検出部での検出結果に基づいて前記可変容量ダイオードに供給する制御電圧を生成することを特徴とする請求項 6 記載のプリディストータ。

【請求項 8】

共通制御信号に応じて入力信号と出力信号の間の位相差を制御する移相器と、前記移相器で位相が制御された信号を増幅する増幅部と、前記増幅部で増幅された信号を出力するアンテナとの組を複数有し、

各組の前記アンテナから出力する信号の位相差に応じて、前記移相器における前記入力信号と前記出力信号の間の位相差を制御するための前記共通制御信号を生成する制御部を有し、

前記移相器の各々は、

第 1 のインダクタ及び第 2 のインダクタを有するトランスフォーマと、

一端を基準電位に接続した前記第 1 のインダクタの他端と第 1 の端子との間に直列に接続される第 1 の可変容量と、

前記第 2 のインダクタの一端と第 2 の端子との間に直列に接続される第 2 の可変容量と

、  
前記第 2 のインダクタの他端と第 3 の端子との間に直列に接続される第 3 の可変容量とを有し、

前記第 1 の可変容量、前記第 2 の可変容量、及び前記第 3 の可変容量の容量値は前記共通制御信号に基づいて制御され、

前記入力信号と前記出力信号の間の位相差は、前記出力信号の位相シフト量を制御する

10

20

30

40

50

ことによって制御され、前記位相シフト量は、前記共通制御信号の変化に通じて、前記第1の可変容量、前記第2の可変容量、及び前記第3の可変容量の容量値を制御することによって制御されることを特徴とするフェーズドアレイアンテナ。

【請求項9】

共通制御信号に応じて入力信号と出力信号の間の位相差を制御する移相器と、アンテナとの組を複数有し、

前記移相器における前記入力信号と前記出力信号の間の位相差を制御するための前記共通制御信号を生成する制御部を有し、

前記移相器の各々は、

第1のインダクタ及び第2のインダクタを有するトランスフォーマと、

一端を基準電位に接続した前記第1のインダクタの他端と第1の端子との間に直列に接続される第1の可変容量と、

前記第2のインダクタの一端と第2の端子との間に直列に接続される第2の可変容量と

、  
前記第2のインダクタの他端と第3の端子との間に直列に接続される第3の可変容量とを有し、

前記第1の可変容量、前記第2の可変容量、及び前記第3の可変容量の容量値は前記共通制御信号に基づいて制御され、

前記入力信号と前記出力信号の間の位相差は、前記出力信号の位相シフト量を制御することによって制御され、前記位相シフト量は、前記共通制御信号の変化に通じて、前記第1の可変容量、前記第2の可変容量、及び前記第3の可変容量の容量値を制御することによって制御されることを特徴とするフェーズドアレイアンテナ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、移相器、プリディスタータ、及びフェーズドアレイアンテナに関する。

【背景技術】

【0002】

移相器は、制御端子に与える電圧などを制御することで入力信号と出力信号との位相差（通過位相）を変化させる。移相器は、例えば回路内の位相調整に使用される。移相器の適用例としては、位相歪のプリディスタータやフェーズドアレイアンテナなどがある。移相器として、伝送線路を用いた構成（例えば、特許文献1参照）やインダクタを用いた構成（例えば、特許文献2参照）が知られている。

【0003】

また、一般に、増幅器やミキサなどのアナログ回路では、差動回路構成が用いられる。差動回路は、素子ばらつきや電源ノイズの影響を低減できるため、半導体装置において広く使用されている。一方で、端子数の制限や半導体装置の外部では等長配線が構成しにくいという理由から、半導体装置の外部との入出力では単相信号が好ましい。そのため、半導体装置内で単相信号を差動信号に変換し、また差動信号を単相信号に変換することが必要になる。

【0004】

単相 - 差動変換を行う回路の一つにバランがある。バランは、トランスフォーマの片側を基準電位に接続することで実現される。バランは、トランスフォーマの一次側と二次側とがインダクタの相互誘導によってのみ結合されているため、基準電位の分離が可能で単相 - 差動変換に用いられる。バランによる単相 - 差動変換は、低損失かつ歪が小さいことから、バランは、例えば低歪で高利得が求められる増幅回路等において、入出力する信号の単相 - 差動変換に用いられる。その一方で、バランを構成するトランスフォーマやインダクタは面積が大きく集積化が難しく、半導体装置での占有面積が増大する。

【先行技術文献】

【特許文献】

10

20

30

40

50

## 【 0 0 0 5 】

【特許文献 1】特開平 6 - 6 9 7 0 1 号公報

【特許文献 2】特開昭 6 2 - 2 7 8 8 1 3 号公報

【発明の概要】

【発明が解決しようとする課題】

## 【 0 0 0 6 】

例えば、差動回路において、前述した伝送線路を用いた構成やインダクタを用いた構成の移相器を用い、通過位相を制御することを考える。例えば特許文献 1 に示された移相器として伝送線路を用いた構成は、( / 4 ) 伝送線路を用いるので、実現するには大きな面積が必要となる。例えば、無線通信などに用いられる 2 G H z の信号に対応する移相器の場合、( / 4 ) は真空中で 3 . 7 5 c m となる。誘電体による波長短縮率は、誘電体基板などでも高々 0 . 3 倍程度であるため、1 c m 程度の伝送線路が必要となり、面積が大きく集積化することは困難である。また、例えば特許文献 2 に示された移相器としてインダクタを用いた構成は、2 つのインダクタを追加して用いるため、回路面積や部品点数が増大してしまう。

10

## 【 0 0 0 7 】

このような課題に対して、抵抗と可変容量を使用した移相器が提案されている（例えば、特許文献 2 参照）。移相器として抵抗と可変容量を使用した構成は、回路面積の増大を抑えられるが、抵抗により損失が大きくなる。この対策として損失補償のためのアンプを用いると、回路面積や部品点数の増大に加え、消費電流も増加してしまう。

20

## 【 0 0 0 8 】

本発明は、損失が小さく、かつ回路面積や部品点数の増大を抑制して単相 - 差動変換及び移相器の機能を実現することを目的とする。

【課題を解決するための手段】

## 【 0 0 0 9 】

移相器の一態様は、第 1 のインダクタ及び第 2 のインダクタを有するトランスフォーマと、入力信号と出力信号の間の位相差を制御するための共通制御信号に基づいて容量値が制御される第 1 ~ 第 3 の可変容量とを有する。第 1 のインダクタの一端を基準電位に接続し、他端と第 1 の端子との間に第 1 の可変容量が直列接続される。また、第 2 のインダクタの一端と第 2 の端子との間に第 2 の可変容量が直列接続され、他端と第 3 の端子との間に第 3 の可変容量が直列接続される。入力信号と出力信号の間の位相差は、出力信号の位相シフト量を制御することによって制御され、位相シフト量は、共通制御信号の変化を通じて、第 1 ~ 第 3 の可変容量の容量値を制御することによって制御される。

30

【発明の効果】

## 【 0 0 1 0 】

開示の移相器は、共通制御信号に基づいて可変容量の容量値を変化させることで入力信号と出力信号の間の所望の位相差が得られ、損失が小さく、かつ回路面積や部品点数の増大を抑制して単相 - 差動変換及び移相器の両方の機能を実現することができる。

【図面の簡単な説明】

## 【 0 0 1 1 】

【図 1】本発明の実施形態における移相器の構成例を示す図である。

【図 2】本実施形態における移相器及びその等価回路変換を示す図である。

【図 3】図 2 ( B ) に示す回路のインピーダンス軌跡を示す図である。

【図 4】本実施形態における移相器の特性を説明するための図である。

【図 5】本実施形態におけるプリディストータの構成例を示す図である。

【図 6】本実施形態におけるプリディストータの移相器の構成例を示す図である。

【図 7】本実施形態におけるプリディストータの制御部の構成例を示す図である。

【図 8】本実施形態におけるプリディストータによる歪補償特性に係るシミュレーション結果を示す図である。

【図 9】本実施形態におけるプリディストータの移相器の他の構成例を示す図である。

40

50

【図 10】本実施形態におけるフェーズドアレイアンテナの構成例を示す図である。

【図 11】本実施形態におけるフェーズドアレイアンテナが有する各回路の構成例を示す図である。

【図 12】本実施形態におけるフェーズドアレイアンテナの制御例を示す図である。

【図 13】本実施形態におけるフェーズドアレイアンテナの移相器の他の構成例を示す図である。

【図 14】本実施形態における移相器の他の構成例を示す図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態を図面に基づいて説明する。

10

【0013】

< 移相器 >

図 1 は、本発明の一実施形態における移相器の構成例を示す図である。本実施形態における移相器 10 は、磁気的に結合するインダクタ 11、12 及び可変容量 13、14、15 を有する。移相器 10 は、通過位相が制御される信号の入出力端子として、単相信号に係る端子である第 1 の端子 16 と、差動信号の信号対に係る端子である第 2 の端子 17 及び第 3 の端子 18 とを有する。また、移相器 10 は、通過位相を制御するための制御信号の入力端子として制御端子 19 を有する。

【0014】

トランスフォーマの一次側及び二次側のうちの一方の側におけるインダクタ 11 は、一端が可変容量 13 を介して第 1 の端子 16 に接続され、他端が基準電位に接続される。また、トランスフォーマの一次側及び二次側のうちの他方の側におけるインダクタ 12 は、一端が可変容量 14 を介して第 2 の端子 17 に接続され、他端が可変容量 15 を介して第 3 の端子 18 に接続される。すなわち、単相側のインダクタ 11 の一端と第 1 の端子 16 との間に可変容量 13 が直列に接続され、他端が基準電位に接続される。また、差動側のインダクタ 12 の一端と第 2 の端子 17 との間に可変容量 14 が直列に接続され、他端と第 3 の端子 18 との間に可変容量 15 が直列に接続される。

20

【0015】

可変容量 13、14、15 は、制御端子 19 より入力される制御信号 VCNT に応じて容量値が制御される。可変容量 13、14、15 としては、例えばダイオード構造のバラクタ（可変容量ダイオード）を適用したり（例えば図 6）、MOS 構造のバラクタを適用したり（例えば、図 14）、また例えば容量値が固定の固定容量と制御信号 VCNT に応じて開閉制御されるスイッチとの回路（例えば図 13）を適用したりすることが可能である。

30

【0016】

すなわち、移相器 10 は、インダクタ 11、12 同士の磁束の結合により、単相信号を差動信号に変換、又は差動信号を単相信号に変換するトランスフォーマを用いた balan を有する。この balan の単相側及び差動側のそれぞれに対して可変容量 13、14、15 が直列に接続されている。

【0017】

以下、インダクタ 11、12 を有するトランスフォーマを用いた balan に対して可変容量 13、14、15 を接続した図 1 に示す回路が、移相器として動作することについて説明する。なお、以下の説明では、balan の単相側を一次側、balan の差動側を二次側とする例を説明するが、balan の単相側を二次側、balan の差動側を一次側としても、同様に移相器として動作する。

40

【0018】

図 2 (A) に示すように、可変容量 13 の容量値を  $C_1$ 、可変容量 14、15 の容量値を  $2C_2$  とする。図 2 (A) において、図 1 に示した構成要素と同一の構成要素には同一の符号を付している。図 2 (A) に示した回路に対して、差動回路の半回路、balan の等価回路変換、インピーダンス変換による理想変成器の除去により回路の等価変換をした結

50

果が図2(B)に示す回路である。図2(B)において、Lはバランの等価回路における自己インダクタンスである。なお、図2(B)に示す回路において、二次側の容量の係数 $n$ は、バランの変成比である。一次側の入力インピーダンスを $Z_1$ とし、二次側の入力インピーダンスを $Z_2$ としたときに $n^2 = Z_2 / 2 Z_1$ となる。

【0019】

図2(B)に示した $C_1$ 、 $L$ 、 $n^2 C_2$ によるT型回路の特性を考える。ここで、入出力のインピーダンスをともに $Z_1$ として、 $L$ 、 $C_1$ 、 $C_2$ の値を適切に選ぶと、スミスチャート上では図3(A)に示すような軌跡を描き、 $Z_1$ に戻る。入力信号の角周波数が一定であるとき、 $C_1 = n^2 C_2 = 1 / Z_1$ 、 $L = Z_1$ とすると、入力と出力が同時整合するため反射損失は0となり、回路内部での損失もないため挿入損失も0となる。

10

【0020】

この点ではスミスチャートの中心をとる $re(Z) = Z_1$ の円の接線とサセプタンス一定の曲線の接線とが重なる。すなわち、この点の近傍で $C_1 = n^2 C_2$ の大きさを変化させた場合でも同じ大きさのサセプタンスで同様に整合可能である。つまり、図3(B)に示すように容量値を変えても $C_1 = n^2 C_2$ の近傍では並列Lのインダクタンス一定で反射損失を小さく保つことができる。図3(B)において、CMが $C_1 = n^2 C_2 = C_0$ としたときの軌跡であり、CLが $C_1 = n^2 C_2 = C_0 - C$ としたときの軌跡であり、CHが $C_1 = n^2 C_2 = C_0 + C$ としたときの軌跡である。

【0021】

一方、通過位相については、 $C_1$ 、 $C_2$ の値を変化させると直列の容量、並列のインダクタンス、直列の容量によるハイパスフィルタの極が変化するので、容量値を変化させることで通過位相を変化させることができる。

20

【0022】

図4は、本実施形態における移相器10の特性を説明するための図である。図4においては、目標周波数を $1.9 \text{ GHz} \sim 2.1 \text{ GHz}$ として移相器10を設計し、図3に示したスミスチャートを参考に $C_1$ 、 $C_2$ 、 $L$ 、 $n$ を決定し、容量値を変化させたときのシミュレーション結果を示している。なお、図4において、CMは $C_1 = n^2 C_2 = C_0$ としたときの特性であり、CLは $C_1 = n^2 C_2 = C_0 - C$ としたときの特性であり、CHは $C_1 = n^2 C_2 = C_0 + C$ としたときの特性である。

【0023】

図4(A)は、第1の端子16から信号を入力したときの挿入損失を示しており、図4(B)は、第1の端子16から信号を入力したときの反射損失を示しており、図4(C)は、第1の端子16から信号を入力したときの通過位相(入出力信号の位相差)を示している。また、図4(D)は、第2の端子17及び第3の端子18から信号を入力したときの反射損失を示している。図4(A)～図4(D)に示した特性から、 $C_1$ 、 $C_2$ 、 $L$ の値を適切に選択することで、目標周波数である $1.9 \text{ GHz} \sim 2.1 \text{ GHz}$ において挿入損失及び反射損失がともに小さく、容量値を変化させることで通過位相を30度変化できていることがわかる。

30

【0024】

なお、前述した説明では、トランスフォーマにおける結合係数 $k$ を1として説明したが、結合係数 $k$ が1未満である場合には等価変換した結果の回路において直列の漏れインダクタンスが発生する。しかし、この漏れインダクタンスによる影響は、直列の容量により打ち消すことができるので、容量値を適切に制御することで漏れインダクタンスによる影響を抑制することが可能である。

40

【0025】

以上のように、本実施形態における移相器10は、インダクタ11、12を有するトランスフォーマを用いたバランの単相側及び差動側のそれぞれに可変容量13、14、15を直列に接続する。制御信号VCONTにより可変容量13、14、15の容量値を制御し出力信号の位相シフト量を制御することで、所望の通過位相が得られ、1つのバランで単相・差動変換及び移相器の両方の機能を実現することができる。また、バランに対して可

50

変容量 13、14、15 が接続される構成であるので、損失が小さく、回路面積や部品点数の増大も抑制することができる。

【0026】

<プリディストータ>

次に、本実施形態における移相器を用いたプリディストータについて説明する。

プリディストータは、後段に接続される回路で発生する位相歪とは逆の位相歪を発生させ出力信号の位相歪を改善する。例えば、送信回路等の増幅器（パワーアンプ）での位相歪が問題となる場合に、増幅器の前段に増幅器の位相歪と逆特性の位相歪を発生させるプリディストータを配置することで、増幅器から出力される信号の位相歪を低減することが可能である。移相器によるプリディストータは、例えば入力信号の電力に応じて移相器の制御信号を変えることで、増幅器とは逆特性の通過位相を生成し増幅器の出力信号の位相歪を低減する。

10

【0027】

図5は、本実施形態におけるプリディストータの構成例を示す図である。図5において、図1に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。本実施形態におけるプリディストータ50は、差動増幅器52の前段に配置され、入力端N51から入力される単相信号を差動信号に変換するとともに、差動増幅器52とは逆特性の位相歪を与えて出力する。プリディストータ50の出力端子としての第2の端子17及び第3の端子18に差動増幅器52が接続され、差動増幅器52の出力が、 balan 53 を介して出力端N52に供給される。

20

【0028】

プリディストータ50は、移相器10及び制御部51を有する。移相器10は、入力端N51より第1の端子16を介して入力される単相信号を差動信号に変換するとともに、制御信号VCNTに応じて信号を位相シフトさせ通過位相を制御する。制御部51は、入力端N51より入力される信号の入力電力に応じた制御電圧を生成し、制御信号VCNTとして移相器10に出力する。

【0029】

図6は、プリディストータ50が有する移相器10の構成例を示す図である。図6に示す移相器10は、可変容量13、14、15として、ダイオード構造のバラクタ（可変容量ダイオード）を適用したものである。図6において、図1、図5に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。

30

【0030】

可変容量13に対応する2つのバラクタ61、62は、第1の端子16とインダクタ11との間に直列に接続される。バラクタ61のアノードが第1の端子16に接続され、バラクタ62のアノードがインダクタ11の一端に接続される。また、バラクタ61、62のカソードの接続点が抵抗67を介して制御端子19に接続され、制御端子19より供給される制御電圧（バイアス）に応じてバラクタ61、62の容量値が制御される。

【0031】

また、可変容量14に対応する2つのバラクタ63、64は、インダクタ12の一端と第2の端子17との間に直列に接続される。バラクタ63のアノードがインダクタ12の一端に接続され、バラクタ64のアノードが第2の端子17に接続される。また、バラクタ63、64のカソードの接続点が抵抗68を介して制御端子19に接続され、制御端子19より供給される制御電圧（バイアス）に応じてバラクタ63、64の容量値が制御される。

40

【0032】

同様に、可変容量15に対応する2つのバラクタ65、66は、インダクタ12の他端と第3の端子18との間に直列に接続される。バラクタ65のアノードがインダクタ12の他端に接続され、バラクタ66のアノードが第3の端子18に接続される。また、バラクタ65、66のカソードの接続点が抵抗69を介して制御端子19に接続され、制御端子19より供給される制御電圧（バイアス）に応じてバラクタ65、66の容量値が制御

50

される。

【 0 0 3 3 】

図7は、プリディストータ50が有する制御部51の構成例を示す図である。制御部51は、容量71、ダイオード72、及び容量73による電力検出部と、制御信号生成部としてのバッファ74とを有する。容量71は、一方の電極が入力端N51に接続され、他方の電極がダイオード72のアノードに接続される。また、容量73は、一方の電極がダイオード72のカソードに接続され、他方の電極が基準電位に接続される。ダイオード72のカソードと容量73の接続点の電位がバッファ74に入力される。

【 0 0 3 4 】

容量71、ダイオード72、及び容量73による電力検出部は、ダイオードと容量による整流作用（高周波の電圧振幅の包絡線に容量の電圧が比例する特性）を利用して、入力端N51から入力される高周波信号の電力振幅の包絡線を検波して電圧又は電流に変換する。電力検出部は、この構成に限らず、ミキサやB級又はC級バイアスとしたアンプを使用した構成であっても良い。

【 0 0 3 5 】

バッファ74は、電力検出部により生成された入力信号の電力振幅に応じた信号を、移相器10に対応した振幅の信号に変換する。例えば、移相器10の制御電圧 - 通過位相特性が  $f_{ps}(VCNT)$  であり、電力検出部の入力高周波電力 - 出力電圧特性が  $f_{det}(Pin)$  であり、バッファ74の入力電圧 - 出力電圧特性が  $f_{buff}(Vin)$  であり、補償対象の増幅器（差動増幅器52）の入力電力 - 通過位相特性が  $f_{amp}(Pin)$  であるとする。このとき、 $f_{ps}(f_{buff}(f_{det}(Pin))) = -f_{amp}(Pin)$  を満たすように、バッファ74の入力電圧 - 出力電圧特性の  $f_{buff}(Vin)$  を定めることで、プリディストータ50が差動増幅器52とは逆特性の位相歪を与えることが可能になる。ここで、バッファ74の出力抵抗は、容量の充放電による遅延の影響を防ぐために、出力抵抗の抵抗値とバッファ74から見た可変容量の容量値との積で求められる時定数が、入力電力の包絡線の周波数の逆数よりも十分小さくなるような出力抵抗とされる。

【 0 0 3 6 】

入力電力に応じた位相歪を与える本実施形態におけるプリディストータを増幅器に適用した場合の歪補償特性に係るシミュレーション結果を図8に示す。図8において、S81は、増幅器のみのときの入力電力 - 通過位相特性を示しており、S82は、本実施形態におけるプリディストータを適用したときの入力電力 - 通過位相特性を示している。図8から明らかなように、本実施形態における移相器を用いたプリディストータを適用することで、入力電力に応じた通過位相の変化が低減され位相歪が抑制される。

【 0 0 3 7 】

図9は、プリディストータ50が有する移相器10の他の構成例を示す図である。図9において、図6に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。図9に示す移相器10は、差動側のインダクタ12のセンタータップ（中間タップ）に抵抗71を介して制御信号（制御電圧）VCNTを与えている。図9に示す構成とすることで、移相器10が有するバラクタ（可変容量ダイオード）の点数及び容量値を削減することができる。また、差動側についてバッファ74から見た可変容量の容量値が  $1/4$  となるため、バッファ74の出力抵抗を増加させることができ、バッファ74の消費電流を低減することが可能になる。

【 0 0 3 8 】

< フェーズドアレイアンテナ >

次に、本実施形態における移相器を用いたフェーズドアレイアンテナについて説明する。フェーズドアレイアンテナは、配列された複数のアンテナを有し、電氣的に指向性を制御可能なアンテナである。フェーズドアレイアンテナは、例えば移動体通信やレーダーなどに用いられる。フェーズドアレイアンテナは、送信時には単一の信号源からの信号を分配し、移相器の通過位相をそれぞれ変化させることで各アンテナの励振位相を制御し、最

10

20

30

40

50

大利得方向（主ビーム方向）を制御することが可能である。また、フェーズドアレイアンテナは、受信時には各アンテナで受信した信号を、それぞれ移相器で位相シフトさせてから合成することで、最大利得方向からの信号のみを受信可能であり、移相器の通過位相を変化させることで受信方向を制御することが可能である。

【 0 0 3 9 】

図 1 0 は、本実施形態におけるフェーズドアレイアンテナの構成例を示す図である。本実施形態におけるフェーズドアレイアンテナは、本実施形態における移相器 1 0 と差動回路 1 0 1 とバラン 1 0 2 とアンテナ ANT との組を複数有し、アンテナ ANT は所定の間隔で配列されている。図 1 0 においては、簡単のため、移相器 1 0 A と差動回路 1 0 1 A とバラン 1 0 2 A とアンテナ ANT A との組、及び移相器 1 0 B と差動回路 1 0 1 B とバラン 1 0 2 B とアンテナ ANT B との組の 2 つの組を有するフェーズドアレイアンテナを示している。しかし、図 1 0 に示す構成は一例であり、フェーズドアレイアンテナが有する移相器 1 0 と差動回路 1 0 1 とバラン 1 0 2 とアンテナ ANT との組の数は任意である。

10

【 0 0 4 0 】

図 1 0 に示した移相器 1 0、差動回路 1 0 1、及びバラン 1 0 2 のそれぞれの構成例を、図 1 1 ( A )、図 1 1 ( B )、及び図 1 1 ( C ) に示す。図 1 1 ( A ) は、フェーズドアレイアンテナが有する移相器 1 0 の構成例を示す図であり、可変容量として、ダイオード構造のバラクタ（可変容量ダイオード）を適用したものを例として示している。図 1 1 ( A ) において、図 1 に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。

20

【 0 0 4 1 】

2 つのバラクタ 1 1 1、1 1 2 は、信号入力端子としての第 1 の端子 1 6 とインダクタ 1 1 との間に直列に接続される。バラクタ 1 1 1 のアノードが第 1 の端子 1 6 に接続され、バラクタ 1 1 2 のアノードがインダクタ 1 1 の一端に接続される。また、バラクタ 1 1 1、1 1 2 のカソードの接続点が抵抗 1 1 7 を介して制御端子 1 9 に接続され、制御端子 1 9 より供給される制御電圧（バイアス）に応じてバラクタ 1 1 1、1 1 2 の容量値が制御される。

【 0 0 4 2 】

また、2 つのバラクタ 1 1 3、1 1 4 は、インダクタ 1 2 の一端と信号出力端子としての第 2 の端子 1 7 との間に直列に接続される。バラクタ 1 1 3 のアノードがインダクタ 1 2 の一端に接続され、バラクタ 1 1 4 のアノードが第 2 の端子 1 7 に接続される。また、バラクタ 1 1 3、1 1 4 のカソードの接続点が抵抗 1 1 8 を介して制御端子 1 9 に接続され、制御端子 1 9 より供給される制御電圧（バイアス）に応じてバラクタ 1 1 3、1 1 4 の容量値が制御される。

30

【 0 0 4 3 】

同様に、2 つのバラクタ 1 1 5、1 1 6 は、インダクタ 1 2 の他端と信号出力端子としての第 3 の端子 1 8 との間に直列に接続される。バラクタ 1 1 5 のアノードがインダクタ 1 2 の他端に接続され、バラクタ 1 1 6 のアノードが第 3 の端子 1 8 に接続される。また、バラクタ 1 1 5、1 1 6 のカソードの接続点が抵抗 1 1 9 を介して制御端子 1 9 に接続され、制御端子 1 9 より供給される制御電圧（バイアス）に応じてバラクタ 1 1 5、1 1 6 の容量値が制御される。

40

【 0 0 4 4 】

図 1 1 ( A ) に示した移相器 1 0 は、第 1 の端子 1 6 より入力される単相信号を差動信号に変換するとともに、制御端子 1 9 より入力される制御信号に応じた通過位相を与え、第 2 の端子 1 7 及び第 3 の端子 1 8 より出力する。

【 0 0 4 5 】

図 1 1 ( B ) は、フェーズドアレイアンテナが有する差動回路 1 0 1 の構成例を示す図である。差動回路 1 0 1 は、例えば前段アンプとしての差動増幅器 1 2 1 と、後段アンプとしての差動増幅器 1 2 3 とを有する。図 1 1 ( C ) は、フェーズドアレイアンテナが有

50

するバラン102の構成例を示す図である。バラン102は、例えばインダクタンス125及びインダクタンス126を有するトランスフォーマを用いたバランである。

【0046】

本実施形態におけるフェーズドアレイアンテナの動作について説明する。入力端SINより入力された単相信号は、移相器10と差動回路101とバラン102とアンテナANTとの各組毎に、移相器10により単相信号から差動信号に変換された後、差動回路101により増幅される。そして、バラン102により差動信号から単相信号に変換されアンテナANTより出力される。このとき、各組毎に制御部103からの制御信号によって、移相器10における通過位相が制御される。

【0047】

ここで、アンテナANTA、ANTBの各々は無指向性で( $\pi/2$ )の間隔で配され、移相器10、差動回路101、バラン102は同一の特性を有するものとする。また、制御部103は、制御信号(制御電圧)としてVL、VHの2つのレベルを出力できるものとする。また、移相器10での位相シフト量は、制御部103からの制御信号(制御電圧)がVLであるときに0度となり、制御信号(制御電圧)がVHであるときに30度となるものとする。

【0048】

したがって、例えば、制御部103が移相器10Aに供給する制御電圧VCNTAと、移相器10Bに供給する制御電圧VCNTBとが、ともにVL又はVHであるときには、アンテナANTA、ANTBから同位相の電波が放射されるので、図12に示すように最大利得方向はアンテナ同士を結ぶ線分に垂直な方向となる。この方向を0度とする。

【0049】

移相器10Aに供給される制御電圧VCNTAがVHであり、移相器10Bに供給される制御電圧VCNTBがVLであるときには、アンテナANTAから放射される電波は、アンテナANTBから放射される電波よりも位相が30度進んだものとなる。よって、図12に示すように、ホイヘンスの原理から0度方向よりもアンテナANTB側に傾いた方向が最大利得方向となり、アンテナ間隔( $\pi/2$ )及び位相差30度から最大利得方向は-10度となる。

【0050】

また、移相器10Aに供給される制御電圧VCNTAがVLであり、移相器10Bに供給される制御電圧VCNTBがVHであるときには、アンテナANTBから放射される電波は、アンテナANTAから放射される電波よりも位相が30度進んだものとなる。よって、図12に示すように、ホイヘンスの原理から0度方向よりもアンテナANTA側に傾いた方向が最大利得方向となり、アンテナ間隔( $\pi/2$ )及び位相差30度から最大利得方向は+10度となる。このように、例えば最大利得方向を20度制御可能なフェーズドアレイアンテナが実現できる。

【0051】

なお、フェーズドアレイアンテナが有する移相器10の構成例として、図11(A)には可変容量としてバラクタ(可変容量ダイオード)を適用したものを示した。これに限定されず、フェーズドアレイアンテナの移相器10の可変容量として、例えば図13に示すように容量値が固定の固定容量とスイッチとの回路を適用したものであっても良く、図11(A)に示した移相器10と同様の機能を実現することができる。図13は、本実施形態におけるフェーズドアレイアンテナが有する移相器10の他の構成例を示す図である。

【0052】

信号入力端子としての第1の端子16とインダクタ11との間に直列に接続される可変容量は、固定容量131-0と、直列接続された固定容量131-1及びスイッチ132-1と、直列接続された固定容量131-2及びスイッチ132-2とを、並列に接続することで実現する。固定容量131-0、131-1、131-2は、容量値が固定の容量であり、スイッチ132-1、132-2は、制御部103からの制御信号により開閉制御される。

10

20

30

40

50

## 【 0 0 5 3 】

また、インダクタ 1 2 の一端と信号出力端子としての第 2 の端子 1 7 と間に直列に接続される可変容量は、固定容量 1 3 3 - 0 と、直列接続された固定容量 1 3 3 - 1 及びスイッチ 1 3 4 - 1 と、直列接続された固定容量 1 3 3 - 2 及びスイッチ 1 3 4 - 2 とを、並列に接続することで実現する。固定容量 1 3 3 - 0、1 3 3 - 1、1 3 3 - 2 は、容量値が固定の容量であり、スイッチ 1 3 4 - 1、1 3 4 - 2 は、制御部 1 0 3 からの制御信号により開閉制御される。

## 【 0 0 5 4 】

同様に、インダクタ 1 2 の他端と信号出力端子としての第 3 の端子 1 8 と間に直列に接続される可変容量は、固定容量 1 3 5 - 0 と、直列接続された固定容量 1 3 5 - 1 及びスイッチ 1 3 6 - 1 と、直列接続された固定容量 1 3 5 - 2 及びスイッチ 1 3 6 - 2 とを、並列に接続することで実現する。固定容量 1 3 5 - 0、1 3 5 - 1、1 3 5 - 2 は、容量値が固定の容量であり、スイッチ 1 3 6 - 1、1 3 6 - 2 は、制御部 1 0 3 からの制御信号により開閉制御される。

10

## 【 0 0 5 5 】

前述した図 1 0 ~ 図 1 2 では、送信用のフェーズドアレイアンテナの構成を一例として示したが、同様の構成により、受信用のフェーズドアレイアンテナを実現することができる。

## 【 0 0 5 6 】

図 1 4 は、移相器 1 0 の他の構成例を示す図である。図 1 4 に示す移相器 1 0 は、可変容量 1 3、1 4、1 5 として、MOS 構造のバラクタを適用したものである。図 1 4 において、図 1 に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。

20

## 【 0 0 5 7 】

可変容量 1 3 に対応する 2 つのバラクタ 6 1'、6 2' は、第 1 の端子 1 6 とインダクタ 1 1 との間に直列に接続される。バラクタ 6 1'、6 2' の接続点が抵抗 6 7 を介して制御端子 1 9 に接続され、制御端子 1 9 より入力される制御信号に応じてバラクタ 6 1'、6 2' の容量値が制御される。

## 【 0 0 5 8 】

また、可変容量 1 4 に対応する 2 つのバラクタ 6 3'、6 4' は、インダクタ 1 2 の一端と第 2 の端子 1 7 との間に直列に接続される。バラクタ 6 3'、6 4' の接続点が抵抗 6 8 を介して制御端子 1 9 に接続され、制御端子 1 9 より入力される制御信号に応じてバラクタ 6 3'、6 4' の容量値が制御される。

30

## 【 0 0 5 9 】

同様に、可変容量 1 5 に対応する 2 つのバラクタ 6 5'、6 6' は、インダクタ 1 2 の他端と第 3 の端子 1 8 との間に直列に接続される。バラクタ 6 5'、6 6' の接続点が抵抗 6 9 を介して制御端子 1 9 に接続され、制御端子 1 9 より入力される制御信号に応じてバラクタ 6 5'、6 6' の容量値が制御される。

## 【 0 0 6 0 】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

40

本発明の諸態様を付記として以下に示す。

## 【 0 0 6 1 】

(付記 1)

第 1 のインダクタ及び第 2 のインダクタを有するトランスフォーマと、一端を基準電位に接続した前記第 1 のインダクタの他端と第 1 の端子との間に直列に接続され、制御信号により容量値が制御される第 1 の可変容量と、

前記第 2 のインダクタの一端と第 2 の端子との間に直列に接続され、前記制御信号によ

50

り容量値が制御される第 2 の可変容量と、

前記第 2 のインダクタの他端と第 3 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 3 の可変容量とを有することを特徴とする移相器。

(付記 2)

前記可変容量は、前記制御信号により容量値が制御される可変容量ダイオードであることを特徴とする付記 1 記載の移相器。

(付記 3)

前記可変容量は、前記制御信号により容量値が制御される MOS 構造のバラクタであることを特徴とする付記 1 記載の移相器。

(付記 4)

前記可変容量は、複数の固定容量と前記制御信号により制御される複数のスイッチとを有する可変容量であることを特徴とする付記 1 記載の移相器。

(付記 5)

前記第 1 の端子に入力される単相信号を差動信号に変換して前記第 2 の端子及び前記第 3 の端子より出力することを特徴とする付記 1 記載の移相器。

(付記 6)

前記第 2 の端子及び前記第 3 の端子に入力される差動信号を単相信号に変換して前記第 1 の端子より出力することを特徴とする付記 1 記載の移相器。

(付記 7)

制御信号に応じて通過位相を制御する移相器と、

前記移相器に入力される信号の入力電力に応じて、前記移相器の後段に接続される回路で発生する位相歪とは逆特性の位相歪を前記移相器で発生させる前記制御信号を生成して前記移相器に出力する制御部とを有し、

前記移相器は、

第 1 のインダクタ及び第 2 のインダクタを有するトランスフォーマと、

一端を基準電位に接続した前記第 1 のインダクタの他端と第 1 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 1 の可変容量と、

前記第 2 のインダクタの一端と第 2 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 2 の可変容量と、

前記第 2 のインダクタの他端と第 3 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 3 の可変容量とを有することを特徴とするプリディストータ。

(付記 8)

前記制御部は、

前記移相器に入力される信号の入力電力を検出する電力検出部と、

前記電力検出部での検出結果に基づいて、前記制御信号を生成し前記移相器に出力する制御信号生成部とを有することを特徴とする付記 7 記載のプリディストータ。

(付記 9)

前記可変容量は、可変容量ダイオードであり、

前記制御信号生成部は、前記電力検出部での検出結果に基づいて前記可変容量ダイオードに供給する制御電圧を生成することを特徴とする付記 8 記載のプリディストータ。

(付記 10)

制御信号に応じて通過位相を制御する移相器と、前記移相器で通過位相が制御された信号を増幅する増幅部と、前記増幅部で増幅された信号を出力するアンテナとの組を複数有し、

各組の前記アンテナから出力する信号の位相差に応じて、前記移相器における通過位相を制御する前記制御信号を生成する制御部を有し、

前記移相器の各々は、

第 1 のインダクタ及び第 2 のインダクタを有するトランスフォーマと、

一端を基準電位に接続した前記第 1 のインダクタの他端と第 1 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 1 の可変容量と、

10

20

30

40

50

前記第 2 のインダクタの一端と第 2 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 2 の可変容量と、

前記第 2 のインダクタの他端と第 3 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 3 の可変容量とを有することを特徴とするフェーズドアレイアンテナ。

(付記 1 1)

制御信号に応じて通過位相を制御する移相器と、アンテナとの組を複数有し、前記移相器における通過位相を制御する前記制御信号を生成する制御部を有し、前記移相器の各々は、

第 1 のインダクタ及び第 2 のインダクタを有するトランスフォーマと、

一端を基準電位に接続した前記第 1 のインダクタの他端と第 1 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 1 の可変容量と、

前記第 2 のインダクタの一端と第 2 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 2 の可変容量と、

前記第 2 のインダクタの他端と第 3 の端子との間に直列に接続され、前記制御信号により容量値が制御される第 3 の可変容量とを有することを特徴とするフェーズドアレイアンテナ。

(付記 1 2)

前記移相器は、前記第 1 の端子に入力される単相信号を差動信号に変換して前記第 2 の端子及び前記第 3 の端子より出力することを特徴とする付記 1 1 記載のフェーズドアレイアンテナ。

(付記 1 3)

前記移相器は、前記第 2 の端子及び前記第 3 の端子に入力される差動信号を単相信号に変換して前記第 1 の端子より出力することを特徴とする付記 1 1 記載のフェーズドアレイアンテナ。

【符号の説明】

【 0 0 6 2 】

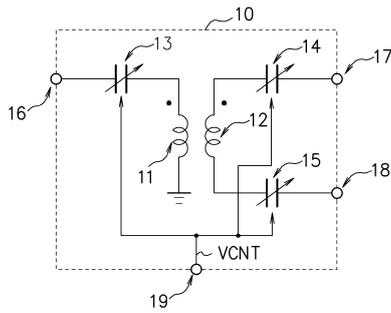
- 1 0 移相器
- 1 1、1 2 インダクタ
- 1 3、1 4、1 5 可変容量
- 1 6、1 7、1 8 信号入出力端子
- 1 9 制御端子
- 5 0 プリディストータ
- 5 1 制御部
- 1 0 1 差動回路
- 1 0 2 バラン
- 1 0 3 制御部
- A N T アンテナ

10

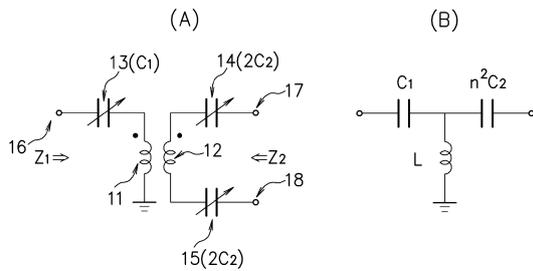
20

30

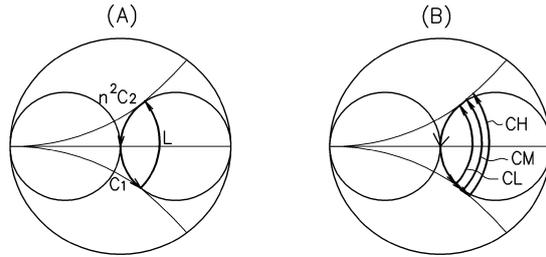
【図1】



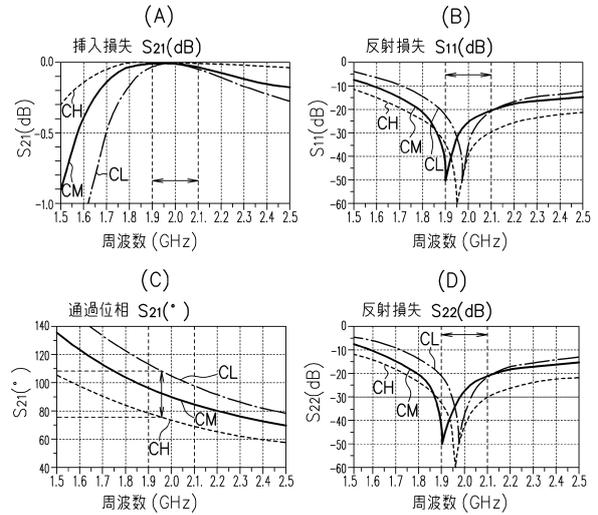
【図2】



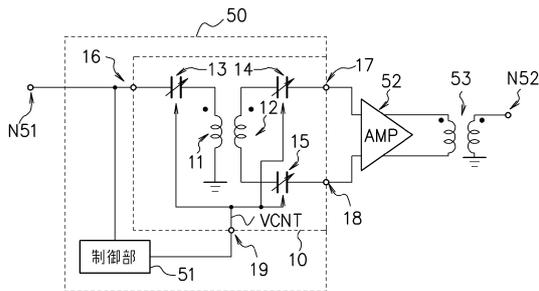
【図3】



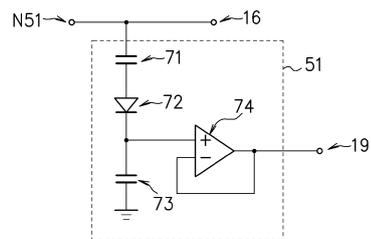
【図4】



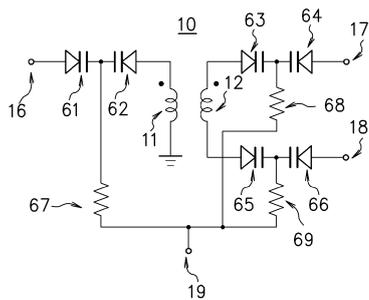
【図5】



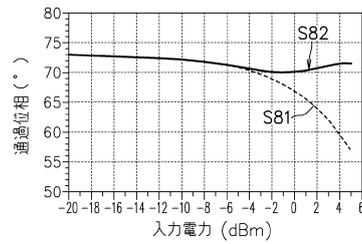
【図7】



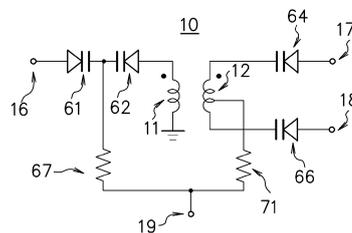
【図6】



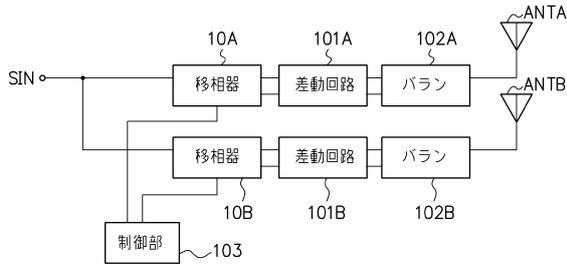
【図8】



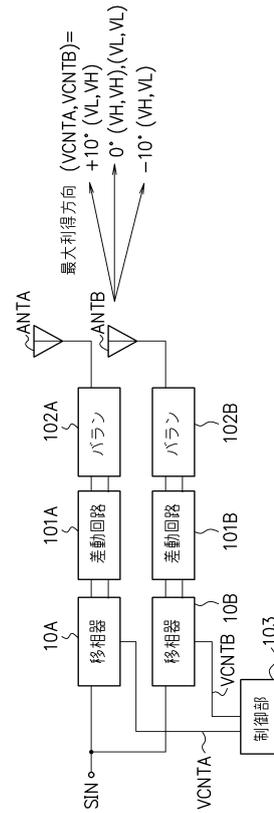
【図9】



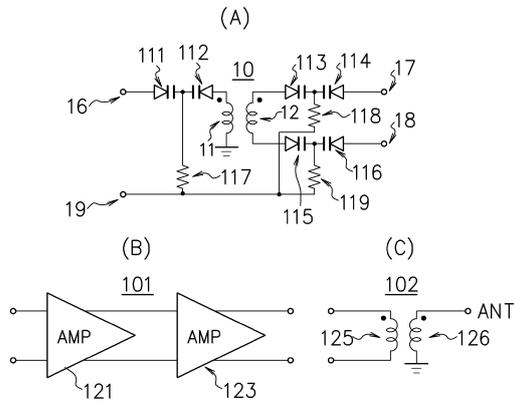
【図10】



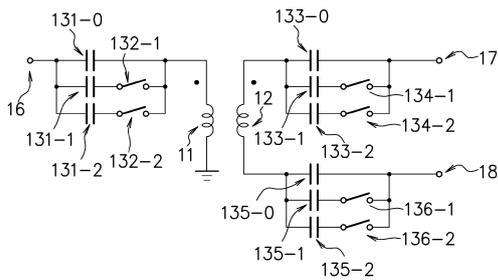
【図12】



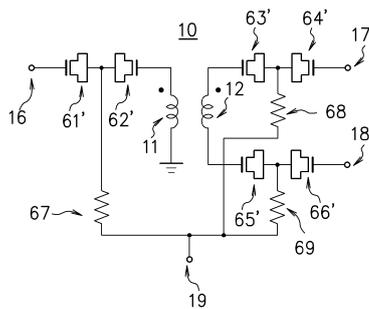
【図11】



【図13】



【図14】



## フロントページの続き

- (56)参考文献 特開2004-328254(JP,A)  
米国特許第05119396(US,A)  
特表2010-530151(JP,A)  
特開2002-330032(JP,A)  
特表2010-506484(JP,A)  
特開2004-096449(JP,A)  
特開2003-318636(JP,A)  
実開昭56-134821(JP,U)  
特開平07-131277(JP,A)  
特開平07-099425(JP,A)  
特開平01-154615(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45、3/50 - 3/52、  
3/62 - 3/64、3/68 - 3/72  
H03H 7/18  
H03H 7/20  
H03H 7/42