



(12)发明专利

(10)授权公告号 CN 106449641 B

(45)授权公告日 2019.04.12

(21)申请号 201611025461.X

(22)申请日 2016.11.15

(65)同一申请的已公布的文献号  
申请公布号 CN 106449641 A

(43)申请公布日 2017.02.22

(73)专利权人 中国科学院微电子研究所  
地址 100029 北京市朝阳区北土城西路3号

(72)发明人 朱慧琰 钟汇才 张严波

(74)专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 倪斌

(51)Int.Cl.

H01L 27/092(2006.01)

H01L 21/8238(2006.01)

(56)对比文件

CN 105633079 A,2016.06.01,  
US 2015206885 A1,2015.07.23,  
CN 105742355 A,2016.07.06,  
US 2009137093 A1,2009.05.28,

审查员 姚珂

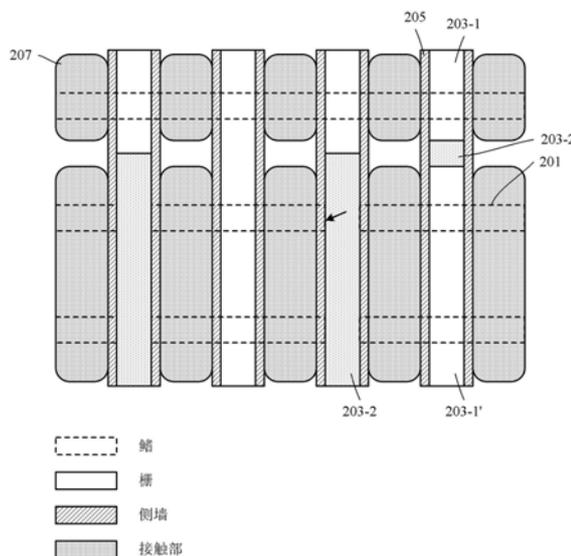
权利要求书2页 说明书11页 附图26页

(54)发明名称

具有连续侧墙的半导体设置及其制造方法

(57)摘要

公开了具有连续侧墙的半导体设置及其制造方法以及包括这种半导体设置的电子设备。根据实施例,一种半导体设置可以包括:衬底;在衬底上形成的沿第一方向延伸的多个鳍;在衬底上形成的沿与第一方向交叉的第二方向延伸的多个栅堆叠以及沿第二方向延伸且由电介质构成的伪栅,其中各栅堆叠与至少一个鳍相交;以及在栅堆叠的侧壁以及伪栅的侧壁上形成的侧墙,其中,在第二方向上对准的至少第一栅堆叠和第二栅堆叠的侧墙或者在第二方向上对准的至少一个栅堆叠和至少一个伪栅的侧墙一体延伸,其中,至少一些鳍的端部邻接伪栅,且与相应的侧墙的内壁实质上对准。



1. 一种半导体设置,包括:  
衬底;  
在衬底上形成的沿第一方向延伸的多个鳍;  
在衬底上形成的沿与第一方向交叉的第二方向延伸的多个栅堆叠以及沿第二方向延伸且由电介质构成的伪栅,其中各栅堆叠与至少一个鳍相交;以及  
在栅堆叠的侧壁以及伪栅的侧壁上形成的侧墙,  
其中,在第二方向上对准的至少第一栅堆叠和第二栅堆叠的侧墙或者在第二方向上对准的至少一个栅堆叠和至少一个伪栅的侧墙一体延伸,  
其中,至少一些鳍的端部邻接伪栅,且与相应的侧墙的内壁实质上对准。
2. 根据权利要求1所述的半导体设置,其中,在第二方向上跨及所述多个鳍的范围内,各侧墙均连续延伸。
3. 根据权利要求1所述的半导体设置,还包括:设于第一栅堆叠和第二栅堆叠之间用以将第一栅堆叠和第二栅堆叠电隔离的电介质,所述电介质设于第一栅堆叠和第二栅堆叠的一体延伸的侧墙所围绕的空间内。
4. 根据权利要求3所述的半导体设置,其中,第一栅堆叠与第二栅堆叠之间的电介质与伪栅的电介质相同。
5. 根据权利要求1所述的半导体设置,还包括:设于相邻的侧墙之间的电接触部。
6. 根据权利要求5所述的半导体设置,其中,电接触部的侧壁同与之相对的侧墙的外壁实质上共形或实质上对准。
7. 根据权利要求1所述的半导体设置,其中,至少一个鳍包括:  
第一半导体材料的第一部分,第一部分在栅堆叠以及侧墙的正下方延伸;以及  
第二半导体材料的第二部分,第二部分在侧墙之间延伸,且与第一部分相接,  
其中,第二半导体材料能够向第一半导体材料施加应力。
8. 根据权利要求7所述的半导体设置,其中,第二部分的顶面高于第一部分的顶面,但是低于侧墙的顶面。
9. 根据权利要求1所述的半导体设置,其中,伪栅的电介质形成U型结构。
10. 一种制造半导体设置的方法,包括:  
在衬底上形成各自分别沿第一方向连续延伸的多个脊状物;  
在衬底上形成各自分别沿与第一方向交叉的第二方向连续延伸从而与所述多个脊状物相交的多条牺牲栅线;  
在各牺牲栅线的侧壁上形成绕各牺牲栅线的侧墙;  
在衬底上形成第一电介质,对其进行平坦化以露出牺牲栅线;  
去除牺牲栅线,以露出所有牺牲栅线下方的脊状物;  
对露出的所有牺牲栅线下方的脊状物中的一部分脊状物进行选择性的刻蚀;  
向侧墙内的空间中填充第二电介质;  
去除一部分第二电介质,以露出下方的脊状物;以及  
在由于所述部分第二电介质的去除而留下的空间中形成栅堆叠。
11. 根据权利要求10所述的方法,其中,在填充第二电介质之后且在去除一部分第二电介质之前,该方法还包括:

选择性刻蚀第一电介质,以露出脊状物在侧墙之间延伸的部分;  
至少部分地去除所露出的脊状物在侧墙之间延伸的部分;  
在脊状物的剩余部分之间生长不同材料的另一脊状物;  
在衬底上形成第三电介质,并对其进行平坦化,平坦化停止于侧墙。

12. 根据权利要求11所述的方法,其中,

在衬底上的一部分区域上执行选择性刻蚀第一电介质到形成第三电介质的处理,并在衬底上的另一部分区域上另外执行去除第一电介质到形成第三电介质的处理,其中,在这两次处理中生长的另一脊状物的材料不同。

13. 根据权利要求11所述的方法,其中,

在衬底上的全部区域上执行选择性刻蚀第一电介质到形成第三电介质的处理,该方法还包括:

在衬底的选定区域上选择性去除第三电介质和所述另一脊状物;  
在所述选定区域上脊状物的剩余部分之间生长又一脊状物;  
在衬底上形成第四电介质,并对其进行平坦化,平坦化停止于侧墙。

14. 根据权利要求10-13中任一项所述的方法,其中,在形成栅堆叠之后,该方法还包括:

选择性刻蚀第一电介质或第三电介质,至少部分地露出各脊状物在侧墙之间延伸的部分;

在衬底上形成导电层,并对其进行平坦化,平坦化停止于侧墙;以及  
在导电层中的预定位置处形成电隔离。

15. 根据权利要求14所述的方法,其中,对第一电介质或第三电介质的刻蚀是各向同性刻蚀,且刻蚀的沟槽或孔洞至少部分地与部分侧墙的外壁实质上共形或实质上对准。

16. 根据权利要求10所述的方法,其中,形成栅堆叠包括:

在同一侧墙围绕的空间内形成不同的第一栅堆叠和第二栅堆叠。

17. 根据权利要求16所述的方法,其中,第一栅堆叠和第二栅堆叠之间留有第二电介质。

18. 一种电子设备,包括由如权利要求1-9中任一项所述的半导体设置。

19. 根据权利要求18所述的电子设备,该电子设备包括智能电话、计算机、平板电脑、可穿戴智能设备、和移动电源。

## 具有连续侧墙的半导体设置及其制造方法

### 技术领域

[0001] 本公开涉及半导体领域,具体地,涉及具有连续侧墙的半导体设置及其制造方法以及包括这种半导体设置的电子设备。

### 背景技术

[0002] 随着半导体器件的不断小型化,短沟道效应越来越明显。对此,提出了立体型器件——鳍式场效应晶体管 (FinFET)。FinFET通常包括在衬底上的竖直鳍以及与鳍相交的栅堆叠。可以在鳍的侧壁上形成沟道。

[0003] 为了形成FinFET,可以在衬底上形成各自分别连续延伸的脊状物。根据布局设计,可以将这些连续延伸的脊状物构图为不同的部分,这些部分随后形成器件的鳍。另外,可以在衬底上形成各自分别连续延伸的栅线。根据布局设计,可以将这些连续延伸的栅线构图为分离的部分,这些部分随后形成器件的栅。在栅的侧壁上,可以形成绕器件栅的侧墙。

[0004] 图1是示出了包括FinFET的常规半导体设置的顶视图。

[0005] 如图1所示,该半导体设置包括在衬底上沿第一方向(例如,图中水平方向)延伸的多个鳍101以及沿与第一方向相交(例如,垂直)的第二方向(例如,图中竖直方向)延伸的多个栅堆叠103-1。栅堆叠例如可以包括栅介质层和栅电极层。在鳍中与栅堆叠相交之处,可以产生沟道;而在鳍中沟道区的两侧,可以分别形成源区和漏区(由此得到FinFET)。在各个栅堆叠103-1的侧壁上形成了围绕相应栅堆叠103-1的侧墙105。

[0006] 另外,为了构图方便以及电隔离等目的,还可以形成伪栅103-2。伪栅103-2与栅堆叠103-1可以包括相同的构造,从而可以与栅堆叠103-1一同形成(因此,也可以在伪栅103-2的侧壁上形成绕伪栅103-2的侧墙)。但是,伪栅103-2可以不与连续的鳍相交,从而并不真正构成器件。例如,在图1的示例中,伪栅103-2形成为与第一方向上鳍101之间的间隙相交。

[0007] 在衬底上各侧墙105之间的空隙中,可以填充有电介质如层间电介质层(ILD)(图中为清楚起见,并未示出),例如氧化物,特别是在后栅工艺的情况下。ILD的顶面例如通过平坦化工艺如化学机械抛光(CMP)而可以与栅堆叠103-1、伪栅103-2、侧墙105的顶面保持大致齐平。

[0008] 为应对器件小型化的趋势,可以采用自对准接触部技术。例如,可以在ILD中刻蚀接触孔,这种接触孔可以在相对的侧墙之间延伸。然后,可以在衬底上淀积接触材料,例如金属如钨(W),并对其进行平坦化如CMP。CMP可以停止于ILD或侧墙。CMP后接触材料填充于接触孔中,形成接触部107。位于伪栅103-2相对两侧(图中左右两侧)的接触部可以通过该伪栅103-2的侧墙105而被电分离。

[0009] 但是,这种结构存在以下缺点。在对ILD进行刻蚀(例如,各向同性刻蚀)时,有可能在相对的栅堆叠103-1的相对端部之间的ILD中形成缝隙。这些缝隙中随后可能被填充接触材料,从而造成接触部之间不必要的电短路,如图1中的107X所示。另外,如图1中的箭头所示,伪栅103-2的边缘与鳍101的端部并不是对准的。这会导致栅端部之间的间隔增加,从而降低了集成密度。

[0010] 需要提供一种新的结构和工艺来至少部分地解决上述问题。

## 发明内容

[0011] 有鉴于此,本公开的目的至少部分地在于提供一种半导体设置及其制造方法以及包括这种半导体设置的电子设备,其中在栅的延伸方向上,侧墙可以连续延伸。

[0012] 根据本公开的一个方面,提供了一种半导体设置,包括:衬底;在衬底上形成的沿第一方向延伸的多个鳍;在衬底上形成的沿与第一方向交叉的第二方向延伸的多个栅堆叠以及沿第二方向延伸且由电介质构成的伪栅,其中各栅堆叠与至少一个鳍相交;以及在栅堆叠的侧壁以及伪栅的侧壁上形成的侧墙,其中,在第二方向上对准的至少第一栅堆叠和第二栅堆叠的侧墙或者在第二方向上对准的至少一个栅堆叠和至少一个伪栅的侧墙一体延伸,其中,至少一些鳍的端部邻接伪栅,且与相应的侧墙的内壁实质上对准。

[0013] 根据本公开的另一方面,提供了一种制造半导体设置的方法,包括:在衬底上形成各自分别沿第一方向连续延伸的多个脊状物;在衬底上形成各自分别沿与第一方向交叉的第二方向连续延伸从而与所述多个脊状物相交的多条牺牲栅线;在各牺牲栅线的侧壁上形成绕各牺牲栅线的侧墙;在衬底上形成第一电介质,对其进行平坦化以露出牺牲栅线;去除牺牲栅线,以露出下方的脊状物;对露出一部分脊状物进行选择刻蚀;向侧墙内的空间中填充第二电介质;去除一部分第二电介质,以露出下方的脊状物;以及在由于所述部分第二电介质的去除而留下的空间中形成栅堆叠。

[0014] 根据本公开的另一方面,提供了一种电子设备,包括上述半导体设置。

[0015] 根据本公开的实施例,侧墙可以在相对的(伪)栅之间连续延伸,即便这些(伪)栅彼此并不连续,这有助于避免(自对准)接触部之间的电短路。另外,与伪栅邻接的鳍的端部可以自对准于相应侧墙的内壁,从而有助于提高集成密度。

## 附图说明

[0016] 通过以下参照附图对本公开实施例的描述,本公开的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0017] 图1是示出了包括FinFET的常规设置的顶视图;

[0018] 图2是示出了根据本公开实施例的半导体设置的顶视图;

[0019] 图3(a)-21(b)示出了根据本公开实施例的制造半导体设置的流程的示意图;

[0020] 图22示出了根据本公开实施例的应力保持机制所能实现的应力增强;

[0021] 图23(a)-28示出了根据本公开另一实施例的制造半导体设置的流程中部分阶段的示意图。

[0022] 贯穿附图,相同或相似的附图标记表示相同或相似的部件。

## 具体实施方式

[0023] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本公开的概念。

[0024] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制

的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0025] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0026] 根据本公开的实施例,可以在衬底上形成各自分别沿第一方向连续延伸的脊状物之后,代替将其构图为不同的部分,可以在脊状物之上直接形成各自分别沿与第一方向交叉(例如,大致垂直)的第二方向连续延伸从而与脊状物相交的栅线。之后,可以在各栅线的侧壁上形成围绕相应栅线的侧墙。这样,侧墙可以在栅线(沿第二方向)的长度上连续延伸。

[0027] 此外,由于为了形成连续延伸侧墙而事实上采用的后栅工艺,可以在衬底上形成第一电介质(例如,层间电介质层(ILD))。可以对第一电介质进行平坦化处理,以露出栅线(例如,平坦化可以停止于栅线)。

[0028] 在形成连续延伸的侧墙之后,可以进行脊状物的分离以及栅线的分离。例如,可以去除栅线(因此,这种栅线可以称作“牺牲”栅线)。由于牺牲栅线的去除,露出了下方的脊状物。根据布局设计,可以在某些区域处分离脊状物。例如,可以经由侧墙所围绕的空间,对露出一部分脊状物进行选择刻蚀,从而将相应脊状物分离为不同的部分(在电特性上分离,可能在物理上仍然部分地连续),这些部分随后形成不同器件的鳍。这些部分或者说鳍的端部可以自对准于侧墙的内壁。随后,可以向侧墙内侧的空间中填入第二电介质,使得脊状物的不同部分之间可以彼此电隔离。

[0029] 根据布局设计,在将要形成真正栅堆叠的位置处,可以去除侧墙内的第二电介质,以露出下方的脊状物或者说鳍。然后,可以在由于第二电介质的去除而留下的空间中形成栅堆叠。于是,栅堆叠可以与下方的鳍相交,并因此构成相应的器件及FinFET。留于侧墙内的第二介质可以形成伪栅。

[0030] 这样,在第二方向上对准的栅堆叠(占据相同牺牲栅线的位置,且被相同的侧墙所围绕)侧壁上的侧墙可以一体连续延伸,即使这些栅堆叠彼此之间并不连续。这样,就可以避免产生如图1所示的穿过栅端部之间的短路107X。此外,如上所述,鳍的端部可以自对准于相应侧墙的内壁。于是,可以避免如图1所示的由于鳍端部与栅边缘之间的不对准而造成的集成密度降低。

[0031] 图2是示出了根据本公开实施例的半导体设置的顶视图。该半导体设置例如是根据上述工艺制作的。

[0032] 如图2所示,根据该实施例的半导体设置可以包括在衬底上沿第一方向(例如,图中水平方向)延伸的多个鳍201以及沿与第一方向相交(例如,垂直)的第二方向(例如,图中竖直方向)延伸的多个栅堆叠203-1、203-1'和多个伪栅203-2。栅堆叠203-1、203-1'可以包括栅介质层和栅电极层。另外,伪栅203-2可以包括电介质(例如,上述第二电介质)。在栅堆叠和伪栅的侧壁上,形成有侧墙205。在实际中,侧墙205可以是环形结构。在图2中,为了方便起见,并未示出侧墙205的上、下端部(可以认为它们处于图中所示区域之外)。在相同侧

墙205的内侧,各栅堆叠和/或伪栅彼此沿着侧墙的延伸方向(即,第二方向)彼此对准(它们一起占据该侧墙原本围绕的牺牲栅线的位置)。

[0033] 栅堆叠203-1、203-1'与鳍201相交,从而构成相应的器件即FinFET。在该示例中,由于如图中箭头所示,各鳍201的端部对准于相应侧墙205的内壁,从而伪栅203-2事实上不与鳍相交,且将其相对两侧(图中左右两侧)相对的鳍彼此电隔离。

[0034] 根据布局设计,相对的栅堆叠203-1和203-1'之间可以设有隔离部203-2'。隔离部203-2'可以与伪栅203-2包括相同的电介质,例如是在上述工艺中由于在该隔离部的区域处保留第二电介质而得到的。

[0035] 另外,该半导体设置还包括按照自对准方式形成的接触部207。接触部207可以在相邻的侧墙205之间延伸。由于侧墙205连续延伸,同一侧墙205相对两侧的接触部207可以通过该连续延伸的侧墙205而可靠地电隔离。

[0036] 本公开可以各种形式呈现,以下将描述其中一些示例。

[0037] 图3(a)-21(b)示出了根据本公开实施例的制造半导体设置的流程的示意图。

[0038] 如图3(a)、3(b)和3(c)(图3(a)是俯视图,图3(b)是沿图3(a)中AA'线的截面图,图3(c)是沿图3(a)中BB'线的截面图)所示,提供衬底1001。该衬底1001可以是各种形式的衬底,包括但不限于体半导体材料衬底如体Si衬底、绝缘体上半导体(SOI)衬底、化合物半导体衬底如SiGe衬底等。在以下的描述中,为方便说明,以体Si衬底为例进行描述。

[0039] 在衬底1001中,例如通过离子注入,可以形成各种阱区,如图中所示的p-阱和n-阱。在该示例中,可以在整个衬底区域上形成p-阱,并在一部分p-阱中嵌入n-阱。例如,可以在p-阱上形成n型器件,而可以在n-阱上形成p型器件。

[0040] 另外,在衬底1001上,形成有沿第一方向(例如,图3(a)和3(b)中的水平方向,图3(c)中垂直于纸面的方向)延伸的脊状物1001F。例如,可以通过对衬底1001进行构图来在衬底1001中形成凹槽,相邻凹槽之间的部分相对于凹槽突出而形成脊状物。当然,也可以在衬底上外延生长其他半导体层,并通过对该半导体层进行构图来形成脊状物。脊状物1001F可以平行延伸,并可以具有相同或者不同的间距和/或宽度。

[0041] 在衬底1001上可以形成隔离层1009,例如氧化物(如氧化硅),以填充在凹槽中从而围绕脊状物1001F的底部。脊状物1001F位于隔离层1009顶面上方的部分随后可以形成器件的鳍,在此称作“鳍线”。在以下描述中,也以“1001F”来指示鳍线。当然,在SOI衬底的情况下,SOI衬底中的埋入氧化物(BOX)层可以充当隔离层。

[0042] 在常规技术中,将鳍线分离为不同的部分以形成鳍布局,然后再形成隔离层,以便限定有源区。在此,保留连续延伸的鳍线,直接形成隔离层。在后继处理中,再对鳍线进行分离,以形成最终的有源区布局。

[0043] 为了抑制源漏之间经由鳍下部的泄漏,可以在脊状物中鳍线的下部形成穿通阻止层(PTSL)。例如,对于要在p-阱上形成的n型器件,可以形成片p型的PTSL(p-PTSL);而对于要在n-阱上形成的p型器件,可以形成n型的PTSL(n-PTSL)。p-PTSL中的p型掺杂浓度可以高于p-阱中的p型掺杂浓度,n-PTSL中的n型掺杂浓度可以高于n-阱中的n型掺杂浓度。

[0044] 存在多种方法来形成鳍线以及各种阱和PTSL配置,在此不详细描述。

[0045] 接下来,如图4(a)、4(b)和4(c)(图4(a)是俯视图,图4(b)是沿图4(a)中AA'线的截面图,图4(c)是沿图4(a)中BB'线的截面图)所示,可以在衬底1001上(更具体地,在隔离层

1009上),形成沿与第一方向交叉(例如,大致垂直)的第二方向(例如,图4(a)中的竖直方向,图4(b)中垂直于纸面的方向,图4(c)中的水平方向)延伸并因此与鳍线1001F相交的牺牲栅线1003。

[0046] 为了在以下对牺牲栅线1003进行刻蚀的过程中能够更好地控制刻蚀过程,可以先形成刻蚀停止层1011。例如,可以通过淀积或者热氧化,形成氧化物的刻蚀停止层1011,厚度为约1-5nm。在图4(b)和4(c)中,示出了例如通过热氧化而在鳍线1001F的表面上形成的刻蚀停止层1011;而在图4(a)中,为方便起见,并未示出刻蚀停止层1011。

[0047] 然后,可以在衬底1001上例如通过淀积形成牺牲栅线材料。牺牲栅线材料例如包括多晶硅或非晶硅,厚度可以为约150-300nm。可以对形成的牺牲栅线材料进行平坦化处理如化学机械抛光(CMP),以使其顶面平坦,且留于鳍线1001F顶面上方的厚度可以为约70-150nm。然后,可以通过例如光刻,将牺牲栅线材料构图为一系列牺牲栅线1003。例如,牺牲栅线1003可以平行延伸,并可以具有相同或者不同的间距和/或宽度。

[0048] 在该示例中,对于牺牲栅线材料的刻蚀如RIE(相对于氧化物的隔离层1009和/或刻蚀停止层1011的选择性刻蚀)利用硬掩模层1013。硬掩模层1013例如可以包括氮化物(例如,氮化硅),厚度为约50-150nm。利用硬掩模来进行刻蚀的过程在此不再赘述。

[0049] 在牺牲栅线1003的侧壁上,可以通过侧墙(spacer)形成工艺,形成侧墙1005。侧墙1005例如可以包括氮化物,厚度为约3-10nm。如上所述,侧墙1005围绕各牺牲栅线1003,从而形成环状。在图4(a)的俯视图中,并未示出侧墙1005的上下端部。

[0050] 接着,可以在各牺牲栅线1003及其相应侧墙1005之间的空隙处,填充第一电介质例如氧化物,以便遮挡鳍线1001F被各牺牲栅线1003及其相应侧墙1005露出的部分。例如,可以在图4(a)、4(b)和4(c)所示的结构上淀积氧化物,并对其进行平坦化处理如CMP。CMP可以停止于牺牲栅线1003,从而露出牺牲栅线1003。这样,得到了图5所示的结构(图5示出了AA'线截面处的情况)。如此填充的第一电介质1015在后继处理中还可以有助于保持应力或者防止应力释放。

[0051] 在形成连续的侧墙1005之后,可以进行有源区的限定,即按照布局设计,对鳍线1001F进行分离。根据本公开的实施例,在对鳍线1001F进行分离时,可以利用侧墙1005来限定分离鳍线1001F所得到的鳍的端部。

[0052] 为此,如图6(a)和6(b)(图6(a)是俯视图,图6(b)是沿图6(a)中AA'线的截面图)所示,可以通过选择性刻蚀(相对于氧化物的隔离层1009、刻蚀停止层1011和第一电介质1015以及氮化物的侧墙1005)如湿法腐蚀或气相刻蚀,去除牺牲栅线1003,从而在侧墙1005内侧形成沟槽T。在此,刻蚀优选地是各向同性刻蚀,以便很好地露出侧墙1005的内壁。在沟槽T中,露出了鳍线1001F(当前被刻蚀停止层1011覆盖)。

[0053] 对于露出的鳍线1001F,可以根据布局设计,分离其中的一部分,以形成分离的有源区或者鳍。例如,这可以通过光刻胶遮蔽不需要分离的鳍线并露出需要分离的鳍线,然后进行选择性刻蚀来进行。

[0054] 例如,如图7(a)和7(b)(图7(a)是俯视图,图7(b)是沿图7(a)中AA'线的截面图)所示,可以在图6(a)和6(b)所示的结构上形成光刻胶1017,并将其构图(例如,通过曝光和显影)为露出从左向右数时第一和第三条牺牲栅线所对应的沟槽T,遮蔽第二和第四条牺牲栅线所对应的沟槽T。尽管在此示出了整个第一和第三条牺牲栅线所对应的沟槽T均被露出且

第二和第四条牺牲栅线所对应的沟槽T均被遮蔽的情况,但是本公开不限于此。例如,沟槽T的一部分可以遮蔽而另一部分可以露出。这里需要指出的是,需要露出的沟槽T或者其一部分是根据布局设计而定的。

[0055] 然后,如图8(图8示出了AA'线截面处的情况)所示,可以经由沟槽T,来分离鳍线1001F。例如,可以通过反应离子刻蚀(RIE),依次选择性刻蚀刻蚀停止层1011和脊状物1001F。对脊状物1001F的刻蚀可以将鳍线(即,脊状物处于隔离层1009顶面上方的部分)切断。这样,鳍线1001F被分离为不同的部分,这些部分随后可以构成器件的鳍。以下,仍然以“1001F”来指示鳍。优选地,对脊状物1001F的刻蚀可以穿过PTSL,并停止于n-阱或p-阱中。这有助于确保各分离的鳍之间的电隔离。之后,可以去除光刻胶1017。

[0056] 由于在分离鳍线1001F时侧墙1005类似于掩模,因此,分离后鳍的端部自对准于侧墙1005的内壁。这有助于节省衬底上的面积并因此降低制造成本。

[0057] 接着,如图9(a)和9(b)(图9(a)是俯视图,图9(b)是沿图9(a)中AA'线的截面图)所示,可以向侧墙1005内侧的空间中特别是分离的鳍1001F的相对端部之间填充第二电介质1019。例如,可以在图8所示的结构上淀积氮氧化物(例如,氮氧化硅),并对其进行平坦化处理如CMP,CMP可以停止于第一电介质1015。第二电介质1019被侧墙1005围绕,构成伪栅。

[0058] 在此,通过向凹槽中填充第二电介质来形成伪栅。在填充时,第二电介质可能先淀积于凹槽的侧壁和底壁上,从而形成U型结构,该U型结构的两个相对内侧壁随着淀积进行而逐渐靠拢。由于沟槽的开口很小,因此最终U型结构的相对内侧壁可能并没有完全弥合,而是存在一定的缝隙。也即,在最终的伪栅中,可能存在这种缝隙,从而伪栅仍然呈现U型结构。这种结构可以在透射电镜(TEM)照片中看到。

[0059] 由于电介质的伪栅留于鳍的相对端部之间,可以在后继的源/漏外延过程中降低应力弛豫。另外,可以将带应力的电介质材质用于伪栅,以便在鳍中产生应力,从而增强器件性能。例如,对于p型器件,伪栅可以带压应力;而对于n型器件,伪栅可以带拉应力。

[0060] 之后,可以按照布局设计,在侧墙1005内侧的空间中需要之处形成真正的栅堆叠。例如,这可以通过去除一部分第二电介质1019,以露出下方的鳍1001F,并在由于第二电介质1019的去除而留下的空间中形成栅堆叠来进行。形成的栅堆叠与下方的鳍1001F相交,从而限定FinFET。

[0061] 在该示例中,由于针对CMOS工艺,可以针对n型器件和p型器件分别形成不同的栅堆叠。为此,可以针对n型器件区域和p型器件区域分别进行处理。在以下,将描述先对p型器件区域进行处理然后再对n型器件进行处理的示例。但是,本公开不限于此,处理的顺序可以交换。

[0062] 例如,参见图10(a)和10(b)(图10(a)是俯视图,图10(b)是沿图10(a)中AA'线的截面图),可以在图9(a)和9(b)所示的结构上形成光刻胶1021,并将其构图为遮蔽n型器件区域(例如,图10(a)中左上部以及右下部),而露出p型器件区域(例如,图10(a)中左下部以及右上部)。

[0063] 此时,例如同以通过对第二电介质1019进行选择性刻蚀来去除侧墙1005内侧的第二电介质1019,并在由于第二电介质1019的去除而在侧墙1005内侧留下的空间中形成栅堆叠,来制作FinFET。

[0064] 根据本公开的实施例,在此还可以采用应变源漏技术。

[0065] 例如,可以图10(a)和10(b)所示的光刻胶1021为掩模,对氧化物的第一电介质1015以及刻蚀停止层1011进行选择刻蚀如RIE,以便露出下方的鳍1001F。于是,p型器件区域中鳍1001F在相邻侧墙1005之间延伸的部分(对应于源/漏区)被露出。之后,可以去除光刻胶1021。

[0066] 接着,如图11(a)和11(b)(图11(a)是俯视图,图11(b)是沿图11(a)中AA'线的截面图)所示,可以对鳍1001F进行选择刻蚀如RIE,以至少去除其一部分从而使其下凹。例如,鳍1001F可以凹入至n-PTSL,即去除鳍1001F位于n-PTSL之上的部分。然后,可以以鳍1001F的剩余部分为种子,外延生长用作源/漏区的另外半导体材料1023。例如,对于p型器件,源/漏区1023可以包括SiGe(Ge的原子百分比为约30-75%),以便向用作沟道区的Si的鳍1001F施加压应力,从而改善器件性能。另外,在生长半导体材料1023时,可以对其进行原位掺杂,例如p型掺杂,掺杂浓度为约 $1E19-1E21\text{cm}^{-3}$ 。所生长的半导体材料1023的顶面可以高于鳍1001F的顶面,以便更好地向鳍1001F施加应力;另一方面,可以低于侧墙1005或伪栅1019的顶面,以便随后可以在此之上形成应力保持层。

[0067] 在生长半导体材料1023时,由于在相对两侧(图11(a)和11(b)中左右两侧)以及底部均存在种子层,从而有助于高质量的生长。以这种方式进行生长,所生长的半导体材料1023可以呈现如鳍1001F的脊状。

[0068] 另外,如图11(b)所示,由于n型器件区域上存在的第一电介质1015以及p型器件区域与n型器件区域之间的伪栅1019,可以防止所生长的半导体材料1023中的应力释放到n型器件区域,并有助于改善p型器件的性能。

[0069] 然后,如图12(图12示出了AA'线截面处的情况)所示,可以在图11(a)和11(b)上例如通过淀积形成第三电介质1025如氧化物,并对其进行平坦化处理如CMP,CMP可以停止于侧墙1005。这样,所形成的第三电介质1025填充了相邻侧墙之间的空间,并且有助于防止下方的半导体材料1023中的应力释放。

[0070] 接下来,可以对n型器件区域进行同样地处理。

[0071] 为此,如图13(a)和13(b)(图13(a)是俯视图,图13(b)是沿图13(a)中AA'线的截面图)所示,可以在图12所示的结构上形成光刻胶1027,并将其构图为遮蔽p型器件区域(例如,图13(a)中左下部和右上部),而露出n型器件区域(例如,图13(a)中左上部以及右下部)。

[0072] 此时,例如可以通过对第二电介质1019进行选择刻蚀来去除侧墙1005内侧的第二电介质1019,并在由于第二电介质1019的去除而在侧墙1005内侧留下的空间中形成栅堆叠,来制作FinFET。

[0073] 当然,也可以对n型器件区域应用应变源漏技术。

[0074] 例如,可以图13(a)和13(b)所示的光刻胶1027为掩模,对氧化物的第一电介质1015以及刻蚀停止层1011进行选择刻蚀如RIE,以便露出下方的鳍1001F。于是,n型器件区域中鳍1001F在相邻侧墙1005之间延伸的部分(对应于源/漏区)被露出。之后,可以去除光刻胶1027。

[0075] 接着,如图14(图14示出了AA'线截面处的情况)所示,可以对鳍1001F进行选择刻蚀如RIE,以至少去除其一部分从而使其下凹。例如,鳍1001F可以凹入至p-PTSL,即去除鳍1001F位于p-PTSL之上的部分。在去除鳍1001F的该部分时,半导体层1023中的应力可能

释放,但是第三电介质1025以及p型器件区域与n型器件区域之间的伪栅1019有助于减小这种释放。

[0076] 然后,可以以鳍1001F的剩余部分为种子,外延生长用作源/漏区的另外半导体材料1029。例如,对于n型器件,源/漏区1029可以包括Si:C(C的原子百分比为约0.1-3%),以便向用作沟道区的Si的鳍1001F施加拉应力,从而改善器件性能。另外,在生长半导体材料1029时,可以对其进行原位掺杂,例如n型掺杂,掺杂浓度为约 $1E19-1E21cm^{-3}$ 。所生长的半导体材料1029的顶面可以高于鳍1001F的顶面,以便更好地向鳍1001F施加应力;另一方面,可以低于侧墙1005或伪栅1019的顶面,以便随后可以在此之上形成应力保持层。

[0077] 在生长半导体材料1029时,由于在相对两侧(图14中左右两侧)以及底部均存在种子层,从而有助于高质量的生长。以这种方式进行生长,所生长的半导体材料1029可以呈现如鳍1001F的脊状。

[0078] 另外,如图14所示,由于在p型器件区域上存在的第三电介质1025以及p型器件区域与n型器件区域之间的伪栅,可以防止所生长的半导体材料1029中的应力释放到p型器件区域,并有助于改善p型器件的性能。

[0079] 然后,如图15(a)和15(b)(图15(a)是俯视图,图15(b)是沿图15(a)中AA'线的截面图)所示,可以在图14上例如通过淀积形成第四电介质1031如氧化物(可以与第三电介质1025相同),并对其进行平坦化处理如CMP,CMP可以停止于侧墙1005。这样,所形成的第四电介质1031填充了相邻侧墙之间的空间,并且有助于防止下方的半导体材料1029中的应力释放。

[0080] 可以看出,由于存在多种应力保持机制,从而可以增加器件中的应力。图22示出了根据本公开实施例的应力保持机制所能实现的应力增强。如图22所示,采用这些应力保持机制,对n型器件和p型器件,均可以实现沟道区的应力增强。

[0081] 如图15(a)和15(b)所示,当前的有源区已经形成成为这样的形式:有源区总体上仍呈沿第一方向延伸的脊状物,该脊状物在伪栅1019和侧墙1005正下方的部分是原本的鳍1001F,而在相邻侧墙1005之间延伸的部分是应变源/漏区1023、1029。应变源/漏区1023、1029可以比原本的鳍1001F要粗。在该示例中,伪栅1019可以将有源区的不同部分相隔离。

[0082] 在形成应变源/漏之后,可以将伪栅1019中需要之处替换为真正的栅堆叠。为此,首先可以去除伪栅1019中需要替换的部分,并在其中代之以真正的栅堆叠。

[0083] 例如,如图16(a)、16(b)和16(c)(图16(a)是俯视图,图16(b)是沿图16(a)中AA'线的截面图,图16(c)是沿图16(a)中BB'线的截面图)所示,可以在图15(a)和15(b)所示的结构上形成光刻胶1033,并将该光刻胶1033构图为遮蔽需要保留的伪栅部分(图中从左至右数第一和第三伪栅,以及第四伪栅的一部分),并露出需要替换的伪栅部分(用于p型器件的部分,图中从左至右数第二伪栅,以及第四伪栅的其余部分)。以光刻胶1033为掩模,对伪栅1019进行选择性刻蚀如RIE(相对于氧化物的电介质1025/1031以及氮化物的侧墙1005)。刻蚀可以停止于刻蚀停止层1011。这样,由于这些部分的伪栅被去除,从而在侧墙1005内侧留下了空间(用于容纳栅堆叠),且在该空间内露出了鳍1001F(鳍表面覆盖有刻蚀停止层1011,该刻蚀停止层1011例如可以通过清洗或者选择性刻蚀而被去除)。之后,可以去除光刻胶1033。

[0084] 然后,如图17(a)、17(b)和17(c)(图17(a)是俯视图,图17(b)是沿图17(a)中AA'线

的截面图,图17(c)是沿图17(a)中BB'线的截面图)所示,可以在如上所述在侧墙1005内侧留下的空间中形成栅堆叠。在此,可以对n型器件和p型器件分别形成不同的栅堆叠(在该示例中,对于n型器件和p型器件形成相同的栅介质层,并形成不同的栅电极层;但是本公开不限于此,例如也可以形成不同的栅介质层)。

[0085] 例如,可以首先在该空间中通过淀积如原子层淀积(ALD)形成栅介质层1035。栅介质层1035可以包括高K栅介质如 $\text{HfO}_2$ ,厚度为约1-3nm。在形成栅介质层1035之前,可以在鳍1001F的表面上形成氧化物的界面层(未示出),厚度为约0.3-1.2nm。之后,可以通过淀积形成针对n型器件和p型器件之一(例如,p型器件)的栅电极层1037-1,例如金属栅电极。另外,可以利用光刻胶(未示出)遮蔽p型器件区域,并露出n型器件区域。可以通过选择性刻蚀如RIE,去除n型器件区域中的栅电极层1037-1。之后,可以去除光刻胶。接着,可以通过淀积形成针对n型器件和p型器件另一种(例如,n型器件)的栅电极层1037-2,例如金属栅电极。可以对所形成的栅电极层1037-1、1037-2和栅介质层1035进行平坦化处理如CMP,CMP可以停止于电介质1025/1031。这样,栅电极层1037-1、1037-2和栅介质层1035留于侧墙1005内侧,形成栅堆叠。

[0086] 根据布局设计,p型器件的栅电极层1037-1和n型器件的栅电极层1037-2可以彼此电连接(例如,参见图17(a)中左侧的情况),或者可以彼此隔离(例如,参见图17(a)中右侧的情况)。图17(c)中更清楚地示出了p型器件的栅电极层1037-1和n型器件的栅电极层1037-2彼此隔离的情况。如图17(c)所示,p型器件的栅电极层1037-1和n型器件的栅电极层1037-2可以通过残留的伪栅部分而彼此电隔离。如图16(a)中所示,p型器件的栅电极层1037-1和n型器件的栅电极层1037-2之间的间隙(或者说,该残留部分在第二方向上的宽度)是由光刻胶1033在该部分的线宽决定的。相比于栅电极层之间的间隙由线之间的间隔决定的常规技术,该间隙可以做得更窄(因为一般而言在光刻技术中线宽可以小于线间隔)。也即,栅电极的相对端部之间的距离可以更小,从而可以节省面积,并可以降低制造成本。

[0087] 这样,就得到了n型和p型的FinFET。如图17(b)所示,在p型FinFET中,栅电极层1037-1可以介由栅介质层1035控制鳍1001F中的沟道区,且源/漏区1023可以通过沟道区电连通。类似地,在n型FinFET中,栅电极层1037-2可以介由栅介质层1035控制鳍1001F中的沟道区,且源/漏区1029可以通过沟道区电连通。

[0088] 接下来,可以进行接触部的制作。

[0089] 为了保护栅堆叠,如图18(图18示出了AA'线截面处的情况)所示,可以使栅堆叠凹入,并在其顶部形成保护层1039。例如,保护层1039可以包括氮化物。

[0090] 根据本公开的实施例,按照自对准技术来形成接触部。例如,如图19(a)和19(b)(图19(a)是俯视图,图19(b)是沿图19(a)中AA'线的截面图)所示,可以对电介质1025/1031(在该示例中,氧化物)进行选择刻蚀如湿法腐蚀和气相刻蚀(相对于半导体材料1023/1029、氮氧化物的伪栅、氮化物的侧墙1005和保护层1039),以至少部分地露出下方的源/漏区1023、1029。这种刻蚀可以是各向同性刻蚀,且刻蚀的沟槽或孔洞可以至少部分地与部分侧墙1005的外壁实质上共形或实质上对准。在图19(a)中示出了对电介质1025/1031的刻蚀露出下方的隔离层1009,但是本公开不限于此。例如,电介质1025/1031还可以留有一部分,只要源/漏区1023、1029被露出。

[0091] 于是,如图19(a)和19(b)所示,在相邻的侧墙1005之间,留下了沟槽。这些沟道随后可以容纳导电材料以形成接触部。由于源/漏区1023、1029位于这些沟槽内,从而接触部可以自对准于源/漏区1023、1029。

[0092] 然后,如图20(a)和20(b)(图20(a)是俯视图,图20(b)是沿图20(a)中AA'线的截面图)所示,可以在图19(a)和19(b)所示的结构上,例如通过淀积形成接触材料1041,并可以对其进行平坦化处理例如CMP,CMP可以停止于侧墙1005或保护层1039。于是,接触材料1041填充于各沟槽中。接触材料1041可以包括导电材料,例如金属如W。不同沟槽中的接触材料1041由于它们之间的侧墙1005而彼此隔离。

[0093] 此外,在形成接触材料1041之前,可以先形成一层阻挡层(未示出),例如Ti或者Ti/TiN叠层。

[0094] 之后,如图21(a)和21(b)(图21(a)是俯视图,图21(b)是沿图21(a)中AA'线的截面图)所示,可以根据布局设计,将接触材料1041分离为不同的接触部。例如,可以在图20(a)和20(b)所示的结构上形成光刻胶(未示出),并将其构图为露出需要隔离之处,而遮蔽其余之处。然后,以光刻胶为掩模,对接触材料1041进行选择性刻蚀如RIE,以切断接触材料1041。如图21(b)所示,形成了自对准于源/漏区1023、1029的接触部1041。

[0095] 本公开的技术可以局部地或者全局地应用于衬底上。

[0096] 在以上的实施例中,在应用应变源/漏技术时,针对p型器件区域和n型器件区域分别进行处理。但是,本公开不限于此。例如,可以在所有器件区域上将对应于源/漏区的脊状物替换为针对一种类型器件(例如,p型器件)的第一应变源/漏,然后再将另一种类型器件(例如,n型器件)区域上的第一应变源/漏替换为针对该类器件的第二应变源/漏。

[0097] 如图23(a)和23(b)(图23(a)是俯视图,图23(b)是沿图23(a)中AA'线的截面图)所示,如在以上结合图9(a)和9(b)所述形成伪栅1019之后,可以在整个衬底上对氧化物的第一电介质1015以及刻蚀停止层1011进行选择性刻蚀如RIE,以便露出下方的鳍1001F。于是,p型器件区域和n型器件区域中鳍1001F在相邻侧墙1005之间延伸的部分(对应于源/漏区)被露出。该操作与以上结合图10(a)和10(b)描述的操作类似,但是并未形成光刻胶1021。

[0098] 接着,如图24(a)和24(b)(图24(a)是俯视图,图24(b)是沿图24(a)中AA'线的截面图)所示,可以对鳍1001F进行选择性刻蚀如RIE,以至少去除其一部分从而使其下凹。然后,可以以鳍1001F的剩余部分为种子,外延生长用作p型器件的源/漏区的另外半导体材料1023。对此,例如可以参见以上结合图11(a)和11(b)的描述。

[0099] 然后,如图25(图25示出了AA'线截面处的情况)所示,可以在图24(a)和24(b)上例如通过淀积形成第三电介质1025如氧化物,并对其进行平坦化处理如CMP,CMP可以停止于侧墙1005。

[0100] 接下来,可以替换n型器件区域中的半导体材料1023。

[0101] 为此,如图26(a)和26(b)(图26(a)是俯视图,图26(b)是沿图26(a)中AA'线的截面图)所示,可以在图25所示的结构上形成光刻胶1027,并将其构图为遮蔽p型器件区域(例如,图26(a)中左下部和右上部),而露出n型器件区域(例如,图26(a)中左上部以及右下部)。以光刻胶1027为掩模,对氧化物的第三电介质1025进行选择性刻蚀如RIE,以便露出下方的鳍1001F。于是,n型器件区域中鳍1001F在相邻侧墙1005之间延伸的部分(对应于源/漏区)被露出。之后,可以去除光刻胶1027。

[0102] 接着,如图27(图27示出了AA'线截面处的情况)所示,可以对鳍1001F进行选择性刻蚀如RIE,以至少去除其一部分从而使其下凹。然后,如图28(图28示出了AA'线截面处的情况)所示,可以以鳍1001F的剩余部分为种子,外延生长用作n型器件的源/漏区的另外半导体材料1029。对此,例如可以参见以上结合图14的描述。接下来,可以如以上实施例中一样进行。

[0103] 根据本公开实施例的半导体设置可以应用于各种电子设备。例如,通过集成这样的半导体设置以及其他器件(例如,其他形式的晶体管等),可以形成集成电路(IC),并由此构建电子设备。因此,本公开还提供了一种包括上述半导体设置的电子设备。电子设备还可以包括与集成电路配合的显示屏幕以及与集成电路配合的无线收发器等部件。这种电子设备例如智能电话、计算机、平板电脑(PC)、可穿戴智能设备、移动电源等。

[0104] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0105] 以上对本公开的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本公开的范围之内。

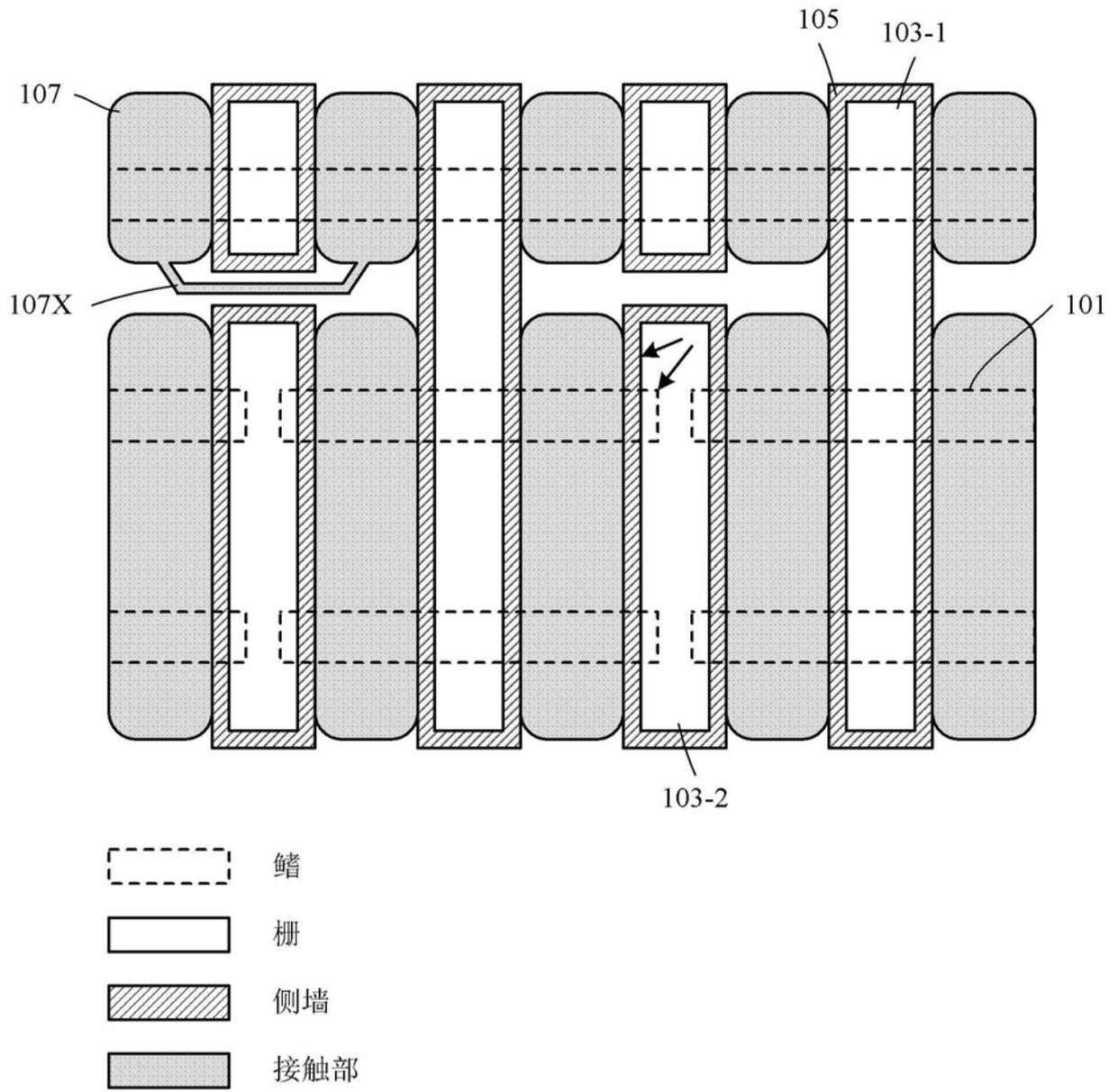


图1

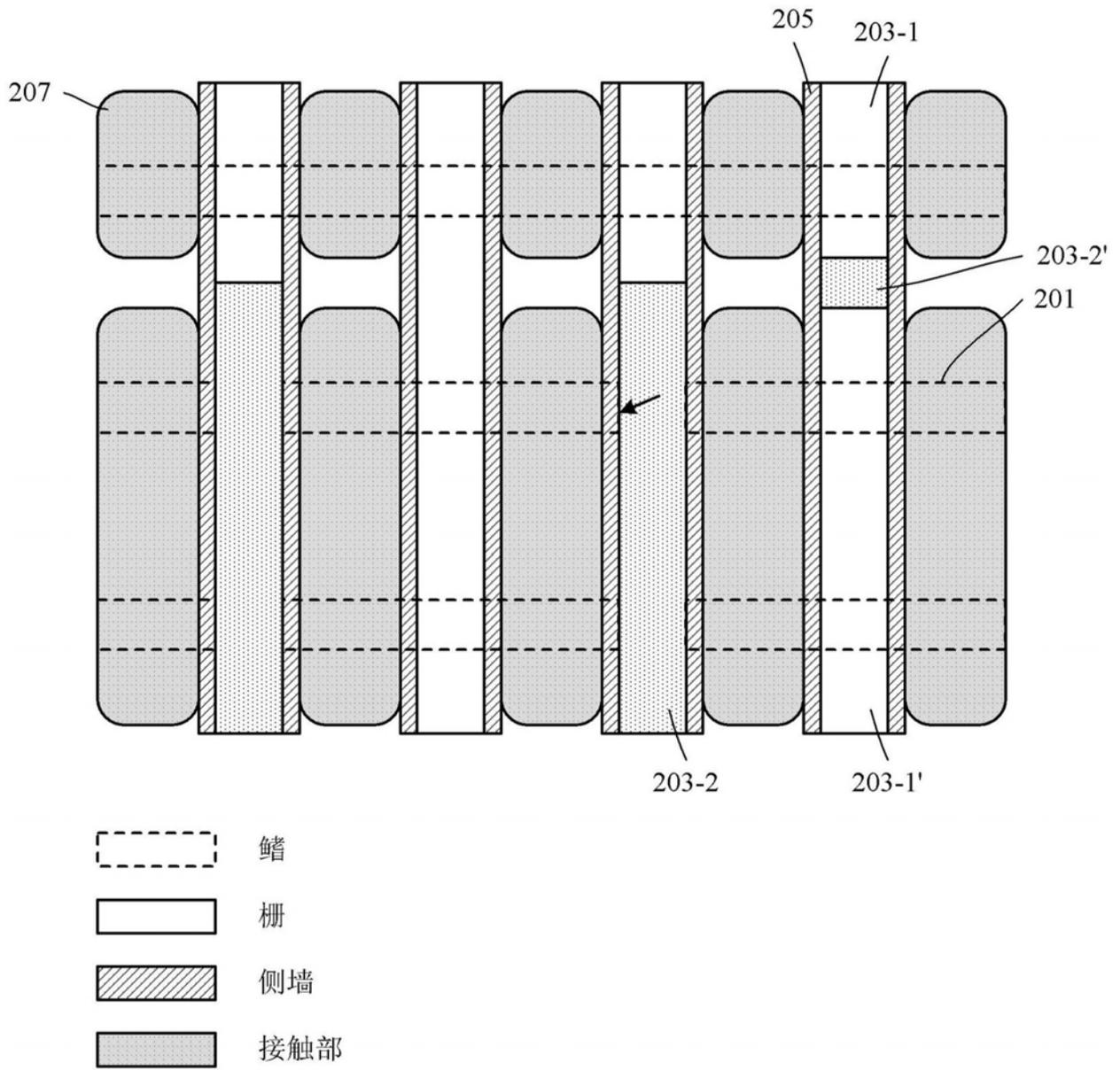


图2

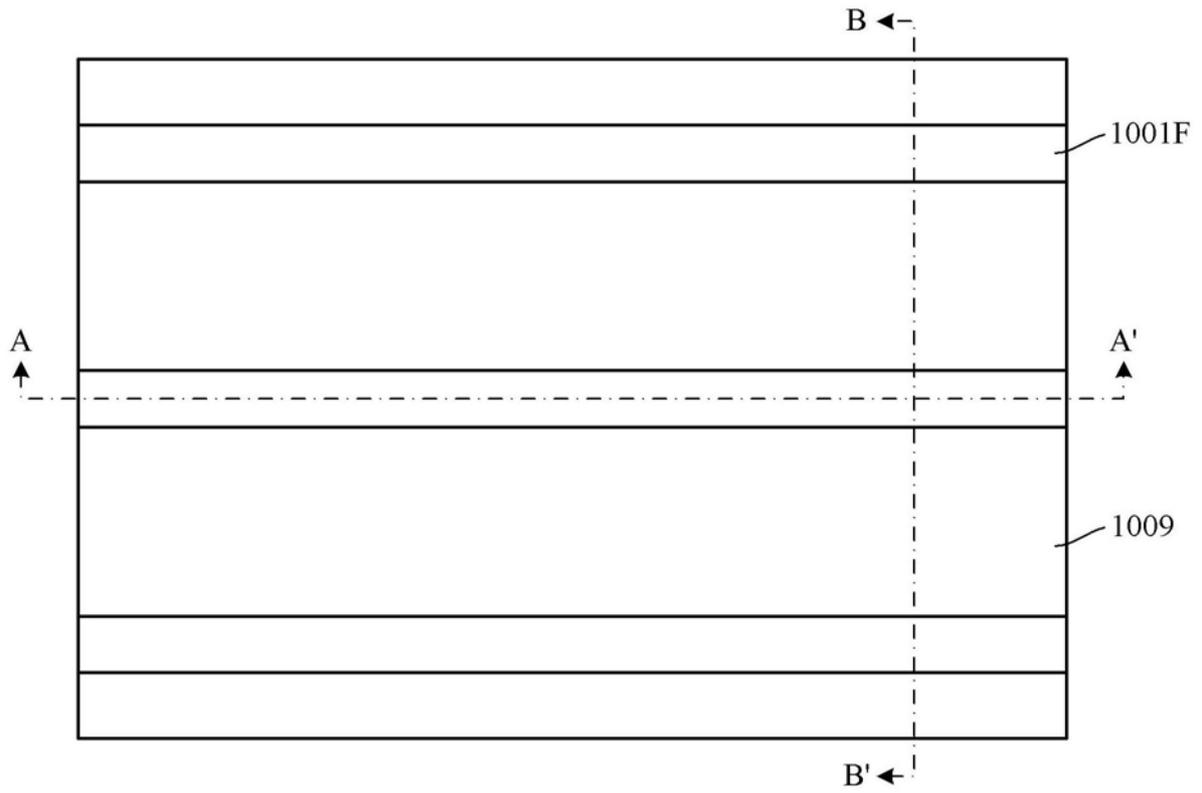


图3 (a)

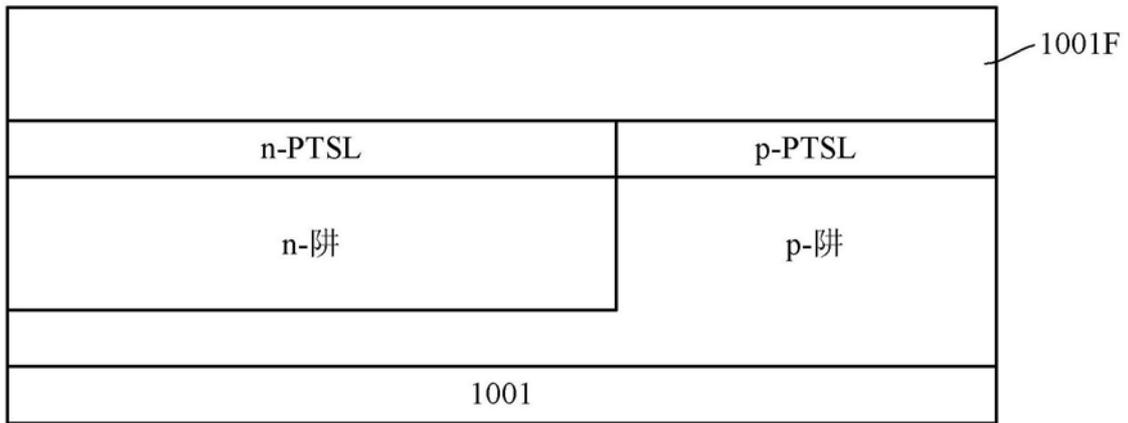


图3 (b)

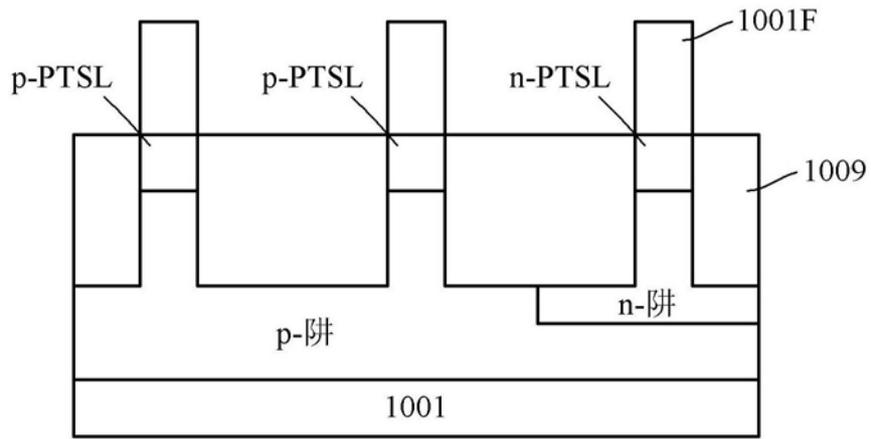


图3(c)

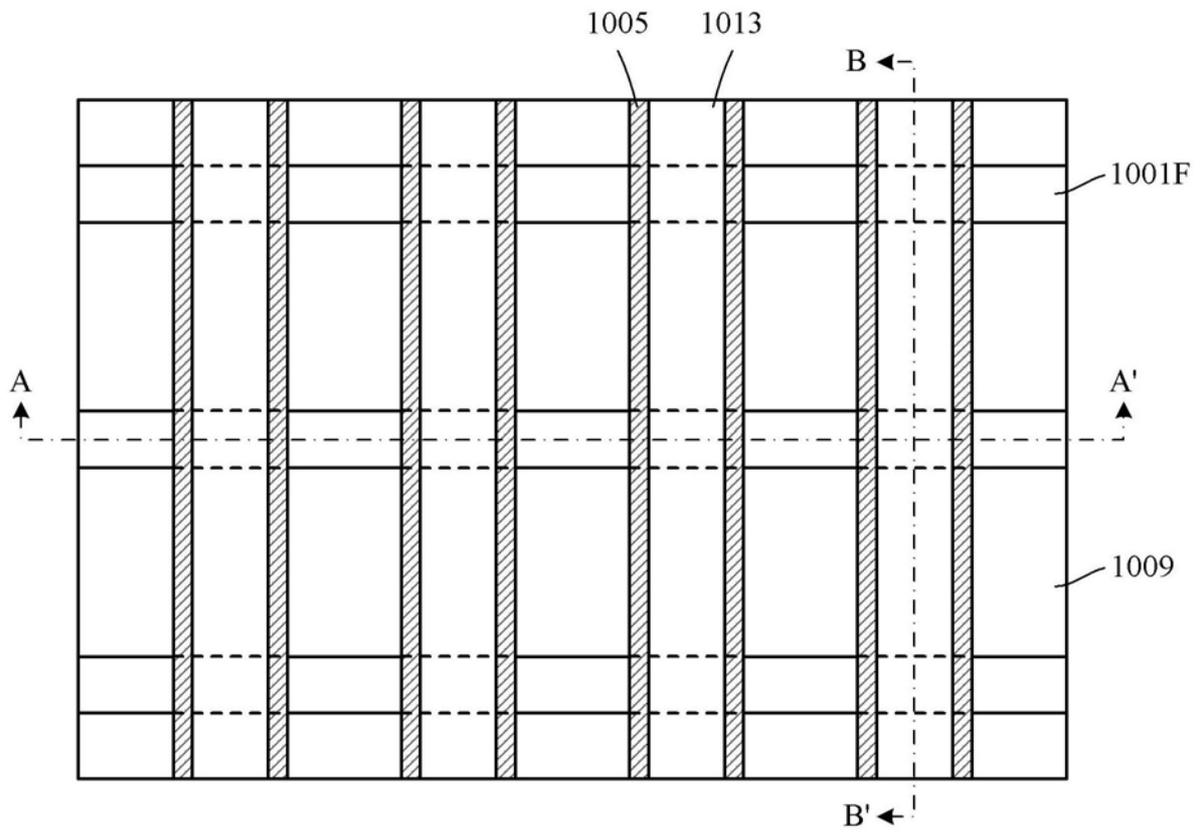


图4(a)

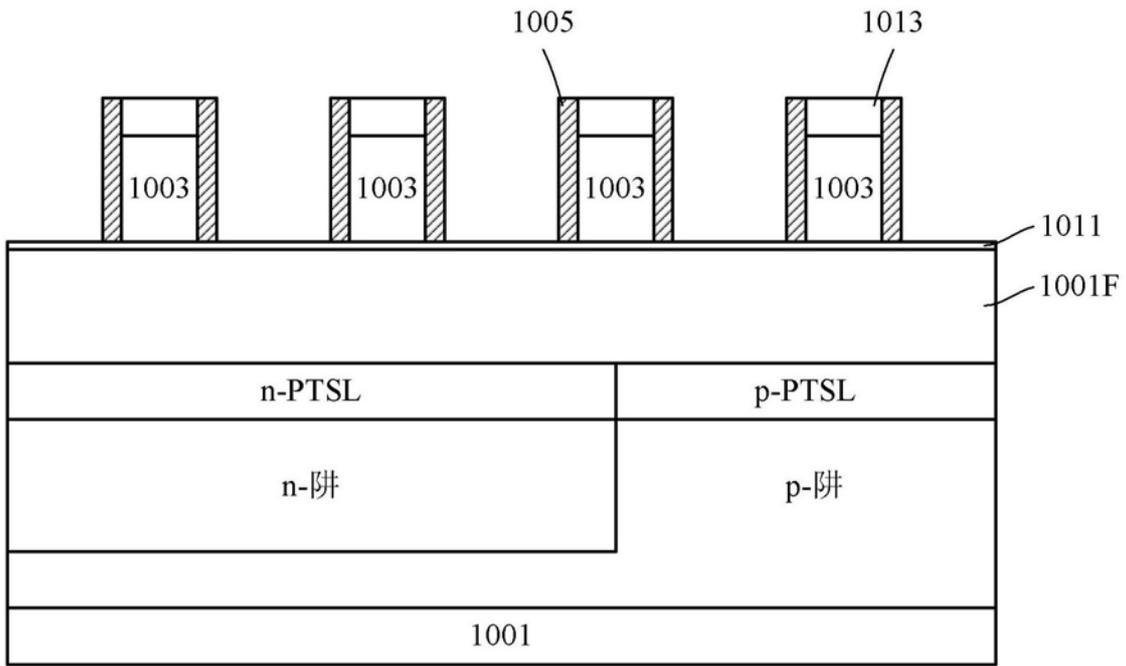


图4 (b)

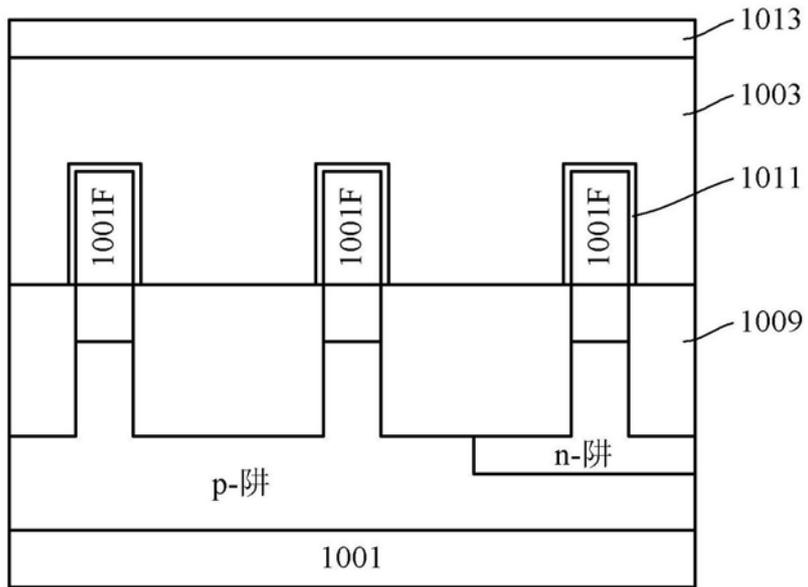


图4 (c)

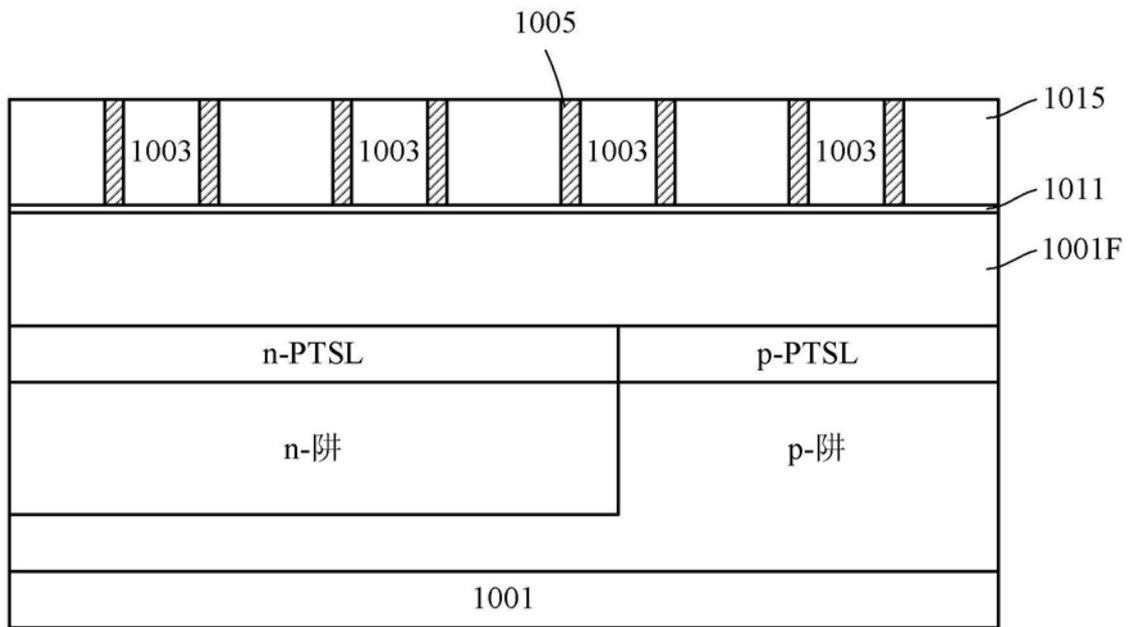


图5

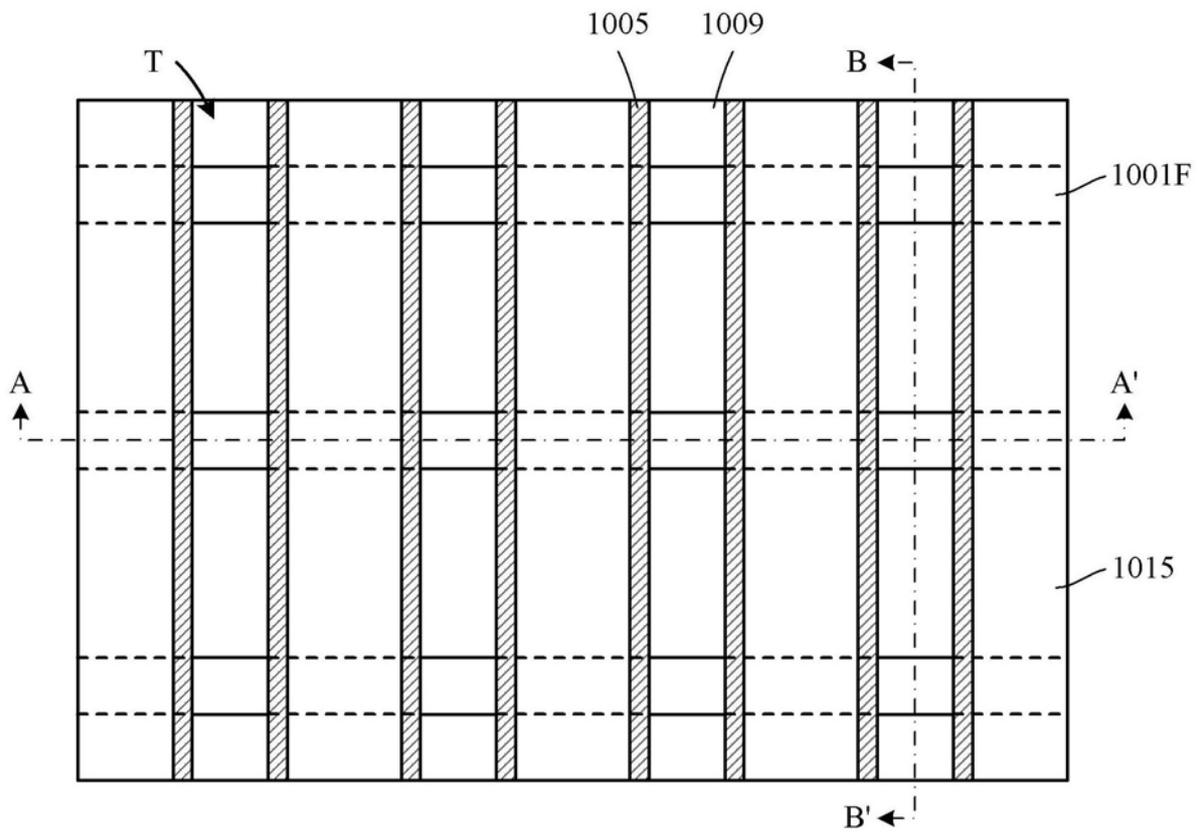


图6(a)

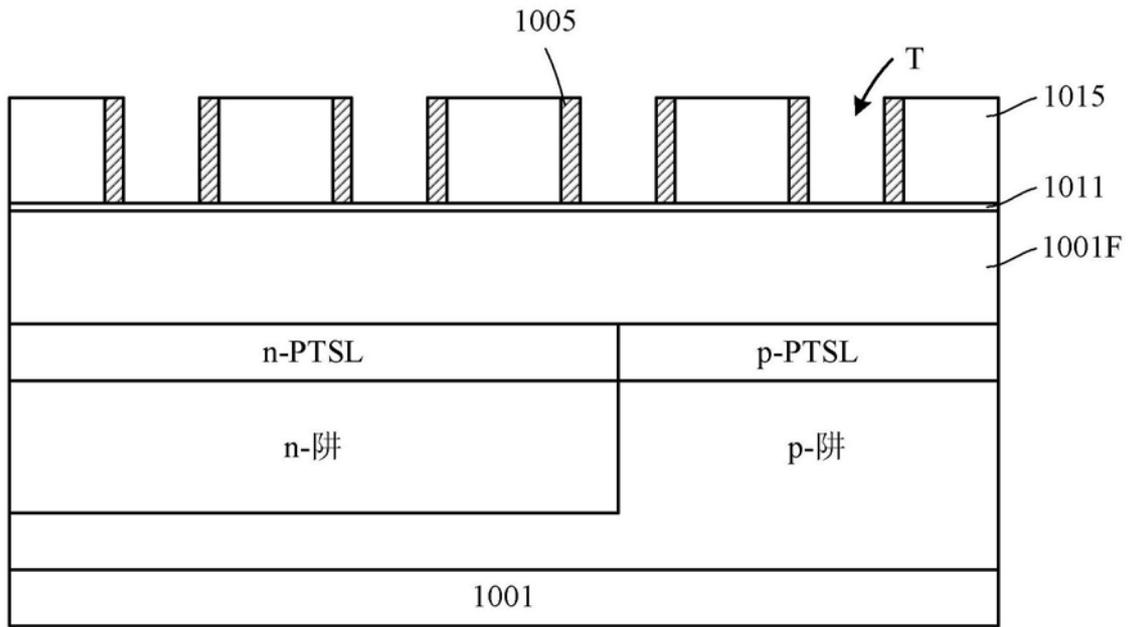


图6 (b)

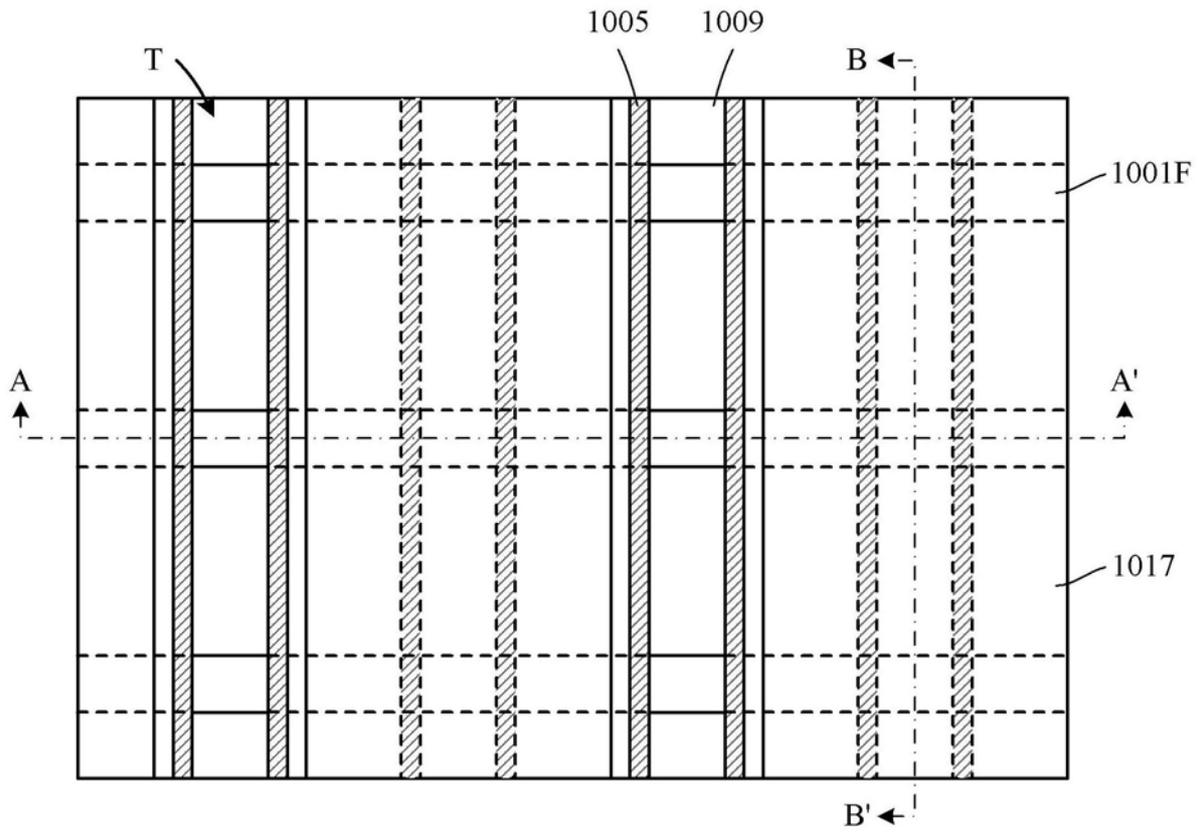


图7 (a)

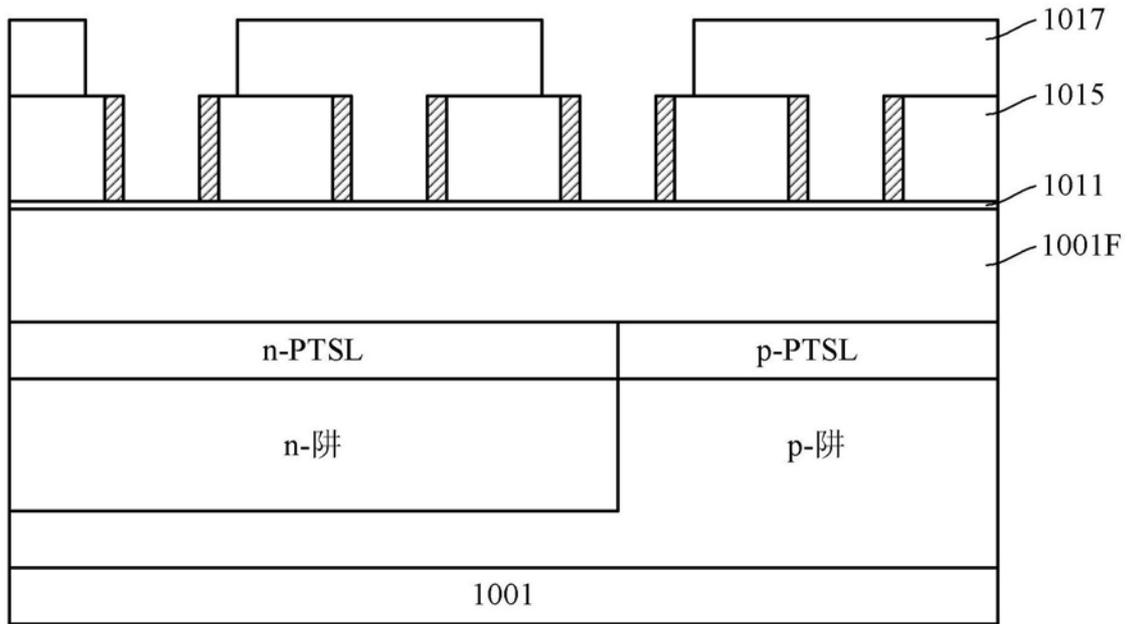


图7 (b)

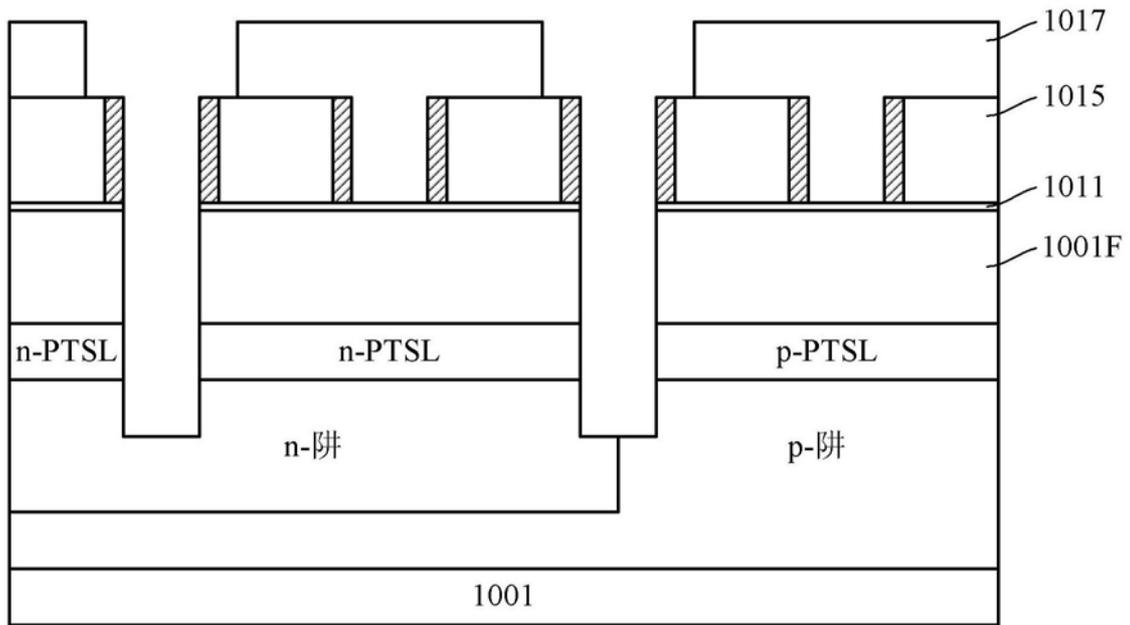


图8

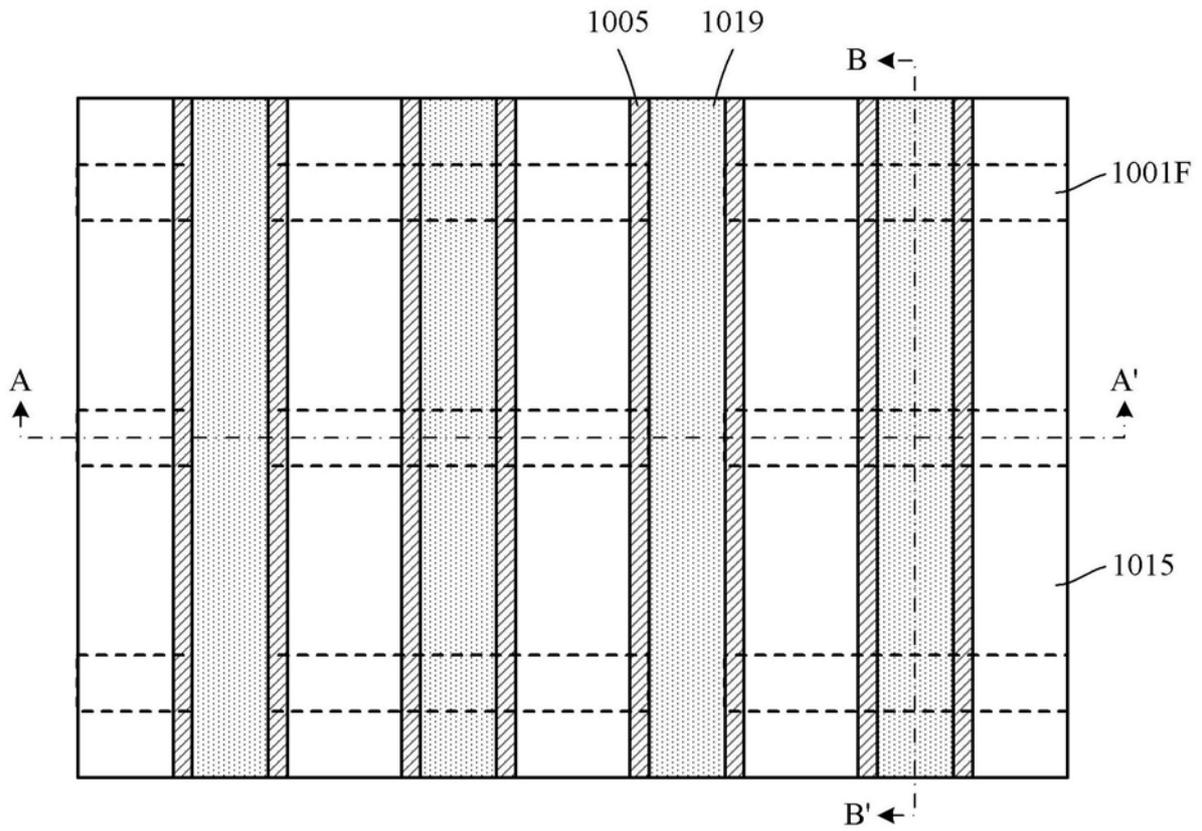


图9 (a)

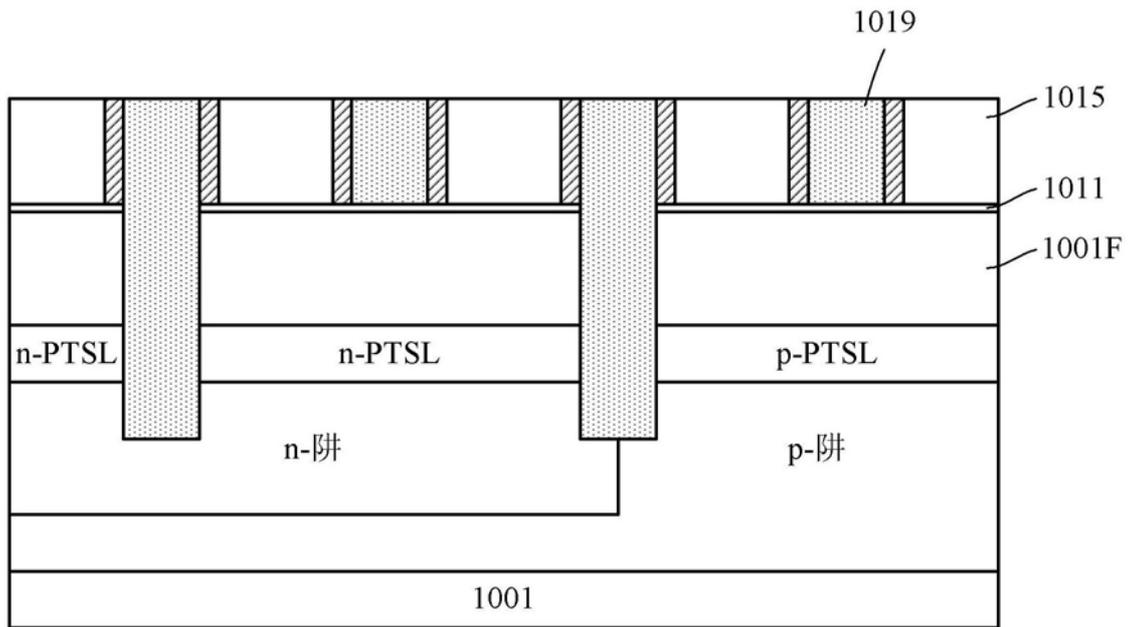


图9 (b)

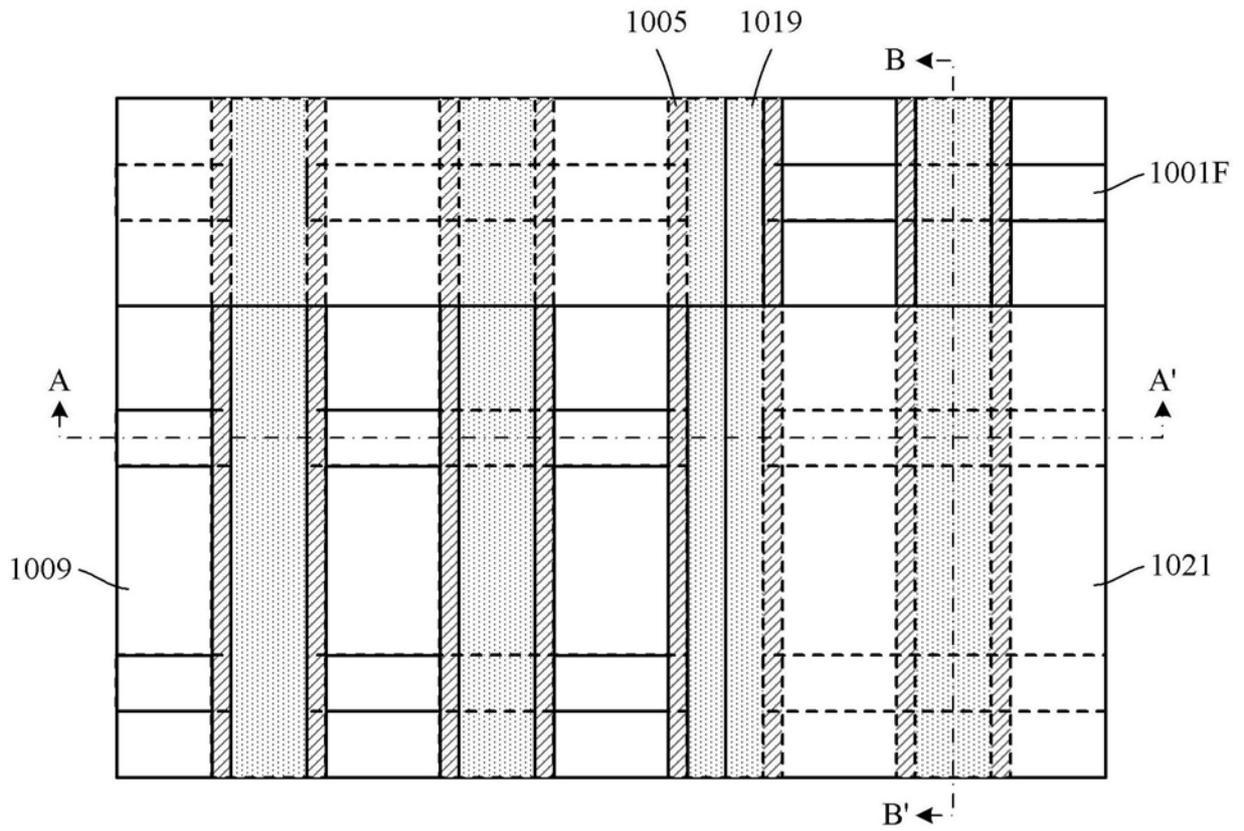


图10 (a)

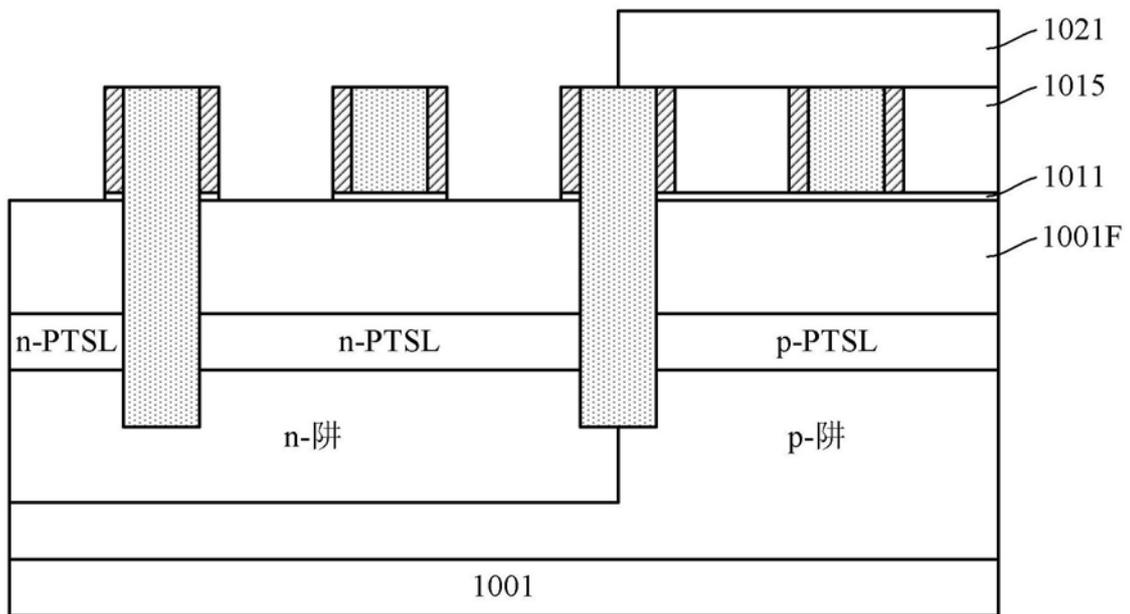


图10 (b)

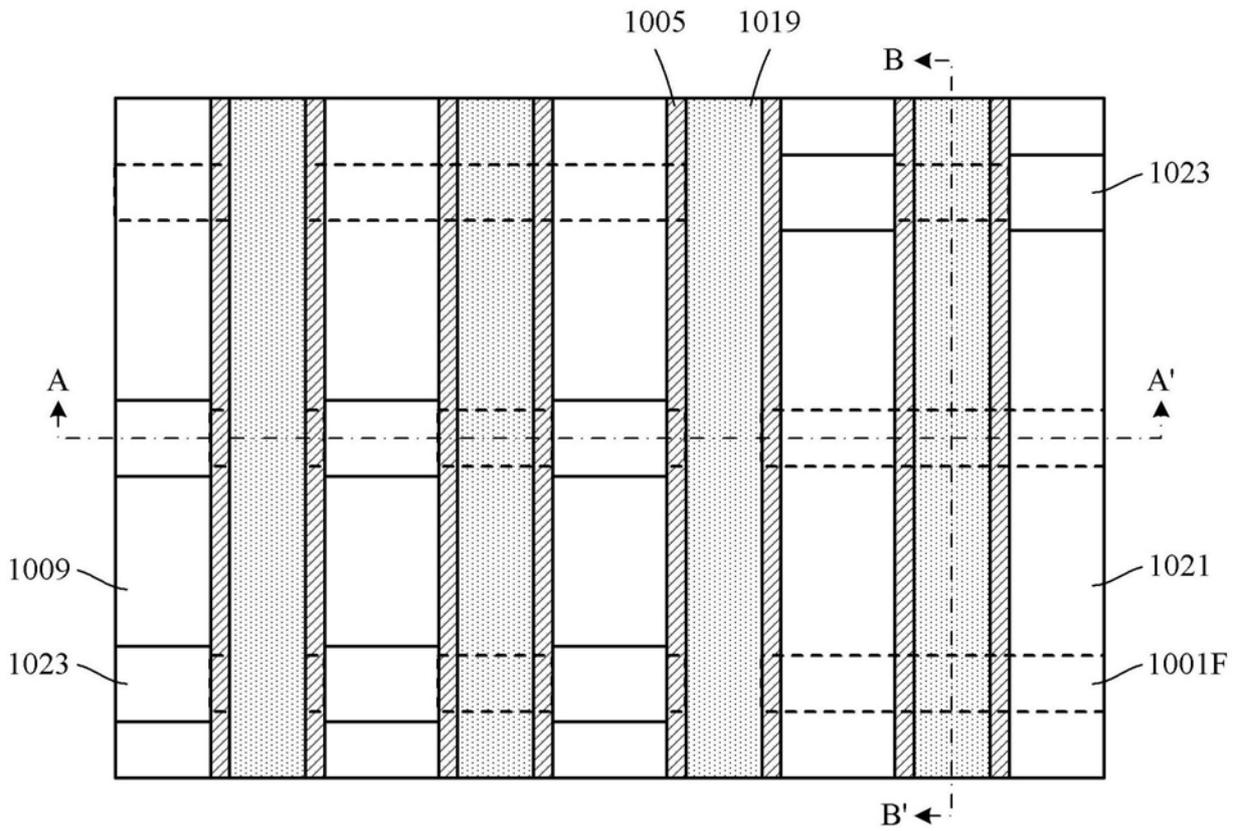


图11 (a)

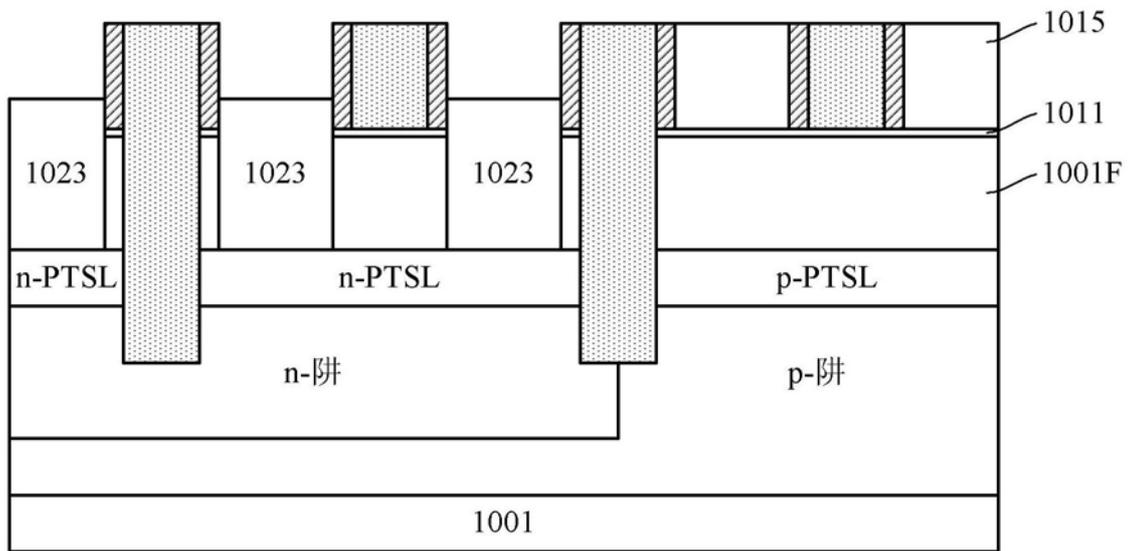


图11 (b)



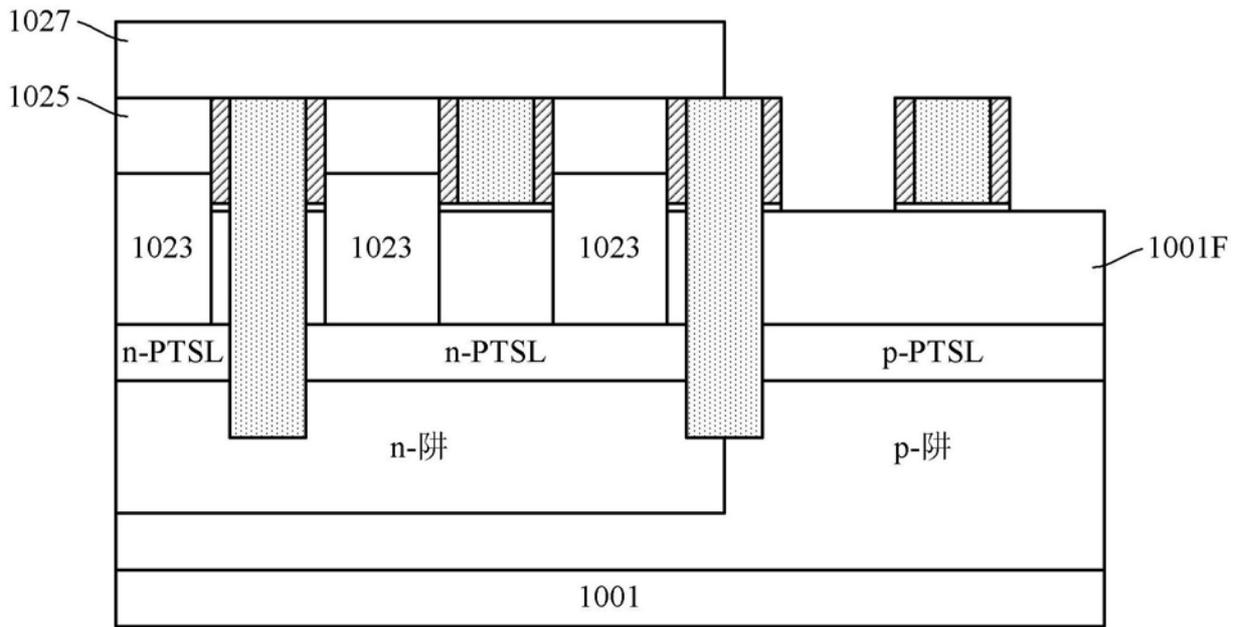


图13 (b)

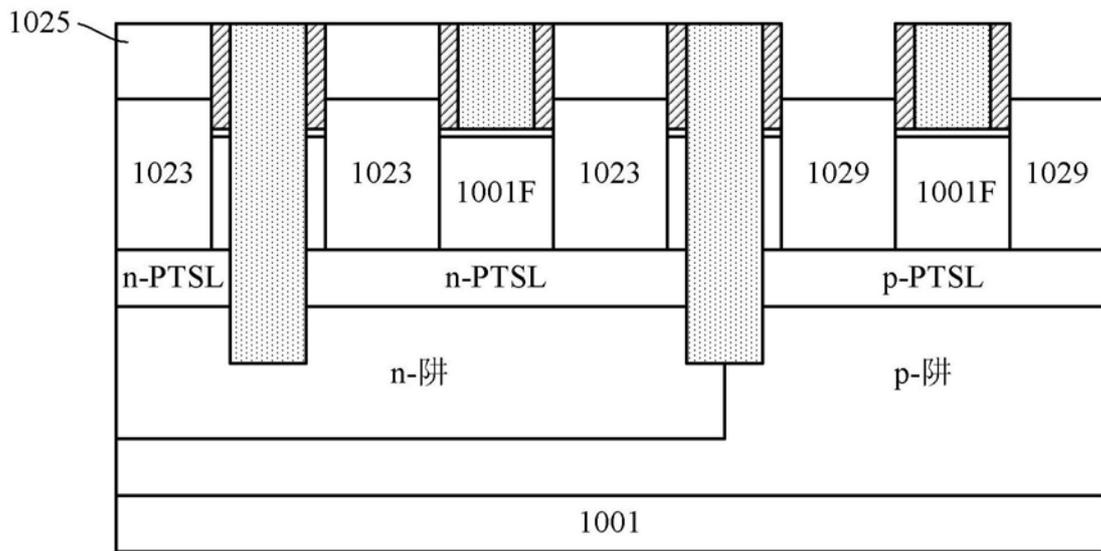


图14

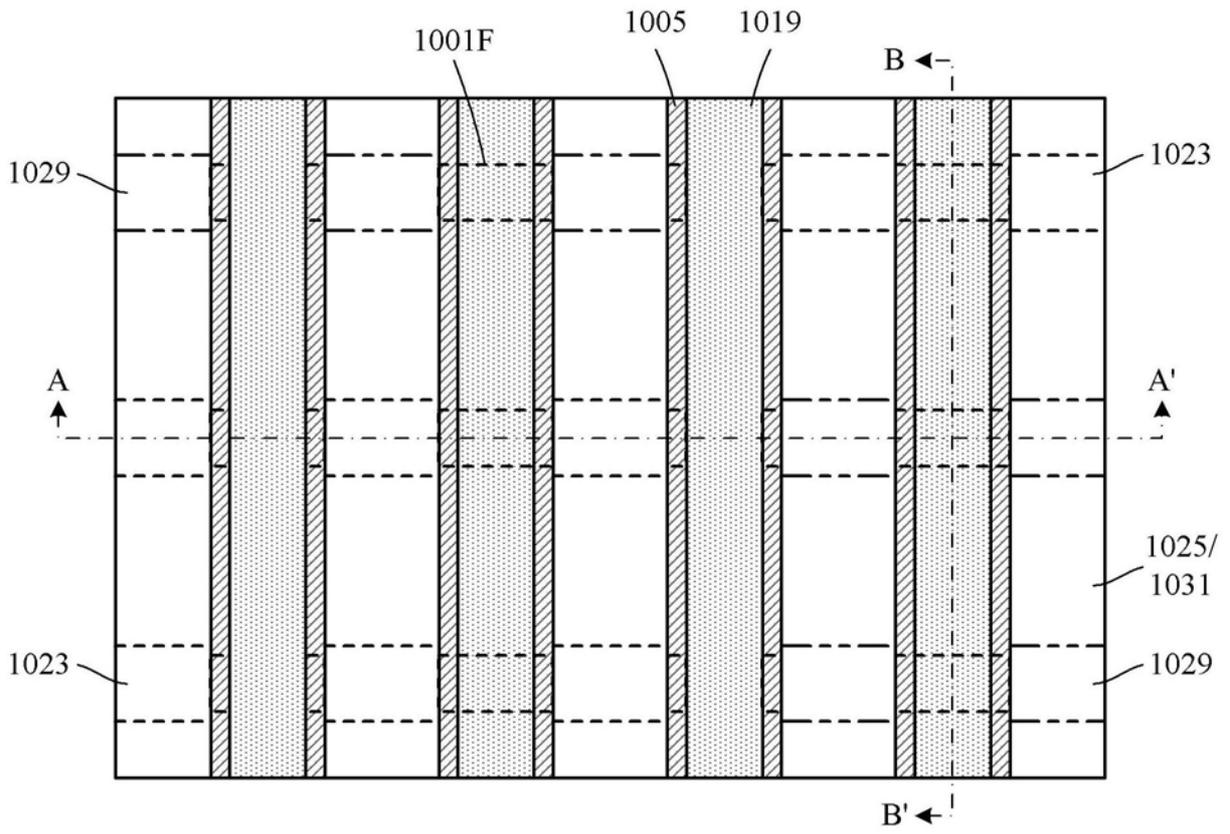


图15 (a)

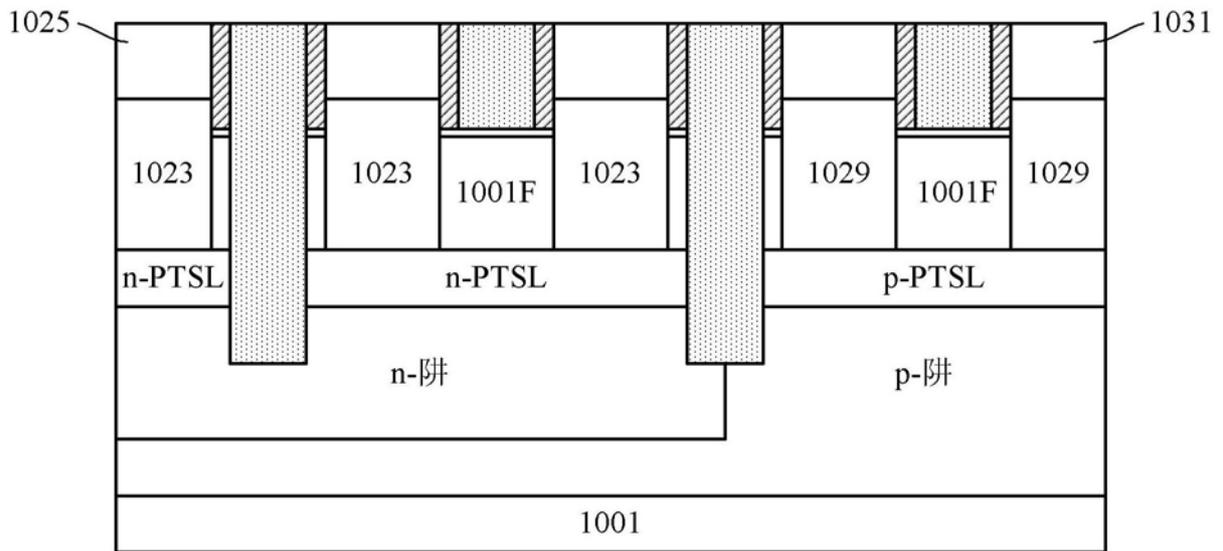


图15 (b)

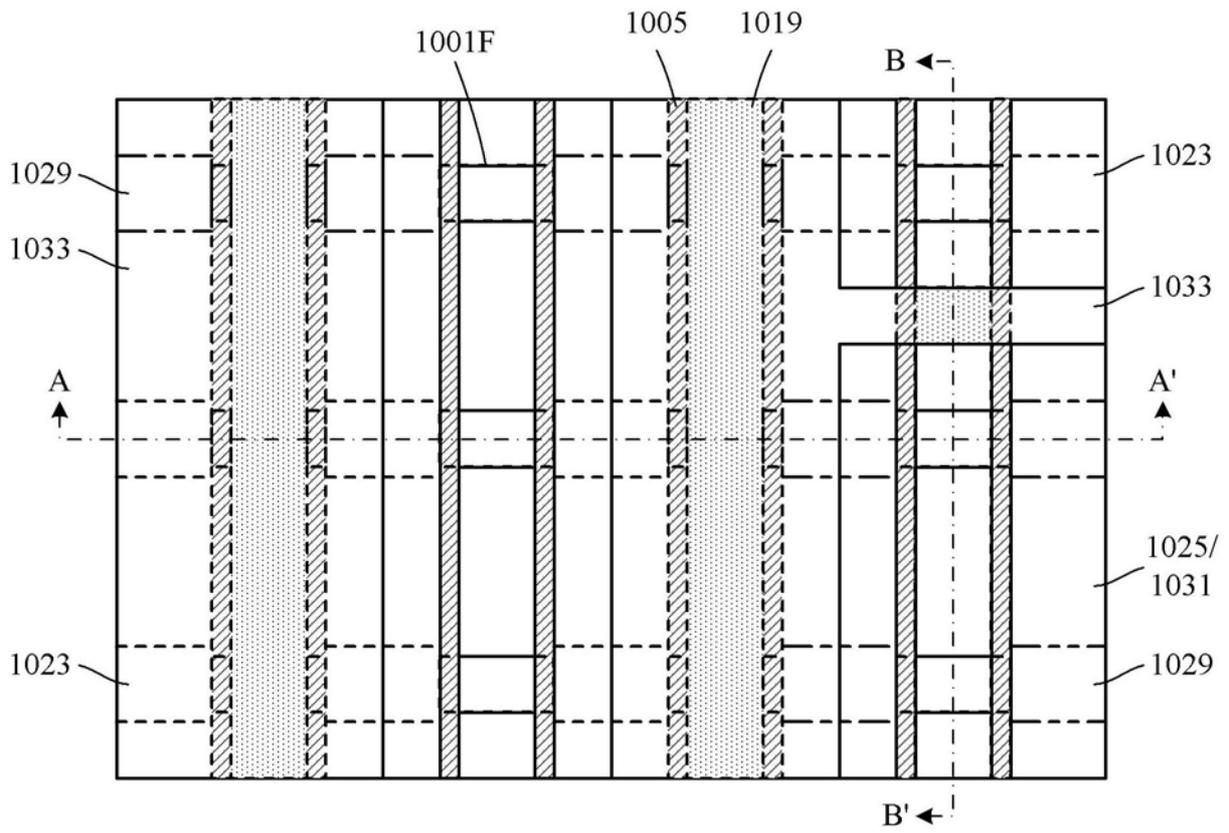


图16 (a)

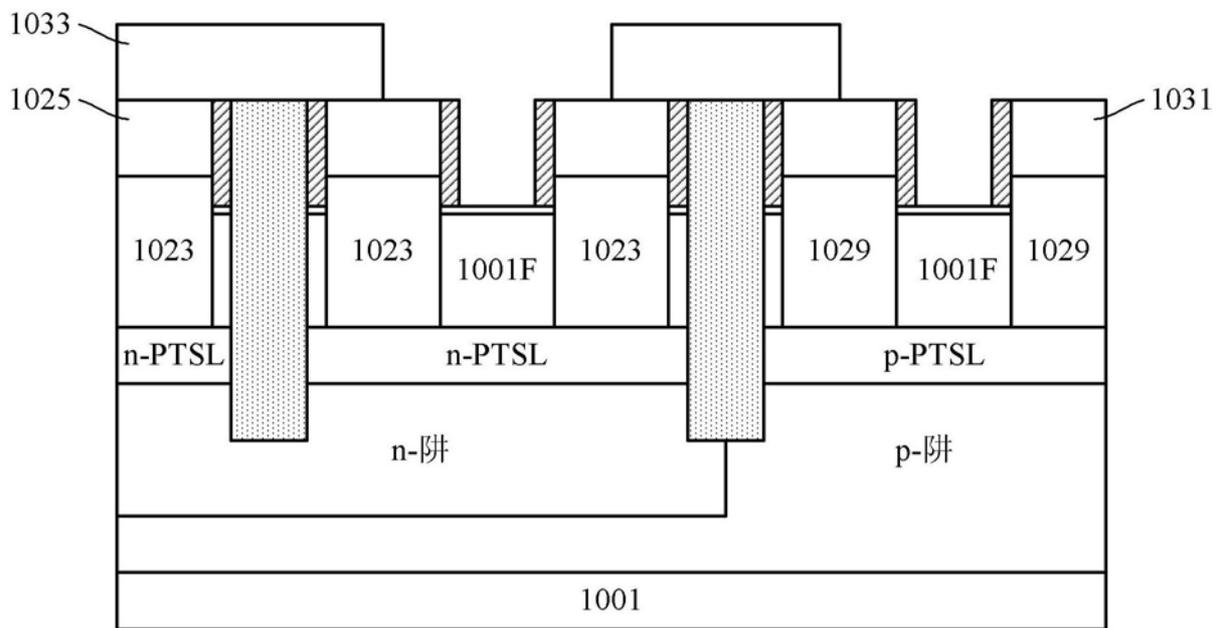


图16 (b)

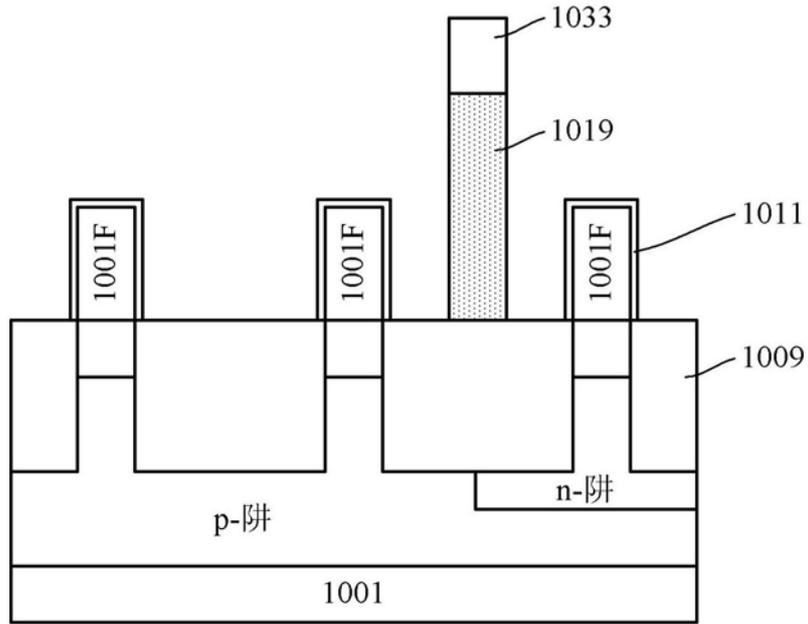


图16(c)

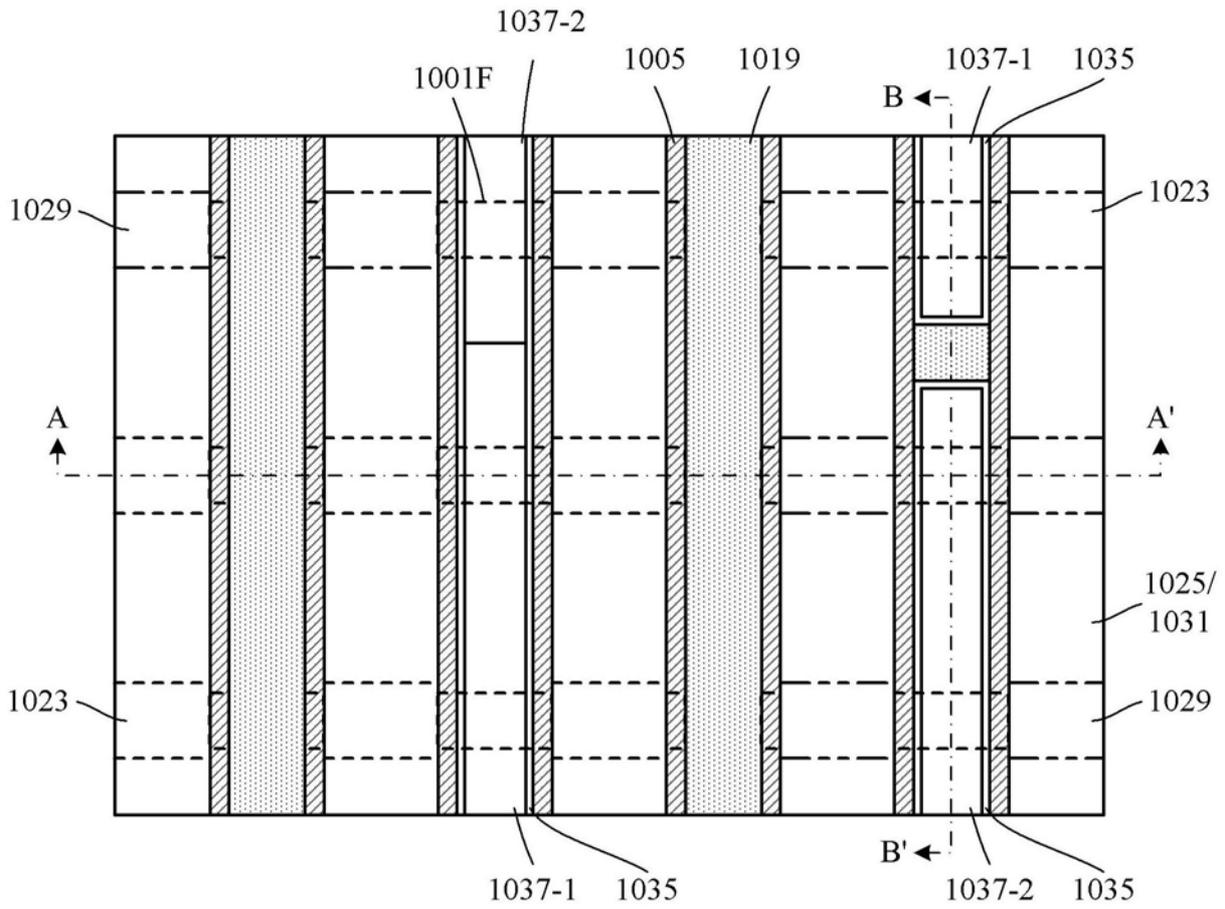


图17(a)

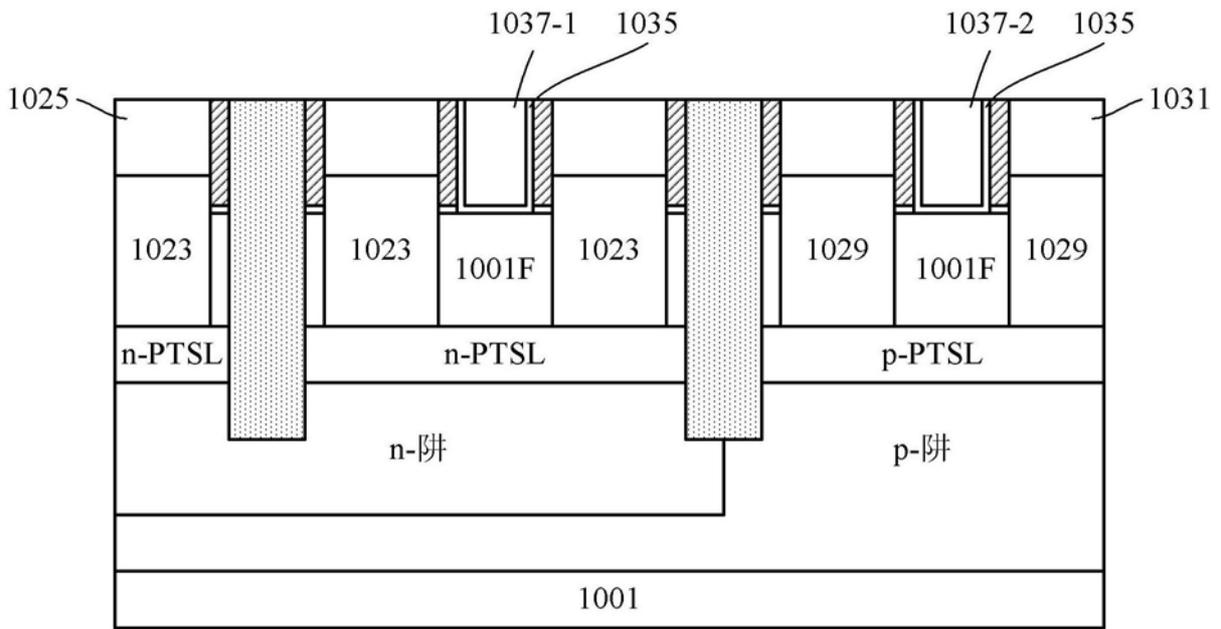


图17 (b)

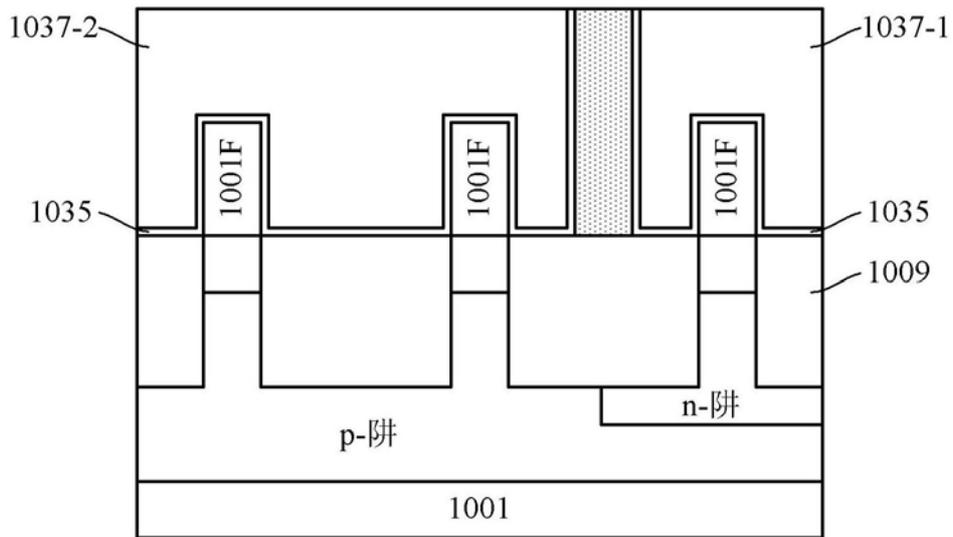


图17 (c)

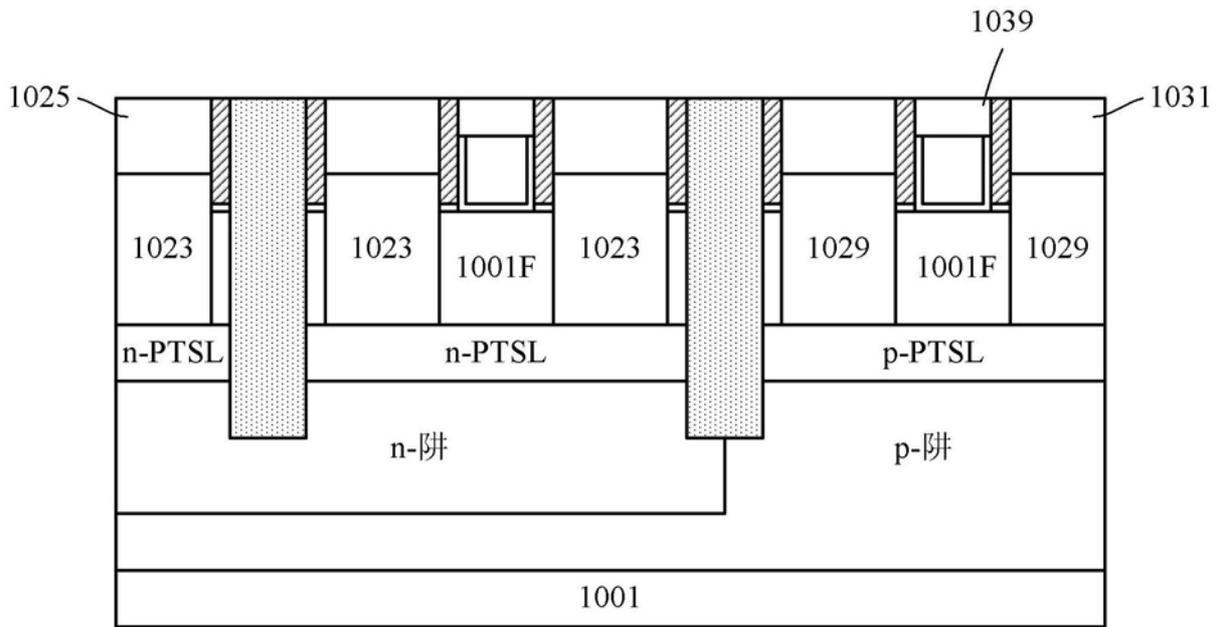


图18

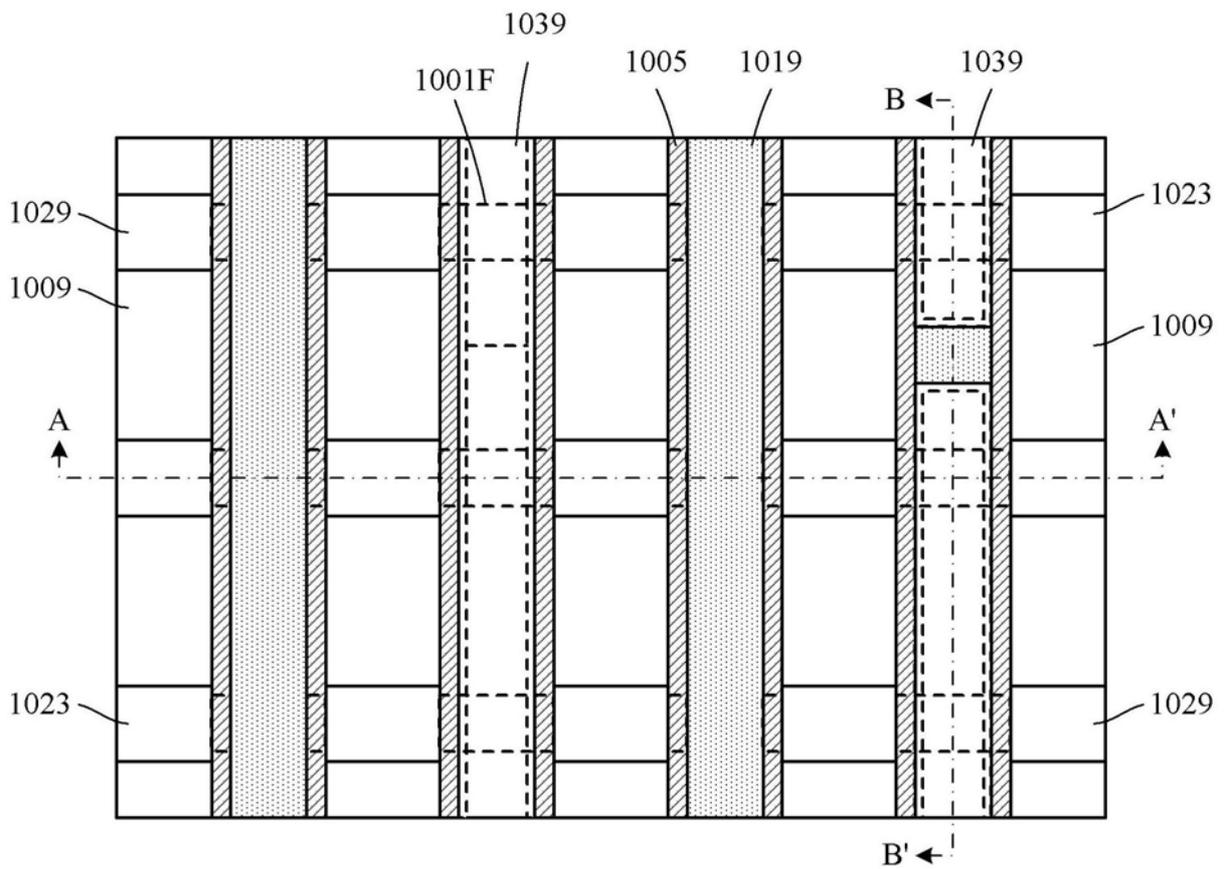


图19(a)

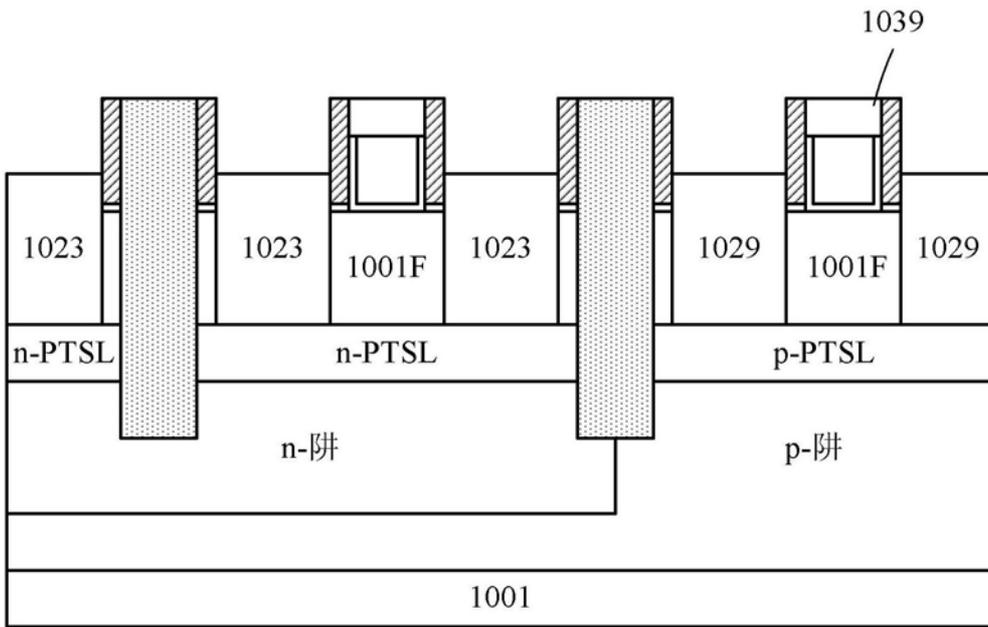


图19(b)

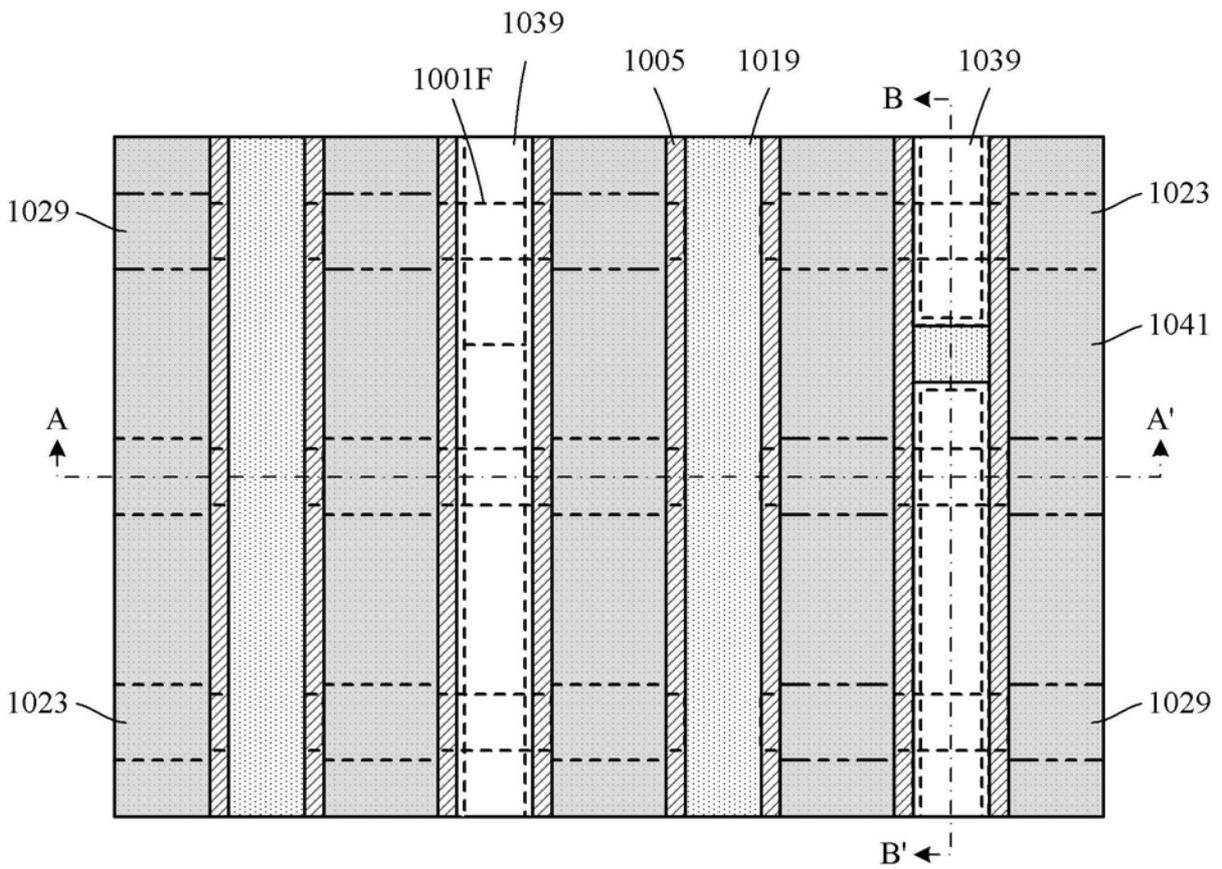


图20(a)

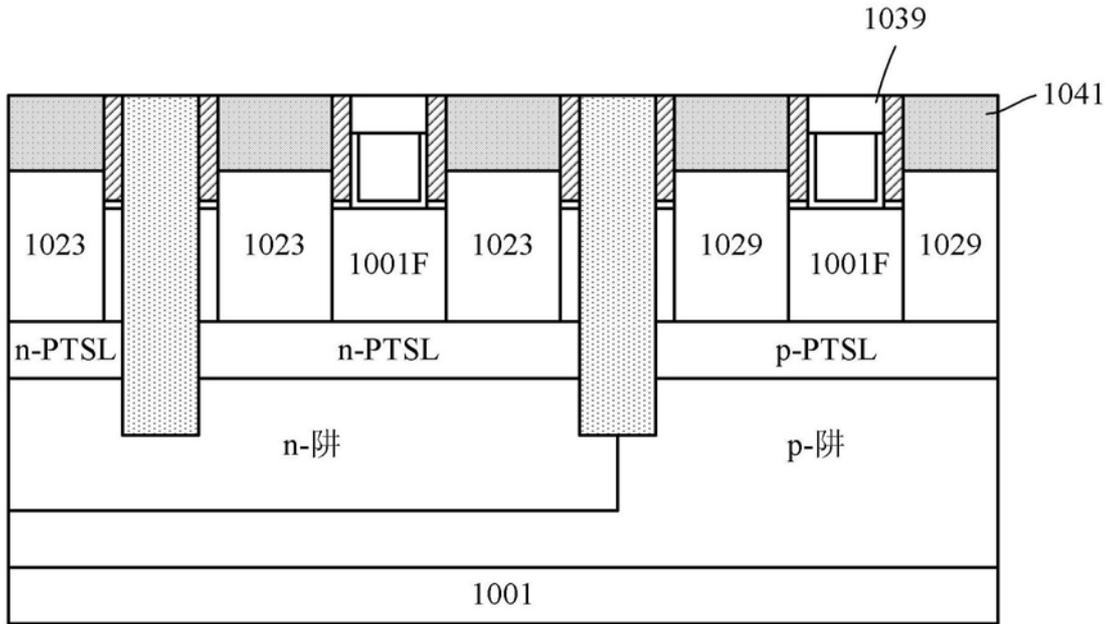


图20 (b)

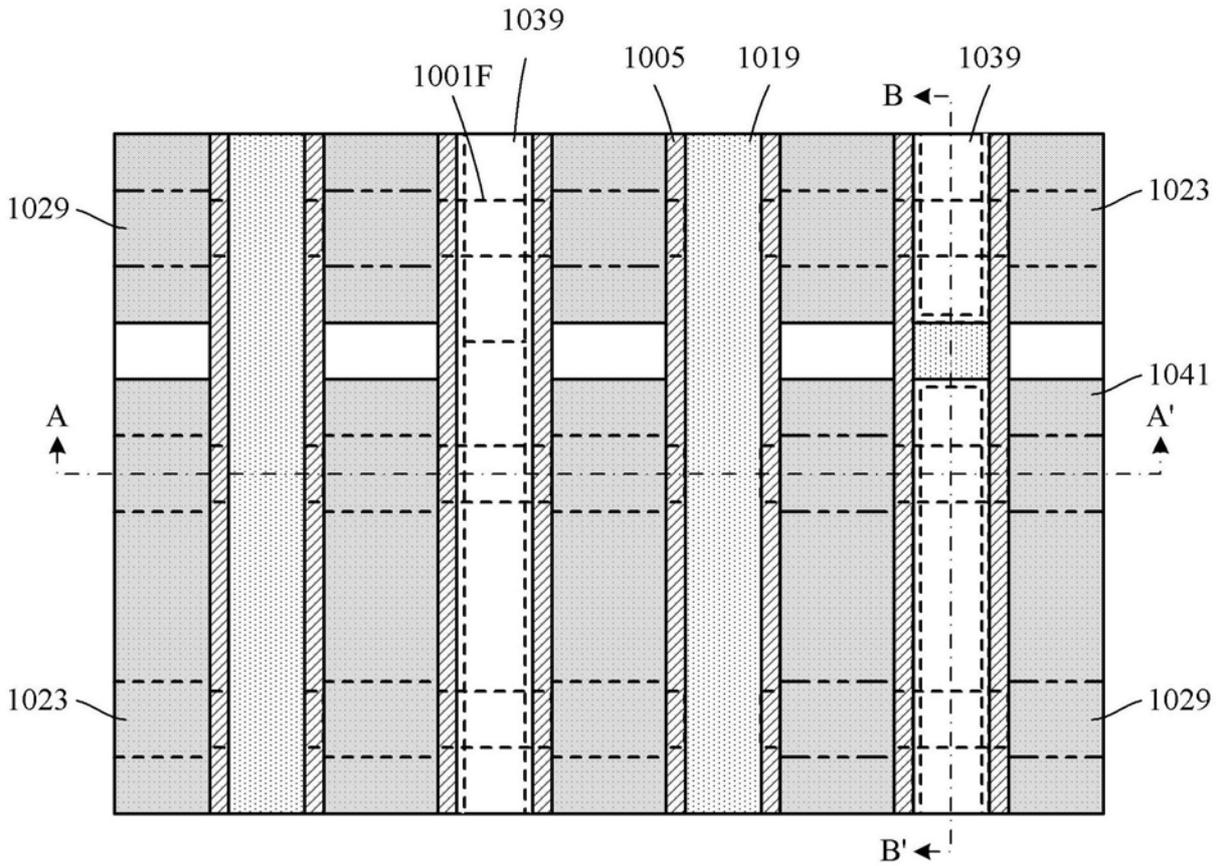


图21 (a)

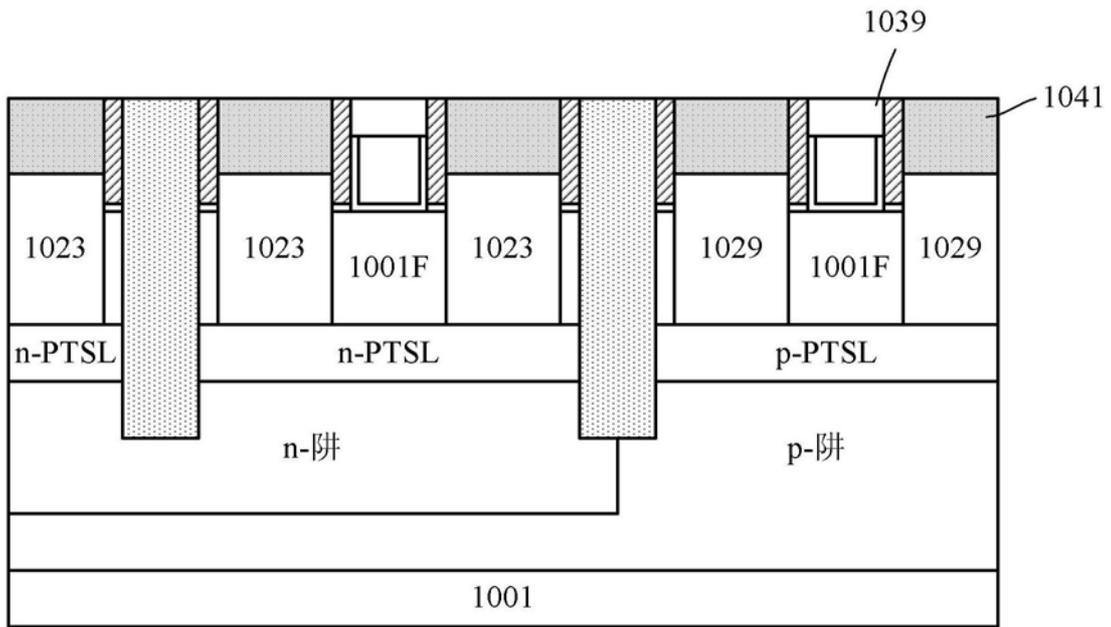


图21 (b)

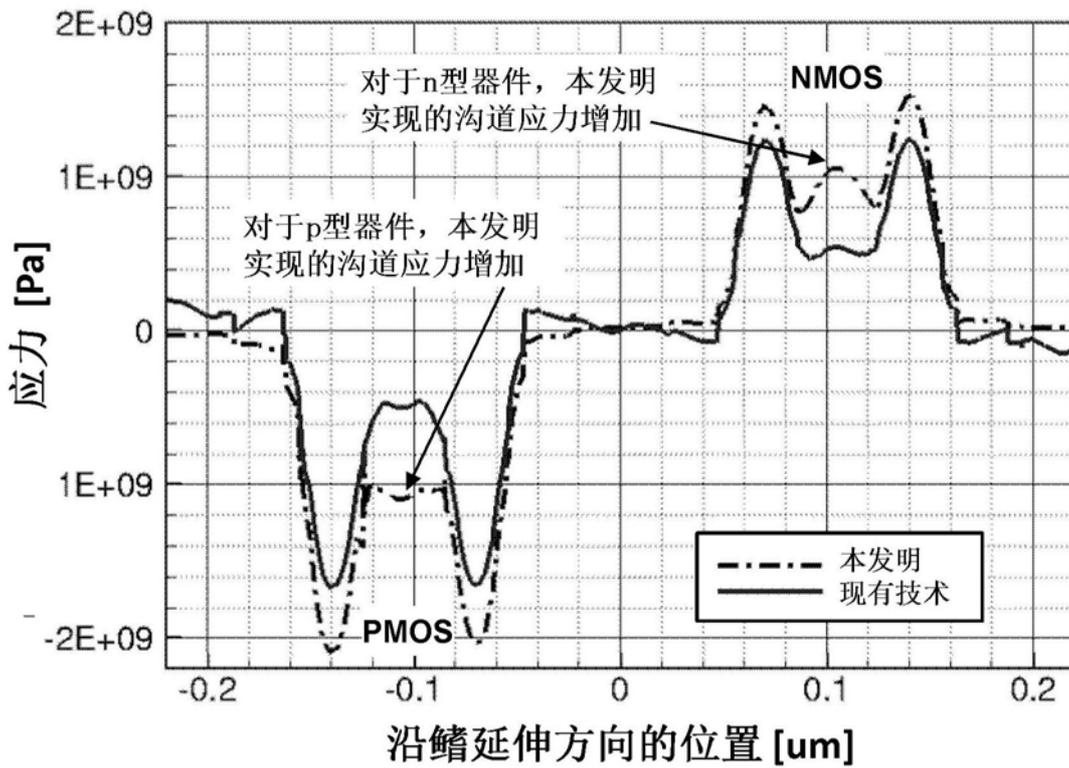


图22

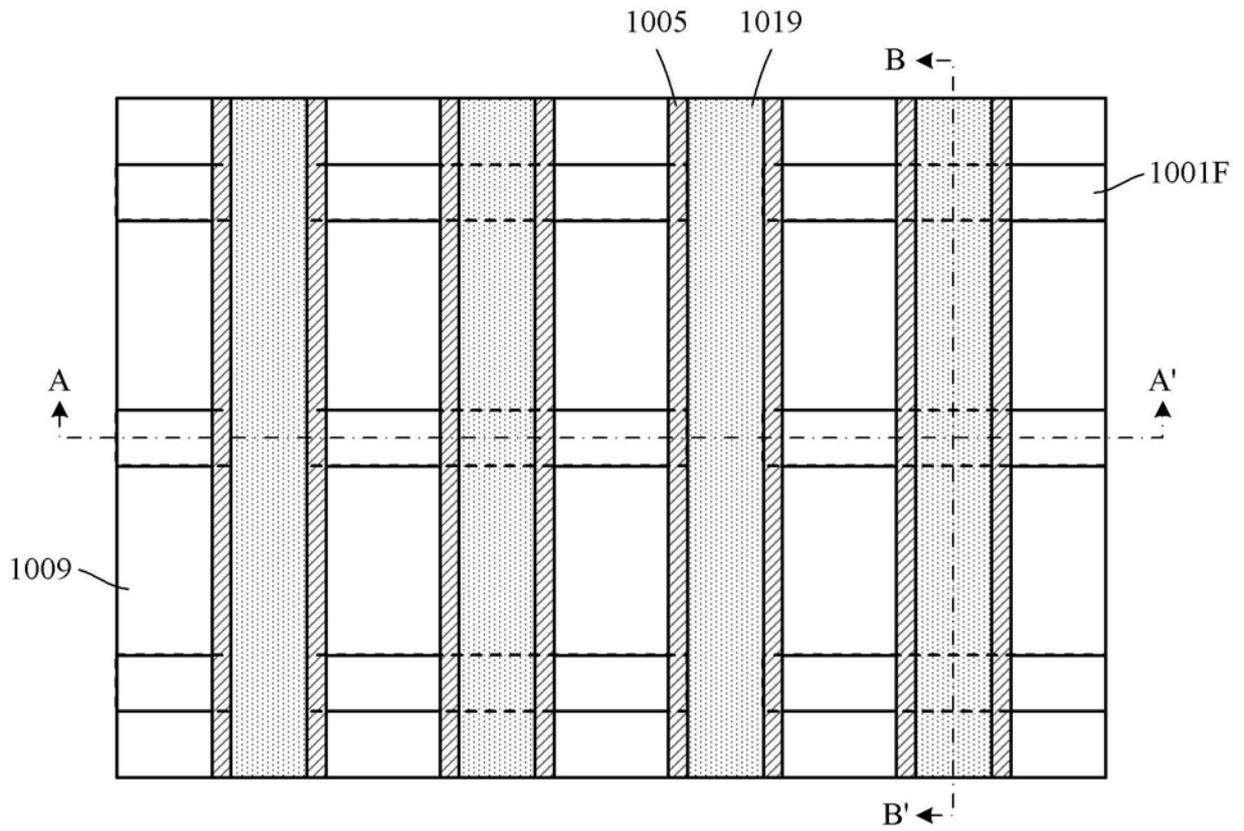


图23 (a)

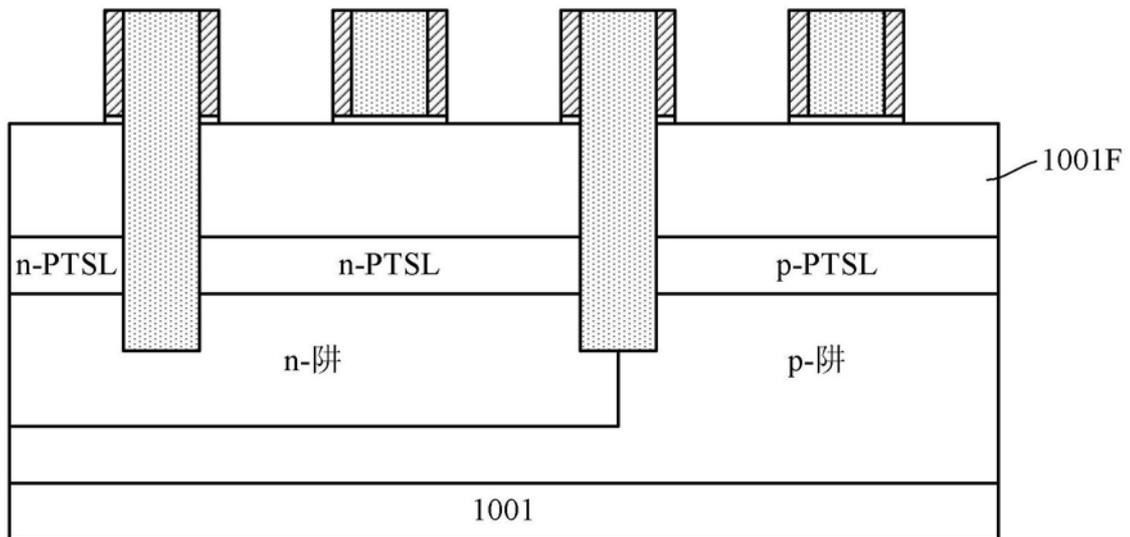


图23 (b)

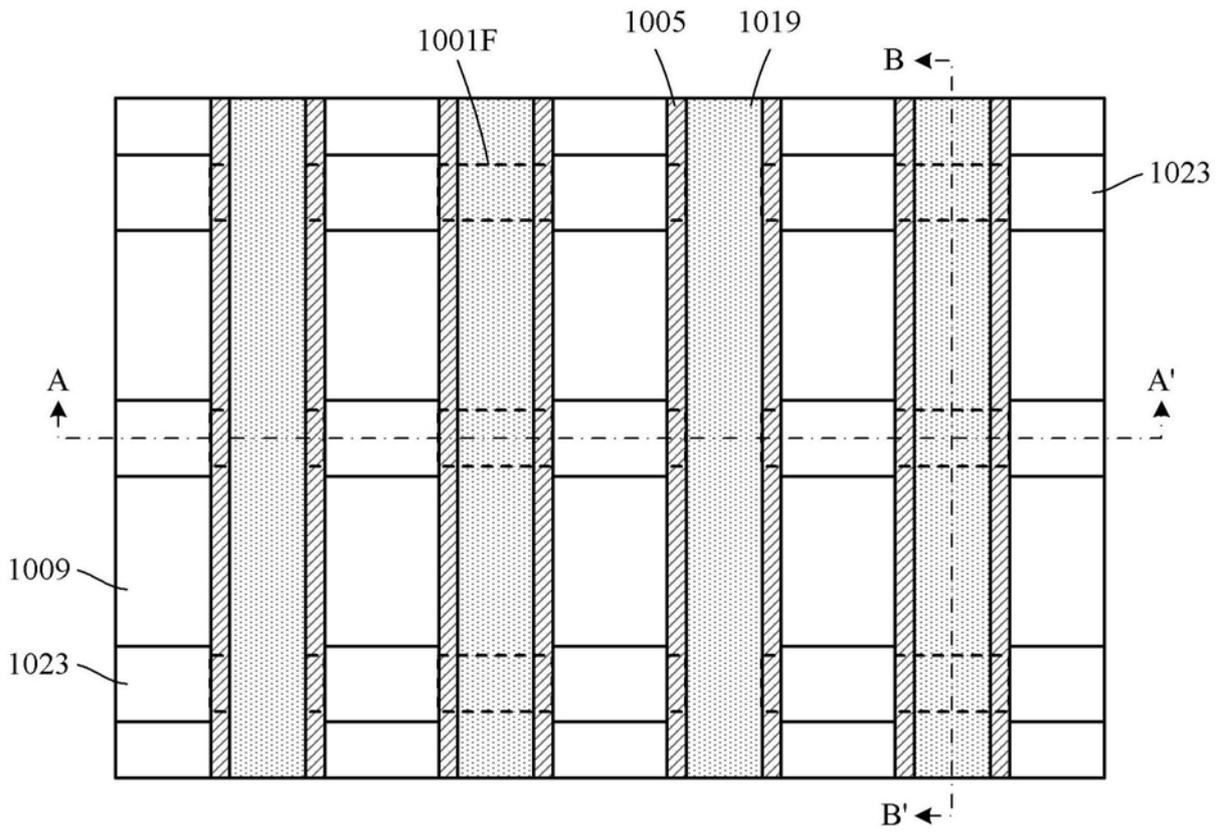


图24 (a)

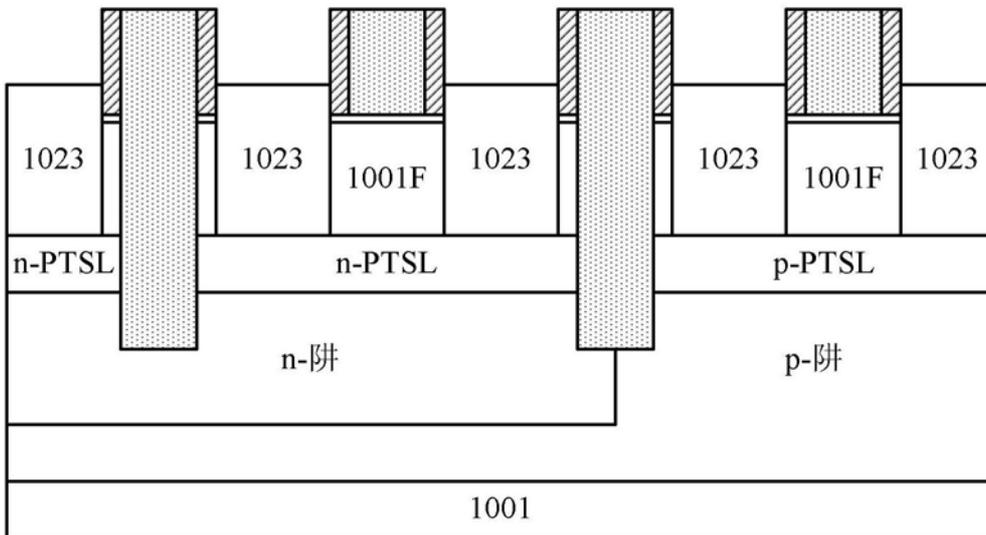


图24 (b)

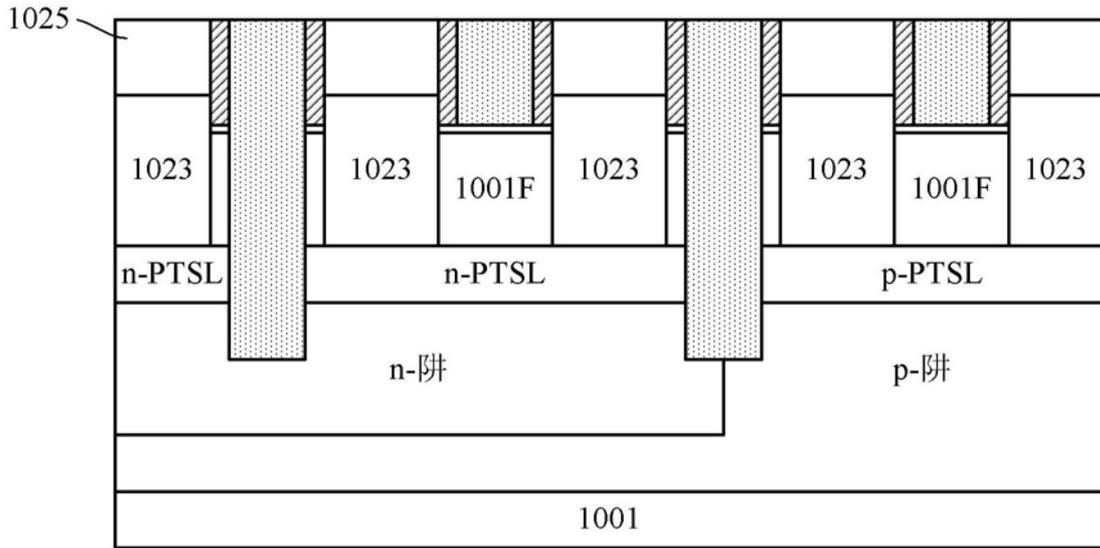


图25

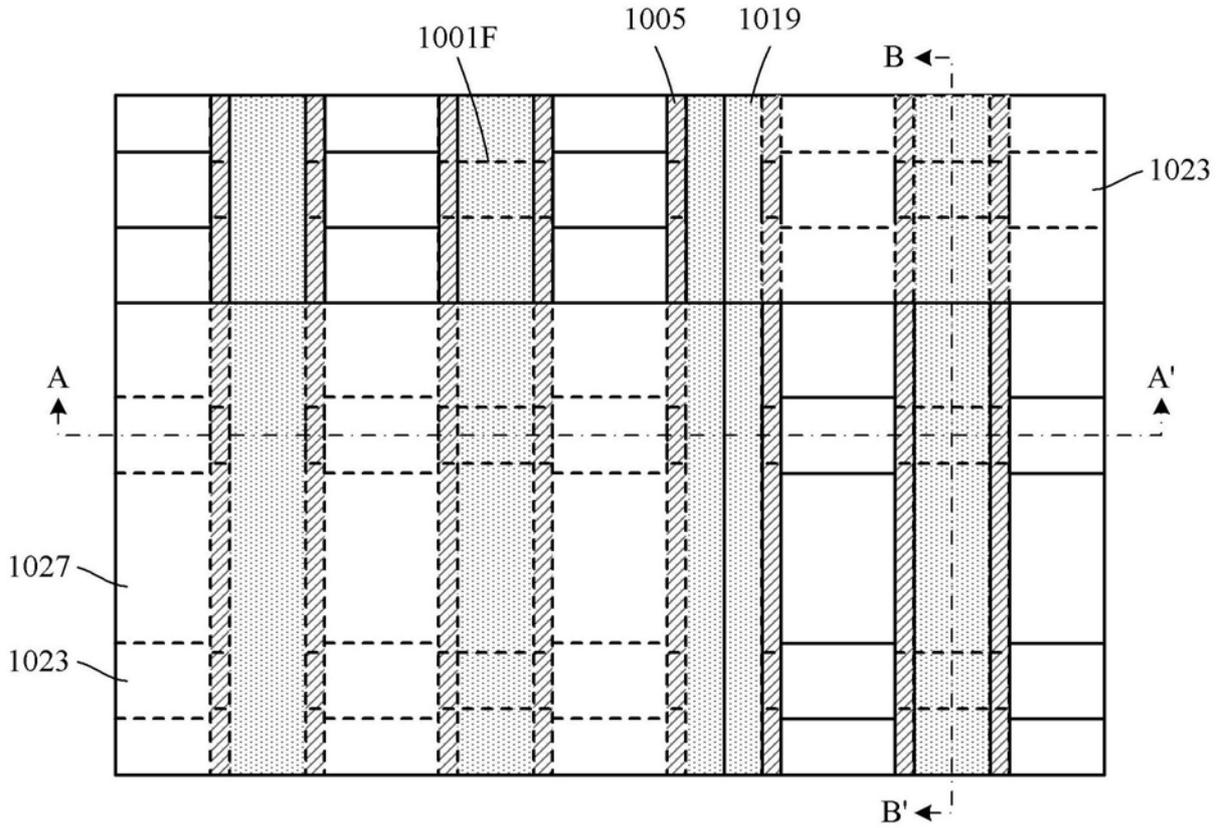


图26(a)

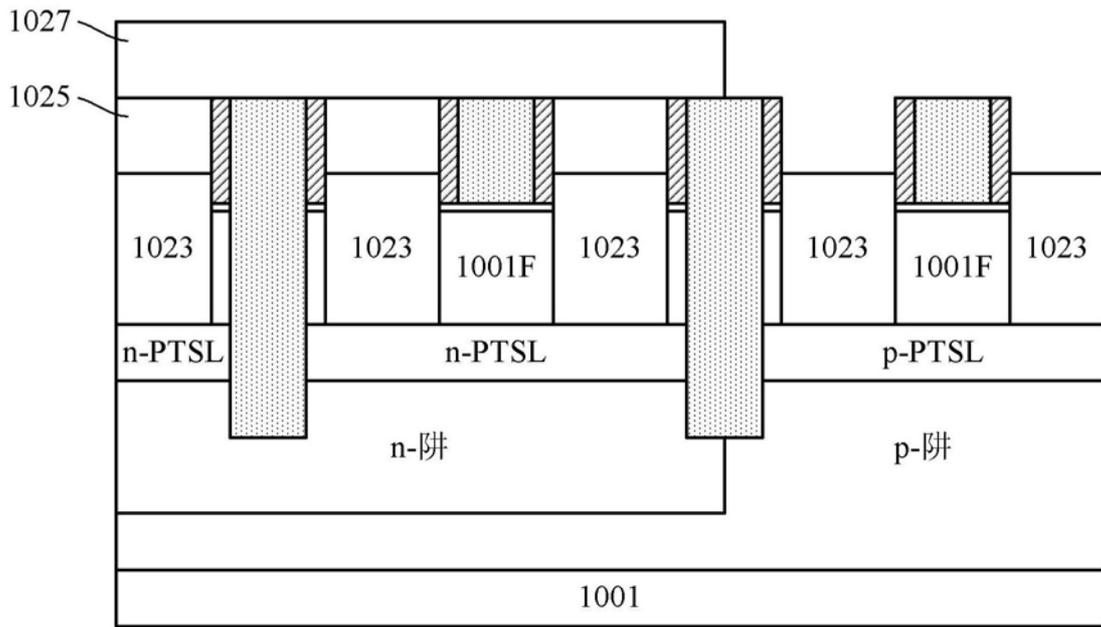


图26 (b)

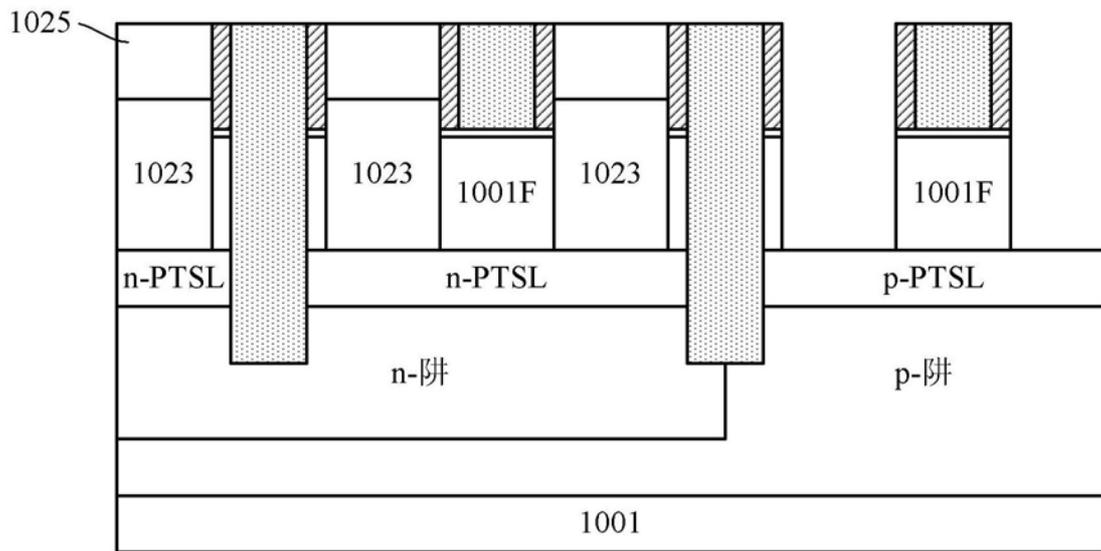


图27

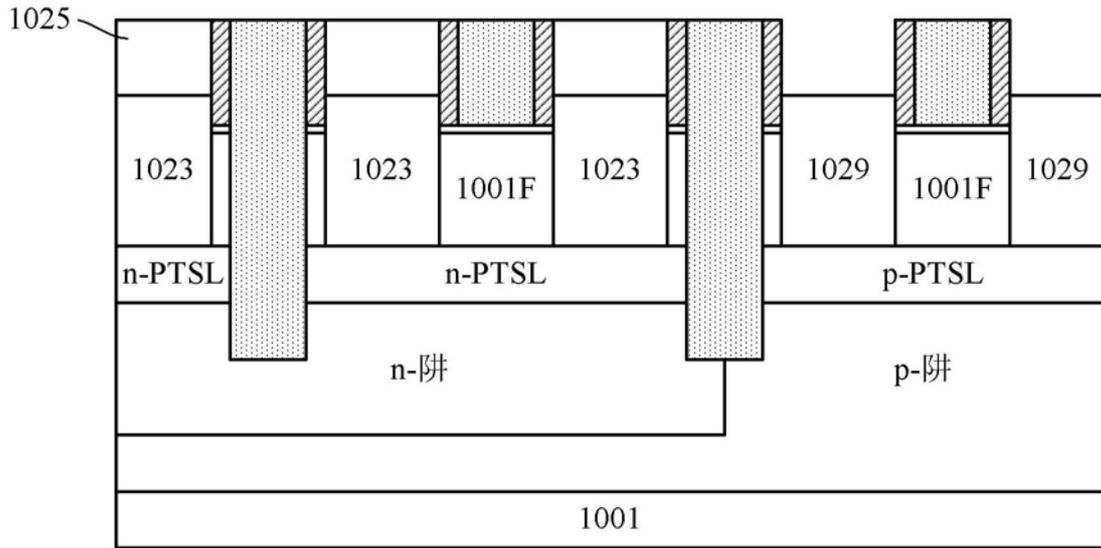


图28