

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7374795号
(P7374795)

(45)発行日 令和5年11月7日(2023.11.7)

(24)登録日 令和5年10月27日(2023.10.27)

(51)国際特許分類	F I	
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78	6 5 2 K
H 0 1 L 29/12 (2006.01)	H 0 1 L 29/78	6 5 3 C
H 0 1 L 29/06 (2006.01)	H 0 1 L 29/78	6 5 2 T
H 0 1 L 29/861 (2006.01)	H 0 1 L 29/78	6 5 2 M
H 0 1 L 29/868 (2006.01)	H 0 1 L 29/06	3 0 1 F
請求項の数 15 (全22頁) 最終頁に続く		

(21)出願番号	特願2020-18037(P2020-18037)	(73)特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	令和2年2月5日(2020.2.5)	(73)特許権者	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
(65)公開番号	特開2021-125559(P2021-125559 A)	(74)代理人	110004026 弁理士法人 i X
(43)公開日	令和3年8月30日(2021.8.30)	(72)発明者	小林 勇介 東京都港区芝浦一丁目1番1号 株式会 社東芝内
審査請求日	令和4年3月14日(2022.3.14)	(72)発明者	雁木 比呂 東京都港区芝浦一丁目1番1号 株式会 社東芝内
		(72)発明者	井口 智明
最終頁に続く			

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1電極と、

第2電極であって、前記第1電極から前記第2電極への方向は、第1方向に沿う、前記第2電極と、

第1部分領域、第2部分領域及び第3部分領域を含む第1導電形の第1半導体領域であって、前記第2部分領域から前記第1部分領域への第2方向は、前記第1方向と交差した、前記第1半導体領域と、

前記第1導電形の第2半導体領域であって、前記第3部分領域は、前記第1方向において、前記第2部分領域と前記第2半導体領域との間にある、前記第2半導体領域と、

前記第3部分領域と前記第2半導体領域との間に設けられた第2導電形の第3半導体領域と、

第3電極であって、前記第3半導体領域から前記第3電極への方向は、前記第2方向に沿う、前記第3電極と、

第1部材であって、前記第1部分領域から前記第1部材への方向は、前記第1方向に沿い、前記第1部材は、前記第1方向において前記第1部分領域と前記第3電極との間にあり、前記第3部分領域から前記第1部材への方向は、前記第2方向に沿う、前記第1部材と、

第1絶縁領域及び第2絶縁領域を含む第1絶縁部材であって、前記第1絶縁領域は、前記第2方向において前記第3部分領域と前記第1部材との間にあり、前記第2絶縁領域は

、前記第 2 方向において、前記第 3 半導体領域と前記第 3 電極との間にある、前記第 1 絶縁部材と、

を備え、

前記第 1 部材は、前記第 1 部分領域と電氣的に接続され、

前記第 1 部材は、前記第 2 電極と電氣的に接続された、または、前記第 2 電極と電氣的に接続されることが可能であり、

前記第 1 部材は、第 1 材料、第 2 材料、第 3 材料、第 4 材料、第 5 材料及び第 6 材料よりなる群から選択された少なくとも 1 つを含み、

前記第 1 材料は、Si、N 及び O を含み、

前記第 2 材料は、Si - N の結合、N - O の結合、及び、N - N の結合を含み、

前記第 3 材料は、Si - N の結合、N - H の結合、及び、N - N の結合を含み、

前記第 4 材料は、Si と、C と、第 1 元素と、を含み、前記第 1 元素は、B 及び N よりなる群から選択された少なくとも 1 つを含み、

前記第 5 材料は、Si と、O と、第 2 元素と、を含み、前記第 2 元素は、Fe、Au、Ni、Ta、W 及び Ti よりなる群から選択された少なくとも 1 つを含み、

前記第 6 材料は、第 3 元素及び第 4 元素を含み、前記第 3 元素は、In、Al 及び Ga よりなる群から選択された少なくとも 1 つを含み、前記第 4 元素は、P、As、B、Fe、Au、Ni、Ti、Ta、W 及び Ti よりなる群から選択された少なくとも 1 つを含む、半導体装置。

【請求項 2】

第 1 対向部材をさらに備え、

前記第 3 部分領域は、前記第 2 方向において前記第 1 対向部材と前記第 1 部材との間にあり、

前記第 1 絶縁部材は、第 1 対向絶縁領域をさらに含み、前記第 1 対向絶縁領域は、前記第 2 方向において、前記第 1 対向部材と前記第 3 部分領域との間にあり、

前記第 1 半導体領域は、第 1 対向部分領域をさらに含み、前記第 2 部分領域は、前記第 2 方向において前記第 1 対向部分領域と前記第 1 部分領域との間にあり、

前記第 1 対向部分領域から前記第 1 対向部材への方向は、前記第 1 方向に沿い、

前記第 1 対向部材は、前記第 1 対向部分領域と電氣的に接続され、

前記第 1 対向部材は、前記第 1 材料、前記第 2 材料、前記第 3 材料、前記第 4 材料、前記第 5 材料及び前記第 6 材料よりなる群から選択された少なくとも 1 つを含む、請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 絶縁領域の前記第 2 方向に沿う長さは、20 nm 以上 250 nm 以下である、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 部材と前記第 2 電極とを電氣的に接続する第 1 導電部をさらに備えた、請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記第 1 部材と電氣的に接続された端子をさらに備えた、請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記第 1 部材は、第 1 端と、第 2 端と、を含み、

前記第 2 端は、前記第 1 方向において前記第 1 部分領域と前記第 1 端との間にあり、

前記第 1 端の前記第 1 方向における位置は、前記第 3 部分領域と前記第 3 半導体領域との境界の前記第 1 方向における位置と、前記第 2 端の前記第 1 方向における位置との間にある、請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】

前記第 1 部材の少なくとも一部は、前記第 1 方向において、前記第 1 部分領域と、前記第 3 電極の少なくとも一部と、の間にあり、

10

20

30

40

50

前記第 1 絶縁部材は、第 3 絶縁領域を含み、

前記第 3 絶縁領域は、前記第 1 部材と前記第 3 電極との間にある、請求項 1 ~ 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

前記第 1 部分領域と前記第 1 部材との間に設けられた前記第 1 導電形の第 6 半導体領域をさらに備え、

前記第 6 半導体領域は、前記第 1 部分領域及び前記第 1 部材と電気的に接続され、

前記第 6 半導体領域における前記第 1 導電形の不純物の濃度は、前記第 1 半導体領域における前記第 1 導電形の不純物の濃度よりも高い、請求項 7 記載の半導体装置。

【請求項 9】

前記第 3 部分領域における前記第 1 導電形の不純物の濃度は、前記第 1 部分領域における前記第 1 導電形の不純物の濃度よりも低い、請求項 7 記載の半導体装置。

【請求項 10】

前記第 3 部分領域と前記第 3 半導体領域との間に設けられた前記第 1 導電形の第 7 半導体領域をさらに備え、

前記第 7 半導体領域における前記第 1 導電形の不純物の濃度は、前記第 3 部分領域における前記第 1 導電形の不純物の濃度よりも低い、請求項 7 ~ 9 のいずれか 1 つに記載の半導体装置。

【請求項 11】

前記第 1 半導体領域は、第 4 部分領域をさらに含み、

前記第 2 部分領域は、前記第 2 方向において、前記第 4 部分領域と前記第 1 部分領域との間にあり、

前記第 3 電極は、前記第 1 方向において、前記第 4 部分領域と前記第 2 電極との間にあり、

前記第 1 絶縁部材は、第 3 絶縁領域をさらに含み、

前記第 3 絶縁領域は、前記第 1 方向において前記第 4 部分領域と前記第 3 電極との間にある、請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

【請求項 12】

前記第 2 電極と電気的に接続された第 2 導電部をさらに備え、

前記第 2 導電部は、前記第 1 方向において、前記第 4 部分領域と前記第 3 電極との間にあり、

前記第 1 絶縁部材は、第 4 絶縁領域をさらに含み、

前記第 4 絶縁領域は、前記第 1 方向において前記第 4 部分領域と前記第 2 導電部との間にあり、

前記第 3 絶縁領域は、前記第 1 方向において前記第 2 導電部と前記第 3 電極との間にある、請求項 11 記載の半導体装置。

【請求項 13】

前記第 2 電極と電気的に接続された第 4 半導体領域をさらに備え、

前記第 4 半導体領域は前記第 2 導電形であり、

前記第 4 半導体領域における前記第 2 導電形の不純物の濃度は、前記第 3 半導体領域における前記第 2 導電形の前記不純物の濃度よりも高い、請求項 1 ~ 12 のいずれか 1 つに記載の半導体装置。

【請求項 14】

前記第 1 電極と前記第 1 半導体領域との間に設けられた第 5 半導体領域をさらに備え、

前記第 5 半導体領域は前記第 1 導電形であり、

前記第 5 半導体領域における前記第 1 導電形の不純物の濃度は、前記第 1 半導体領域における前記第 1 導電形の前記不純物の濃度よりも高い、請求項 1 ~ 13 のいずれか 1 つに記載の半導体装置。

【請求項 15】

前記第 2 半導体領域における前記第 1 導電形の不純物の濃度は、前記第 1 半導体領域に

10

20

30

40

50

おける前記第 1 導電形の前記不純物の前記濃度よりも高い、請求項 1 4 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

例えば、トランジスタなどの半導体装置において、特性の向上が望まれる。

【先行技術文献】

【特許文献】

10

【0003】

【文献】特許第 6 4 0 0 5 4 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、特性を向上できる半導体装置を提供する。

【課題を解決するための手段】

【0005】

本発明の実施形態によれば、半導体装置は、第 1 電極、第 2 電極、第 3 電極、第 1 半導体領域、第 2 半導体領域、第 3 半導体領域、第 1 部材及び第 1 絶縁部材を含む。前記第 1 電極から前記第 2 電極への方向は、第 1 方向に沿う。前記第 1 半導体領域は、第 1 部分領域、第 2 部分領域及び第 3 部分領域を含み、第 1 導電形である。前記第 2 部分領域から前記第 1 部分領域への第 2 方向は、前記第 1 方向と交差する。前記第 2 半導体領域は、前記第 1 導電形である。前記第 3 部分領域は、前記第 1 方向において、前記第 2 部分領域と前記第 2 半導体領域との間にある。前記第 3 半導体領域は、前記第 3 部分領域と前記第 2 半導体領域との間に設けられ、第 2 導電形である。前記第 3 半導体領域から前記第 3 電極への方向は、前記第 2 方向に沿う。前記第 1 部分領域から前記第 1 部材への方向は、前記第 1 方向に沿う。前記第 3 部分領域から前記第 1 部材への方向は、前記第 2 方向に沿う。前記第 1 絶縁部材は、第 1 絶縁領域及び第 2 絶縁領域を含む。前記第 1 絶縁領域は、前記第 2 方向において前記第 3 部分領域と前記第 1 部材との間にある。前記第 2 絶縁領域は、前記第 2 方向において、前記第 3 半導体領域と前記第 3 電極との間にある。前記第 1 部材は、前記第 1 部分領域と電気的に接続される。前記第 1 部材は、前記第 2 電極と電気的に接続された、または、前記第 2 電極と電気的に接続されることが可能である。前記第 1 部材の抵抗率は、前記第 1 部分領域の抵抗率よりも高く、前記第 1 絶縁部材の抵抗率よりも低い。

20

30

【図面の簡単な説明】

【0006】

【図 1】図 1 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 2】図 2 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 3】図 3 は、半導体装置の特性を例示するグラフ図である。

40

【図 4】図 4 は、半導体装置の特性を例示するグラフ図である。

【図 5】図 5 は、半導体装置の特性を例示するグラフ図である。

【図 6】図 6 は、半導体装置の特性を例示するグラフ図である。

【図 7】図 7 は、半導体装置の特性を例示するグラフ図である。

【図 8】図 8 は、半導体装置の特性を例示するグラフ図である。

【図 9】図 9 は、半導体装置の特性を例示するグラフ図である。

【図 10】図 10 は、半導体装置の特性を例示するグラフ図である。

【図 11】図 11 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 12】図 12 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 13】図 13 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

50

【図 1 4】図 1 4 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 1 5】図 1 5 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 1 6】図 1 6 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 1 7】図 1 7 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 1 8】図 1 8 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 1 9】図 1 9 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 2 0】図 2 0 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

【図 2 1】図 2 1 は、第 2 実施形態に係る半導体装置を例示する模式的断面図である。

【図 2 2】図 2 2 は、第 2 実施形態に係る半導体装置を例示する模式的断面図である。

【図 2 3】図 2 3 (a) 及び図 2 3 (b) は、実施形態に係る半導体装置の製造方法を例示する模式的断面図である。

10

【図 2 4】図 2 4 (a) 及び図 2 4 (b) は、実施形態に係る半導体装置の製造方法を例示する模式的断面図である。

【図 2 5】図 2 5 (a) 及び図 2 5 (b) は、実施形態に係る半導体装置の製造方法を例示する模式的断面図である。

【図 2 6】図 2 6 は、実施形態に係る半導体装置の製造方法を例示する模式的断面図である。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施の形態について図面を参照しつつ説明する。

20

図面は模式的または概念的なものであり、各部分の厚さと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0008】

(第 1 実施形態)

図 1 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

図 1 に示すように、実施形態に係る半導体装置 1 1 0 は、第 1 電極 5 1、第 2 電極 5 2、第 3 電極 5 3、第 1 半導体領域 1 1、第 2 半導体領域 1 2、第 3 半導体領域 1 3、第 1 部材 3 1、及び、第 1 絶縁部材 4 0 を含む。

30

【0009】

第 1 電極 5 1 から第 2 電極 5 2 へ方向は、第 1 方向に沿う。第 1 方向を Z 軸方向とする。Z 軸方向に対して垂直な 1 つの方向を X 軸方向とする。Z 軸方向及び X 軸方向に対して垂直な方向を Y 軸方向とする。

【0010】

第 1 半導体領域 1 1 は、第 1 部分領域 1 1 a、第 2 部分領域 1 1 b 及び第 3 部分領域 1 1 c を含む。第 2 部分領域 1 1 b から第 1 部分領域 1 1 a への第 2 方向は、第 1 方向 (Z 軸方向) と交差する。第 2 方向は、例えば、X 軸方向である。第 1 半導体領域 1 1 は、第 1 導電形である。

40

【0011】

第 2 半導体領域 1 2 は、第 1 導電形である。第 1 半導体領域 1 1 の第 3 部分領域 1 1 c は、第 1 方向 (Z 軸方向) において、第 2 部分領域 1 1 b と第 2 半導体領域 1 2 との間にある。

【0012】

第 3 半導体領域 1 3 は、Z 軸方向において、第 3 部分領域 1 1 c と第 2 半導体領域 1 2 との間に設けられる。第 3 半導体領域 1 3 は、第 2 導電形である。

【0013】

例えば、第 1 導電形は n 形であり第 2 導電形は p 形である。第 1 導電形が p 形で第 2 導電形が n 形でもよい。以下では、第 1 導電形が n 形であり第 2 導電形が p 形であるとする。

50

【 0 0 1 4 】

第3半導体領域13から第3電極53への方向は、第2方向（例えば、X軸方向）に沿う。例えば、第2半導体領域12の一部から第3電極53の一部への方向がX軸方向に沿ってもよい。第3部分領域11cの一部から第3電極53の一部への方向がX軸方向に沿ってもよい。

【 0 0 1 5 】

第1部分領域11aから第1部材31への方向は、第1方向（Z軸方向）に沿う。第3部分領域11cから第1部材31への方向は、第2方向（X軸方向）に沿う。

【 0 0 1 6 】

第1絶縁部材40は、第1絶縁領域41及び第2絶縁領域42を含む。第1絶縁領域41は、第2方向（X軸方向）において、第3部分領域11cと第1部材31との間にある。第2絶縁領域42は、第2方向において、第3半導体領域13と第3電極53との間にある。

10

【 0 0 1 7 】

第1電極51は、例えば、ドレイン電極である。第2電極52は、例えば、ソース電極である。第3電極53は、例えば、ゲート電極である。第3電極53の電位を制御することで、第1電極51と第2電極52との間に流れる電流を制御できる。第3電極53の電位は、例えば、第2電極52の電位を基準にしたときの電位である。半導体装置110は、例えば、トランジスタである。第2絶縁領域42は、例えば、ゲート絶縁膜として機能する。

20

【 0 0 1 8 】

この例では、半導体装置110は、第4半導体領域14及び第5半導体領域15を含む。第4半導体領域14は、第2電極52と電気的に接続される。第4半導体領域14は、第2導電形（例えば、p形）である。例えば、第4半導体領域14における第2導電形の不純物の濃度は、第3半導体領域13における第2導電形の不純物の濃度よりも高い。

【 0 0 1 9 】

第5半導体領域15は、第1電極51と第1半導体領域11との間に設けられる。第5半導体領域15は第1導電形（例えば、n形）である。例えば、第5半導体領域15における第1導電形の不純物の濃度は、第1半導体領域11における第1導電形の不純物の濃度よりも高い。

30

【 0 0 2 0 】

例えば、第2半導体領域12における第1導電形の不純物の濃度は、第1半導体領域11における第1導電形の不純物の濃度よりも高い。

【 0 0 2 1 】

第1～第5半導体領域11～15は、例えば、シリコンを含む。これらの半導体領域は、化合物半導体を含んでもよい。第1～第5半導体領域11～15がシリコンを含む場合、第1導電形（n形）の不純物は、例えば、As及びPよりなる群から選択された少なくとも1つを含む。第2導電形（p形）の不純物は、例えば、B及びAlよりなる群から選択された少なくとも1つを含む。

【 0 0 2 2 】

第1半導体領域11における第1導電形の不純物の濃度は、例えば、 $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{17} / \text{cm}^3$ 以下である。第2半導体領域12における第1導電形の不純物の濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 以下である。第3半導体領域13における第2導電形の不純物の濃度は、例えば、 $5 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下である。第4半導体領域14における第2導電形の不純物の濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 以下である。第5半導体領域15における第1導電形の不純物の濃度は、例えば、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 以下である。

40

【 0 0 2 3 】

第1半導体領域11は、例えば、n領域である。第2半導体領域12は、例えば、n⁺

50

領域である。第3半導体領域13は、例えば、p領域である。第4半導体領域14は、例えば、p⁺領域である。第5半導体領域15は、例えば、n⁺領域である。

【0024】

第2電極52は、例えば、第2半導体領域12及び第4半導体領域14と接する。

【0025】

この例では、第1部材31の少なくとも一部は、第1方向（Z軸方向）において、第1部分領域11aと、第3電極53の少なくとも一部と、の間にある。第1絶縁部材40は、第3絶縁領域43を含む。第3絶縁領域43は、Z軸方向において、第1部材31と第3電極53との間にある。第3絶縁領域43は、第1部材31と第3電極53とを電氣的に絶縁する。

10

【0026】

この例では、半導体装置110は、第2絶縁部材48をさらに含む。第2絶縁部材48は、第3電極53と第2電極52との間を電氣的に絶縁する。

【0027】

第1絶縁部材40及び第2絶縁部材48は、例えば、酸化シリコン（例えば、SiO₂）を含む。第1絶縁部材40及び第2絶縁部材48は、例えば、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、及び、酸化ハフニウムよりなる群から選択された少なくとも1つを含んでもよい。

【0028】

第1部材31は、第1部分領域11aと電氣的に接続される。例えば、第1部材31は、第1部分領域11aと接する。

20

【0029】

第1部材31は、第2電極52と電氣的に接続される。または、第1部材31は、第2電極52と電氣的に接続されることが可能である。図1の例では、半導体装置110は、第1導電部61を含む。第1導電部61は、第1部材31と第2電極52とを電氣的に接続する。図1の例では、配線61Lが設けられる。配線61Lは、図1の断面とは異なる位置を通過して、第1部材31と第2電極52とを電氣的に接続する。図1に示すように、端子61Tが設けられてもよい。端子61Tは、第1導電部61と電氣的に接続される。半導体装置110に含まれない配線などにより、端子61Tが第2電極52と電氣的に接続されてもよい。

30

【0030】

例えば、第1部材31の抵抗率は、第1部分領域11aの抵抗率よりも高く、第1絶縁部材40の抵抗率よりも低い。例えば、第1部材31の抵抗率は、第1半導体領域11の抵抗率よりも高い。第1部材31の抵抗率は、第1～第3電極51～53の抵抗率よりも高くてもよい。第1部材31は、例えば、「高抵抗膜」である。

【0031】

実施形態によれば、例えば、オフ時に第1部材31に微小な電流が流れることが可能である。これにより、例えば、第3部分領域11c（例えばメサ領域）における電界を均一化できる。例えば、ソース-ドレイン間の電荷量Q_{oss}を低減できる。これにより、例えば、損失を抑制できる。例えば、消費電力を低減できる。例えば、ゲート絶縁膜に印加される電界を低減できる。例えば、高い信頼性が得られる。実施形態によれば、例えば、特性を向上できる半導体装置を提供できる。

40

【0032】

第1部材31は、以下のような各種の材料を含んでもよい。第1部材31は、例えば、第1材料、第2材料、第3材料、第4材料、第5材料及び第6材料よりなる群から選択された少なくとも1つを含む。第1材料は、例えば、Si、N及びOを含む。

【0033】

第2材料は、例えば、Si、N及びOを含む。第2材料は、例えば、Si-Nの結合、N-Oの結合、及び、N-Nの結合を含む。第2材料は、例えば、酸素ドーブされたSIPoS（Semi-insulating Poly-crystalline Silicon）を含む。第2材料は、例えば、S

50

SiH_4 、 N_2O 、及び、 N_2 の混合材料である。

【0034】

第3材料は、 Si 、 N 及び O を含む。第3材料は、例えば、 $\text{Si}-\text{N}$ の結合、 $\text{N}-\text{H}$ の結合、及び、 $\text{N}-\text{N}$ の結合を含む。第3材料は、例えば、窒素ドーピングされた SiPO_5 である。第3材料は、 SiH_4 、 NH_3 、及び、 N_2 の混合材料である。

【0035】

第4材料は、例えば、 Si と、 C と、第1元素と、を含む。第1元素は、 B 及び N よりなる群から選択された少なくとも1つを含む。第5材料は、例えば、 Si と、 O と、第2元素と、を含む。第2元素は、 Fe 、 Au 、 Ni 、 Ta 、 W 及び Ti よりなる群から選択された少なくとも1つを含む。第6材料は、例えば、第3元素及び第4元素を含む。第3元素は、 In 、 Al 及び Ga よりなる群から選択された少なくとも1つを含む。第4元素は、 P 、 As 、 B 、 Fe 、 Au 、 Ni 、 Ti 、 Ta 、 W 及び Ti よりなる群から選択された少なくとも1つを含む。

【0036】

このような材料により、例えば、第1部材31は、適切な抵抗率を有することができる。これにより、上記のように、特性を向上できる半導体装置を提供できる。

【0037】

1つの例において、第1部材31の抵抗率は、 $5 \times 10^7 \text{ } \underline{\text{cm}}$ 以上 $8 \times 10^{11} \text{ } \underline{\text{cm}}$ 以下である。

【0038】

図1に例示する半導体装置110の構成は、例えば、半導体装置の端(周辺領域)に設けられてもよい。または、図1に例示する半導体装置110の構成は、例えば、半導体装置の内側部分に設けられてもよい。

【0039】

図2は、第1実施形態に係る半導体装置を例示する模式的断面図である。

図2に示すように、実施形態に係る半導体装置111は、第1電極51、第2電極52、第3電極53、第1半導体領域11、第2半導体領域12、第3半導体領域13、第1部材31、及び、第1絶縁部材40に加えて、第1対向部材31Cを含む。半導体装置111について以下に説明する部分を除いて、半導体装置111は、半導体装置110と同様の構成を有してよい。

【0040】

図2に示すように、第3部分領域11cは、第2方向(X軸方向)において第1対向部材31Cと第1部材31との間にある。

【0041】

第1絶縁部材40は、第1対向絶縁領域41Cをさらに含む。第1対向絶縁領域41Cは、第2方向(X軸方向)において、第1対向部材31Cと第3部分領域11cとの間にある。第1半導体領域11は、第1対向部分領域11aCをさらに含む。第2部分領域11bは、第2方向において第1対向部分領域11aCと第1部分領域11aとの間にある。第1対向部分領域11aCから第1対向部材31Cへの方向は、第1方向(Z軸方向)に沿う。

【0042】

第1対向部材31Cは、第1対向部分領域11aCと電氣的に接続される。例えば、第1対向部材31Cは、第1対向部分領域11aCと接する。

【0043】

例えば、第1対向部材31Cの抵抗率は、第1部分領域11aの抵抗率よりも高く、第1絶縁部材40の抵抗率よりも低い。例えば、第1対向部材31Cの抵抗率は、第1対向部分領域11aCの抵抗率よりも高い。例えば、第1対向部材31Cは、上記の、第1材料、第2材料、第3材料、第4材料、第5材料及び第6材料よりなる群から選択された少なくとも1つを含む。

【0044】

10

20

30

40

50

例えば、第 3 部分領域 1 1 c は、第 1 絶縁領域 4 1 及び第 1 対向絶縁領域 4 1 C を介して、第 1 部材 3 1 及び第 1 対向部材 3 1 C に挟まれる。

【 0 0 4 5 】

半導体装置 1 1 1 において、例えば、オフ時に第 1 部材 3 1 及び第 1 対向部材 3 1 C に微小な電流が流れることが可能である。これにより、例えば、第 3 部分領域 1 1 c (例えばメサ領域) における電界を均一化できる。例えば、ソース - ドレイン間の電荷量 Q_{oss} を低減できる。これにより、例えば、損失を抑制できる。例えば、消費電力を低減できる。例えば、ゲート絶縁膜に印加される電界を低減できる。例えば、高い信頼性が得られる。実施形態によれば、例えば、特性を向上できる半導体装置を提供できる。

【 0 0 4 6 】

図 2 に示すように、半導体装置 1 1 1 は、第 3 対向電極 5 3 C をさらに含んでもよい。この例では、第 3 対向電極 5 3 C は、第 1 対向部材 3 1 C と第 2 電極 5 2 との間に設けられる。第 3 対向電極 5 3 C は、例えば、ゲート電極として機能する。この例では、第 3 対向電極 5 3 C と第 2 電極 5 2 との間に第 2 対向絶縁部材 4 8 C が設けられている。

【 0 0 4 7 】

図 2 に例示した構造 (第 1 部材 3 1 及び第 3 電極 5 3 を含む構造) が複数設けられてもよい。複数のこのような構造は、例えば、X 軸方向に沿って並ぶ。

【 0 0 4 8 】

例えば、第 1 部材 3 1 及び第 1 対向部材 3 1 C は、Y 軸方向に延びる帯状である。例えば、第 3 電極 5 3 及び第 3 対向電極 5 3 C は、Y 軸方向に延びる帯状である。Y 軸方向は、例えば、第 1 方向及び第 2 方向を含む平面と交差する。

【 0 0 4 9 】

図 1 及び図 2 に示すように、第 1 部材 3 1 は、第 1 端 3 1 a と、第 2 端 3 1 b と、を含む。第 2 端 3 1 b は、第 1 方向 (Z 軸方向) において第 1 部分領域 1 1 a と第 1 端 3 1 a との間にある。第 1 端 3 1 a の第 1 方向 (Z 軸方向) における位置は、第 3 部分領域 1 1 c と第 3 半導体領域 1 3 との境界 1 3 B の第 1 方向における位置と、第 2 端 3 1 b の第 1 方向における位置と、の間にある。例えば、第 1 端 3 1 a は、例えば、第 1 部材 3 1 の上端である。境界 1 3 B は、第 3 半導体領域 1 3 の下端である。例えば、第 1 部材 3 1 の上端は、第 3 半導体領域 1 3 の下端よりも下にある。これにより、pn 接合の部分での電界が上昇することが抑制できる。

【 0 0 5 0 】

図 1 に示すように、第 1 絶縁領域 4 1 の第 2 方向 (X 軸方向) に沿う長さを長さ t_{41} とする。第 2 絶縁領域 4 2 の第 2 方向 (X 軸方向) に沿う長さを長さ t_{42} とする。長さ t_{42} は、長さ t_{41} よりも短い。ゲート絶縁膜に対応する第 2 絶縁領域 4 2 の長さ t_{42} (厚さ) が短いことで、適切な電氣的な特性 (例えばしきい値電圧など) が得やすくなる。

【 0 0 5 1 】

長さ t_{42} は、例えば、10 nm 以上 100 nm 以下であることが好ましい。長さ t_{41} は、例えば、20 nm 以上 250 nm 以下であることが好ましい。1 つの例において、長さ t_{42} は、45 nm 以上 55 nm 未満であり、長さ t_{41} は、90 nm 以上 110 nm 以下である。

【 0 0 5 2 】

以下、半導体装置 1 1 1 の特性の例について説明する。以下の例では、第 1 対向部材 3 1 C は第 1 部材 3 1 と同様の構成及び特性を有し、第 3 対向電極 5 3 C は、第 3 電極 5 3 と同様の構成及び特性を有する。

【 0 0 5 3 】

図 3 及び図 4 は、半導体装置の特性を例示するグラフ図である。

図 3 は、第 1 部材 3 1 の抵抗率とプロッキング電圧との関係のシミュレーション結果の例を示している。図 3 の横軸は、第 1 部材 3 1 の抵抗率 R_1 である。図 3 の縦軸は、プロッキング電圧 BV である。図 3 に示すように、第 1 部材 3 1 の抵抗率 R_1 が、 5×10^7

10

20

30

40

50

c m以上において、高いブロッキング電圧B Vが得られる。

【0054】

図4は、第1部材31の抵抗率とドレイン電流との関係のシミュレーション結果の例を示している。図4の横軸は、第1部材31の抵抗率R1である。図4の縦軸は、ドレイン電流I dである。図4には、第1部材31を流れる電流成分I1と、第3部分領域11cを流れる電流成分I2と、が示されている。図4に示すように、抵抗率R1が低くなると、電流成分I1は増大する。例えば、抵抗率R1が $8 \times 10^{11} \text{ } \Omega \cdot \text{cm}$ 以下において、電流成分I1は、電流成分I2よりも大きくなる。

【0055】

実施形態において、第1部材31の抵抗率は、例えば、 $5 \times 10^7 \text{ } \Omega \cdot \text{cm}$ 以上 $8 \times 10^{11} \text{ } \Omega \cdot \text{cm}$ 以下であることが好ましい。これにより、例えば、高いブロッキング電圧B Vが得られる。これにより、電流成分I1を効果的に大きくでき、例えば、第3部分領域11cにおける電界を効果的に均一化できる。例えば、ソース-ドレイン間の電荷量Q o s sを効果的に低減できる。

10

【0056】

図5は、半導体装置の特性を例示するグラフ図である。

図5は、第1部材31の厚さ(長さt41)とブロッキング電圧との関係のシミュレーション結果の例を示している。図5の横軸は、第1部材31の厚さ(長さt41)である。図5の縦軸は、ブロッキング電圧B Vである。図5に示すように、第1部材31の厚さ(長さt41)が薄くなると、ブロッキング電圧B Vが上昇する。例えば、長さt41が20 nm以上250 nm以下において、特に高いブロッキング電圧B Vが得られる。実施形態において、長さt41は20 nm以上250 nm以下であることが好ましい。これにより、高いブロッキング電圧B Vが得やすくなる。長さt41は20 nm以上200 nm以下でもよい。

20

【0057】

図6は、半導体装置の特性を例示するグラフ図である。

図6は、第3部分領域11cにおける電界の深さ方向の分布のシミュレーション結果を例示している。図6には、第1部材31を含む半導体装置111の特性と、参考例の半導体装置119の特性と、が例示されている。半導体装置119においては、第1部材31の抵抗率が $1 \times 10^{10} \text{ } \Omega \cdot \text{cm}$ であり、第1部材31と第1部分領域11aとの間には、絶縁膜が設けられている。図6の横軸は、Z軸方向(深さ方向)における位置p Zである。縦軸は、電界E Fである。図6において、位置p Zが約1 μm から約5 μm の領域が、第1部材31が設けられる深さに対応する。

30

【0058】

図6に示すように、参考例の半導体装置119においては、第1部材31の上端及び下端の位置において、電界E Fのピークが生じる。これに対して、半導体装置111においては、電界E Fは実質的に均一である。このように、実施形態においては、電界E Fを均一にし易い。

【0059】

図7は、半導体装置の特性を例示するグラフ図である。

図7は、第1半導体領域11における第1導電形(n形)の不純物の濃度とブロッキング電圧との関係のシミュレーション結果の例を示している。図7の横軸は、不純物の濃度C1である。縦軸は、ブロッキング電圧B Vである。図7には、半導体装置111と半導体装置119とにおける特性が例示されている。

40

【0060】

図7に示すように、半導体装置119においては、不純物の濃度C1が高くなると、ブロッキング電圧B Vが急激に低下する。半導体装置111においては、濃度C1が高い場合も、高いブロッキング電圧B Vを維持できる。これは、実施形態においては、電界E Fの均一性が高いことに起因する。

【0061】

50

実施形態においては、例えば、参考例と同じブロッキング電圧が得られるときの不純物の濃度 C_1 を高くできる。実施形態においては、同じ濃度 C_1 において、参考例よりも高いブロッキング電圧 BV が得られる。

【0062】

図8～図10は、半導体装置の特性を例示するグラフ図である。

これらの図は、第1半導体領域11における不純物の濃度 C_1 を変えたときの特性のシミュレーション結果の例を示している。図8～図10の横軸は、ブロッキング電圧 BV である。図8の縦軸は、ゲート電圧が10Vのときのオン抵抗 R_{onA} である。図9の縦軸は、ドレイン電圧が0Vから50Vの範囲で放出される、ソース-ドレイン間の電荷量 Q_{oss} である。図10の縦軸は、オン抵抗 R_{onA} 及び電荷量 Q_{oss} の積である。これらの図には、半導体装置111の特性と、参考例の半導体装置119の特性と、が示されている。

10

【0063】

図8に示すように、半導体装置111においては、半導体装置119と比べて、高いブロッキング電圧 BV 及び低いオン抵抗 R_{onA} の少なくともいずれかが得られる。図9に示すように、半導体装置111においては、半導体装置119と比べて、高いブロッキング電圧 BV 及び小さい電荷量 Q_{oss} の少なくともいずれかが得られる。図10に示すように、半導体装置111においては、半導体装置119と比べて、高いブロッキング電圧 BV 、及び、小さいオン抵抗 R_{onA} 及び電荷量 Q_{oss} の積の少なくともいずれかが得られる。

20

【0064】

例えば、ブロッキング電圧 BV が104Vの時に着目する。半導体装置111においては、参考例を基準にして、オン抵抗 R_{onA} を23%低減できる。これは、例えば、半導体装置111においては、均一な電界 EF が得られるため、第1半導体領域11における不純物の濃度 C_1 を高くすることができることに起因する。例えば、ブロッキング電圧 BV が104Vの時に着目すると、半導体装置111においては、参考例を基準にして、電荷量 Q_{oss} を74%低減できる。例えば、ブロッキング電圧 BV が104Vの時に着目すると、半導体装置111においては、参考例を基準にして、オン抵抗 R_{onA} 及び電荷量 Q_{oss} の積を80%低減できる。

【0065】

このように、実施形態によれば、ブロッキング電圧 BV とオン抵抗 R_{onA} とのトレードオフを改善できる。実施形態によれば、ブロッキング電圧 BV と電荷量 Q_{oss} とのトレードオフを改善できる。実施形態によれば、ブロッキング電圧 BV と、オン抵抗 R_{onA} 及び電荷量 Q_{oss} の積と、のトレードオフを改善できる。

30

【0066】

以下、実施形態に係る半導体装置のいくつかの例について説明する。以下の説明において、半導体装置110または半導体装置111と同様の部分については、適宜省略される。

【0067】

図11～図15は、第1実施形態に係る半導体装置を例示する模式的断面図である。

図11に示すように、実施形態に係る半導体装置112において、第1導電部61は、第1導電領域61a及び第2導電領域61bを含む。第1導電領域61aは、例えば、第1端31aと接する。第2導電領域61bは、Z軸方向に延びる。第2導電領域61bは、第1導電領域61a及び第2電極52と接する。このような第1導電部61により第1部材31と第2電極52とが電氣的に接続されてもよい。

40

【0068】

図12に示す実施形態に係る半導体装置113のように、第1導電部61は、Z軸方向に沿って延びてもよい。第1導電部61は、例えば、第1部材31及び第2電極52と接する。図12に示すように、第1対向導電部61cにより、第1対向部材31cが第2電極52と電氣的に接続されてもよい。

【0069】

50

図 1 3 に示すように、実施形態に係る半導体装置 1 1 4 は、第 6 半導体領域 1 6 を含む。第 6 半導体領域 1 6 は、第 1 部分領域 1 1 a と第 1 部材 3 1 との間に設けられる。第 6 半導体領域 1 6 は、第 1 導電形である。第 6 半導体領域 1 6 は、第 1 部分領域 1 1 a 及び第 1 部材 3 1 と電氣的に接続される。第 6 半導体領域 1 6 における第 1 導電形の不純物の濃度は、第 1 半導体領域 1 1 における第 1 導電形の不純物の濃度よりも高い。第 6 半導体領域 1 6 は、例えば、 n^+ 領域である。第 6 半導体領域 1 6 を設けることで、第 1 部分領域 1 1 a 及び第 1 部材 3 1 が、低いコンタクト抵抗で、安定して電氣的に接続される。

【 0 0 7 0 】

図 1 4 に示すように、実施形態に係る半導体装置 1 1 5 においては、第 1 半導体領域 1 1 において、第 1 部分領域 1 1 a、第 2 部分領域 1 1 b 及び第 1 対向部分領域 1 1 a C における不純物の濃度は、第 3 部分領域 1 1 c (例えば、 n 領域) よりも高い。このように、第 3 部分領域 1 1 c における第 1 導電形の不純物の濃度は、第 1 部分領域 1 1 a における第 1 導電形の不純物の濃度よりも低くてもよい。

10

【 0 0 7 1 】

図 1 5 に示すように、実施形態に係る半導体装置 1 1 6 は、第 7 半導体領域 1 7 を含む。第 7 半導体領域 1 7 は、第 3 部分領域 1 1 c と第 3 半導体領域 1 3 との間に設けられる。第 7 半導体領域 1 7 は、記第 1 導電形である。第 7 半導体領域 1 7 における第 1 導電形の不純物の濃度は、第 3 部分領域 1 1 c における第 1 導電形の不純物の濃度よりも低い。第 7 半導体領域 1 7 は、例えば、 n^- 領域である。第 7 半導体領域 1 7 を設けることで、例えば、ゲート電圧が負のときのブロッキング電圧 BV が改善できる。

20

【 0 0 7 2 】

半導体装置 1 1 2 ~ 1 1 6 においても、特性を向上できる半導体装置を提供できる。

【 0 0 7 3 】

図 1 6 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

図 1 6 に示すように、実施形態に係る半導体装置 1 2 0 においては、第 1 半導体領域 1 1 は、第 4 部分領域 1 1 d をさらに含む。第 2 部分領域 1 1 b は、第 2 方向 (X 軸方向) において、第 4 部分領域 1 1 d と第 1 部分領域 1 1 a との間にある。第 3 電極 5 3 は、第 1 方向 (Z 軸方向) において、第 4 部分領域 1 1 d と第 2 電極 5 2 との間にある。第 1 絶縁部材 4 0 は、第 3 絶縁領域 4 3 を含む。第 3 絶縁領域 4 3 は、第 1 方向 (Z 軸方向) において、第 4 部分領域 1 1 d と第 3 電極 5 3 との間にある。

30

【 0 0 7 4 】

図 1 7 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

図 1 7 に示すように、実施形態に係る半導体装置 1 2 1 においては、半導体装置 1 2 0 の構成において、第 1 対向部材 3 1 C がさらに設けられる。

【 0 0 7 5 】

半導体装置 1 2 0 及び 1 2 1 においては、第 3 電極 5 3 は、X 軸方向において、第 1 部材 3 1 とは異なる位置にある。半導体装置 1 2 0 及び 1 2 1 においても、例えば、オフ時に第 1 部材 3 1 及び第 1 対向部材 3 1 C に微小な電流が流れることが可能である。これにとり、例えば、第 3 部分領域 1 1 c (例えばメサ領域) における電界を均一化できる。例えば、ソース - ドレイン間の電荷量 Q_{oss} を低減できる。これにより、例えば、損失を抑制できる。例えば、消費電力を低減できる。例えば、ゲート絶縁膜に印加される電界を低減できる。例えば、高い信頼性が得られる。半導体装置 1 2 0 及び 1 2 1 においても、例えば、特性を向上できる半導体装置を提供できる。

40

【 0 0 7 6 】

図 1 8 ~ 図 2 0 は、第 1 実施形態に係る半導体装置を例示する模式的断面図である。

図 1 8 に示すように、実施形態に係る半導体装置 1 2 2 は、第 2 導電部 6 2 を含む。第 2 導電部 6 2 は、第 2 電極 5 2 と電氣的に接続される。図 1 8 の例のように、例えば、配線 6 2 L により、第 2 導電部 6 2 が第 2 電極 5 2 と電氣的に接続されてもよい。

【 0 0 7 7 】

第 2 導電部 6 2 は、第 1 方向 (Z 軸方向) において、第 4 部分領域 1 1 d と第 3 電極 5

50

3 との間にある。第 1 絶縁部材 4 0 は、第 4 絶縁領域 4 4 を含む。第 4 絶縁領域 4 4 は、第 1 方向（Z 軸方向）において第 4 部分領域 1 1 d と第 2 導電部 6 2 との間にある。第 3 絶縁領域 4 3 は、第 1 方向において第 2 導電部 6 2 と第 3 電極 5 3 との間にある。第 2 導電部 6 2 により、例えば、帰還容量を低減することができる。

【0078】

図 19 に示す実施形態に係る半導体装置 1 2 3 のように、第 1 導電部 6 1 は、第 1 導電領域 6 1 a 及び第 2 導電領域 6 1 b を含んでもよい。第 1 対向導電部 6 1 c は、第 1 対向導電領域 6 1 a c 及び第 2 対向導電領域 6 1 b c を含んでもよい。

【0079】

図 20 に示す実施形態に係る半導体装置 1 2 4 のように、半導体装置 1 2 3 において、第 2 導電部 6 2 が設けられてもよい。半導体装置 1 2 4 において、配線 6 2 L（図 18 参照）が設けられてもよい。

10

【0080】

半導体装置 1 2 2 ~ 1 2 4 においても、特性を向上できる半導体装置を提供できる。

【0081】

（第 2 実施形態）

図 21 は、第 2 実施形態に係る半導体装置を例示する模式的断面図である。

図 21 に示すように、実施形態に係る半導体装置 1 3 0 は、第 1 電極 5 1、第 2 電極 5 2、第 1 半導体領域 1 1、第 2 半導体領域 1 2、第 1 部材 3 1、及び、第 1 絶縁部材 4 0 を含む。

20

【0082】

第 1 電極 5 1 から第 2 電極 5 2 への方向は、第 1 方向（例えば Z 軸方向）に沿う。第 1 半導体領域 1 1 は、第 1 部分領域 1 1 a、第 2 部分領域 1 1 b 及び第 3 部分領域 1 1 c を含む。第 1 半導体領域 1 1 は、第 1 導電形である。第 2 部分領域 1 1 b から第 1 部分領域 1 1 a への第 2 方向は、第 1 方向と交差する。第 2 方向は、例えば、X 軸方向である。

【0083】

第 2 半導体領域 1 2 は、第 2 導電形である。第 3 部分領域 1 1 c は、第 1 方向（Z 軸方向）において、第 2 部分領域 1 1 b と第 2 半導体領域 1 2 との間にある。

【0084】

第 1 部分領域 1 1 a から第 1 部材 3 1 への方向は、第 1 方向（Z 軸方向）に沿う。第 3 部分領域 1 1 c から第 1 部材 3 1 への方向は、第 2 方向（X 軸方向）に沿う。第 1 絶縁部材 4 0 は、第 1 絶縁領域 4 1 を含む。第 1 絶縁領域 4 1 は、第 2 方向（X 軸方向）において、第 3 部分領域 1 1 c と第 1 部材 3 1 との間にある。第 1 部材 3 1 は、第 1 部分領域 1 1 a と電氣的に接続される。または、第 1 部材 3 1 は、第 2 電極 5 2 と電氣的に接続されることが可能である。例えば、図 1 及び図 2 に関して説明した配線 6 1 L 及び端子 6 1 T の少なくともいずれかが設けられてもよい。これにより、第 1 部材 3 1 は、第 2 電極 5 2 と電氣的に接続されることが可能である。半導体装置 1 3 0 は、例えば、ダイオードである。

30

【0085】

第 1 部材 3 1 の抵抗率は、例えば、第 1 部分領域 1 1 a の抵抗率よりも高く、第 1 絶縁部材 4 0 の抵抗率よりも低い。例えば、第 1 部材 3 1 は、上記の、第 1 材料、第 2 材料、第 3 材料、第 4 材料、第 5 材料及び第 6 材料よりなる群から選択された少なくとも 1 つを含んでもよい。

40

【0086】

このような第 1 部材 3 1 を設けることで、例えば、電界の集中が抑制できる。これにより、特性を向上できる半導体装置を提供できる。

【0087】

図 22 は、第 2 実施形態に係る半導体装置を例示する模式的断面図である。

図 22 に示す実施形態に係る半導体装置 1 3 1 のように、第 1 対向部材 3 1 c 及び第 1 対向導電部 6 1 c を含んでもよい。第 1 絶縁部材 4 0 は、第 1 対向絶縁領域 4 1 c を含ん

50

でもよい。半導体装置 1 3 1 においても、特性を向上できる半導体装置を提供できる。

【 0 0 8 8 】

以下、実施形態に係る半導体装置の製造方法の例について説明する。以下では、半導体装置 1 1 1 の製造方法の例について説明する。

図 2 3 (a)、図 2 3 (b)、図 2 4 (a)、図 2 4 (b)、図 2 5 (a)、図 2 5 (b)、及び、図 2 6 は、実施形態に係る半導体装置の製造方法を例示する模式的断面図である。

図 2 3 (a) に示すように、例えば、第 5 半導体領域 1 5 (例えば半導体基板) の上に、第 1 半導体領域 1 1 となる n 形半導体層を形成する。n 形半導体層の厚さは、例えば、 $8.75 \mu\text{m}$ である。n 形半導体層は、例えば、エピタキシャル成長により形成される。

10

【 0 0 8 9 】

図 2 3 (b) に示すように、マスクとなるシリコン酸化膜を形成した後、n 形半導体層の一部を除去し、トレンチを形成し、熱酸化により、n 形半導体層の表面部分から絶縁膜 4 0 F (例えば SiO_2 膜) を形成する。絶縁膜 4 0 F は、第 1 絶縁部材 4 0 の少なくとも一部となる。絶縁膜 4 0 F の厚さは、例えば、 20nm 以上 250nm 以下である。

【 0 0 9 0 】

図 2 4 (a) に示すように、ドライエッチングにより、トレンチの底部及び n 形半導体層の頂部の上に位置する絶縁膜 4 0 F を除去し、この後、第 1 部材 3 1 となる膜 3 1 F を形成する。膜 3 1 F は、例えば、低濃度で不純物を含むポリシリコンでもよい。膜 3 1 F は、例えば、Fe を含む InP 膜でもよい。膜 3 1 F の一部をエッチングにより除去する。

20

【 0 0 9 1 】

図 2 4 (b) に示すように、第 1 導電部 6 1 として、例えば、高濃度で不純物を含むポリシリコン膜を形成する。

【 0 0 9 2 】

図 2 5 (a) に示すように、第 3 絶縁領域 4 3 及び第 2 絶縁領域 4 2 となる絶縁膜 (例えば、 SiO_2 膜) を形成し、さらに、第 3 電極 5 3 を形成する。必要に応じて、不要な膜を除去する。

【 0 0 9 3 】

図 2 5 (b) に示すように、第 2 絶縁部材 4 8 を形成し、p 形の不純物を導入し、n 形の不純物を導入して、第 3 半導体領域 1 3 及び第 2 半導体領域 1 2 を形成する。

30

【 0 0 9 4 】

図 2 6 に示すように、第 1 電極 5 1 及び第 2 電極 5 2 を形成する。これにより、例えば、半導体装置 1 1 1 が得られる。

【 0 0 9 5 】

実施形態によれば、特性を向上できる半導体装置を提供できる。

【 0 0 9 6 】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、半導体装置に含まれる電極、半導体領域、部材、絶縁部材及び導電部などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

40

【 0 0 9 7 】

また、各具体例のいずれか 2 つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【 0 0 9 8 】

その他、本発明の実施の形態として上述した半導体装を基にして、当業者が適宜設計変更して実施し得る全ての半導体装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

【 0 0 9 9 】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想

50

到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0100】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0101】

11 ~ 17 ... 第1 ~ 第7半導体領域、 11a ~ 11d ... 第1 ~ 第4部分領域、 11a C ... 第1対向部分領域、 13B ... 境界、 31 ... 第1部材、 31C ... 第1対向部材、 31F ... 膜、 31a、31b ... 第1、第2端、 40 ... 第1絶縁部材、 40F ... 絶縁膜、 41 ~ 44 ... 第1 ~ 第4絶縁領域、 41C ... 第1対向絶縁領域、 48 ... 第2絶縁部材、 48C ... 第2対向絶縁部材、 51 ~ 53 ... 第1 ~ 第3電極、 53C ... 第3対向電極、 61、62 ... 第1、第2導電部、 61C、62C ... 第1、第2対向導電部、 61L、62L ... 配線、 61T ... 端子、 61a、62b ... 第1、第2導電領域、 61aC、62bC ... 第1、第2対向導電領域、 110 ~ 116、119、120 ~ 124、130、131 ... 半導体装置、 BV ... ブロッキング電圧、 C1 ... 濃度、 EF ... 電界、 I1、I2 ... 電流成分、 Id ... ドレイン電流、 Qoss ... 電荷量、 R1 ... 抵抗率、 RonA ... オン抵抗、 pZ ... 位置、 t41、t42 ... 長さ

10

20

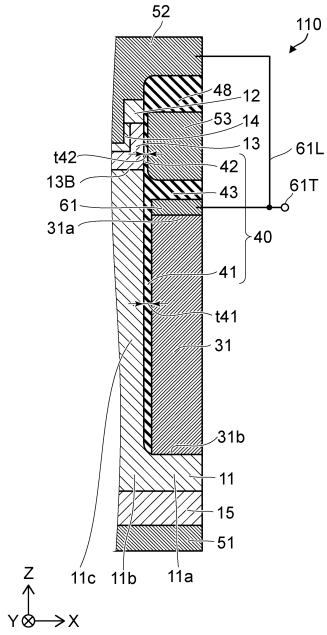
30

40

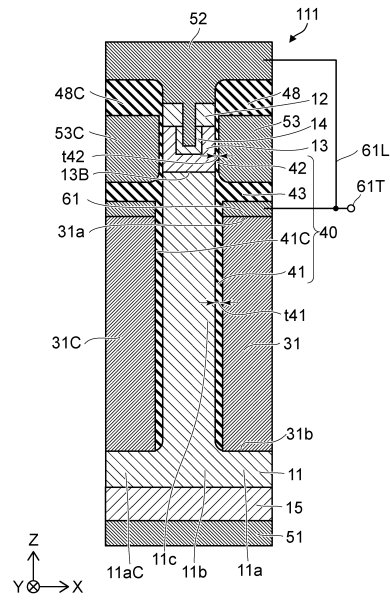
50

【図面】

【図 1】



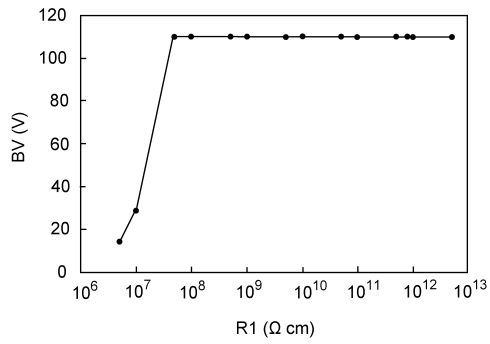
【図 2】



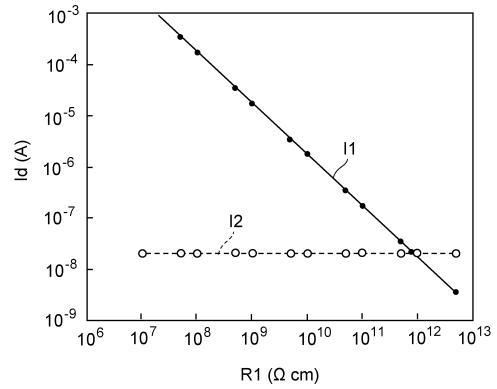
10

20

【図 3】



【図 4】

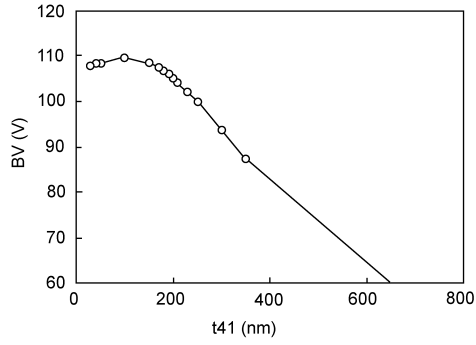


30

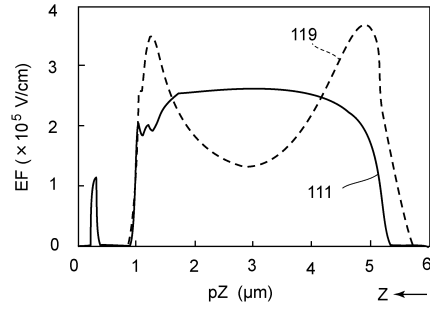
40

50

【 5 】

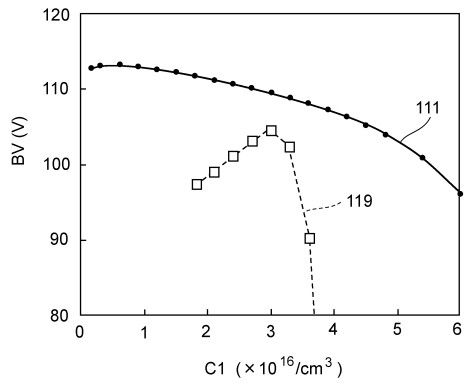


【 6 】

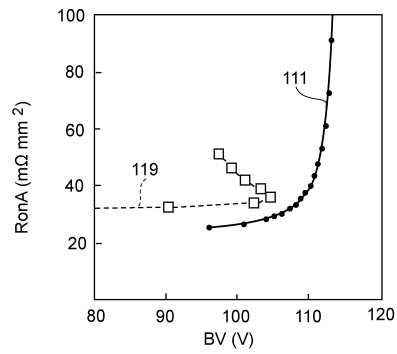


10

【 7 】

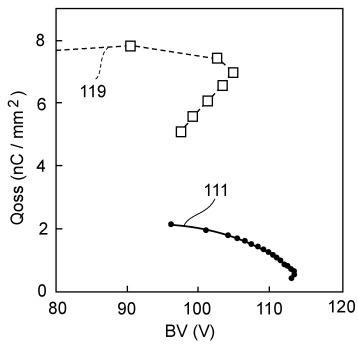


【 8 】

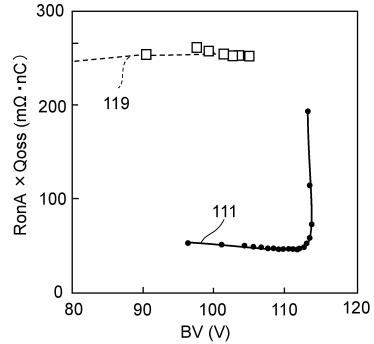


20

【 9 】



【 10 】

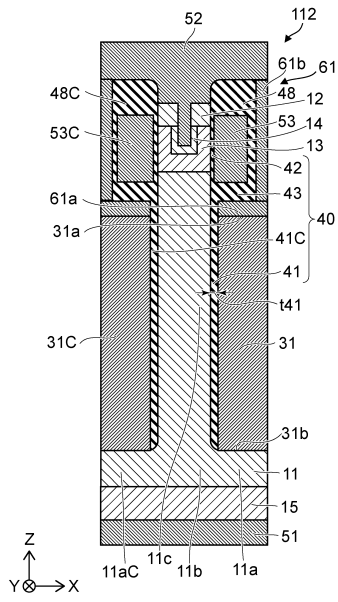


30

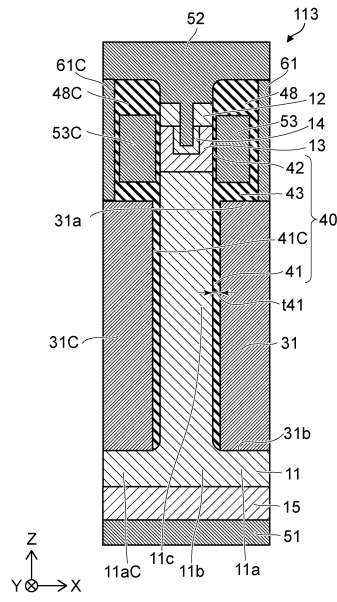
40

50

【図 1 1】



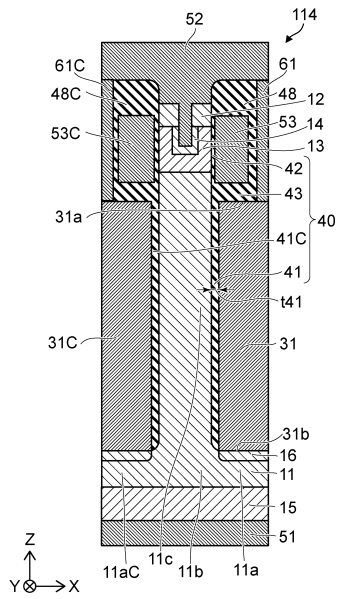
【図 1 2】



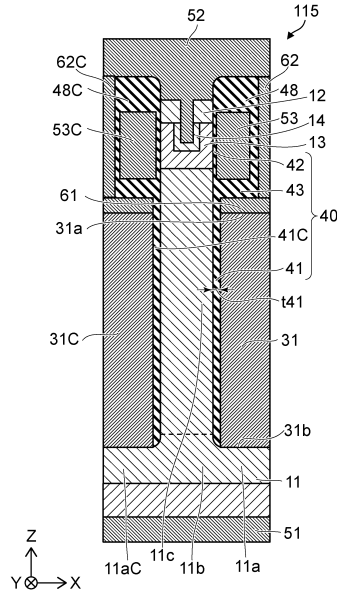
10

20

【図 1 3】



【図 1 4】

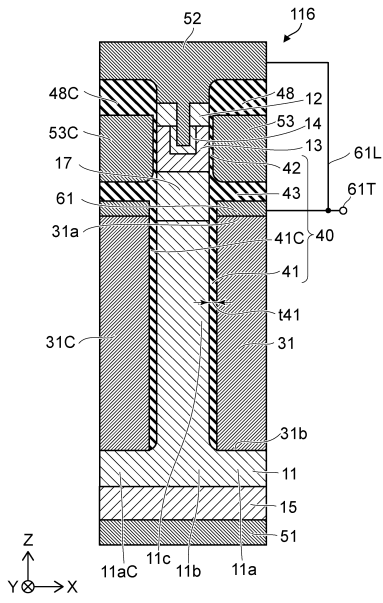


30

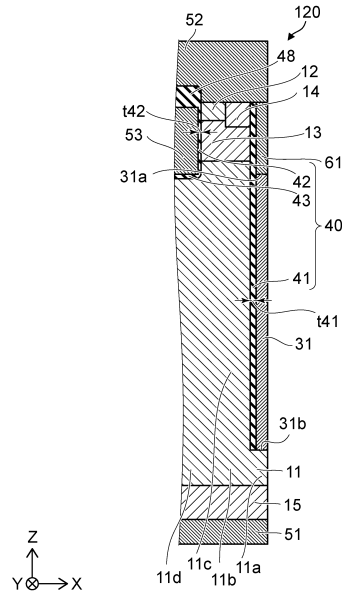
40

50

【図 15】



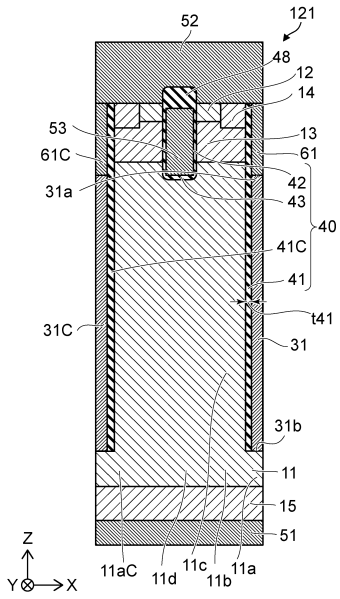
【図 16】



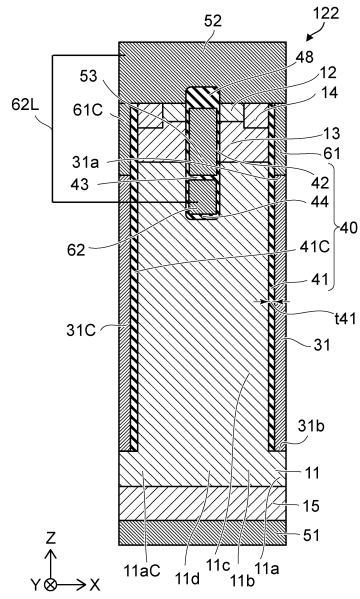
10

20

【図 17】



【図 18】

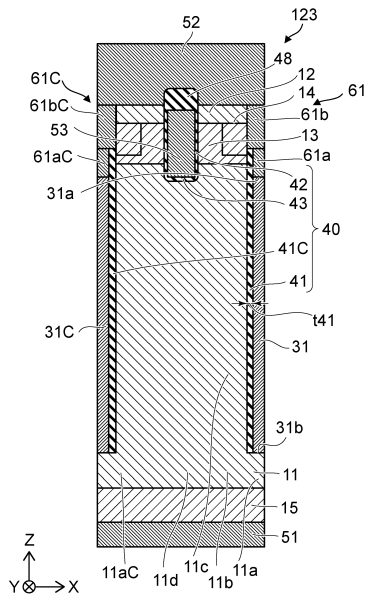


30

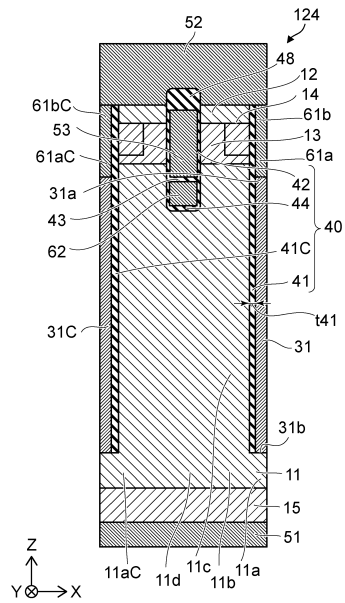
40

50

【図 19】



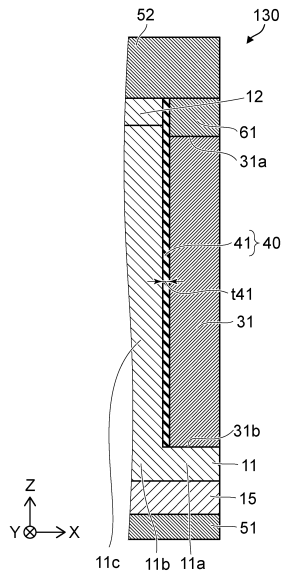
【図 20】



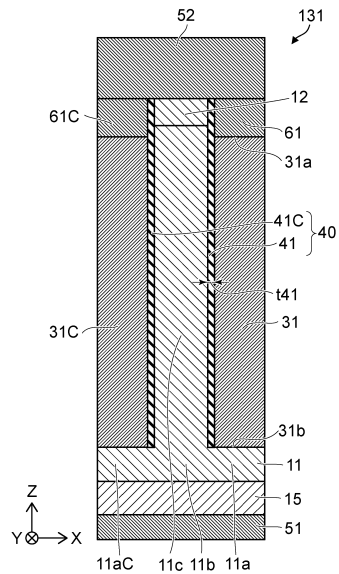
10

20

【図 21】



【図 22】

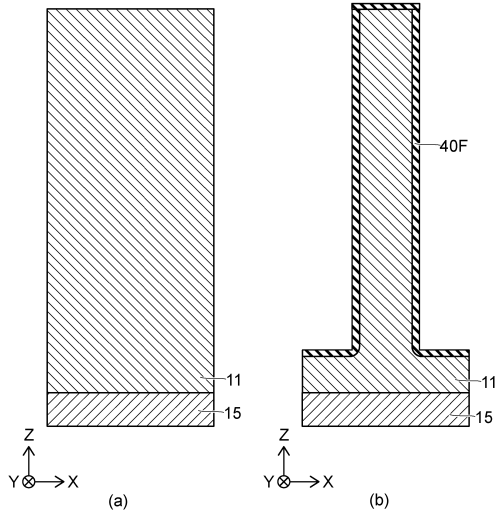


30

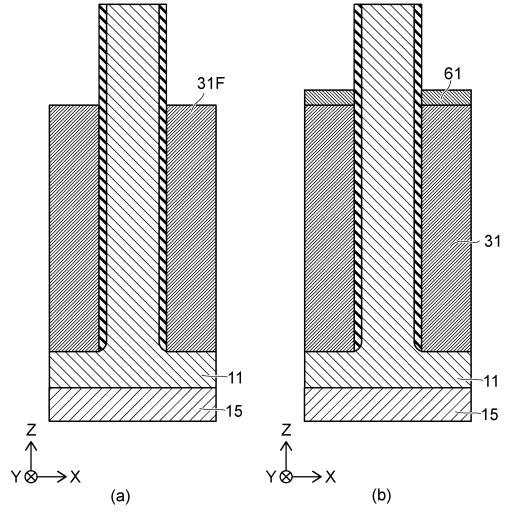
40

50

【 図 2 3 】



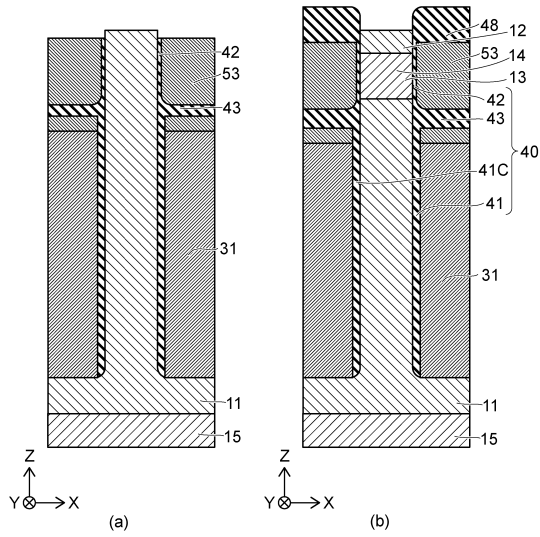
【 図 2 4 】



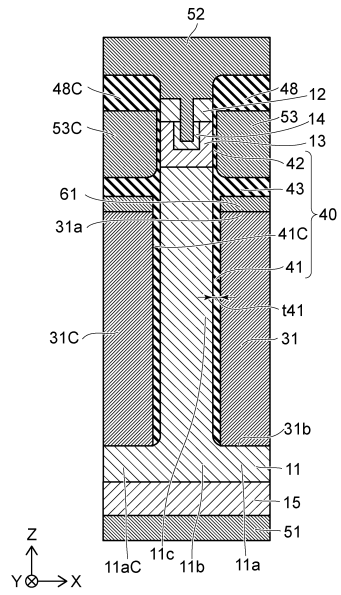
10

20

【 図 2 5 】



【 図 2 6 】



30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 0 1 L 21/336(2006.01)	H 0 1 L	29/06	3 0 1 V
H 0 1 L 29/41 (2006.01)	H 0 1 L	29/78	6 5 2 H
	H 0 1 L	29/78	6 5 2 J
	H 0 1 L	29/91	D
	H 0 1 L	29/78	6 5 8 F
	H 0 1 L	29/44	Y

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 下條 亮平

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

審査官 多賀 和宏

(56)参考文献 特表2004-519848(JP,A)
 特表2013-503491(JP,A)
 特開2017-055102(JP,A)
 特表2007-529115(JP,A)
 特開2002-217415(JP,A)
 特開2019-091822(JP,A)
 特開2007-189192(JP,A)
 特開2003-031821(JP,A)
 特表2003-523087(JP,A)
 特表2003-523088(JP,A)
 特表2003-523086(JP,A)
 特開平07-099307(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 29/06、29/12、29/41、29/78、29/861、29/868
 H 0 1 L 21/329、21/336