



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월04일
(11) 등록번호 10-1161966
(24) 등록일자 2012년06월26일

(51) 국제특허분류(Int. Cl.)
G11C 8/04 (2006.01) G11C 8/06 (2006.01)
G11C 7/10 (2006.01) G11C 5/06 (2006.01)
(21) 출원번호 10-2010-0066494
(22) 출원일자 2010년07월09일
심사청구일자 2010년07월09일
(65) 공개번호 10-2012-0005821
(43) 공개일자 2012년01월17일
(56) 선행기술조사문헌
KR1020020008610 A
KR1020090103774 A
KR1020110001084 A

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
성진용
서울특별시 광진구 독성로34길 9, 자양2차
현대APT 1607호 (자양동)
(74) 대리인
신영무

전체 청구항 수 : 총 15 항

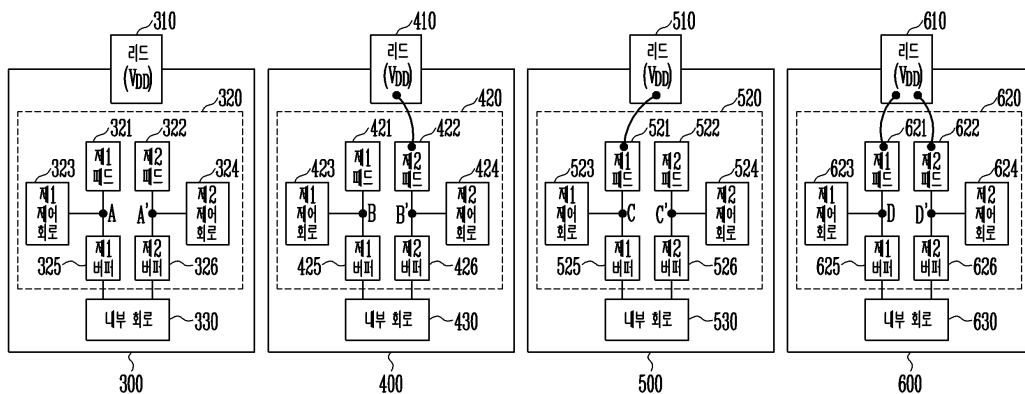
심사관 : 이병수

(54) 발명의 명칭 칩 어드레스 회로를 포함하는 멀티 칩 패키지 장치

(57) 요약

본 발명은 멀티 칩 패키지 장치에 관한 것으로, 외부 전원 전압이 인가되는 리드와, 상기 리드와의 연결 상태에 따라 칩 어드레스 정보를 출력하는 패드 회로, 및 상기 패드 회로와 연결되고, 상기 칩 어드레스 정보를 입력받아 칩 어드레스로 사용하는 내부 회로를 포함한다. 또한 상기 패드 회로는 상기 리드와 연결되거나 분리되는 패드와, 상기 패드와 연결된 내부 노드를 접지 전원 레벨로 초기화시키는 제어 회로, 및 상기 내부 노드와 연결되어 내부 노드의 전위 레벨을 상기 칩 어드레스 정보로 출력하는 버퍼를 포함하며, 상기 리드와 분리된 패드에 연결된 내부 노드는 상기 접지 전원 레벨을 유지하는 멀티 칩 패키지 장치를 개시한다.

대표도 - 도4



특허청구의 범위

청구항 1

외부 전원 전압이 인가되는 리드;

내부 노드를 접지 전원 레벨로 초기화시킨 후, 상기 리드와의 연결 상태에 따라 상기 내부 노드의 전위를 제어하여 칩 어드레스 정보를 출력하는 패드 회로; 및

상기 칩 어드레스 정보를 입력받아 칩 어드레스로 사용하는 내부 회로를 포함하는 칩 어드레스 회로를 각각 포함하는 다수의 멀티 칩으로 구성된 멀티 칩 패키지 장치.

청구항 2

제 1 항에 있어서,

상기 패드 회로는 상기 리드와 연결되거나 분리되는 패드;

상기 패드와 연결된 상기 내부 노드를 접지 전원 레벨로 초기화시키는 제어 회로; 및

상기 내부 노드와 연결되어 상기 내부 노드의 전위 레벨을 상기 칩 어드레스 정보로 출력하는 버퍼를 포함하는 멀티 칩 패키지 장치.

청구항 3

제 2 항에 있어서,

상기 패드가 상기 리드와 연결된 상태이면 상기 내부 노드는 전원 전압 레벨의 전위를 갖고, 상기 패드가 상기 리드와 분리된 상태이면 상기 내부 노드는 상기 접지 전원 레벨의 전위를 갖는 멀티 칩 패키지 장치.

청구항 4

제 1 항에 있어서,

상기 패드 회로는 상기 리드와 연결되거나 분리되는 다수의 패드;

상기 다수의 패드에 각각 대응하며, 상기 다수의 패드와 각각 연결된 다수의 상기 내부 노드를 접지 전원 레벨로 초기화시키는 다수의 제어 회로; 및

상기 다수의 내부 노드와 각각 연결되어, 다수의 내부 노드의 전위 레벨을 상기 칩 어드레스 정보로 출력하는 다수의 버퍼를 포함하는 멀티 칩 패키지 장치.

청구항 5

제 2 항에 있어서,

상기 제어 회로는 상기 내부 노드와 접지 전원 단자 사이에 연결된 다수의 저항을 포함하는 멀티 칩 패키지 장치.

청구항 6

제 4 항에 있어서,

상기 다수의 제어 회로들 각각은 상기 내부 노드들 중 하나와 접지 전원 단자 사이에 연결된 다수의 저항들을

포함하는 멀티 칩 패키지 장치.

청구항 7

제 1 항에 있어서,

상기 패드 회로와 상기 리드와의 연결 상태는 다수의 멀티 칩마다 서로 다르게 연결되는 멀티 칩 패키지 장치.

청구항 8

제 2 항에 있어서,

상기 리드와 연결된 상기 패드에 대응하는 상기 버퍼는 로직 레벨 "1"의 상기 칩 어드레스 정보를 출력하고, 상기 리드와 연결되지 않은 상기 패드에 대응하는 상기 버퍼는 로직 레벨 "0"의 상기 칩 어드레스 정보를 출력하는 멀티 칩 패키지 장치.

청구항 9

제 1 항에 있어서,

상기 패드 회로는 상기 리드와 연결되거나 분리되는 제1 및 제2 패드;

상기 제1 및 제2 패드와 각각 연결된 제1 및 제2 내부 노드를 접지 전원 레벨로 초기화시키는 제1 및 제2 제어 회로; 및

상기 제1 및 제2 내부 노드와 각각 연결되어, 상기 제1 및 제2 내부 노드의 전위 레벨을 상기 칩 어드레스 정보로 출력하는 제1 및 제2 버퍼를 포함하는 멀티 칩 패키지 장치.

청구항 10

제 9 항에 있어서,

상기 제1 및 제2 패드와 상기 리드와의 연결 상태는 다수의 멀티 칩마다 서로 다르게 연결되는 멀티 칩 패키지 장치.

청구항 11

제 9 항에 있어서,

상기 제1 패드 및 제2 패드가 상기 리드와 연결되지 않은 경우 상기 칩 어드레스 정보는 "00"이고,

상기 제1 패드는 상기 리드와 연결되지 않고 상기 제2 패드는 상기 리드와 연결된 경우 상기 칩 어드레스 정보는 "01"이고,

상기 제1 패드는 상기 리드와 연결되고 상기 제2 패드는 상기 리드와 연결되지 않은 경우 상기 칩 어드레스 정보는 "10"이고,

상기 제1 패드 및 제2 패드가 상기 리드와 연결된 경우 상기 칩 어드레스 정보는 "11"인 멀티 칩 패키지 장치.

청구항 12

외부 전원 전압이 인가되는 리드;

상기 리드와의 연결 상태에 따라 내부 노드의 전위를 제어하여 칩 어드레스 정보를 출력하며, 상기 리드와 연결되지 않을 경우 상기 내부 노드의 전위는 접지 전원 레벨을 유지하도록 구성된 패드 회로; 및

상기 칩 어드레스 정보를 입력받아 칩 어드레스로 사용하는 내부 회로를 포함하는 칩 어드레스 회로를 각각 포함하는 다수의 멀티 칩으로 구성된 멀티 칩 패키지 장치.

청구항 13

제 12 항에 있어서,

상기 패드 회로는 상기 리드와 연결되거나 분리되는 패드;

상기 패드와 연결된 상기 내부 노드를 접지 전원 레벨로 초기화시키는 제어 회로; 및

상기 내부 노드와 연결되어 내부 노드의 전위 레벨을 상기 칩 어드레스 정보로 출력하는 버퍼를 포함하는 멀티 칩 패키지 장치.

청구항 14

제 12 항에 있어서,

상기 패드 회로는 상기 리드와 연결되거나 분리되는 다수의 패드;

상기 다수의 패드에 각각 대응하며, 상기 다수의 패드와 각각 연결된 다수의 상기 내부 노드를 접지 전원 레벨로 초기화시키는 다수의 제어 회로; 및

상기 다수의 내부 노드와 각각 연결되어, 다수의 내부 노드의 전위 레벨을 상기 칩 어드레스 정보로 출력하는 다수의 버퍼를 포함하는 멀티 칩 패키지 장치.

청구항 15

제 12 항에 있어서,

상기 패드 회로는 상기 리드와 연결되거나 분리되는 제1 및 제2 패드;

상기 제1 및 제2 패드와 각각 연결된 제1 및 제2 내부 노드를 접지 전원 레벨로 초기화시키는 제1 및 제2 제어 회로; 및

상기 제1 및 제2 내부 노드와 각각 연결되어, 상기 제1 및 제2 내부 노드의 전위 레벨을 상기 칩 어드레스 정보로 출력하는 제1 및 제2 버퍼를 포함하는 멀티 칩 패키지 장치.

명세서

기술분야

[0001] 본 발명은 멀티 칩 패키지 장치에 관한 것으로, 외부 전원 전압이 인가되는 하나의 리드를 이용하여 다수의 멀티 칩에 어드레스를 부여할 수 있는 칩 어드레스 회로를 포함하는 멀티 칩 패키지 장치에 관한 것이다.

배경기술

[0002] 최근의 반도체 산업 발전 그리고 사용자의 요구에 따라 전자 기기는 더욱 더 소형화 및 경량화가 요구되고 있다. 이와 같은 요구를 만족시키기 위해 적용되는 기술 중의 하나가 멀티 칩 패키징(Multi Chip Packaging) 기술이다. 멀티 칩 패키징 기술은 복수개의 반도체 칩을 하나의 패키지로 구성하는 기술로서, 이 기술이 적용된 멀티 칩 패키지를 이용하는 것이 하나의 반도체 칩을 포함하는 패키지 여러 개를 이용하는 것보다 소형화와

경량화 및 실장면적에 유리하다.

- [0003] 상기와 같이 복수의 칩이 실장된 패키지는 다수의 칩에 서로 다른 칩 어드레스를 부여하여 외부에서 입력되는 어드레스에 의해 선택된 칩을 동작시킨다. 만약 4 개의 칩이 포함된 패키지 장치라면 첫 번째 칩을 '00', 두 번째 칩을 '01', 세 번째 칩을 '10' 그리고 네번째 칩은 '11'로 설정하고, 입력 어드레스에 따라 각각의 칩을 선택하게 한다.
- [0004] 일반적으로 각 칩들에 어드레스를 부여하는 방식으로는 패키지 시 주소 정보에 해당하는 패드(Pad)에 전원 전압(V_{DD})과 접지 전원(V_{SS})의 조합하여 어드레스를 부여하는 것이 있다.
- [0005] 도 1은 일반적인 멀티 칩 패키지 장치를 나타내는 구성도이다.
- [0006] 도 1을 참조하면, 멀티 칩 패키지 장치는 제1 패키지 칩(10)과 제2 패키지 칩(20)을 포함한다. 제1 패키지 칩(10)은 외부의 전원 전압(V_{DD}) 및 접지 전원(V_{SS})과 각각 연결되는 리드들(11A, 11B), 리드들(11A, 11B)과 와이어(wire)를 통해 연결되는 패드 회로(12) 및 패드 회로(12)와 연결되고 패드 회로(12)에 의해 칩 어드레스 정보를 입력받는 내부 회로(13)를 포함한다. 제2 패키지 칩(20)은 제1 패키지 칩(10)과 서로 동일한 구조를 갖으며, 외부의 전원 전압(V_{DD}) 및 접지 전원(V_{SS})과 각각 연결되는 리드들(12A, 12B)과 와이어(wire)를 통해 연결되는 패드 회로(12)의 패드가 서로 다르다. 즉, 제1 패키지 칩(10)은 제1 패드(PAD_0;12A)에 전원 전압(V_{DD})이 인가되도록 리드(11A)와 와이어분당되어 있고, 제2 패키지 칩(20)은 제2 패드(PAD_1;22B)에 접지 전원(V_{SS})이 인가되도록 리드(21B)와 와이어분당되어 있다. 이는 제1 패키지 칩(10)과 제2 패키지 칩(20)이 서로 다른 칩 어드레스 정보를 갖도록 하기 위함이다.
- [0007] 상술한 종래 기술에 따른 멀티 칩 패키지 장치는 각 칩들에 칩 어드레스 정보를 부여하기 위해서는 각 칩마다 다 전원 전압(V_{DD}) 및 접지 전원(V_{SS})을 인가받을 수 있는 제1 및 제2 패드가 존재하여야 하며, 패드의 위치 또한 제한적이다. 또한 전원 전압(V_{DD})과 접지 전원(V_{SS})을 인가하는 리드는 서로 인접하게 배치되어 있으므로 리드와 패드의 연결시 많은 제약이 발생하게 되어 많은 수의 멀티 칩에 어드레스를 부여할 수 없어 멀티 칩 패키지로 구현 가능한 칩들의 개수에 제한적이다.

발명의 내용

해결하려는 과제

- [0008] 본 발명이 이루고자 하는 기술적 과제는 멀티 칩 패키지 장치의 각 칩마다 포함되는 패드와 외부 전원 전압이 인가되는 리드와의 연결 상태에 따라 칩 어드레스를 생성하되, 리드가 연결되지 않은 패드는 접지 전원 레벨을 유지하도록 하여 외부 접지 전원이 인가되는 리드를 사용하지 않으므로 리드 배치에 따른 제약을 받지 않는 멀티 칩 패키지 장치를 제공하는 데 있다.

과제의 해결 수단

- [0009] 본 발명의 일 실시 예에 따른 멀티 칩 패키지 장치는 외부 전원 전압이 인가되는 리드와, 내부 노드를 접지 전원 레벨로 초기화시킨 후, 상기 리드와의 연결 상태에 따라 상기 내부 노드의 전위를 제어하여 칩 어드레스 정보를 출력하는 패드 회로, 및 상기 칩 어드레스 정보를 입력받아 칩 어드레스로 사용하는 내부 회로를 포함하는 칩 어드레스 회로를 각각 포함하는 다수의 멀티 칩으로 구성된다.
- [0010] 상기 패드 회로는 상기 리드와 연결되거나 분리되는 패드와, 상기 패드와 연결된 내부 노드를 접지 전원 레벨로 초기화시키는 제어 회로, 및 상기 내부 노드와 연결되어 내부 노드의 전위 레벨을 상기 칩 어드레스 정보로 출력하는 버퍼를 포함하며, 상기 리드와 분리된 패드에 연결된 내부 노드는 상기 접지 전원 레벨을 유지한다.

발명의 효과

[0011] 본 발명의 일 실시 예에 따르면, 멀티 칩 패키지 장치의 어드레스 회로는 각 칩마다 외부 전원 전압이 인가되는 리드와의 연결되는 패드와 리드가 연결되지 않은 패드에 따라 어드레스를 생성하되, 리드가 연결되지 않은 패드는 접지 전원 레벨을 유지하도록 한다. 접지 전원(V_{SS})이 인가되는 리드를 사용하지 않으므로 패키지 칩의 패드 위치의 제약이 없고, 다수의 멀티칩을 제어함에 있어 패드의 개수가 감소하게 되어 소자의 집적도가 향상된다. 또한 리드와 패드를 연결하는 와이어 본딩의 실시 횟수도 종래보다 감소하게 된다.

도면의 간단한 설명

[0012] 도 1은 일반적인 멀티 칩 패키지 장치를 나타내는 구성도이다.
 도 2는 본 발명의 제1 실시 예에 따른 멀티 칩 패키지 장치를 나타내는 구성도이다.
 도 3a 및 도 3b는 도 2의 제어 회로를 나타내는 회로도이다.
 도 4는 본 발명의 제2 실시 예에 따른 멀티 칩 패키지 장치를 나타내는 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허청구범위에 의해서 이해되어야 한다.

[0014] 도 2는 본 발명의 제1 실시 예에 따른 멀티 칩 패키지 장치를 나타내는 구성도이다. 본 발명의 제1 실시 예는 두개의 칩을 포함하는 패키지 장치를 나타낸다.

[0015] 도 2를 참조하면, 멀티 칩 패키지 장치는 제1 패키지 칩(100)과 제2 패키지 칩(200)을 포함한다.

[0016] 제1 패키지 칩(100)은 패드 회로(120), 및 내부 회로(130)를 포함한다.

[0017] 패드 회로(120)는 외부의 전원 전압(V_{DD})이 인가되는 리드(110)와 와이어(wire)로 연결되지 않은 상태이다. 패드 회로(120)는 패드(121), 제어 회로(122), 및 버퍼(123)를 포함한다.

[0018] 패드(121)은 노드(A)를 통해 버퍼(123)와 연결된다. 제어 회로(122)는 노드(A)와 연결되어, 노드(A)의 초기 전위를 그라운드 레벨(GND)로 설정한다. 버퍼(123)은 노드(A)의 전위를 전달받아 이를 내부 회로(330)에 칩 어드레스 정보로 출력한다.

[0019] 패드(121)는 리드(110)와 연결되지 않은 상태이므로 노드(A)의 전위를 제어하지 못한다. 제어 회로(122)는 노드(A)의 초기 전위를 그라운드 레벨(GND)로 설정한다. 버퍼(123)는 노드(A)의 그라운드 레벨(GND) 전위를 입력 신호로 입력받아 내부 회로(130)에 전달한다. 즉 그라운드 레벨(GND) 전위에 해당하는 "0"의 어드레스를 부여받는다.

[0020] 제2 패키지 칩(200)은 패드 회로(220), 및 내부 회로(230)를 포함한다.

[0021] 패드 회로(220)는 외부의 전원 전압(V_{DD})이 인가되는 리드(210)와 와이어로 연결되어 외부에서 입력되는 전원 전압(V_{DD})이 패드 회로(220)로 입력된다. 패드 회로(220)는 패드(221), 제어 회로(222), 및 버퍼(223)를 포함한다. 이때 리드(210)는 제1 패키지 칩(100)의 리드(110)과 동일한 리드이다. 즉 제1 패키지 칩(100)과 제2 패키지 칩(200)은 서로 적층된 구조이므로 동일한 하나의 리드(110, 210)를 공유한다.

[0022] 패드(221)는 노드(A)를 통해 버퍼(223)와 연결된다. 제어 회로(222)는 노드(A)와 연결되어, 노드(A)의 초기 전위를 그라운드 레벨(GND)로 설정한다. 버퍼(223)은 노드(A)의 전위를 전달받아 이를 내부 회로(330)에 칩 어드레스 정보로 출력한다.

[0023] 제어 회로(222)는 노드(A)의 초기 전위를 그라운드 레벨(GND)로 설정한다. 패드(221)는 리드(210)와 와이어(wire)로 연결되어 있으므로, 노드(A)의 전위는 전원 전압(V_{DD}) 레벨이 된다. 버퍼(223)는 노드(A)의 전원 전

압 레벨(V_{DD}) 전위를 입력 신호로 입력받아 내부 회로(230)에 전달한다. 즉 전원 전압 레벨(V_{DD}) 전위에 해당하는 "1"의 어드레스를 부여받는다.

- [0024] 도 3a는 도 2의 제어 회로(122)를 나타내는 회로도이다.
- [0025] 도 3a를 참조하면, 제어 회로(122)는 다수의 저항(R1 내지 R3) 및 다수의 NMOS 트랜지스터(N1 내지 N4)를 포함한다.
- [0026] 저항(R1)은 전원 전압(V_{DD})과 NMOS 트랜지스터(N1)의 게이트 사이에 연결되어 전원 전압(V_{DD})을 NMOS 트랜지스터(N1)의 게이트에 인가한다. NMOS 트랜지스터(N1)는 저항(R1)을 통해 입력되는 전원 전압(V_{DD})에 응답하여 턴온되어 전원 전압(V_{DD})을 전송한다. 저항(R3), NMOS 트랜지스터(N2 내지 N4), 및 저항(R2)는 노드(A)와 그라운드 전압(GND) 사이에 직렬 연결된다. NMOS 트랜지스터(N2 내지 N4)의 게이트는 NMOS 트랜지스터(N1)를 통해 전송된 전원 전압(V_{DD})이 인가된다. 따라서 NMOS 트랜지스터(N2 내지 N4)는 전원 전압(V_{DD})에 응답하여 턴온된다. 이로 인하여 노드(A)는 그라운드 전압(GND)이 인가되어 초기 전위가 그라운드 레벨로 설정된다.
- [0027] 도 3b는 도 2의 제어 회로(222)를 나타내는 회로도이다.
- [0028] 도 3b를 참조하면, 제어 회로(222)는 다수의 저항(R1 내지 R3) 및 다수의 NMOS 트랜지스터(N1 내지 N4)를 포함한다.
- [0029] 저항(R1)은 전원 전압(V_{DD})과 NMOS 트랜지스터(N1)의 게이트 사이에 연결되어 전원 전압(V_{DD})을 NMOS 트랜지스터(N1)의 게이트에 인가한다. NMOS 트랜지스터(N1)는 저항(R1)을 통해 입력되는 전원 전압(V_{DD})에 응답하여 턴온되어 전원 전압(V_{DD})을 전송한다. 저항(R3), NMOS 트랜지스터(N2 내지 N4), 및 저항(R2)는 노드(A)와 그라운드 전압(GND) 사이에 직렬 연결된다. NMOS 트랜지스터(N2 내지 N4)의 게이트는 NMOS 트랜지스터(N1)를 통해 전송된 전원 전압(V_{DD})이 인가된다. 따라서 NMOS 트랜지스터(N2 내지 N4)는 전원 전압(V_{DD})에 응답하여 턴온된다. 이로 인하여 노드(A)는 그라운드 전압(GND)이 인가된다. 그러나 제어 회로(222)의 노드(A)는 패드(221)를 통해 입력되는 전원 전압(V_{DD})이 연결되어 있으므로 전원 전압 레벨(V_{DD})이 된다.
- [0030] 본 발명의 제1 실시 예에 따르면 제1 패키지 칩(100) 및 제2 패키지 칩(200)은 하나의 리드(110 및 210)를 이용하여 어드레스를 각각 "0" 및 "1"로 부여할 수 있다. 즉, 접지 전원(V_{SS})가 인가되는 리드를 사용하지 않으므로 패키지 칩의 패드 위치의 제약이 없다.
- [0031] 도 4는 본 발명의 제2 실시 예에 따른 멀티 칩 패키지 장치를 나타내는 구성도이다. 본 발명의 제2 실시 예는 4개의 칩을 포함하는 패키지 장치를 나타낸다.
- [0032] 도 4를 참조하면, 멀티 칩 패키지 장치는 제1 패키지 칩(300)내지 제4 패키지 칩(600)을 포함한다. 다수의 패키지 칩은 그 구조가 서로 동일하며, 리드와 패드의 연결 유무만 서로 상이하다.
- [0033] 제1 패키지 칩(300)은 패드 회로(320), 및 내부 회로(330)를 포함한다.
- [0034] 패드 회로(320)는 제1 패드(321), 제2 패드(322), 제1 제어 회로(323), 제2 제어 회로(324), 제1 버퍼(325) 및 제2 버퍼(326)를 포함한다. 제1 제어 회로(323) 및 제2 제어 회로(324)는 도 3a 및 도 3b에 도시된 제어 회로(122, 222)와 그 구조 및 동작이 동일하므로 상세한 설명은 생략한다.
- [0035] 제1 패드(321)는 노드(A)를 통해 제1 버퍼(325)와 연결된다. 제1 제어 회로(323)는 노드(A)와 연결되어, 노드(A)의 초기 전위를 그라운드 레벨(GND)로 설정한다. 제1 버퍼(325)는 노드(A)의 전위를 전달받아 이를 내부 회로(330)에 전송한다. 제2 패드(322)는 노드(A')를 통해 제2 버퍼(326)와 연결된다. 제2 제어 회로(324)는 노드(A')와 연결되어, 노드(A')의 초기 전위를 그라운드 레벨(GND)로 설정한다. 제2 버퍼(326)는 노드(A')의 전위를 전달받아 이를 내부 회로(330)에 전송한다.
- [0036] 제1 패드(321) 및 제2 패드(322)는 외부의 전원 전압(V_{DD})이 인가되는 리드(310)와 연결되지 않은 상태이다.
- [0037] 제1 패드(321)는 리드(310)와 연결되지 않은 상태이므로 노드(A)의 전위를 제어하지 못한다. 제1 제어 회로(323)는 노드(A)의 초기 전위를 그라운드 레벨(GND)로 설정한다. 제1 버퍼(325)는 노드(A)의 전위를 입력 신호로 입력받아 내부 회로(330)에 전달한다. 또한 제2 패드(322)는 리드(310)와 연결되지 않은 상태이므로 노

드(A')의 전위를 제어하지 못한다. 제2 제어 회로(324)는 노드(A')의 초기 전위를 그라운드 레벨(GND)로 설정한다. 제2 버퍼(326)는 노드(A')의 전위를 입력 신호로 입력받아 내부 회로(330)에 전달한다. 즉, 제1 패키지 칩(300)은 제1 버퍼(325) 및 제2 버퍼(326)에서 출력되는 신호에 의해 "00"의 어드레스를 부여받는다.

[0038] 제2 패키지 칩(400)은 제1 패키지 칩(300)과 동일한 구성 요소를 포함하도록 구성되며, 제2 패드(422)가 외부의 전원 전압(V_{DD})이 인가되는 리드(410)와 와이어(wire)로 연결된 상태이고, 제1 패드(421)는 리드(410)와 연결되지 않은 상태이다.

[0039] 제1 패드(421)는 리드(410)와 연결되지 않은 상태이므로 노드(B)의 전위를 제어하지 못한다. 제1 제어 회로(423)는 노드(B)의 초기 전위를 그라운드 레벨(GND)로 설정한다. 제1 버퍼(425)는 노드(B)의 전위를 입력 신호로 입력받아 내부 회로(430)에 전달한다. 제2 제어 회로(324)는 노드(B')의 초기 전위를 그라운드 레벨(GND)로 설정하나, 제2 패드(422)는 리드(410)와 연결된 상태이므로 노드(B')는 전원 전압(V_{DD}) 레벨의 전위를 갖는다. 제2 버퍼(426)는 노드(B')의 전위를 입력 신호로 입력받아 내부 회로(430)에 전달한다. 즉, 제2 패키지 칩(400)은 제1 버퍼(425) 및 제2 버퍼(426)에서 출력되는 신호에 의해 "01"의 어드레스를 부여받는다.

[0040] 제3 패키지 칩(500)은 제1 패키지 칩(300)과 동일한 구성 요소를 포함하도록 구성되며, 제1 패드(521)가 외부의 전원 전압(V_{DD})이 인가되는 리드(510)와 와이어(wire)로 연결된 상태이고, 제2 패드(522)는 리드(510)와 연결되지 않은 상태이다.

[0041] 제1 제어 회로(523)는 노드(C)의 초기 전위를 그라운드 레벨(GND)로 설정하나, 제1 패드(521)는 리드(510)와 연결된 상태이므로 노드(C)는 전원 전압(V_{DD}) 레벨의 전위를 갖는다. 제1 버퍼(525)는 노드(C)의 전위를 입력 신호로 입력받아 내부 회로(530)에 전달한다. 제2 패드(522)는 리드(510)와 연결되지 않은 상태이므로 노드(C')의 전위를 제어하지 못한다. 제2 제어 회로(524)는 노드(C')의 초기 전위를 그라운드 레벨(GND)로 설정한다. 제2 버퍼(526)는 노드(C')의 전위를 입력 신호로 입력받아 내부 회로(430)에 전달한다. 즉, 제2 패키지 칩(500)은 제1 버퍼(525) 및 제2 버퍼(526)에서 출력되는 신호에 의해 "10"의 어드레스를 부여받는다.

[0042] 제4 패키지 칩(600)은 제1 패키지 칩(300)과 동일한 구성 요소를 포함하도록 구성되며, 제1 패드(621) 및 제2 패드(622)가 외부의 전원 전압(V_{DD})이 인가되는 리드(610)와 와이어(wire)로 연결된 상태이다.

[0043] 제1 제어 회로(623)는 노드(C)의 초기 전위를 그라운드 레벨(GND)로 설정하나, 제1 패드(621)는 리드(610)와 연결된 상태이므로 노드(D)는 전원 전압(V_{DD}) 레벨의 전위를 갖는다. 제1 버퍼(625)는 노드(D)의 전위를 입력 신호로 입력받아 내부 회로(630)에 전달한다. 제2 패드(622)는 리드(510)와 연결되지 않은 상태이므로 노드(C')의 전위를 제어하지 못한다. 제2 제어 회로(624)는 노드(D')의 초기 전위를 그라운드 레벨(GND)로 설정하나, 제2 패드(622)는 리드(410)와 연결된 상태이므로 노드(D')는 전원 전압(V_{DD}) 레벨의 전위를 갖는다. 제2 버퍼(626)는 노드(D')의 전위를 입력 신호로 입력받아 내부 회로(630)에 전달한다. 즉, 제4 패키지 칩(600)은 제1 버퍼(625) 및 제2 버퍼(626)에서 출력되는 신호에 의해 "11"의 어드레스를 부여받는다.

[0044] 제1 패키지 칩(300) 내지 제4 패키지 칩(600)과 각각 연결되거나 분리된 리드(310, 410, 510, 및 610)는 동일한 하나의 리드를 지칭한다. 즉 제1 패키지 칩(300) 내지 제4 패키지 칩(600)은 순차적으로 적층된 구조이므로 동일한 하나의 리드(310, 410, 510, 및 610)를 공유한다.

[0045] 상술한 바와 같이 본원 발명의 제2 실시 예에서는 하나의 패키지 칩에 두개의 패드를 배치하고 리드와의 연결을 제어함으로써 4개의 패키지 칩에 서로 다른 어드레스를 부여할 수 있다. 즉, 하나의 리드를 이용하여 어드레스를 각각 "00", "01", "10" 및 "11"로 부여할 수 있다. 이로 인하여 접지 전원(V_{SS})이 인가되는 리드를 사용하지 않으므로 패키지 칩의 패드 위치의 제약이 없다. 또한 다수의 멀티칩을 제어함에 있어 패드의 개수가 감소하게 되어 소자의 집적도가 향상된다. 또한 리드와 패드를 연결하는 와이어 본딩의 실시 횟수도 종래보다 감소하게 된다.

[0046] 표 1은 하나의 패키지 칩에 4개의 패드를 포함하도록 구성한 후, 외부의 전원 전압(V_{DD})이 인가되는 리드와의 연결 상태에 따라 16개의 칩에 서로 다른 어드레스를 부여하는 방식을 설명하기 위한 표이다.

표 1

	리드와의 연결 상태				내부 회로에 부여된 어드레스			
	제1 패드	제2 패드	제3 패드	제4 패드				
Chip1	NC	NC	NC	NC	0	0	0	0
Chip2	CT	NC	NC	NC	1	0	0	0
Chip3	NC	CT	NC	NC	0	1	0	0
Chip4	CT	CT	NC	NC	1	1	0	0
Chip5	NC	NC	CT	NC	0	0	1	0
Chip6	CT	NC	CT	NC	1	0	1	0
Chip7	NC	CT	CT	NC	0	1	1	0
Chip8	CT	CT	CT	NC	1	1	1	0
Chip9	NC	NC	NC	CT	0	0	0	1
Chip10	CT	NC	NC	CT	1	0	0	1
Chip11	NC	CT	NC	CT	0	1	0	1
Chip12	CT	CT	NC	CT	1	1	0	1
Chip13	NC	NC	CT	CT	0	0	1	1
Chip14	CT	NC	CT	CT	1	0	1	1
Chip15	NC	CT	CT	CT	0	1	1	1
Chip16	CT	CT	CT	CT	1	1	1	1

[0048] NC: Non contact CT: Contact

[0049] 표 1을 참조하면, 하나의 패키지 칩에 4개의 패드를 포함하도록 구성한 후, 외부의 전원 전압(V_{DD})이 인가되는 리드와의 연결 상태에 따라 16개의 칩에 서로 다른 어드레스를 부여할 수 있다.

[0050] 표 2는 하나의 패키지 칩에 3개의 패드를 포함하도록 구성한 후, 각 칩마다 인가되는 칩 인에이블 신호(CE)를 제1 칩 인에이블 신호(CE#1)와 제2 칩 인에이블 신호(CE#2)로 나누어 사용하여 16개의 칩에 서로 다른 어드레스를 부여하는 방식을 설명하기 위한 표이다.

표 2

	리드와의 연결 상태				내부 회로에 부여된 어드레스		
	제1 패드	제2 패드	제3 패드	칩인에이블 신호			
Chip1	NC	NC	NC	CE#1	0	0	0
Chip2	CT	NC	NC	CE#1	1	0	0
Chip3	NC	CT	NC	CE#1	0	1	0
Chip4	CT	CT	NC	CE#1	1	1	0
Chip5	NC	NC	CT	CE#1	0	0	1
Chip6	CT	NC	CT	CE#1	1	0	1
Chip7	NC	CT	CT	CE#1	0	1	1
Chip8	CT	CT	CT	CE#1	1	1	1
Chip9	NC	NC	NC	CE#2	0	0	0
Chip10	CT	NC	NC	CE#2	1	0	0
Chip11	NC	CT	NC	CE#2	0	1	0
Chip12	CT	CT	NC	CE#2	1	1	0
Chip13	NC	NC	CT	CE#2	0	0	1
Chip14	CT	NC	CT	CE#2	1	0	1
Chip15	NC	CT	CT	CE#2	0	1	1
Chip16	CT	CT	CT	CE#2	1	1	1

[0052] 표 3은 하나의 패키지 칩에 2개의 패드를 포함하도록 구성한 후, 각 칩마다 인가되는 칩 인에이블 신호(CE)를 제1 칩 인에이블 신호(CE#1) 내지 제4 칩 인에이블 신호(CE#4)로 나누어 사용하여 16개의 칩에 서로 다른 어드레스를 부여하는 방식을 설명하기 위한 표이다.

표 3

[0053]

	리드와의 연결 상태			내부 회로에 부여된 어드레스	
	제1 패드	제2 패드	칩 인에이블 신호		
Chip1	NC	NC	CE#1	0	0
Chip2	CT	NC	CE#1	1	0
Chip3	NC	CT	CE#1	1	0
Chip4	CT	CT	CE#1	1	1
Chip5	NC	NC	CE#2	0	0
Chip6	CT	NC	CE#2	1	0
Chip7	NC	CT	CE#2	1	0
Chip8	CT	CT	CE#2	1	1
Chip9	NC	NC	CE#3	0	0
Chip10	CT	NC	CE#3	1	0
Chip11	NC	CT	CE#3	1	0
Chip12	CT	CT	CE#3	1	1
Chip13	NC	NC	CE#4	0	0
Chip14	CT	NC	CE#4	1	0
Chip15	NC	CT	CE#4	1	0
Chip16	CT	CT	CE#4	1	1

[0054]

상술한 표 1 내지 3과 같이 패키지 칩 내부의 패드의 수를 증가시켜 어드레스를 부여할 수 있는 칩의 수를 증가시킬 수 있고, 칩 인에이블 신호의 수를 증가시켜 어드레스를 부여할 수 있는 칩의 수를 증가시킬 수 있다.

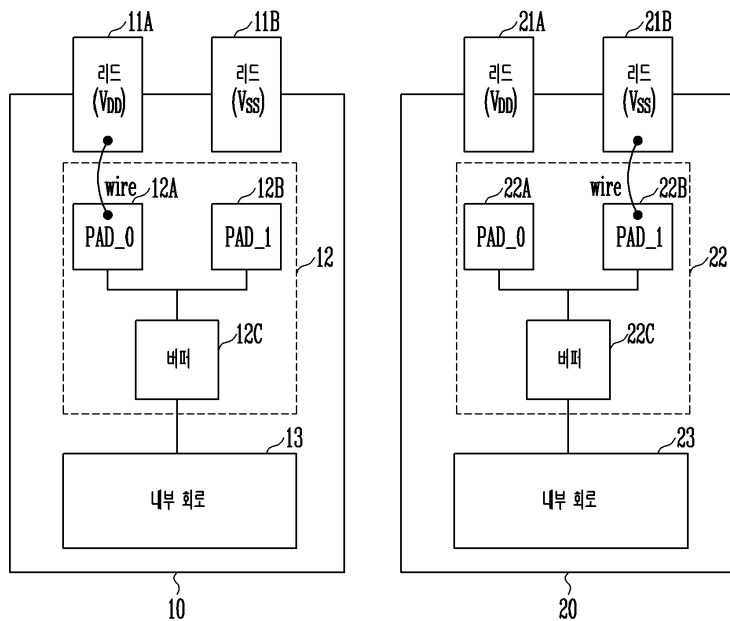
부호의 설명

[0055]

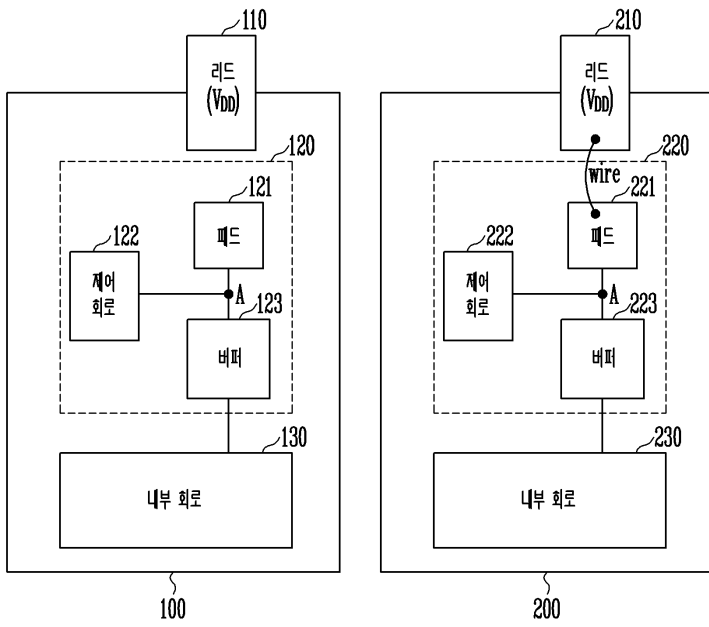
- 110, 210 : 리드
- 121, 222 : 패드
- 123, 223 : 버퍼
- 120, 220 : 패드 회로
- 122, 222 : 제어 회로
- 130, 230 : 내부 회로

도면

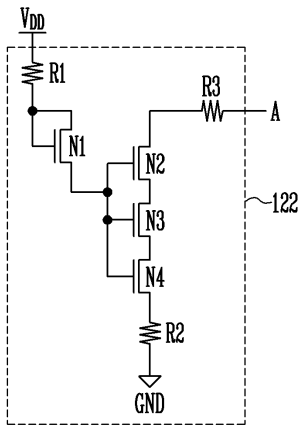
도면1



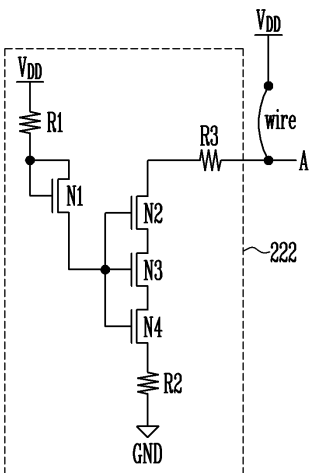
도면2



도면3a



도면3b



도면4

