



(12) 发明专利申请

(10) 申请公布号 CN 106301377 A

(43) 申请公布日 2017. 01. 04

(21) 申请号 201510306750. 6

(22) 申请日 2015. 06. 04

(71) 申请人 智原微电子(苏州)有限公司  
地址 215000 江苏省苏州市苏州工业园区  
金鸡湖大道 1355 号国际科技园 C202/  
C302

申请人 智原科技股份有限公司

(72) 发明人 于光文 丁行波 吴明远

(74) 专利代理机构 隆天知识产权代理有限公司  
72003

代理人 李昕巍 赵根喜

(51) Int. Cl.  
H03M 1/38(2006. 01)

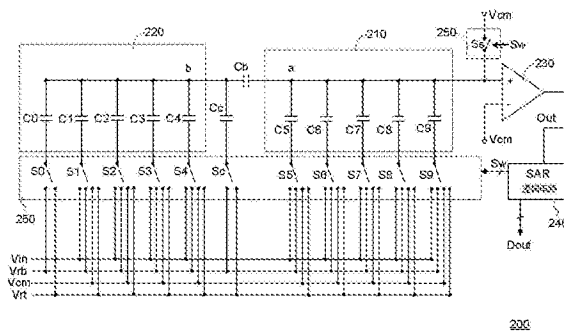
权利要求书2页 说明书5页 附图3页

(54) 发明名称

逐次逼近型模拟至数字转换器

(57) 摘要

一种逐次逼近型模拟至数字转换器, 包含: 一第一电容器组, 连接至一节点 a; 一第二电容器组, 连接至一节点 b; 一桥接电容器, 连接于该节点 a 与该节点 b 之间; 一比较器, 具有一第一端连接至该节点 a, 一第二端接收该中间电平, 一输出端产生一比较信号; 一逐次逼近寄存器逻辑电路, 接收该比较信号, 用以产生一开关信号并产生一数字数据信号; 一开关组, 连接至该第一电容器组与该第二电容器组, 并根据该开关信号的控制, 选择性地将一低参考电平、一高参考电平、一输入电平与一中间电平提供至该第一电容器组与该第二电容器组。该开关组更包括一取样开关受控于该开关信号, 且该取样开关具有一第一端接收该中间电平, 具有一第二端连接至该节点 a。



1. 一种逐次逼近型模拟至数字转换器,其特征在于,包含:

一第一电容器组,具有  $j$  个电容器,每一该  $j$  个电容器的一第一端连接至一节点  $a$ ;

一第二电容器组,具有  $(i+1)$  个电容器,每一该  $(i+1)$  个电容器的一第一端连接至一节点  $b$ ;

一桥接电容器,连接于该节点  $a$  与该节点  $b$  之间;

一开关组,具有  $(i+1)$  个开关且每一该  $(i+1)$  个开关的一第一端对应地连接至该第二电容器组中每一该  $(i+1)$  个电容器的一第二端,以及具有  $j$  个开关且每一该  $j$  个开关的一第一端对应地连接至该第一电容器组中每一该  $j$  个电容器的一第二端,其中该  $(i+j+1)$  个开关受控于一开关信号,使得每一该  $(i+j+1)$  个开关的一第二端分别地切换至一低参考电平、一高参考电平、一输入电平与一中间电平的其中之一;

一比较器,具有一第一端连接至该节点  $a$ ,一第二端接收该中间电平,一输出端产生一比较信号;

一逐次逼近寄存器逻辑电路,根据一时脉信号来接收该比较信号,用以产生该开关信号来控制该开关组,并产生一数字数据信号;

其中,该开关组还包括一取样开关,受控于该开关信号,且该取样开关具有一第一端接收该中间电平,具有一第二端连接至该节点  $a$ 。

2. 如权利要求 1 所述的逐次逼近型模拟至数字转换器,其中该第二电容器组中包括一第一电容器,具有一单位电容值,并且其他该  $i$  个电容器所对应的  $i$  个电容值,由该单位电容值开始依序以 2 的幂次方倍数增加。

3. 如权利要求 2 所述的逐次逼近型模拟至数字转换器,其中该第一电容器组中的该  $j$  个电容器对应的  $j$  个电容值,由该单位电容值开始依序以 2 的幂次方倍数增加。

4. 如权利要求 2 所述的逐次逼近型模拟至数字转换器,还包括一补偿电容器,具有一第一端连接于该节点  $b$ ,且该开关组还包括一补偿开关,具有一第一端连接至该补偿电容器的一第二端,且根据该开关信号使得该补偿开关的一第二端切换至该低参考电平与该高参考电平的其中之一。

5. 如权利要求 4 所述的逐次逼近型模拟至数字转换器,其中该补偿电容器、该第二电容器组与该桥接电容器组成的一等效电容器具有该单位电容值。

6. 如权利要求 1 所述的逐次逼近型模拟至数字转换器,其中于一取样期间,该开关组中的该取样开关连接至该中间电平,该第二电容器组中的一第零个电容器所对应的一第一开关切换至该低参考电平,以及该开关组中的其他  $(i+j)$  个开关切换至该输入电平。

7. 如权利要求 6 所述的逐次逼近型模拟至数字转换器,其中于该取样期间结束时,该开关组中的该取样开关不连接至该中间电平,该第二电容器组中的该第一电容器所对应的该第一开关切换至该低参考电平或该高参考电平,以及该开关组中的其他该  $(i+j)$  个开关切换至该中间电平。

8. 如权利要求 7 所述的逐次逼近型模拟至数字转换器,其中于该取样期间之后的一转换期间,根据该比较信号来改变该开关信号用以逐次切换该开关组中的该  $(i+j)$  个开关,并于完成该开关组中的该  $(i+j)$  个开关的切换后产生该数字数据信号。

9. 如权利要求 7 所述的逐次逼近型模拟至数字转换器,其中该转换期间中包括  $(i+j+1)$  个比较周期,用以产生  $(i+j+1)$  比特的该数字数据信号。

10. 如权利要求 9 所述的逐次逼近型模拟至数字转换器,其中于一第一个比较周期时,该比较器比较该中间电平与该节点 a 上的电压,产生该数字数据信号的一最高比特,并据以改变该开关信号,用以切换该开关组中的一第  $(i+j)$  开关。

11. 如权利要求 10 所述的逐次逼近型模拟至数字转换器,其中于该第一个比较周期时,当该中间电平大于该节点 a 上的电压时,该数字数据信号的该最高比特为一第一逻辑电平且该第  $(i+j)$  开关切换至该高参考电平,以及该中间电平小于该节点 a 上的电压时,该最高比特为一第二逻辑电平且该第  $(i+j)$  开关切换至该低参考电平。

12. 如权利要求 11 所述的逐次逼近型模拟至数字转换器,其中于第  $m$  个比较周期时,该比较器比较该中间电平与该节点 a 上的电压,产生该数字数据信号的一第  $(i+j+1-m)$  比特,并据以改变该开关信号,用以切换该开关组中的一第  $(i+j+1-m)$  开关,其中, $m$  为大于等于 2 且小于等于  $(i+j)$  的正整数。

13. 如权利要求 12 所述的逐次逼近型模拟至数字转换器,其中于该第  $m$  个比较周期时,当该中间电平大于该节点 a 上的电压时,该数字数据信号的该第  $(i+j+1-m)$  比特为该第一逻辑电平且该第  $(i+j+1-m)$  开关切换至该高参考电平,以及该中间电平小于该节点 a 上的电压时,该数字数据信号的该第  $(i+j+1-m)$  比特为该第二逻辑电平且该第  $(i+j+1-m)$  开关切换至该低参考电平。

14. 如权利要求 10 所述的逐次逼近型模拟至数字转换器,其中于该最高比特为该第一逻辑电平时,于第  $m$  个比较周期时,该比较器比较该中间电平与该节点 a 上的电压,产生该数字数据信号的一第  $(i+j+1-m)$  比特,并据以改变该开关信号,用以切换该开关组中的一第  $(i+j+1-m)$  开关,其中, $m$  为大于等于 2 且小于等于  $(i+j)$  的正整数。

15. 如权利要求 14 所述的逐次逼近型模拟至数字转换器,其中于该第  $m$  个比较周期时,当该中间电平大于该节点 a 上的电压时,该数字数据信号的该第  $(i+j+1-m)$  比特为该第一逻辑电平且该第  $(i+j+1-m)$  开关切换至该高参考电平,以及该中间电平小于该节点 a 上的电压时,该数字数据信号的该第  $(i+j+1-m)$  比特为该第二逻辑电平且该第  $(i+j+1-m)$  开关维持在该中间电平。

16. 如权利要求 10 所述的逐次逼近型模拟至数字转换器,其中于该最高比特为该第二逻辑电平时,于第  $m$  个比较周期时,该比较器比较该中间电平与该节点 a 上的电压,产生该数字数据信号的一第  $(i+j+1-m)$  比特,并据以改变该开关信号,用以改变该开关组中的一第  $(i+j+1-m)$  开关,其中, $m$  为大于等于 2 且小于等于  $(i+j)$  的正整数。

17. 如权利要求 16 所述的逐次逼近型模拟至数字转换器,其中于该第  $m$  个比较周期时,当该中间电平大于该节点 a 上的电压时,该数字数据信号的该第  $(i+j+1-m)$  比特为该第一逻辑电平且该第  $(i+j+1-m)$  开关维持在该中间电平,以及该中间电平小于该节点 a 上的电压时,该数字数据信号的该第  $(i+j+1-m)$  比特为该第二逻辑电平且该第  $(i+j+1-m)$  开关切换至该低参考电平。

18. 如权利要求 10 所述的逐次逼近型模拟至数字转换器,其中于该第  $(i+j+1)$  个比较周期时,当该中间电平大于该节点 a 上的电压时,该数字数据信号的一最低比特为该第一逻辑电平,以及该中间电平小于该节点 a 上的电压时,该最低比特为该第二逻辑电平。

## 逐次逼近型模拟至数字转换器

### 技术领域

[0001] 本发明是有关于一种模拟至数字转换器,且特别是有关于一种逐次逼近型模拟至数字转换器 (successive approximation analog-to-digital converter, SAR ADC)。

### 背景技术

[0002] 众所周知,模拟至数字转换器 (ADC) 可以将模拟的电压 (或电流) 的振幅转换为数字的数值。再者,ADC 有许多的结构运用于各种用途。举例来说,快速模拟至数字转换器 (flash ADC)、管线式模拟至数字转换器 (pipeline ADC) 以及逐次逼近型模拟至数字转换器 (SAR ADC)。

[0003] 基本上,快速模拟至数字转换器 (flash ADC) 的速度最快,但是其结构复杂且成本较高。而逐次逼近型模拟至数字转换器 (SAR ADC) 的速度较慢,但是结构相对简单,设计成本较低。

### 发明内容

[0004] 本发明为一种逐次逼近型模拟至数字转换器,包含:一第一电容器组,具有  $j$  个电容器,每一该  $j$  个电容器的一第一端连接至一节点  $a$ ;一第二电容器组,具有  $(i+1)$  个电容器,每一该  $(i+1)$  个电容器的一第一端连接至一节点  $b$ ;一桥接电容器,连接于该节点  $a$  与该节点  $b$  之间;一开关组,具有  $(i+1)$  个开关且每一该  $(i+1)$  个开关的一第一端对应地连接至该第二电容器组中每一该  $(i+1)$  个电容器的一第二端,以及具有  $j$  个开关且每一该  $j$  个开关的一第一端对应地连接至该第一电容器组中每一该  $j$  个电容器的一第二端;一比较器,具有一第一端连接至该节点  $a$ ,一第二端接收该中间电平,一输出端产生一比较信号;一逐次逼近寄存器逻辑电路,根据一时脉信号来接收该比较信号,用以产生该开关信号来控制该开关组,并产生一数字数据信号;该开关组更包括一取样开关受控于该开关信号,且该取样开关具有一第一端接收该中间电平,具有一第二端连接至该节点  $a$ 。

[0005] 为了对本发明的上述及其他方面有更佳的了解,下文特举较佳实施例,并配合所附附图,作详细说明如下:

### 附图说明

[0006] 图 1 所绘示为本发明逐次逼近型模拟至数字转换器示意图。

[0007] 图 2A 所绘示为本发明逐次逼近型模拟至数字转换器示意图。

[0008] 图 2B 所绘示为逐次逼近型模拟至数字转换器中的 SAR 逻辑电路的动作时序示意图。

[0009] 其中,附图标记说明如下:

[0010] 100、200:逐次逼近型模拟至数字转换器

[0011] 110、210:第一电容器组

[0012] 120、220:第二电容器组

- [0013] 130、230 :比较器  
[0014] 140、240 :逐次逼近寄存器逻辑电路  
[0015] 150、250 :开关组

### 具体实施方式

[0016] 请参照图 1,其所绘示为本发明逐次逼近型模拟至数字转换器示意图。逐次逼近型模拟至数字转换器 100 包括:一第一电容器组 110、一第二电容器组 120、一比较器 130、一逐次逼近寄存器逻辑电路 (successive approximation register logic circuit,以下简称 SAR 逻辑电路) 140、一开关组 150 以及一桥接电容器 (bridge capacitor)  $C_b$ 。

[0017] 根据本发明的实施例,第二电容器组 120 中有  $(i+1)$  个电容器  $C_0 \sim C_i$ 。每一个电容器  $C_0 \sim C_i$  的第一端连接至节点 b;每一个电容器  $C_0 \sim C_i$  的第二端连接至开关组 150 中对应开关  $S_0 \sim S_i$  的第一端。再者,第二电容器组 120 中,电容器  $C_0$  的电容值为  $c$  (一单位电容值),其他电容器  $C_1 \sim C_i$  之间的电容值以 2 的幂次方倍数增加。亦即,  $C_k = c \times 2^{(k-1)}$ ,  $k$  大于等于 1,且小于等于  $i$ 。换言之,  $C_1$  的电容值为  $c$ 、 $C_2$  的电容值为  $2c$ 、 $\dots$ 、 $C_i$  的电容值为  $c \times 2^{(i-1)}$ 。

[0018] 再者,第一电容器组 110 中有  $j$  个电容器  $C_{i+1} \sim C_{i+j}$ 。每一个电容器  $C_{i+1} \sim C_{i+j}$  的第一端连接至节点 a;每一个电容器  $C_{i+1} \sim C_{i+j}$  的第二端连接至开关组 150 中对应开关  $S_{i+1} \sim S_{i+j}$  的第一端。再者,第一电容器组 110 中,电容器  $C_{i+x}$  的电容值以 2 的幂次方倍数增加。亦即,  $C_{i+x} = c \times 2^{(x-1)}$ ,  $x$  大于等于 1,且小于等于  $j$ 。换言之,  $C_{i+1}$  的电容值为  $c$ 、 $C_{i+2}$  的电容值为  $2c$ 、 $\dots$ 、 $C_{i+j}$  的电容值为  $c \times 2^{(j-1)}$ 。

[0019] 开关组 150 连接至一输入电平  $V_{in}$ 、一低参考电平  $V_{rb}$ 、一高参考电平  $V_{rt}$ 、与一中间电平  $V_{cm}$ 。其中,高参考电平  $V_{rt}$  减去低参考电平  $V_{rb}$  即为参考电压 ( $V_{ref}$ ),并且中间电平  $V_{cm}$  介于低参考电平  $V_{rb}$  与高参考电平  $V_{rt}$  之间,例如  $V_{cm} = (V_{rb} + V_{rt}) / 2$ 。

[0020] 开关组 150 受控于开关信号  $S_w$ 。其中,开关  $S_0$  的第二端可选择性地切换至低参考电平  $V_{rb}$  或高参考电平  $V_{rt}$ ;其他开关  $S_1 \sim S_i$  与  $S_{i+1} \sim S_{i+j}$  的第二端可选择性地切换至输入电平  $V_{in}$ 、低参考电平  $V_{rb}$ 、高参考电平  $V_{rt}$  与中间电平  $V_{cm}$  的其中之一。另外,开关组 150 中更包括一取样开关  $S_s$ ,连接于中间电平  $V_{cm}$  与节点 a 之间。

[0021] 再者,桥接电容器  $C_b$  连接于节点 a 与节点 b 之间。比较器 130 的第一端 (例如正输入端) 连接至节点 a,比较器 130 的第二端 (例如负输入端) 接收一中间电平  $V_{cm}$ ,比较器 130 的输出端产生一比较信号  $Out$ 。

[0022] SAR 逻辑电路 140 中接收比较信号  $Out$ ,并根据比较信号来逐次改变开关信号  $S_w$ ,使得开关组 150 逐次改变开关  $S_0 \sim S_i$  与  $S_{i+1} \sim S_{i+j}$  的切换位置。当开关组 150 中所有的开关  $S_0 \sim S_i$  与  $S_{i+1} \sim S_{i+j}$  依序切换完成,即可产生一数字数据信号  $D_{out}$ 。

[0023] 根据本发明的实施例,逐次逼近型模拟至数字转换器 100 更可包括一补偿电容器 (compensation capacitor)  $C_c$  与一补偿开关  $S_c$ 。补偿电容器  $C_c$  的第一端连接于节点 b,第二端连接至补偿开关  $S_c$  的第一端。再者,补偿开关  $S_c$  受控于开关信号  $S_w$ ,且补偿开关  $S_c$  的第二端可选择性地切换至低参考电平  $V_{rb}$  或高参考电平  $V_{rt}$ 。

[0024] 再者,根据本发明的具体实施例,桥接电容器  $C_b$  与补偿电容器  $C_c$  经过设计,使得第二电容器组 120 与补偿电容器  $C_c$  并联之后再串联桥接电容器  $C_b$  后的等效电容器  $C_{th}$  具

有电容值  $c$ 。

[0025] 以下以  $i$  等于 4 且  $j$  等于 5 为例来说明本发明的逐次逼近型模拟至数字转换器，及其运作方式。

[0026] 请参照图 2A, 其所绘示为本发明逐次逼近型模拟至数字转换器示意图。逐次逼近型模拟至数字转换器 200 包括: 一第一电容器组 210、一第二电容器组 220、一比较器 230、一逐次逼近寄存器逻辑电路 240、一开关组 250 以及一桥接电容器  $C_b$ 。当然, 本发明更可包括一补偿电容器  $C_c$  与一补偿开关  $S_c$ 。

[0027] 再者, 第二电容器组 220 中有 5 个电容器  $C_0 \sim C_4$ 。每一个电容器  $C_0 \sim C_4$  的第一端连接至节点  $b$ ; 每一个电容器  $C_0 \sim C_4$  的第二端连接至开关组 250 中对应开关  $S_0 \sim S_4$  的第一端。再者, 第二电容器组 220 中, 电容器  $C_0$  的电容值为  $c$ , 电容器  $C_1$  的电容值为  $c$ , 而其他电容器  $C_2 \sim C_4$  的电容值以 2 的幂次方倍数增加。亦即,  $C_1$  的电容值为  $c$ 、 $C_2$  的电容值为  $2c$ 、 $C_3$  的电容值为  $4c$ 、 $C_4$  的电容值为  $8c$ 。

[0028] 再者, 第一电容器组 210 中有 5 个电容器  $C_5 \sim C_9$ 。每一个电容器  $C_5 \sim C_9$  的第一端连接至节点  $a$ ; 每一个电容器  $C_5 \sim C_9$  的第二端连接至开关组 250 中对应开关  $S_5 \sim S_9$  的第一端。再者, 第一电容器组 210 中, 电容器  $C_5$  的电容值为  $c$ , 而电容器  $C_6 \sim C_9$  的电容值以 2 的幂次方倍数增加。亦即, 电容器  $C_5$  的电容值为  $c$ 、电容器  $C_6$  的电容值为  $2c$ 、电容器  $C_7$  的电容值为  $4c$ 、电容器  $C_8$  的电容值为  $8c$ 、电容器  $C_9$  的电容值为  $16c$ 。

[0029] 开关组 250 连接至一输入电平  $V_{in}$ 、一低参考电平  $V_{rb}$ 、一高参考电平  $V_{rt}$ 、与一中间电平  $V_{cm}$ 。其中, 低参考电平  $V_{rb}$  减去高参考电平  $V_{rt}$  即为参考电压, 并且中间电平  $V_{cm}$  介于低参考电平  $V_{rb}$  与高参考电平  $V_{rt}$  之间, 例如  $V_{cm} = (V_{rb} + V_{rt}) / 2$ 。

[0030] 开关组 250 受控于开关信号  $S_w$ 。其中, 开关  $S_0$  的第二端可选择性地切换至低参考电平  $V_{rb}$  或高参考电平  $V_{rt}$ ; 其他开关  $S_1 \sim S_9$  的第二端可选择性地切换至输入电平  $V_{in}$ 、低参考电平  $V_{rb}$ 、高参考电平  $V_{rt}$  与中间电平  $V_{cm}$  其中之一。另外, 开关组 250 中更包括一取样开关  $S_s$ , 连接于中间电平  $V_{cm}$  与节点  $a$  之间。再者, 补偿开关  $S_c$  亦受控于开关信号  $S_w$ , 且补偿开关  $S_c$  的第二端可选择性地切换至低参考电平  $V_{rb}$  或高参考电平  $V_{rt}$ 。

[0031] 再者, 桥接电容器  $C_b$  连接于节点  $a$  与节点  $b$  之间。比较器 230 的第一端 (例如正输入端) 连接至节点  $a$ , 比较器 230 的第二端 (例如负输入端) 接收一中间电平  $V_{cm}$ , 比较器 230 的输出端产生一比较信号  $Out$ 。

[0032] SAR 逻辑电路 240 中接收比较信号  $Out$ , 并根据比较信号来逐次改变开关信号  $S_w$ , 使得开关组 250 逐次改变开关  $S_0 \sim S_9$  的切换位置。当开关组 250 中的开关  $S_0 \sim S_9$  依序切换完成, 即可产生一数字数据信号  $D_{out}$ 。

[0033] 请参照图 2B, 其所绘示为逐次逼近型模拟至数字转换器中的 SAR 逻辑电路 240 的动作时序示意图。如图 2B 所示, 时间点  $t_0$  至时间点  $t_1$  为取样期间 (sampling period)。在此期间, 开关组 250 中的取样开关  $S_s$  连接至中间电平  $V_{cm}$ , 开关  $S_1 \sim S_9$  皆切换至输入电平  $V_{in}$ , 开关  $S_0$  与补偿开关  $S_c$  切换至切换至低参考电平  $V_{rb}$ 。换言之, 于时间点  $t_1$  时, 输入电平  $V_{in}$  上的电压值及被取样至电容器  $C_1 \sim C_9$ 。

[0034] 于取样期间之后, 亦即时间点  $t_1$  时, 开关组 250 中的取样开关  $S_s$  不连接至中间电平  $V_{cm}$ , 开关  $S_1 \sim S_9$  皆切换至中间电平  $V_{cm}$ , 开关  $S_0$  与补偿补偿开关  $S_c$  可具实际需求切换至低参考电平  $V_{rb}$  或者高参考电平  $V_{rt}$ 。接着, 进入转换期间 (converting period)。

[0035] 在时间点  $t_1$  至时间点  $t_3$  的转换期间,至少有 10 个 (亦即  $i+j+1$ ) 时脉周期 (clock cycle),作为 10 个比较周期 (comparing cycle)。在每个比较周期,比较器 230 会比较节点 a 上的电压以及中间电平  $V_{cm}$ ,并产生比较信号 Out。而 SAR 逻辑电路 240 即根据比较信号 Out 来更改开关信号 Sw,并进入下一个比较周期。再者,开关组 250 更根据开关信号 Sw,由最高编号开关 S9 至最低编号开关 S1 来逐次进行切换。亦即,在一个比较周期中,开关信号 Sw 会变更一个开关的切换位置,而比较器 230 也会对应的改变比较信号 Out。

[0036] 换句话说,于时间点  $t_1$  至时间点  $t_3$  的转换期间,SAR 逻辑电路 240 会根据时脉信号 CLK 来接收比较信号 Out,并据以更改开关信号 Sw 用以控制开关 S1 ~ S9。亦即,更改 D9 ~ D1 来进一步控制开关 S9 ~ S1 的切换位置。

[0037] 首先,于第一个比较周期中,根据节点 a 上的电压以及中间电平  $V_{cm}$ ,使得比较器 230 产生比较信号 Out,以决定数字数据信号 Dout 的最高比特 (MSB),亦即 D9,的逻辑电平。

[0038] 举例来说,假设节点 a 上的电压小于中间电平  $V_{cm}$ ,则比较信号 Out 输出第一逻辑电平 (例如逻辑“1”),并进一步确认数字数据信号 Dout 的最高比特 (MSB),亦即 D9,为“1”,接着改变开关信号 Sw 以控制最大编号开关 S9 切换至高参考电平  $V_{rt}$ 。反之,假设节点 a 上的电压大于中间电平  $V_{cm}$ ,则比较信号 Out 输出第二逻辑电平 (例如逻辑“0”),并进一步确认数字数据信号 Dout 的最高比特 (MSB),亦即 D9,为“0”,并且改变开关信号 Sw 以控制最大编号开关 S9 切换至低参考电平  $V_{rb}$ 。

[0039] 相同的原理,于后续的比较周期中,当前一编号的开关  $S_x$  切换完成后,根据节点 a 上的电压以及中间电平  $V_{cm}$ ,使得比较器 230 产生比较信号 Out 用以决定下一比特的  $D_{x-1}$  逻辑电平,并用以控制开关  $S_{x-1}$ 。在图 2A 的实施例中,x 由 9 逐次递减至 1。假设节点 a 上的电压小于中间电平  $V_{cm}$ ,则比较信号 Out 输出第一逻辑电平 (例如逻辑“1”),并进一步确认数字数据信号 Dout 的下一个比特“1”,并且改变开关信号 Sw 以控制下一个编号开关切换至高参考电平  $V_{rt}$ 。反之,假设节点 a 上的电压大于中间电平  $V_{cm}$ ,则比较信号 Out 输出第二逻辑电平 (例如逻辑“0”),并进一步确认数字数据信号 Dout 的下一个比特为“0”,并且改变开关信号 Sw 以控制下一个编号开关切换至低参考电平  $V_{rb}$ 。

[0040] 最后,当开关 S1 切换完成之后,根据节点 a 上的电压以及中间电平  $V_{cm}$ ,比较器 230 即可产生比较信号 Out 用以决定最低比特 (LSB),亦即 D0,的逻辑电平。

[0041] 换言之,根据时脉信号 CLK 的变化,当开关 S9 ~ S1 根据开关信号依序切换完成后,即可以获得数字数据信号 Dout 的最高比特 (MSB) 至最低比特 (LSB) 的逻辑电平,亦即 D9 ~ D0 的逻辑电平,并于时间点  $t_2$  输出该次取样的数字数据信号 Dout。

[0042] 由以上的说明可知,本发明的逐次逼近型模拟至数字转换器 200,在开关 S9 ~ S1 逐次切换时,其变化是由中间电平  $V_{cm}$  切换至高参考电平  $V_{rt}$ ,或者由中间电平  $V_{cm}$  切换至低参考电平  $V_{rb}$ 。所以电压摆程 (voltage swing) 仅有参考电压 ( $V_{ref}$ ) 的一半振幅,可以降低电能的损耗。

[0043] 另外,图 2A 的逐次逼近型模拟至数字转换器也可以利用以下的操作方式来运作,说明如下。

[0044] 首先,于第一个比较周期中,根据节点 a 上的电压以及中间电平  $V_{cm}$ ,使得比较器 230 产生比较信号 Out,以决定数字数据信号 Dout 的最高比特 (MSB),亦即 D9,的逻辑电平。

[0045] 举例来说,假设节点 a 上的电压小于中间电平  $V_{cm}$ ,则比较信号 Out 输出第一逻辑

电平（例如逻辑“1”），并进一步确认数字数据信号 Dout 的最高比特（MSB），亦即 D9，为“1”，接着改变开关信号 Sw 以控制最大编号开关 S9 切换至高参考电平 Vrt。反之，假设节点 a 上的电压大于中间电平 Vcm，则比较信号 Out 输出第二逻辑电平（例如逻辑“0”），并进一步确认数字数据信号 Dout 的最高比特（MSB），亦即 D9，为“0”，并且改变开关信号 Sw 以控制最大编号开关 S9 切换至低参考电平 Vrb。

[0046] 于数字数据信号 Dout 的 D9 为第一逻辑电平（例如逻辑“1”）的状况下。于后续的比较周期中，其他的开关 S8 ~ S1 会根据比较信号 Out 的电平，切换于高参考电平 Vrt 或中间电平 Vcm。举例来说，当前一编号的开关 Sx 切换完成后，假设节点 a 上的电压小于中间电平 Vcm，则比较信号 Out 输出第一逻辑电平（例如逻辑“1”），并进一步确认数字数据信号 Dout 的下一个比特“1”，并且改变开关信号 Sw 以控制下一个编号开关切换至高参考电平 Vrt。反之，假设节点 a 上的电压大于中间电平 Vcm，则比较信号 Out 输出第二逻辑电平（例如逻辑“0”），并进一步确认数字数据信号 Dout 的下一个比特为“0”，并且改变开关信号 Sw 以维持下一个编号开关在中间电平 Vcm。同理，x 由 9 逐次递减至 1。

[0047] 另外，于数字数据信号 Dout 的 D9 为第二逻辑电平（例如逻辑“0”）的状况下。于后续的比较周期中，其他的开关 S8 ~ S1 会根据比较信号 Out 的电平，切换于低参考电平 Vrb 或中间电平 Vcm。举例来说，当前一编号的开关 Sx 切换完成后，假设节点 a 上的电压小于中间电平 Vcm，则比较信号 Out 输出第一逻辑电平（例如逻辑“1”），并进一步确认数字数据信号 Dout 的下一个比特“1”，并且改变开关信号 Sw 以维持下一个编号开关在中间电平 Vcm。反之，假设节点 a 上的电压大于中间电平 Vcm，则比较信号 Out 输出第二逻辑电平（例如逻辑“0”），并进一步确认数字数据信号 Dout 的下一个比特为“0”，并且改变开关信号 Sw 以控制下一个编号开关切换至低参考电平 Vrb。同理，x 由 9 逐次递减至 1。

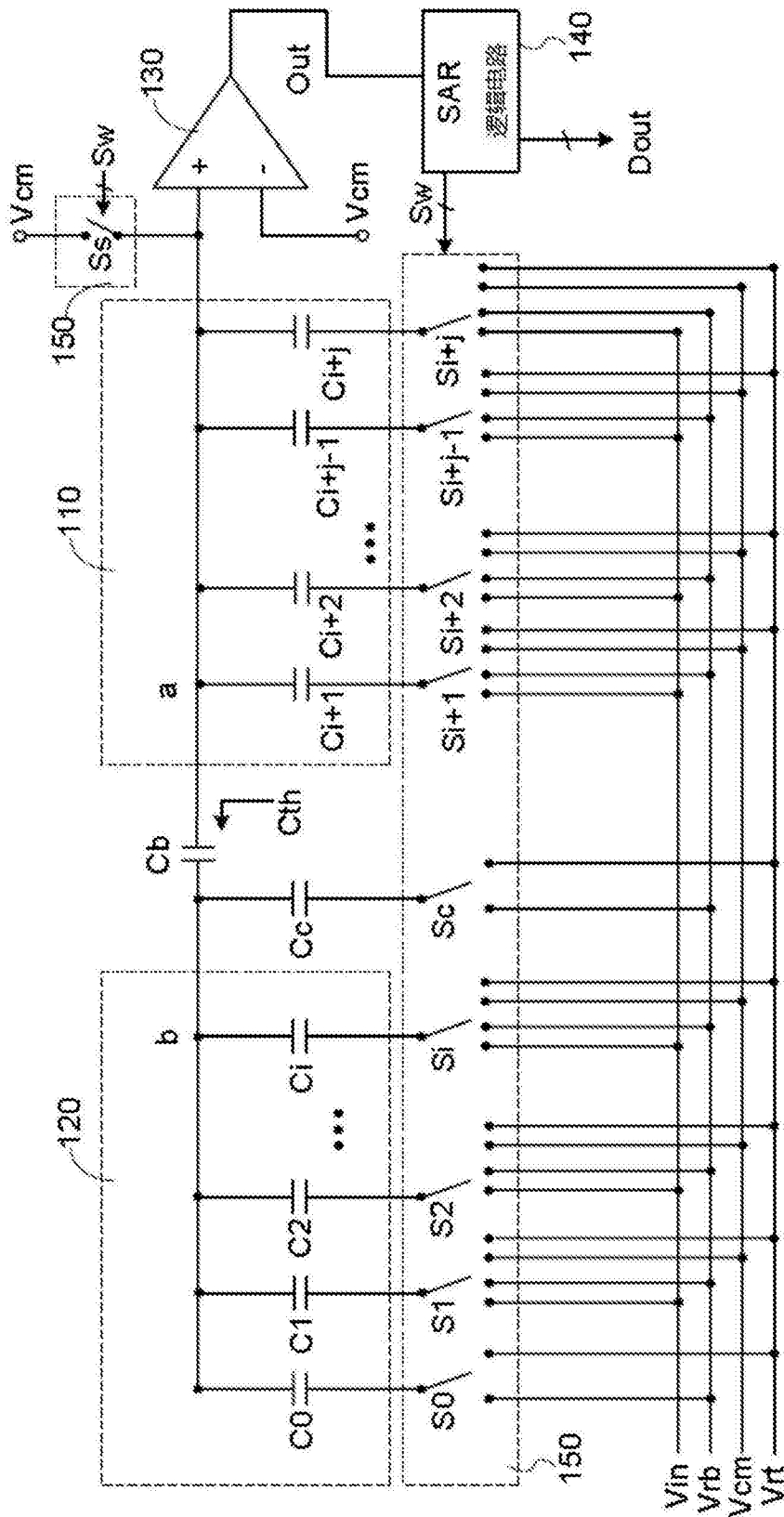
[0048] 最后，当开关 S1 切换完成之后，根据节点 a 上的电压以及中间电平 Vcm，比较器 230 即可产生比较信号 Out 用以决定最低比特（LSB），亦即 D0，的逻辑电平。

[0049] 根据本发明的实施例，由于逐次逼近型模拟至数字转换器 200 中设计二个电容器组 210、220，并且利用桥接电容器 Cb 连接。因此，可以有效地降低电容器的电容值，亦即降低电容器的布局尺寸（layout size）。另外，图 2A 的逐次逼近型模拟至数字转换器 200 系以 i 为 4，j 为 5 为例来作说明。实际上，本发明并未限定 i 与 j 的数值，而在 (j-i) 大于等于 1 时，会获得较佳的转换效果。

[0050] 再者，于本发明中开关 S0 与补偿开关 Sc 根据开关信号 Sw 切换于低参考电平 Vrb 与高参考电平 Vrt 的其中之一。但是于实际的设计上，也将开关 S0 与补偿开关 Sc 的第二端设计成为可切换于低参考电平 Vrb、高参考电平 Vrt、输入电平 Vin、与中间电平 Vcm 的其中之一，而利用切换信号 SW 来控制开关 S0 与补偿开关 Sc 仅切换于低参考电平 Vrb 与高参考电平 Vrt 的其中之一。

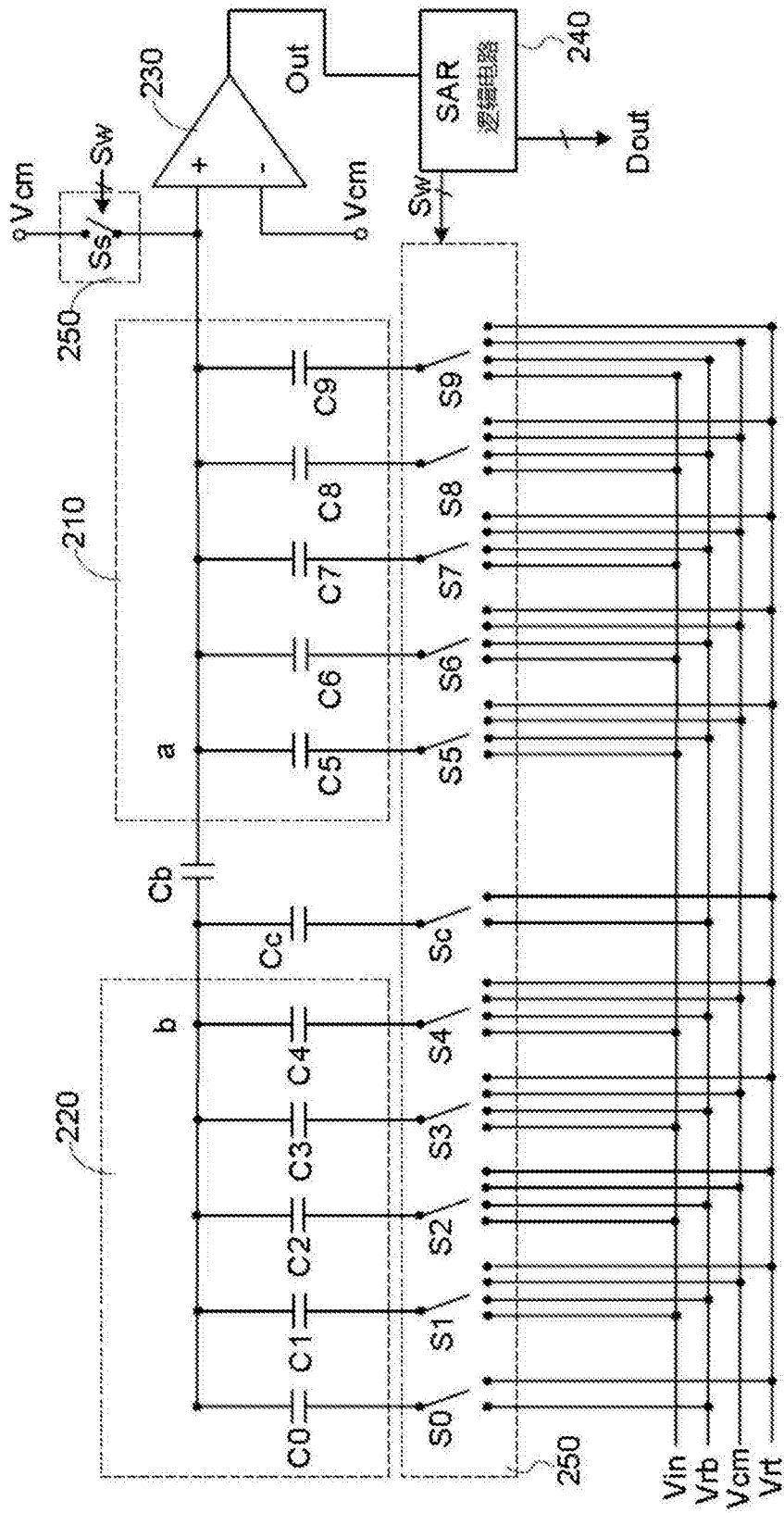
[0051] 虽然本发明已以较佳实施例公开如上，然其并非用以限定本发明。本发明所属技术领域中普通技术人员，在不脱离本发明的精神和范围内，当可作各种的更动与润饰。因此，本发明的保护范围当视所附的权利要求书所界定者为准。





100

图 1



200

图 2A

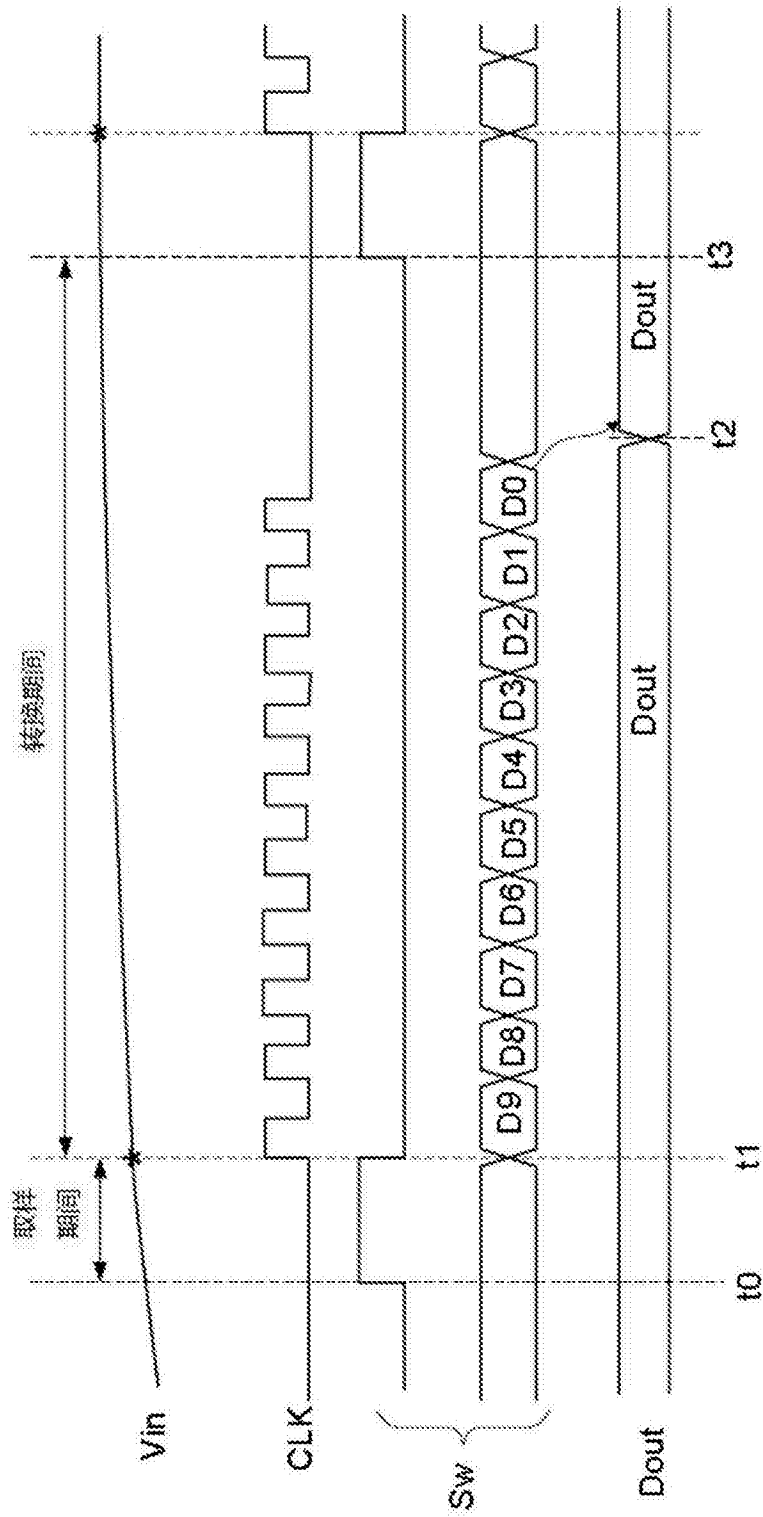


图 2B