

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5739257号  
(P5739257)

(45) 発行日 平成27年6月24日(2015.6.24)

(24) 登録日 平成27年5月1日(2015.5.1)

(51) Int.Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 6 K		
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 B		
G 1 1 C 11/405 (2006.01)	HO 1 L	29/78	6 1 8 C		
HO 1 L 21/8234 (2006.01)	HO 1 L	29/78	6 2 6 C		
HO 1 L 27/06 (2006.01)	HO 1 L	29/78	6 2 7 A		
請求項の数 7 (全 43 頁) 最終頁に続く					

(21) 出願番号 特願2011-159319 (P2011-159319)  
 (22) 出願日 平成23年7月20日(2011.7.20)  
 (65) 公開番号 特開2012-54539 (P2012-54539A)  
 (43) 公開日 平成24年3月15日(2012.3.15)  
 審査請求日 平成26年6月17日(2014.6.17)  
 (31) 優先権主張番号 特願2010-176291 (P2010-176291)  
 (32) 優先日 平成22年8月5日(2010.8.5)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 須澤 英臣  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 笹川 慎也  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

平坦な表面上に絶縁膜を形成し、  
 前記絶縁膜上に第1のマスクを形成し、  
 前記第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、  
 前記第2のマスクを用いて前記絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、  
 前記絶縁層を覆うように酸化物半導体層を形成し、  
 前記酸化物半導体層を覆うように導電膜を形成し、  
 前記導電膜に研磨処理を行うことにより、前記導電膜の表面を平坦化し、  
 前記導電膜にエッチング処理を行うことにより、前記酸化物半導体層の最上部の表面よりも低い表面を有する導電層を形成し、  
 前記導電層及び前記酸化物半導体層に接するゲート絶縁膜を形成し、  
 前記ゲート絶縁膜の上で前記絶縁層と重なる領域を有するゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項2】

請求項1において、  
 化学的機械研磨により、前記研磨処理を行うことを特徴とする半導体装置の作製方法。

【請求項3】

平坦な表面上に絶縁膜を形成し、

前記絶縁膜上に第1のマスクを形成し、  
 前記第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、  
 前記第2のマスクを用いて前記絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、  
 前記絶縁層を覆うように酸化物半導体層を形成し、  
 前記酸化物半導体層を覆うように導電膜を形成し、  
 前記導電膜上に平坦化膜を形成し、  
 前記平坦化膜及び前記導電膜にエッチング処理を行うことにより、前記酸化物半導体層の最上部の表面よりも低い表面を有する導電層を形成し、  
 前記導電層及び前記酸化物半導体層に接するゲート絶縁膜を形成し、  
 前記ゲート絶縁膜の上で前記絶縁層と重なる領域を有するゲート電極を形成することを特徴とする半導体装置の作製方法。

10

## 【請求項4】

請求項1乃至3のいずれか一において、  
エッチング処理により前記絶縁層の角を丸くした後、前記絶縁層を覆うように前記酸化物半導体層を形成することを特徴とする半導体装置の作製方法。

## 【請求項5】

請求項1乃至4のいずれか一において、  
酸素ラジカルを用いたアッシング処理により、前記スリミング処理を行うことを特徴とする半導体装置の作製方法。

20

## 【請求項6】

請求項1乃至5のいずれか一において、  
 前記酸化物半導体層の最上部の表面と前記導電層の表面とで形成される段差は、5 nm以上20 nm以下であることを特徴とする半導体装置の作製方法。

## 【請求項7】

請求項1乃至6のいずれか一において、  
 前記平坦な表面を二乗平均平方根粗さが1 nm以下の表面とすることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【技術分野】

30

## 【0001】

発明の技術分野は、半導体装置の作製方法に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

## 【背景技術】

## 【0002】

金属酸化物は多様に存在し、さまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶表示装置などに必要とされる透明電極の材料として用いられている。

## 【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような金属酸化物をチャネル形成領域に用いた薄膜トランジスタが既に知られている（例えば、特許文献1乃至特許文献4、非特許文献1等参照）。

40

## 【0004】

ところで、金属酸化物には、一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する  $InGaO_3(ZnO)_m$  ( $m$ : 自然数) は、 $In$ 、 $Ga$  および  $Zn$  を有する多元系酸化物半導体として知られている（例えば、非特許文献2乃至非特許文献4等参照）。

## 【0005】

そして、上記のような  $In-Ga-Zn$  系酸化物で構成される酸化物半導体も、薄膜トラ

50

ンジスタのチャネル形成領域に適用可能であることが確認されている（例えば、特許文献5、非特許文献5および非特許文献6等参照）。

【0006】

また、トランジスタの動作の高速化などを達成するためには、トランジスタの微細化が求められている。例えば、特許文献6では、チャネル層の厚さを10nm程度とした酸化半導体を用いた薄膜トランジスタが開示され、非特許文献7では、チャネル長を2μm～100μmとした酸化半導体を用いた薄膜トランジスタが開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭60-198861号公報

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

【特許文献5】特開2004-103957号公報

【特許文献6】特開2010-21170号公報

【非特許文献】

【0008】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillesen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In<sub>2</sub>O<sub>3</sub>-Ga<sub>2</sub>ZnO<sub>4</sub>-ZnO System at 1350 °C」、J. Solid State Chem., 1991, Vol. 93, p. 298-315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, In<sub>2</sub>O<sub>3</sub>(ZnO)<sub>m</sub> (m = 3, 4, and 5), InGaO<sub>3</sub>(ZnO)<sub>3</sub>, and Ga<sub>2</sub>O<sub>3</sub>(ZnO)<sub>m</sub> (m = 7, 8, 9, and 16) in the In<sub>2</sub>O<sub>3</sub>-ZnGa<sub>2</sub>O<sub>4</sub>-ZnO System」、J. Solid State Chem., 1995, Vol. 116, p. 170-178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO<sub>3</sub>(ZnO)<sub>m</sub> (m:自然数)とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28, No. 5, p. 317-327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE, 2003, Vol. 300, p. 1269-1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE, 2004, Vol. 432 p. 488-492

【非特許文献7】T. Kawamura, H. Uchiyama, S. Saito

10

20

30

40

50

, H. Wakana, T. Mine, and M. Hatano, 「Low-Voltage Operating Amorphous Oxide TFTs」, I DW '09, p. 1689 - 1692

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところで、酸化物半導体の光を透過させるという性質や、1 m角以上の大面積を有する酸化物半導体膜を容易に形成できる特性を生かすために、酸化物半導体を用いたトランジスタを形成する基板として、ガラス基板などが採用されている。しかし、ガラス基板の表面の高低差は最大数十 $\mu\text{m}$ 程度もあり、シリコンウェハなどと比較してその値は大きい。このため、ガラス基板を用いた半導体加工におけるフォトマスクの投影露光精度は、シリコンウェハなどを用いる場合と比較して低く、最小加工寸法でせいぜい数 $\mu\text{m}$ 程度というのが実情である。

10

【0010】

上述の加工寸法の制限から、ガラス基板用の露光装置（ステッパーなどとも呼ぶ）を用いる場合には、サブマイクロレベルの十分な微細化を達成することは困難である。しかし、酸化物半導体の性質やそれに起因するメリット（例えば、大面積化が容易であるというメリット）を十分に生かすためには、たとえ上述のような条件であっても、微細化を達成することは必要不可欠といえる。

【0011】

トランジスタを微細化する場合、短チャネル効果の問題がある。短チャネル効果とは、トランジスタの微細化（チャネル長（L）の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果は、ドレインの電界の効果がソースにまでおよぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、S値の増大、漏れ電流の増大などがある。特に、酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタのようにしきい値電圧をドーピングによって制御することが困難であるため、短チャネル効果が現れやすい傾向にある。

20

【0012】

そこで、開示する発明の一態様は、不良を抑制しつつ微細化を達成した半導体装置の提供を目的の一とする。または、良好な特性を維持しつつ微細化を達成した半導体装置の提供を目的の一とする。

30

【課題を解決するための手段】

【0013】

開示する発明の一態様は、平坦な表面上に絶縁膜を形成し、絶縁膜上に第1のマスクを形成し、第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、第2のマスクを用いて絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、絶縁層を覆うように酸化物半導体層を形成し、酸化物半導体層を覆うように導電膜を形成し、導電膜に研磨処理を行うことにより導電膜表面を平坦化し、導電膜をエッチング処理して導電層とすることにより酸化物半導体層の最上部の表面よりも導電層の表面を低くし、導電層と酸化物半導体層に接するゲート絶縁膜を形成し、ゲート絶縁膜の上で絶縁層と重畳する領域にゲート電極を形成する、半導体装置の作製方法である。なお、上記において、酸化物半導体層の最上部の表面と導電層の表面とで形成される段差は、5 nm以上20 nm以下となるように形成する場合がある。

40

【0014】

開示する発明の別の態様は、平坦な表面上に絶縁膜を形成し、絶縁膜上に第1のマスクを形成し、第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、第2のマスクを用いて絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、絶縁層の角をエッチングして丸くし、絶縁層を覆うように酸化物半導体層を形成し、酸化物半導体層を覆うように導電膜を形成し、導電膜に研磨処理を行うことにより導電膜表面を平坦化し、導電膜をエッチング処理して導電層とすることにより酸化物半導体層の最上部の表

50

面よりも導電層の表面を低くし、導電層と酸化物半導体層に接するゲート絶縁膜を形成し、ゲート絶縁膜の上で絶縁層と重畳する領域にゲート電極を形成する、半導体装置の作製方法である。なお、上記において、酸化物半導体層の最上部の表面と導電層の表面とで形成される段差は、5 nm以上20 nm以下となるように形成する場合がある。

【0015】

開示する発明の別の一態様は、チャンネル形成領域と、チャンネル形成領域上の第1のゲート絶縁膜と、チャンネル形成領域と重畳する、第1のゲート絶縁膜上の第1のゲート電極と、チャンネル形成領域と電氣的に接続する第1のソース電極および第1のドレイン電極と、を有する第1のトランジスタを形成し、第1のトランジスタを覆う平坦な表面を有する層間絶縁膜を形成し、層間絶縁膜上に絶縁膜を形成し、絶縁膜上に第1のマスクを形成し、第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、第2のマスクを用いて絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、絶縁層を覆うように酸化物半導体層を形成し、酸化物半導体層を覆うように導電膜を形成し、導電膜に研磨処理を行うことにより導電膜表面を平坦化し、導電膜をエッチング処理して導電層とすることにより酸化物半導体層の最上部の表面よりも導電層の表面を低くし、導電層と酸化物半導体層に接するゲート絶縁膜を形成し、ゲート絶縁膜の上で絶縁層と重畳する領域にゲート電極を形成する、半導体装置の作製方法である。なお、上記において、酸化物半導体層の最上部の表面と導電層の表面とで形成される段差は、5 nm以上20 nm以下となるように形成する場合がある。

10

【0016】

開示する発明の別の一態様は、チャンネル形成領域と、チャンネル形成領域上の第1のゲート絶縁膜と、チャンネル形成領域と重畳する、第1のゲート絶縁膜上の第1のゲート電極と、チャンネル形成領域と電氣的に接続する第1のソース電極および第1のドレイン電極と、を有する第1のトランジスタを形成し、第1のトランジスタを覆う平坦な表面を有する層間絶縁膜を形成し、層間絶縁膜上に絶縁膜を形成し、絶縁膜上に第1のマスクを形成し、第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、第2のマスクを用いて絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、絶縁層の角をエッチングして丸くし、絶縁層を覆うように酸化物半導体層を形成し、酸化物半導体層を覆うように導電膜を形成し、導電膜に研磨処理を行うことにより導電膜表面を平坦化し、導電膜をエッチング処理して導電層とすることにより酸化物半導体層の最上部の表面よりも導電層の表面を低くし、導電層と酸化物半導体層に接するゲート絶縁膜を形成し、ゲート絶縁膜の上で絶縁層と重畳する領域にゲート電極を形成する、半導体装置の作製方法である。なお、上記において、酸化物半導体層の最上部の表面と導電層の表面とで形成される段差は、5 nm以上20 nm以下となるように形成する場合がある。

20

30

【0017】

開示する発明の別の一態様は、平坦な表面上に絶縁膜を形成し、絶縁膜上に第1のマスクを形成し、第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、第2のマスクを用いて絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、絶縁層を覆うように酸化物半導体層を形成し、酸化物半導体層を覆うように導電膜を形成し、導電膜の上に平坦化膜を形成し、平坦化膜と導電膜をエッチング処理して導電層とすることにより酸化物半導体層の最上部の表面よりも導電層の表面を低くし、導電層と酸化物半導体層に接するゲート絶縁膜を形成し、ゲート絶縁膜の上で絶縁層と重畳する領域にゲート電極を形成する、半導体装置の作製方法である。なお、上記において、酸化物半導体層の最上部の表面と導電層の表面とで形成される段差は、5 nm以上20 nm以下となるように形成する場合がある。

40

【0018】

開示する発明の別の一態様は、平坦な表面上に絶縁膜を形成し、絶縁膜上に第1のマスクを形成し、第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、第2のマスクを用いて絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、絶縁層の角をエッチングして丸くし、絶縁層を覆うように酸化物半導体層を形成し、酸化物半導

50

体層を覆うように導電膜を形成し、導電膜の上に平坦化膜を形成し、平坦化膜と導電膜をエッチング処理して導電層とすることにより酸化物半導体層の最上部の表面よりも導電層の表面を低くし、導電層と酸化物半導体層に接するゲート絶縁膜を形成し、ゲート絶縁膜の上で絶縁層と重畳する領域にゲート電極を形成する、半導体装置の作製方法である。なお、上記において、酸化物半導体層の最上部の表面と導電層の表面とで形成される段差は、5 nm以上20 nm以下となるように形成する場合がある。

【0019】

開示する発明の別の態様は、チャンネル形成領域と、チャンネル形成領域上の第1のゲート絶縁膜と、チャンネル形成領域と重畳する、第1のゲート絶縁膜上の第1のゲート電極と、チャンネル形成領域と電氣的に接続する第1のソース電極および第1のドレイン電極と、を有する第1のトランジスタを形成し、第1のトランジスタを覆う平坦な表面を有する層間絶縁膜を形成し、層間絶縁膜上に絶縁膜を形成し、絶縁膜上に第1のマスクを形成し、第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、第2のマスクを用いて絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、絶縁層を覆うように酸化物半導体層を形成し、酸化物半導体層を覆うように導電膜を形成し、導電膜の上に平坦化膜を形成し、平坦化膜と導電膜をエッチング処理して導電層とすることにより酸化物半導体層の最上部の表面よりも導電層の表面を低くし、導電層と酸化物半導体層に接するゲート絶縁膜を形成し、ゲート絶縁膜の上で絶縁層と重畳する領域にゲート電極を形成する、半導体装置の作製方法である。なお、上記において、酸化物半導体層の最上部の表面と導電層の表面とで形成される段差は、5 nm以上20 nm以下となるように形成する場合がある。

【0020】

開示する発明の別の態様は、チャンネル形成領域と、チャンネル形成領域上の第1のゲート絶縁膜と、チャンネル形成領域と重畳する、第1のゲート絶縁膜上の第1のゲート電極と、チャンネル形成領域と電氣的に接続する第1のソース電極および第1のドレイン電極と、を有する第1のトランジスタを形成し、第1のトランジスタを覆う平坦な表面を有する層間絶縁膜を形成し、層間絶縁膜上に絶縁膜を形成し、絶縁膜上に第1のマスクを形成し、第1のマスクにスリミング処理を行うことにより、第2のマスクを形成し、第2のマスクを用いて絶縁膜にエッチング処理を行うことにより、絶縁層を形成し、絶縁層の角をエッチングして丸くし、絶縁層を覆うように酸化物半導体層を形成し、酸化物半導体層を覆うように導電膜を形成し、導電膜の上に平坦化膜を形成し、平坦化膜と導電膜をエッチング処理して導電層とすることにより酸化物半導体層の最上部の表面よりも導電層の表面を低くし、導電層と酸化物半導体層に接するゲート絶縁膜を形成し、ゲート絶縁膜の上で絶縁層と重畳する領域にゲート電極を形成する、半導体装置の作製方法である。なお、上記において、酸化物半導体層の最上部の表面と導電層の表面とで形成される段差は、5 nm以上20 nm以下となるように形成する場合がある。

【0021】

また、上記半導体装置の作製方法において、平坦な表面を二乗平均平方根粗さが1 nm以下の表面とする場合がある。また、スリミング処理は、酸素ラジカルを用いるアッシング処理の場合がある。また、研磨処理は、化学的機械研磨により行う場合がある。また、絶縁膜は、スパッタリング処理を用いて形成する場合がある。

【0022】

また、本明細書等において、二乗平均平方根(RMS: Root Mean Square)粗さとは、断面曲線に対するRMS粗さを、測定面に対して適用できるように、三次元に拡張したものである。基準面から指定面までの偏差の自乗を平均した値の平方根で表現され、次式で与えられる。

【0023】

10

20

30

40

【数 1】

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dXdY}$$

【0024】

ここで、測定面とは、全測定データの示す面であり、下記の式で表す。

【0025】

【数 2】

10

$$Z = F(X, Y)$$

【0026】

また、指定面とは、粗さ計測の対象となる面であり、座標  $(X_1, Y_1)$   $(X_1, Y_2)$   $(X_2, Y_1)$   $(X_2, Y_2)$  で表される4点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を  $S_0$  とする。なお、 $S_0$  は下記の式で求められる。

20

【0027】

【数 3】

$$S_0 = |X_2 - X_1| \cdot |Y_2 - Y_1|$$

【0028】

また、基準面とは、指定面の平均の高さにおける、XY平面と平行な面のことである。つまり、指定面の高さの平均値を  $Z_0$  とするとき、基準面の高さも  $Z_0$  で表される。なお、 $Z_0$  は下記の式で求められる。

30

【0029】

【数 4】

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dXdY$$

【0030】

なお、本明細書等において、二乗平均平方根 (RMS) 粗さは、原子間力顕微鏡 (AFM ; Atomic Force Microscope) を用いて得られるAFM像から、 $10 \text{ nm} \times 10 \text{ nm}$  の領域、好ましくは  $100 \text{ nm} \times 100 \text{ nm}$  の領域、より好ましくは  $1 \mu\text{m} \times 1 \mu\text{m}$  の領域において算出されるものである。

40

【0031】

上記トランジスタのチャンネル長  $L$  は、 $30 \text{ nm}$  以上  $2000 \text{ nm}$  ( $2 \mu\text{m}$ ) 未満とすることが好ましく、 $50 \text{ nm}$  以上  $350 \text{ nm}$  以下とするとより好ましく、 $100 \text{ nm}$  以上  $150 \text{ nm}$  以下とするとさらに好ましい。また、酸化物半導体層の厚さは、 $1 \text{ nm}$  以上  $100 \text{ nm}$  以下とすることが好ましく、 $2 \text{ nm}$  以上  $50 \text{ nm}$  以下とするとより好ましく、 $3 \text{ nm}$  以上  $30 \text{ nm}$  以下とするとさらに好ましい。これにより、高速かつ低消費電力な半導体装置が実現される。また、ゲート絶縁膜として、酸化ハフニウムなどの高誘電率材料を用い

50

ると好ましい。酸化ハフニウムは比誘電率が1.5程度であり、酸化シリコンの3~4と比較して非常に大きな値を有している。このような材料を用いることにより、半導体装置の微細化が容易になる。また、酸化物半導体層としては、高純度化され、真性化された酸化物半導体を用いる。これにより、酸化物半導体層のキャリア密度を、例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満とし、トランジスタのオフ電流を、 $100 \text{ zA} / \mu\text{m}$  ( $1 \text{ zA}$  (zeptoアンペア) は  $1 \times 10^{-21} \text{ A}$ ) 以下、好ましくは  $10 \text{ zA} / \mu\text{m}$  以下とすることができる。なお、オフ電流の下限値は、単位チャネル幅 ( $1 \mu\text{m}$ ) あたり  $10^{-30} \text{ A}$  である。つまり、オフ電流は、 $10^{-30}$  ( $\text{A} / \mu\text{m}$ ) 以上の値をとる (つまり、 $10^{-21} \text{ A} / \mu\text{m}$  以下  $1 \times 10^{-30} \text{ A} / \mu\text{m}$  以上) といえる。また、ゲート電極は、ソース電極およびドレイン電極と重畳する構造としても良いし、ゲート電極の端のみが、ソース電極の端、およびドレイン電極の端と一致するような構造としても良い。ここで「一致」とは、平面レイアウトにおいて重畳することを意味する。

10

**【0032】**

本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。例えば、表示装置や記憶装置、集積回路などは半導体装置に含まれる。

**【0033】**

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁膜上のゲート電極」の表現であれば、ゲート絶縁膜とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎない。

20

**【0034】**

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

**【0035】**

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

30

**【0036】**

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

**【発明の効果】****【0037】**

開示する発明の一態様によって、用いる基板の種類にかかわらず、トランジスタの十分な微細化を達成することが可能である。このため、酸化物半導体の性質やそれに起因するメリット (例えば、大面積化が容易であるというメリット) を十分に生かした半導体装置を提供することができる。

40

**【0038】**

また、開示する発明の一態様によって、微細化に伴う問題点を解消することができるため、結果として、良好な特性を維持しつつ、トランジスタサイズを十分に小さくすることが可能になる。

**【0039】**

トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなり、

50



一基板あたりの半導体装置の取り数が増大する。これにより、半導体装置の製造コストは抑制される。また、半導体装置が小型化されるため、同程度の大きさでさらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、上述のような、微細化に付随する様々な効果を得ることが可能である。

【0040】

このように、開示する発明の一態様によって、不良を抑制しつつ、または、良好な特性を維持しつつ、微細化を達成した半導体装置を提供することができる。

【図面の簡単な説明】

10

【0041】

【図1】半導体装置の構成例を示す断面図

【図2】半導体装置の作製工程の例を示す断面図

【図3】半導体装置の作製工程の例を示す断面図

【図4】半導体装置の作製工程の例を示す断面図

【図5】半導体装置の構成例を示す断面図、平面図、および回路図

【図6】半導体装置の作製工程を示す断面図

【図7】半導体装置の作製工程を示す断面図

【図8】半導体装置の応用例を示す図

【図9】半導体装置の応用例を示す図

20

【図10】半導体装置の応用例を示す図

【図11】半導体装置の応用例を示す図

【図12】半導体装置の応用例を示す図

【図13】半導体装置を用いた電子機器を説明するための図

【発明を実施するための形態】

【0042】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0043】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0044】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0045】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図1乃至図4を参照して説明する。

40

【0046】

半導体装置の構成例

図1には、半導体装置の構成例を示す。図1(A)は、第1の構成例であり、図1(B)は、第2の構成例である。

【0047】

図1(A)におけるトランジスタ207は、絶縁表面を有する基体200上の絶縁層201aと、絶縁層201aを覆う酸化物半導体層203と、ソース電極またはドレイン電極として機能する導電層204eと、ゲート絶縁膜として機能する絶縁膜205と、ゲート電極として機能する導電層206と、を有する。導電層204eは、酸化物半導体層20

50

3の一部と基体200の一部に接しており、絶縁層201aを境に分けられている。また、絶縁膜101および絶縁膜103を有する場合がある。

【0048】

図1(A)に示すように、トランジスタの活性層に酸化物半導体を用いることで、良好な特性を得ることができる。

【0049】

ここで、基体200の被形成表面、および、絶縁層201aの表面の一部(特に、被形成表面に平行な領域をいう)であって酸化物半導体層203と接する領域は、その二乗平均平方根(RMS)粗さが1nm以下(好ましくは、0.5nm以下)であることが望ましく、絶縁層201aの厚さは、5nm以上20nm以下であることが望ましい。

10

【0050】

このように、二乗平均平方根(RMS)粗さが1nm以下という極めて平坦な領域に、酸化物半導体層203の一部が形成されることにより、トランジスタ207が微細化される状況においても、短チャネル効果などの不具合を抑制し、良好な特性を有するトランジスタ207を提供することが可能である。

【0051】

また、被形成表面の平坦性を高めることで、酸化物半導体層203の膜厚分布を均一化して、トランジスタ207の特性を向上させることができる。また、極端に大きな高低差に起因して生じる被覆性の低下を抑制し、酸化物半導体層203の断線や接続不良を防止することができる。

20

【0052】

また、上述のように、絶縁層201aによる僅かな高低差(例えば、5nm以上20nm以下)を設けることで、電流のパスが延長され、また、酸化物半導体層203と導電層204eの接触面積が小さくなることで電流のパスの抵抗値が増すことになる。これにより、トランジスタ207における電界の集中を緩和して、さらに短チャネル効果を抑制することが可能である。

【0053】

ここで、酸化物半導体層203は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層203の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層203中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠損に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層203では、水素等のドナーに起因するキャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。また、例えば、室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は $100 \text{ zA}$ (1zA(zeptoアンペア)は $1 \times 10^{-21} \text{ A}$ )以下、望ましくは $10 \text{ zA}$ 以下となる。このように、I型化(真性化)または実質的にI型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ207を得ることができる。酸化物半導体は、非晶質、微結晶、多結晶などの状態とすることができる。多結晶、微結晶の状態では、c軸が基板に対して垂直に揃ったものを用いてもよい。

30

40

【0054】

なお、理論的なオフ電流の下限値は、単位チャネル幅(1μm)あたり $10^{-30} \text{ A}$ である。つまり、オフ電流は、 $10^{-30} \text{ (A/μm)}$ 以上の値をとるといえる。

【0055】

図1(B)におけるトランジスタ907は、トランジスタ207に類似した構造を有し、絶縁表面を有する基体900上の絶縁層901と、絶縁層901を覆う酸化物半導体層9

50

03と、ソース電極またはドレイン電極として機能する導電層904と、ゲート絶縁膜として機能する絶縁膜905と、ゲート電極として機能する導電層906と、を有する。導電層904は、酸化半導体層903の一部と基体900の一部に接しており、絶縁層901を境に分けられている。また、絶縁膜801および絶縁膜802を有する場合がある。

【0056】

図1(B)に示すように、トランジスタの活性層に酸化半導体を用いることで、良好な特性を得ることができる。

【0057】

ここで、基体900の被形成表面、および、絶縁層901の表面の一部(特に、被形成表面に平行な領域をいう)であって酸化半導体層903と接する領域は、その二乗平均平方根(RMS)粗さが1nm以下(好ましくは、0.5nm以下)であることが望ましく、絶縁層901の厚さは、5nm以上20nm以下であることが望ましい。

10

【0058】

このように、二乗平均平方根(RMS)粗さが1nm以下という極めて平坦な領域に、酸化半導体層903の一部が形成されることにより、トランジスタ907が微細化される状況においても、短チャネル効果などの不具合を抑制し、良好な特性を有するトランジスタ907を提供することが可能である。

【0059】

図1(B)におけるトランジスタ907と、図1(A)におけるトランジスタ207の相違点の一は、上記トランジスタのチャンネル形成領域下に存在する絶縁層(つまり絶縁層201aまたは絶縁層901)の角が除去されているか否かである。つまり、図1(A)におけるトランジスタ207では、絶縁層201aの角が残っており、図1(B)におけるトランジスタ907では、絶縁層901の角が取れて丸くなっている。チャンネル形成領域下に存在する絶縁層として角の取れた絶縁層を形成するためには、例えば、絶縁層に対しエッチング処理を行えばよい。

20

【0060】

図1(B)の構成に起因する効果は、図1(A)のものと同様である。すなわち、極めて平坦な領域にトランジスタ907のチャンネル形成領域が設けられることによるため、トランジスタ907が微細化される状況においても、短チャネル効果などの不具合を抑制し、良好な特性を有するトランジスタ907を提供することが可能になる。また、被形成表面の平坦性を高めることで、酸化半導体層903の膜厚分布を均一化して、トランジスタ907の特性を向上させることができる。また、極端に大きな高低差に起因して生じる被覆性の低下を抑制し、酸化半導体層903の断線や接続不良を防止することができる。また、上述のような、絶縁層901による僅かな高低差に起因して、酸化半導体層903の一部に高抵抗な領域が設けられることによるため、トランジスタ907における電界の集中を緩和して、短チャネル効果を抑制することが可能である。

30

【0061】

さらに、トランジスタ907では、絶縁層901の角が除去されているため、酸化半導体層903の断線や接続不良をより防止できると共に、電界の集中を一層緩和することができる。

40

【0062】

半導体装置の作製方法の例

次に、上記半導体装置の作製方法の例について、図2、図3を参照して説明する。ここで、図2、図3は、図1(A)に示すトランジスタ207の作製方法の例を示す図である。

【0063】

まず、絶縁表面を有する基体200上に、絶縁膜201およびマスク202aを形成する(図2(A)参照)。

【0064】

基体200として使用できるものに大きな制限はないが、少なくとも、後の加熱処理に耐

50

えうる程度の耐熱性を有していることが必要となる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などが使える。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを基体として適用することが可能であり、さらに、これらの基板上に半導体素子が設けられているものを基体として用いてもよい。また、基体200上には下地膜が形成されていても良い。

#### 【0065】

なお、基体200の被形成表面は、十分に平坦な表面であることが望ましい。例えば、その二乗平均平方根(RMS)粗さが1nm以下(好ましくは、0.5nm以下)である被形成表面を適用する。このような表面にトランジスタ207を形成することで、その特性を十分に向上させることができる。なお、基体200の被形成表面が平坦性に乏しい場合には、当該表面にCMP(化学的機械研磨)処理やエッチング処理などを適用して、当該平坦性を上述の数値範囲に収めることが望ましい。なお、CMP処理の詳細については、後の記載を参照できる。

10

#### 【0066】

絶縁膜201は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム、酸化ガリウム等の無機絶縁材料を含む材料を用いて形成することができる。絶縁膜201には後に酸化半導体層203が接することになる。絶縁膜201の形成方法に特に限定はないが、酸化半導体層203と接することを考慮すれば、水素が十分に低減された方法によって形成するのが望ましい。このような方法としては、例えば、スパッタリング法がある。もちろん、プラズマCVD法をはじめとする他の成膜法を用いても良い。

20

#### 【0067】

なお、絶縁膜201の表面は、十分に平坦な表面であることが望ましい。例えば、その二乗平均平方根(RMS)粗さが1nm以下(好ましくは、0.5nm以下)とする。このような表面に酸化半導体層203を形成することで、その特性を十分に向上させることができる。なお、絶縁膜201の表面が平坦性に乏しい場合には、当該表面にCMP(化学的機械研磨)処理やエッチング処理などを適用して、当該平坦性を上述の数値範囲に収めることが望ましい。なお、CMP処理の詳細については、後の記載を参照できる。

#### 【0068】

マスク202aは、フォトレジストなどの材料を用い、フォトリソグラフィ法などによって形成することができる。

30

#### 【0069】

なお、十分に微細なパターンのマスクを形成できるのであれば、インクジェット法などの他の方法を用いてマスク202aを形成しても良い。この場合には、マスク202aの材料として、フォトレジストなどの感光性を有する材料を用いる必要はない。

#### 【0070】

次に、マスク202aにスリミング処理を行って、より微細なパターンを有するマスク202bを形成する(図2(B)参照)。

#### 【0071】

スリミング処理としては、例えば、ラジカル状態の酸素(酸素ラジカル)などを用いるアッシング処理を適用することができる。ただし、スリミング処理は、マスク202aをより微細なパターンに加工できる処理であれば、上述のアッシング処理に限定する必要はない。また、形成されるマスク202bによってトランジスタのチャンネル長(L)が決定されることになるから、当該スリミング処理としては、制御性の良い処理を適用することが望ましい。

40

#### 【0072】

上述のスリミング処理の結果、マスク202bを、露光機の解像限界の1/2以下、好ましくは1/3以下の線幅まで微細化することが可能である。例えば、線幅は、30nm以上2000nm(2μm)以下、好ましくは50nm以上350nm以下とすることができる。これにより、トランジスタのさらなる微細化を達成することが可能である。

50

## 【0073】

次に、マスク202bを用いて、絶縁膜201を加工し、絶縁層201aを形成する(図2(C)参照)。

## 【0074】

絶縁膜201の絶縁層201aへの加工は、例えば、エッチング処理によって行うことができる。エッチング処理としては、ドライエッチング処理、ウェットエッチング処理のいずれを適用しても良いが、微細化のためには、制御性の良いドライエッチングを用いるのが好適である。また、形成される絶縁層201aがテーパー形状となるように行っても良い。テーパー角は、例えば、30°以上60°以下とすることができる。

## 【0075】

上述のように形成された絶縁層201aによって、トランジスタ207のチャネル長(L)が決定される。絶縁層201aの大きさはマスク202bと同程度であるから、トランジスタのチャネル長(L)は30nm以上2000nm(2μm)以下、好ましくは50nm以上350nm以下となる。

## 【0076】

次に、絶縁層201aを覆うように、酸化物半導体層203を形成する(図2(D)参照)。

## 【0077】

酸化物半導体層203は、四元系金属酸化物であるIn-Sn-Ga-Zn系や、三元系金属酸化物であるIn-Ga-Zn系、In-Sn-Zn系、In-Al-Zn系、Sn-Ga-Zn系、Al-Ga-Zn系、Sn-Al-Zn系や、二元系金属酸化物であるIn-Zn系、Sn-Zn系、Al-Zn系、Zn-Mg系、Sn-Mg系、In-Mg系や、In系、Sn系、Zn系などを用いて形成することができる。

## 【0078】

酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn=50:1~1:2(モル数比に換算するとIn<sub>2</sub>O<sub>3</sub>:ZnO=25:1~1:4)、好ましくはIn:Zn=20:1~1:1(モル数比に換算するとIn<sub>2</sub>O<sub>3</sub>:ZnO=10:1~1:2)、さらに好ましくはIn:Zn=15:1~1.5:1(モル数比に換算するとIn<sub>2</sub>O<sub>3</sub>:ZnO=15:2~3:4)とする。例えば、In-Zn系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、Z>1.5X+Yとする。

## 【0079】

In-Ga-Zn系の酸化物半導体材料は、無電界時の抵抗が十分に高いためオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。In-Ga-Zn系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物半導体、という意味であり、その組成比は問わない。

## 【0080】

In-Ga-Zn系の酸化物半導体材料の代表例としては、InGaO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)で表記されるものがある。また、Gaに代えてMの表記を用い、InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

## 【0081】

酸化物半導体層203をスパッタリング法で作製するためのターゲットとしては、In:Ga:Zn=1:x:y(xは0以上、yは0.5以上5以下)の組成式で表されるものを用いるのが好適である。例えば、In:Ga:Zn=1:1:1[atom比](x=

10

20

30

40

50

1、 $y = 1$ )、(すなわち、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol数比])の組成比を有するターゲットなどを用いることができる。また、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$  [atom比] ( $x = 1$ 、 $y = 0.5$ )の組成比を有するターゲットや、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$  [atom比] ( $x = 1$ 、 $y = 2$ )の組成比を有するターゲットや、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 0 : 1$  [atom比] ( $x = 0$ 、 $y = 1$ )の組成比を有するターゲットを用いることもできる。

#### 【0082】

本実施の形態では、非晶質構造の酸化物半導体層203を、In-Ga-Zn系の金属酸化物ターゲットを用いたスパッタリング法により形成することとする。また、その厚さは、1nm以上100nm以下、好ましくは2nm以上50nm以下、より好ましくは3nm以上30nm以下とする。

10

#### 【0083】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

#### 【0084】

酸化物半導体層203の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下(望ましくは濃度10ppb以下)にまで除去された高純度ガス雰囲気を用いるのが好適である。

20

#### 【0085】

酸化物半導体層203の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層203の形成の際の被処理物の温度は、室温(15以上35以下)としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層203を形成する。被処理物を熱しながら酸化物半導体層203を形成することにより、酸化物半導体層203に含まれる不純物を低減することができる。また、スパッタリングによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

30

#### 【0086】

酸化物半導体層203の形成は、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件のもとで行うことができる。なお、パルス直流(DC)電源を用いると、パーティクルを低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層203の厚さは、1nm以上100nm以下、好ましくは2nm以上50nm以下、より好ましくは3nm以上30nm以下とする。開示する発明に係る構成を採用することで、このような厚さの酸化物半導体層203を用いる場合であっても、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。なお、開示する発明の一態様では、酸化物半導体層203の形成表面を十分に平坦化している。このため、薄い酸化物半導体層203であっても、好適に形成することが可能である。

40

#### 【0087】

50

なお、酸化物半導体層 203 をスパッタリング法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば、絶縁層 201a や基体 200 の表面）の付着物を除去しても良い。ここで、逆スパッタとは、通常のスパッタリングにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を用いてもよい。

【0088】

酸化物半導体層 203 の形成後には、酸化物半導体層 203 に対して熱処理（第 1 の熱処理）を行うことが望ましい。この第 1 の熱処理によって酸化物半導体層 203 中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層 203 の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第 1 の熱処理の温度は、例えば、300 以上 550 未満、または 400 以上 500 以下とする。

10

【0089】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1 時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

【0090】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0091】

例えば、第 1 の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出す GRTA 処理を行ってもよい。GRTA 処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第 1 の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

30

【0092】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を用いるのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上（すなわち、不純物濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下）とする。

40

【0093】

いずれにしても、第 1 の熱処理によって不純物を低減し、I 型（真性半導体）または II 型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0094】

ところで、上述の熱処理（第 1 の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や

50

、脱水素化処理は、酸化物半導体層 203 の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

【0095】

酸化物半導体層 203 は、例えば、膜状の酸化物半導体を形成した後、エッチングによって島状に分離し形成する。エッチングは、上記熱処理の前、または上記熱処理の後のいずれにおいて行って良い。また、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0096】

導電膜 204 は、スパッタリング法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。また、導電膜 204 の材料としては、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0097】

導電膜 204 は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された 2 層構造、窒化チタン膜上にチタン膜が積層された 2 層構造、チタン膜とアルミニウム膜とチタン膜とが積層された 3 層構造などが挙げられる。

【0098】

また、導電膜 204 は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム ( $\text{In}_2\text{O}_3$ )、酸化スズ ( $\text{SnO}_2$ )、酸化亜鉛 ( $\text{ZnO}$ )、酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITO と略記する場合がある)、酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3 - \text{ZnO}$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0099】

なお、後の研磨処理との関係から、導電膜 204 は、酸化物半導体層 203 の最上部と基体 200 の被形成表面との距離よりも厚くすることが求められる点に留意すべきである。

【0100】

次に、導電膜 204 に研磨処理を行って、酸化物半導体層 203 とほぼ同じ高さの導電膜 204 a を形成する (図 3 (A) 参照)。この場合、当該高さの差は、5 nm 未満程度とすると好ましい。

【0101】

研磨処理としては、例えば、CMP 処理 (化学的機械的研磨処理) を適用することができる。ここで、CMP 処理とは、被加工物の表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー (研磨剤) を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、被加工物の表面を、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

【0102】

上記 CMP 処理によって、導電膜 204 a 表面の二乗平均平方根 (RMS) 粗さを 1 nm 以下 (好ましくは 0.5 nm 以下) とすることができる。また、当該 CMP 処理では、酸化物半導体層 203 の表面の一部 (最上部に位置する面) についても研磨される。これによって、酸化物半導体層 203 表面の一部の二乗平均平方根 (RMS) 粗さも 1 nm 以下 (好ましくは 0.5 nm 以下) とすることが可能である。

【0103】

なお、研磨処理としての CMP 処理は、1 回のみ行ってよいし、複数回行ってよい。

10

20

30

40

50



複数回に分けてCMP処理を行う場合は、高い研磨レートで一次研磨を行った後、低い研磨レートで仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、導電膜204aおよび酸化物半導体層203の表面の平坦性をさらに向上させることができる。

【0104】

また、研磨処理としては、CMP処理とエッチング処理とを組み合わせた処理を適用しても良い。

【0105】

このような研磨処理を行うことにより、酸化物半導体層203のチャネル部分の表面の平坦性を向上させ、トランジスタ207の特性を向上させることができる。

10

【0106】

次に、導電膜204aにエッチング処理を行って、酸化物半導体層203の最上部の表面を突出させ、ソース電極およびドレイン電極である導電層204bを形成する(図3(B)参照)。

【0107】

エッチング処理としては、ドライエッチング処理、ウェットエッチング処理のいずれか一方または双方を適用することができる。

【0108】

ここで、導電層204bと酸化物半導体層203とで形成される段差は、5nm以上20nm以下とすることが望ましい。当該段差によって酸化物半導体層203における電流のパスが延長され、また、酸化物半導体層203と導電層204eの接触面積が小さくなることで電流のパスの抵抗値が増すことになる。これにより、トランジスタ207における電界の集中を緩和して、短チャネル効果を抑制することが可能となるのである。

20

【0109】

なお、上記エッチング処理の後にさらにエッチング処理を行って、導電層204bを所望のパターンに加工しても良い。パターン加工に係るエッチング処理の詳細は、上述のエッチング処理などと同様である。

【0110】

次に、酸化物半導体層203の表面の一部および導電層204bの表面に接するように、ゲート絶縁膜として機能する絶縁膜205を形成する(図3(C)参照)。

30

【0111】

絶縁膜205は、CVD法やスパッタリング法等を用いて形成することができる。また、絶縁膜205は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化ガリウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート( $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムアルミネート( $HfAl_xO_y$  ( $x > 0$ ,  $y > 0$ ))、などを含むように形成するのが好適である。絶縁膜205は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

40

【0112】

上述のように、絶縁膜205を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、絶縁膜205に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート( $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムアルミネート( $HfAl_xO_y$  ( $x > 0$ ,  $y > 0$ ))、などの高誘電率(high-k)材料を用いると良い。high-k材料を絶縁膜205に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になるからである。例えば、酸化ハフニウムは比誘電率が15程度であり、

50

酸化シリコンの3～4と比較して非常に大きな値を有しているため、ゲート絶縁膜の材料として好ましい。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【0113】

絶縁膜205の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを小さくすることができる。また、絶縁膜205が酸素を含む場合、酸化物半導体層203に酸素を供給し、該酸化物半導体層203の酸素欠損を補填して、I型(真性半導体)またはI型に限りなく近い酸化物半導体層203を形成することもできる。

10

【0114】

なお、本実施の形態では、絶縁膜205の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0115】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層203を、その主成分以外の不純物が極力含まれないように高純度化することができる。

20

【0116】

次に、絶縁膜205上にゲート電極として機能する導電層206を形成する(図3(D)参照)。さらに、絶縁膜205、導電層206などを覆うように、絶縁膜101および絶縁膜103を形成してもよい(図1(A)参照)。

【0117】

導電層206は、絶縁膜205上に導電膜を形成した後に、当該導電膜を選択的にエッチングすることによって形成することができる。導電層206となる導電膜は、スパッタリング法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。作製方法や材料の詳細は、前述の導電層の場合と同様であり、これらの記載を参酌できる。なお、ここでは、導電層206の一部が導電層204bと重畳する構造を採用しているが、開示する発明はこれに限定されない。

30

【0118】

絶縁膜101および絶縁膜103は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ガリウム等の無機絶縁材料を用いて形成することができる。

【0119】

なお、絶縁膜101や絶縁膜103には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁膜101や絶縁膜103の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

40

【0120】

なお、本実施の形態では、絶縁膜101と絶縁膜103の積層構造としているが、開示する発明の一態様はこれに限定されない。絶縁膜は1層であっても良いし、3層以上の積層構造としても良い。また、絶縁膜を設けない構成とすることも可能である。

【0121】

なお、上記絶縁膜103は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁膜103を形成することで、半導体装置を微細化した場合などにおいても、絶縁膜103上に、電極や配線などを好適に形成することができるためである

50

。なお、絶縁膜103の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0122】

以上により、高純度化された酸化物半導体層203を用いたトランジスタ207が完成する（図1（A）参照）。

【0123】

なお、上記工程の後に、各種配線や電極などを形成しても良い。配線や電極は、導電膜を形成後に当該導電膜の一部を除去する方法、ダマシン法、またはデュアルダマシン法などにより形成できる。

【0124】

つづいて、トランジスタ207の他の作製方法について、図4に沿って説明する。図2（E）の状態までは前述の作製工程と同様であるため、その後の工程について述べる。

【0125】

まず、導電膜204の上に液状のガラスや液状のフォトレジストなどを加え、スピンコート法やインクジェット法などにより膜400を形成する（図4（A）参照）。膜400は、作製中のトランジスタの最表面を平坦化する目的で形成する。そのため、本明細書中では、膜400を平坦化膜と呼称する。また、膜400は、さらに光や熱による処理を行って、硬化または固化させてもよい。

【0126】

その後、酸化物半導体層203の最上部の表面が露出する程度までエッチング処理を行い、導電膜204から導電膜204cを形成する（図4（B）参照）。さらにエッチング処理を進め、導電膜204cのみを薄くすることにより、導電層204dを形成する（図4（C）参照）。これにより、導電層204dの表面と、酸化物半導体層203の表面の一部とで段差部を形成する。当該エッチング処理は二段階に行ったが、一度に行ってもよい。

【0127】

ここで、導電層204dと酸化物半導体層203とで形成される段差は、5nm以上20nm以下とすることが望ましい。当該段差によって酸化物半導体層203における電流のパスが延長され、また、酸化物半導体層203と導電層204eの接触面積が小さくなることで電流のパスの抵抗値が増すことになる。これにより、トランジスタ207における電界の集中を緩和して、短チャネル効果を抑制することが可能となるのである。

【0128】

つづいて、前述と同様の工程を経ることにより、絶縁膜205（図4（D）参照）と導電層206（図4（E）参照）を形成し、トランジスタ207を得る。

【0129】

上述のように、開示する発明の一態様では、マスクを形成した後のスリミング処理によって、マスクパターンの一層の微細化を行っている。これにより、用いる基板の種類にかかわらず、トランジスタの十分な微細化を達成することが可能である。つまり、酸化物半導体のメリットを十分に生かした半導体装置を提供することができる。

【0130】

また、二乗平均平方根（RMS）粗さが1nm以下という極めて平坦な領域にトランジスタ207を形成することで、トランジスタ207が微細化されても、短チャネル効果などの不具合を防止し、良好な特性を有するトランジスタ207を得ることが可能である。

【0131】

また、被形成表面の平坦性を高めることで、酸化物半導体層203の膜厚分布を均一化して、トランジスタ207の特性を向上させることができる。また、極端に大きな高低差に起因して生じる被覆性の低下を抑制し、酸化物半導体層203の断線や接続不良を防止することができる。

【0132】

このように、開示する発明の一態様によって、不良を抑制しつつ、または、良好な特性を

10

20

30

40

50

維持しつつ、微細化を達成した半導体装置を提供することができる。

【0133】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0134】

(実施の形態2)

本実施の形態では、開示する発明の別の態様に係る半導体装置の構成およびその作製方法について、図5乃至図7を参照して説明する。

【0135】

半導体装置の構成例

図5は、半導体装置の構成の一例である。図5(A)には、半導体装置の断面を、図5(B)には、半導体装置の平面を、図5(C)には半導体装置の回路構成を、それぞれ示す。なお、当該半導体装置の動作の詳細については後の実施の形態において詳述するから、本実施の形態では主として半導体装置の構成について述べるものとする。なお、図5に示す半導体装置は、所定の機能を有する半導体装置の一例であって、開示する発明の半導体装置をもれなく表現したものではない。開示する発明に係る半導体装置は、電極の接続関係等を適宜変更して、その他の機能を有することが可能である。

【0136】

図5(A)は、図5(B)のA1-A2およびB1-B2における断面に相当する。図5(A)および図5(B)に示される半導体装置は、先の実施の形態で説明したトランジスタと同様のトランジスタ162に加え、トランジスタ162下部のトランジスタ160、および容量素子164を備えている。

【0137】

ここで、トランジスタ162の半導体材料とトランジスタ160の半導体材料とは異なる材料とすることが望ましい。例えば、トランジスタ162の半導体材料を酸化物半導体とし、トランジスタ160の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とすることができる。酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。一方で、酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。

【0138】

図5におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基体100に設けられたチャンネル形成領域116と、チャンネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャンネル形成領域116上に設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられたゲート電極110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有さない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極の記載には、ソース領域が、ドレイン電極の記載には、ドレイン領域が含まれうる。

【0139】

また、基体100上にはトランジスタ160を囲むように素子分離絶縁膜106が設けられており、トランジスタ160を覆うように絶縁膜130が設けられている。なお、高集積化を実現するためには、図5に示すようにトランジスタ160がサイドウォール絶縁膜を有さない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁膜を設け、不純物濃度が異なる領域を含む不純物領域120を設けても良い。

【0140】

図5におけるトランジスタ162の構成は、先の実施の形態におけるトランジスタ207の構成と同様である。すなわち、絶縁層143a上に酸化物半導体層144があり、酸化

10

20

30

40

50

物半導体層 144 に接して、ソース電極またはドレイン電極として機能する導電層 142c および導電層 142d が、絶縁層 143a を境に分かれて形成されている。さらに、それらの上には、ゲート絶縁膜 146 とゲート電極 148a がある。さらにそれらの上には、絶縁膜 150 と絶縁膜 152 があり、トランジスタ 162 を覆っている。ただし、本実施の形態においては、トランジスタ 162 の導電層 142c と、トランジスタ 160 のゲート電極 110 とは接続されている。なお、トランジスタ 162 に代えて、トランジスタ 907 を用いることができるのは言うまでもない。

#### 【0141】

図 5 における容量素子 164 は、導電層 142c、ゲート絶縁膜 146、および電極 148b、で構成される。すなわち、導電層 142c は、容量素子 164 の一方の電極として機能し、電極 148b は、容量素子 164 の他方の電極として機能することになる。なお、電極 148b は、トランジスタ 162 におけるゲート電極 148a と同様の工程で形成される。

10

#### 【0142】

なお、容量が不要の場合は、容量素子 164 を設けない構成とすることも可能である。

#### 【0143】

本実施の形態では、トランジスタ 162 および容量素子 164 が、トランジスタ 160 と重畳するように設けられている。このような、レイアウトを採用することにより、高集積化が可能である。例えば、最小加工寸法を  $F$  として、上記半導体装置の占める面積を  $15F^2 \sim 25F^2$  とすることが可能である。

20

#### 【0144】

なお、開示する発明に係る半導体装置の構成は、図 5 に示されるものに限定されない。開示する発明の一態様の技術的思想は、酸化物半導体をチャネル形成領域に含むトランジスタと、酸化物半導体以外の材料をチャネル形成領域に含むトランジスタと、を用いた積層構造を形成する点にあるから、電極の接続関係等の詳細については、適宜変更することができる。

#### 【0145】

##### 半導体装置の作製方法の例

次に、上記半導体装置の作製方法の一例について図 6 および図 7 を用いて説明する。なお、トランジスタ 162 の作製方法は先の実施の形態と同様であるため、ここでは主として、トランジスタ 160 の作製方法について説明する。

30

#### 【0146】

まず、半導体材料を含む基体 100 を用意する（図 6(A) 参照）。半導体材料を含む基体 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基体 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体膜が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体膜が設けられた構成の基板も含む概念として用いる。つまり、「SOI 基板」が有する半導体膜は、シリコン半導体膜に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁膜を介して半導体膜が設けられた構成のものが含まれるものとする。

40

#### 【0147】

半導体材料を含む基体 100 として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

#### 【0148】

なお、トランジスタのしきい値電圧を制御するために、後にトランジスタ 160 のチャネル形成領域 116 となる領域に、不純物元素を添加しても良い。ここでは、トランジスタ 160 のしきい値電圧が正となるように導電性を付与する不純物元素を添加する。半導体材料がシリコンの場合、該導電性を付与する不純物には、例えば、硼素、アルミニウム、

50

ガリウムなどがある。なお、不純物元素の添加後には、加熱処理を行い、不純物元素の活性化や不純物元素の添加時に生じる欠陥の改善等を図ることが望ましい。

【0149】

次いで、基体100上に、素子分離絶縁膜を形成するためのマスクとなる保護層102を形成する(図6(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、酸化窒化シリコンなどを材料とする絶縁膜を用いることができる。

【0150】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の、基体100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される(図6(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

10

【0151】

次に、半導体領域104を覆うように絶縁膜を形成し、半導体領域104に重畳する領域の絶縁膜を選択的に除去することで、素子分離絶縁膜106を形成する(図6(C)参照)。当該絶縁膜は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁膜の除去方法としては、CMP(化学的機械的研磨)処理などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁膜106の形成後には、上記保護層102を除去する。

20

【0152】

次に、半導体領域104の表面に絶縁膜を形成し、当該絶縁膜上に導電材料を含む層を形成する。

【0153】

絶縁膜は後のゲート絶縁膜となるものであり、例えば、半導体領域104表面の熱処理(熱酸化処理や熱窒化処理など)によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法などを用いて絶縁膜を形成しても良い。当該絶縁膜は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート( $HfSi_xO_y$ ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $HfSi_xO_y$ ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムアルミネート( $HfAl_xO_y$ ( $x > 0$ ,  $y > 0$ ))等を含む単層構造または積層構造とすることが望ましい。また、絶縁膜の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

30

【0154】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例を示している。

40

【0155】

その後、絶縁膜および導電材料を含む層を選択的にエッチングして、ゲート絶縁膜108、ゲート電極110を形成する(図6(C)参照)。

【0156】

次に、半導体領域104の一部にリン(P)やヒ素(As)などを添加して、チャンネル形成領域116および不純物領域120を形成する(図6(D)参照)。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)やアルミニウム(Al)などの不純物元素を添加すればよい。

50

ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

【0157】

なお、ゲート電極110の周囲にサイドウォール絶縁膜を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【0158】

次に、ゲート電極110、不純物領域120等を覆うように金属層122を形成する(図7(A)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

10

【0159】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、不純物領域120に接する金属化合物領域124が形成される(図7(A)参照)。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

【0160】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減させ、素子特性を向上させることができる。なお、金属化合物領域124を形成した後は、金属層122は除去する。

20

【0161】

次に、上述の工程により形成された各構成を覆うように、絶縁膜130を形成する(図7(B)参照)。絶縁膜130は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁膜130に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜130には、これらの材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁膜130は、ポリイミド、アクリル樹脂等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁膜130を単層構造としているが、開示する発明の一態様はこれに限定されない。2層以上の積層構造としても良い。

30

【0162】

以上により、半導体材料を含む基体100を用いたトランジスタ160が形成される(図7(B)参照)。このようなトランジスタ160は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

40

【0163】

その後、トランジスタ162および容量素子164の形成前の処理として、絶縁膜130にCMP処理を施して、ゲート電極110の上面を露出させる(図7(C)参照)。ゲート電極110の上面を露出させる処理としては、CMP処理の他にエッチング処理などを適用することも可能であるが、トランジスタ162の特性を向上させるために、絶縁膜130の表面は可能な限り平坦にしておくことが望ましい。例えば、絶縁膜130は、その表面の二乗平均平方根(RMS)粗さが1nm以下となるように平坦化する。このようにすることで、絶縁膜130上に形成される半導体装置の特性を向上することができる。

【0164】

50

なお、上記の各工程の前後には、さらに電極や配線、半導体膜、絶縁膜などを形成する工程を含んでも良い。例えば、配線の構造として、絶縁膜および導電膜の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0165】

その後、トランジスタ162および容量素子164を形成することで、半導体装置が完成する。

【0166】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0167】

(実施の形態3)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図8を参照して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0168】

図8(A-1)に示す、記憶装置として用いることができる半導体装置において、第1の配線(1st Line)とトランジスタ1000のソース電極(またはドレイン電極)とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ1000のドレイン電極(またはソース電極)とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ1010のソース電極(またはドレイン電極)とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ1010のゲート電極とは、電氣的に接続されている。そして、トランジスタ1000のゲート電極と、トランジスタ1010のドレイン電極(またはソース電極)は、容量素子1020の電極の一方と電氣的に接続され、第5の配線(5th Line)と、容量素子1020の電極の他方は電氣的に接続されている。

【0169】

ここで、トランジスタ1010には、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタとしては、例えば、先の実施の形態で示したトランジスタを用いることができる。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ1010をオフ状態とすることで、トランジスタ1000のゲート電極の電位を極めて長時間にわたって保持することが可能である。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタ1010の短チャネル効果を抑制し、且つ微細化を達成することができる。そして、容量素子1020を有することにより、トランジスタ1000のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。ここで、容量素子1020としては、例えば、先の実施の形態で示した容量素子を用いることができる。

【0170】

また、トランジスタ1000には、酸化物半導体以外の半導体材料を用いたトランジスタが適用される。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。ここで、酸化物半導体以外の半導体材料を用いたトランジスタとしては、例えば、先の実施の形態で示したトランジスタを用いることができる。

【0171】

また、図8(B)に示すように、容量素子1020を設けない構成とすることも可能である。

【0172】

図8(A-1)に示す半導体装置では、トランジスタ1000のゲート電極の電位が保持

10

20

30

40

50



可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0173】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ1010がオン状態となる電位にして、トランジスタ1010をオン状態とする。これにより、第3の配線の電位が、トランジスタ1000のゲート電極、および容量素子1020に与えられる。すなわち、トランジスタ1000のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷 $Q_L$ 、高電位を与える電荷を電荷 $Q_H$ という）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ1010がオフ状態となる電位にして、トランジスタ1010をオフ状態とすることにより、トランジスタ1000のゲート電極に与えられた電荷が保持される（保持）。

10

【0174】

トランジスタ1010のオフ電流は極めて小さいから、トランジスタ1000のゲート電極の電荷は長時間にわたって保持される。

【0175】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ1000のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ1000をnチャンネル型とすると、トランジスタ1000のゲート電極に電荷 $Q_H$ が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、トランジスタ1000のゲート電極に電荷 $Q_L$ が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ1000を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を、見かけのしきい値 $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、トランジスタ1000のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、電荷 $Q_H$ が与えられていた場合には、第5の配線の電位が $V_0$  ( $> V_{th\_H}$ ) となれば、トランジスタ1000は「オン状態」となる。電荷 $Q_L$ が与えられていた場合には、第5の配線の電位が $V_0$  ( $< V_{th\_L}$ ) となっても、トランジスタ1000は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

20

30

【0176】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ1000が「オフ状態」となるような電位、つまり、見かけのしきい値 $V_{th\_H}$ より小さい電位を与えればよい。または、ゲート電極の状態にかかわらずトランジスタ1000が「オン状態」となるような電位、つまり、見かけのしきい値 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。

40

【0177】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ1010がオン状態となる電位にして、トランジスタ1010をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ1000のゲート電極および容量素子1020に与えられる。その後、第4の配線の電位を、トランジスタ1010がオフ状態となる電位にして、トランジスタ1010をオフ状態とすることにより、トランジスタ1000のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0178】

50

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0179】

なお、トランジスタ1010のドレイン電極（またはソース電極）は、トランジスタ1000のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ1010のドレイン電極（またはソース電極）とトランジスタ1000のゲート電極が電氣的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ1010がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ1010のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ1010のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ1010により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

10

【0180】

例えば、トランジスタ1010の室温でのオフ電流が $10\text{ z A}$ （ $1\text{ z A}$ （zeptoアンペア）は $1 \times 10^{-21}\text{ A}$ ）以下であり、容量素子1020の容量値が $10\text{ f F}$ 程度である場合には、少なくとも $10^4$ 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

20

【0181】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧も不要である。

30

【0182】

図8(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図8(A-2)のように考えることが可能である。つまり、図8(A-2)では、トランジスタ1000および容量素子1020が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子1020の抵抗値および容量値であり、抵抗値R1は、容量素子1020を構成する絶縁膜による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ1000の抵抗値および容量値であり、抵抗値R2はトランジスタ1000がオン状態の時のゲート絶縁膜による抵抗値に相当し、容量値C2はいわゆるゲート容量（ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャンネル形成領域との間に形成される容量）の容量値に相当する。

40

【0183】

トランジスタ1010がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値（実効抵抗とも呼ぶ）をROSとすると、トランジスタ1010のゲートリークが十分に小さい条件において、抵抗値R1および抵抗値R2が、共にROS以上である場合には、電荷の保持期間（情報の保持期間ということもできる）は、主としてトランジスタ1010のオフ電流によって決定されることになる。

【0184】

逆に、当該条件を満たさない場合には、トランジスタ1010のオフ電流が十分に小さくても、保持期間を十分に確保することが困難になる。トランジスタ1010のオフ電流以

50

外のリーク電流（例えば、ソース電極とゲート電極の間において生じるリーク電流等）が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすことが望ましいといえる。

【0185】

一方で、容量値  $C_1$  は容量値  $C_2$  以上であることが望ましい。容量値  $C_1$  を大きくすることで、第5の配線によってフローティングゲート部 FG の電位を制御する際に、第5の配線の電位を効率よくフローティングゲート部 FG に与えることができるようになり、第5の配線に与える電位間（例えば、読み出しの電位と、非読み出しの電位）の電位差を低く抑えることができるためである。

【0186】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、抵抗値  $R_1$  および抵抗値  $R_2$  は、トランジスタ 1000 のゲート絶縁膜や容量素子 1020 の絶縁膜によって制御される。容量値  $C_1$  および容量値  $C_2$  についても同様である。よって、ゲート絶縁膜の材料や厚さなどを適宜設定し、上述の関係を満たすことが望ましい。

【0187】

本実施の形態で示す半導体装置においては、フローティングゲート部 FG が、フラッシュメモリ等のフローティングゲート型のトランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部 FG は、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0188】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界（ $10^4 \sim 10^5$  回程度）という別の問題も生じる。

【0189】

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0190】

また、トンネル電流による電荷の注入の原理を用いないため、メモリセルの劣化の原因が存在しないといえる。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

【0191】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。

【0192】

なお、容量値  $C_1$  を有する絶縁膜（面積を  $S_1$  とする）の比誘電率  $r_1$  と、容量値  $C_2$  を有する絶縁膜（面積を  $S_2$  とする）の比誘電率  $r_2$  とを異ならせる場合には、面積  $S_2$  の2倍が面積  $S_1$  以上（望ましくは、面積  $S_2$  が面積  $S_1$  以上）であり、かつ、 $C_1$  は  $C_2$  以上を実現することが容易である。具体的には、例えば、容量値  $C_1$  を有する絶縁膜においては、酸化ハフニウムなどの high-k 材料でなる膜、または酸化ハフニウムなどの high-k 材料でなる膜と酸化物半導体でなる膜との積層構造を採用して  $r_1$  を 10 以上、好ましくは 15 以上とし、容量値  $C_2$  を有する絶縁膜においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$  とすることができる。

10

20

30

40

50

## 【0193】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

## 【0194】

なお、上記説明は、電子をキャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合についてのものであるが、n型トランジスタに代えて、正孔をキャリアとするp型トランジスタを用いることができるのはいうまでもない。

## 【0195】

以上示したように、開示する発明の一態様に係る半導体装置は、オフ状態でのソースとドレイン間のリーク電流（オフ電流）が少ない書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有している。

10

## 【0196】

通常のシリコン半導体では、リーク電流（オフ電流）を、使用時の温度（例えば、25）において $100\text{ zA}$ （ $1 \times 10^{-19}\text{ A}$ ）程度以下に低減することは困難であるが、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用トランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

## 【0197】

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイング値（S値）が小さいため、比較的移動度が低くてもスイッチング速度を十分大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、フローティングゲート部FGに与えられる書き込みパルスの立ち上がりを極めて急峻にすることができる。また、オフ電流が小さいため、フローティングゲート部FGに保持させる電荷量を少なくすることが可能である。つまり、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用いることで、情報の書き換えを高速に行うことができる。

20

## 【0198】

読み出し用トランジスタとしては、オフ電流についての制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

30

## 【0199】

このように、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用い、酸化物半導体以外の半導体材料を用いたトランジスタを読み出し用トランジスタとして用いることにより、長時間に渡っての情報の保持が可能で、且つ情報の読み出しを高速で行うことが可能な、記憶装置として用いることができる半導体装置を実現することができる。

## 【0200】

さらに、書き込み用のトランジスタとして、先の実施の形態に示すトランジスタを用いることにより、書き込み用のトランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。これにより、記憶装置として用いることができる半導体装置の高集積化を図ることができる。

40

## 【0201】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

## 【0202】

（実施の形態4）

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図9および図10を用いて説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を

50

併せて付す場合がある。

【0203】

図9(A)および図9(B)は、図8(A-1)に示す半導体装置(以下、メモリセル1050とも記載する。)を複数用いて形成される、記憶装置として用いることができる半導体装置の回路図である。図9(A)は、メモリセル1050が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図9(B)は、メモリセル1050が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

【0204】

図9(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL、複数のメモリセル1050を有する。図9(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。

10

【0205】

各メモリセル1050において、トランジスタ1000のゲート電極と、トランジスタ1010のドレイン電極(またはソース電極)と、容量素子1020の電極の一方とは、電気的に接続されている。また、第1信号線S1とトランジスタ1010のソース電極(またはドレイン電極)とは、電気的に接続され、第2信号線S2と、トランジスタ1010のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子1020の電極の他方は電気的に接続されている。

20

【0206】

また、メモリセル1050が有するトランジスタ1000のソース電極は、隣接するメモリセル1050のトランジスタ1000のドレイン電極と電気的に接続され、メモリセル1050が有するトランジスタ1000のドレイン電極は、隣接するメモリセル1050のトランジスタ1000のソース電極と電気的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル1050が有するトランジスタ1000のドレイン電極は、ビット線と電気的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル1050が有するトランジスタ1000のソース電極は、ソース線と電気的に接続される。

【0207】

図9(A)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ1010がオン状態となる電位を与え、書き込みを行う行のトランジスタ1010をオン状態にする。これにより、指定した行のトランジスタ1000のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

30

【0208】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ1000のゲート電極に与えられた電荷によらず、トランジスタ1000がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ1000をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ1000のゲート電極が有する電荷によって、トランジスタ1000のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ1000は、読み出しを行う行を除いてオン状態となっているため、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ1000の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ1000のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線BLの電位を読み出し回路によって読み出すことで、

40

50

指定した行のメモリセルから情報を読み出すことができる。

【0209】

図9(B)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、およびワード線WLをそれぞれ複数本有し、複数のメモリセル1050を有する。各トランジスタ1000のゲート電極と、トランジスタ1010のドレイン電極(またはソース電極)と、容量素子1020の電極の一方とは、電気的に接続されている。また、ソース線SLとトランジスタ1000のソース電極とは、電気的に接続され、ビット線BLとトランジスタ1000のドレイン電極とは、電気的に接続されている。また、第1信号線S1とトランジスタ1010のソース電極(またはドレイン電極)とは、電気的に接続され、第2信号線S2と、トランジスタ1010のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子1020の電極の他方は電気的に接続されている。

10

【0210】

図9(B)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図9(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ1000のゲート電極に与えられた電荷によらずトランジスタ1000がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ1000をオフ状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ1000のゲート電極が有する電荷によってトランジスタ1000のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ1000の状態(オン状態またはオフ状態)によって決定される。つまり、読み出しを行う行のトランジスタ1000のゲート電極が有する電荷によって、ビット線BLの電位は異なる値をとることになる。ビット線BLの電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

20

【0211】

なお、上記においては、各メモリセル1050に保持させる情報量を1ビットとしたが、本実施の形態に示す半導体装置の構成はこれに限られない。トランジスタ1000のゲート電極に与える電位を3種類以上用意して、各メモリセル1050が保持する情報量を増加させても良い。例えば、トランジスタ1000のゲート電極にあたる電位を4種類とする場合には、各メモリセルに2ビットの情報量を保持させることができる。

30

【0212】

次に、図9に示す半導体装置などに用いることができる読み出し回路の一例について図10を用いて説明する。

【0213】

図10(A)には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

【0214】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線に接続される。また、トランジスタのゲート電極にはバイアス電位Vbiasが印加され、端子Aの電位が制御される。

40

【0215】

メモリセル1050は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル1050のトランジスタ1000がオン状態の場合には低抵抗状態となり、選択したメモリセル1050のトランジスタ1000がオフ状態の場合には高抵抗状態となる。

【0216】

メモリセルが高抵抗状態の場合、端子Aの電位が参照電位Vrefより高くなり、センス

50

アンプは端子Aの電位に対応する電位を出力する。一方、メモリセルが低抵抗状態の場合、端子Aの電位が参照電位  $V_{ref}$  より低くなり、センスアンプ回路は端子Aの電位に対応する電位を出力する。

【0217】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位  $V_{ref}$  の代わりに参照用のビット線が接続される構成としても良い。

【0218】

図10(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子  $V_{in}(+)$  と  $V_{in}(-)$  と出力端子  $V_{out}$  を有し、入力端子  $V_{in}(+)$  と  $V_{in}(-)$  の電位差を増幅する。  $V_{in}(+) > V_{in}(-)$  であれば  $V_{out}$  は、概ね High 出力、  $V_{in}(+) < V_{in}(-)$  であれば  $V_{out}$  は、概ね Low 出力となる。当該差動型センスアンプを読み出し回路に用いる場合、入力端子  $V_{in}(+)$  と  $V_{in}(-)$  の一方は端子Aと接続し、入力端子  $V_{in}(+)$  と  $V_{in}(-)$  の他方には参照電位  $V_{ref}$  を与える。

10

【0219】

図10(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子  $V_1$  および  $V_2$  と、制御用信号  $S_p$ 、  $S_n$  の入力端子を有する。まず、制御用信号  $S_p$  を High、制御用信号  $S_n$  を Low として、電源電位  $V_{dd}$  を遮断する。そして、比較を行う電位  $V_{1in}$  と  $V_{2in}$  を入出力端子  $V_1$  と  $V_2$  に与える。その後、制御用信号  $S_p$  を Low、制御用信号  $S_n$  を High として、電源電位  $V_{dd}$  を供給すると、比較を行う電位  $V_{1in}$  と  $V_{2in}$  が  $V_{1in} > V_{2in}$  の関係にあれば、入出力端子  $V_1$  の出力は High、入出力端子  $V_2$  の出力は Low となり、  $V_{1in} < V_{2in}$  の関係にあれば、入出力端子  $V_1$  の出力は Low、入出力端子  $V_2$  の出力は High となる。このような関係を利用して、電位  $V_{1in}$  と  $V_{2in}$  の電位差を増幅することができる。当該ラッチ型センスアンプを読み出し回路に用いる場合、入出力端子  $V_1$  と  $V_2$  の一方は、スイッチを介して端子Aおよび出力端子と接続し、入出力端子  $V_1$  と  $V_2$  の他方には参照電位  $V_{ref}$  を与える。

20

【0220】

以上に示す、記憶装置として用いることができる半導体装置は、先の実施の形態に示すトランジスタをメモリセルの書き込み用のトランジスタに用いることにより、該書き込み用のトランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。これにより、記憶装置として用いることができる半導体装置の高集積化を図ることができる。

30

【0221】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0222】

(実施の形態5)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図11を参照して説明する。ここでは、中央演算処理装置(CPU)について説明する。

40

【0223】

CPUのブロック図の一例を図11に示す。図11に示されるCPU1101は、タイミングコントロール回路1102、命令解析デコーダ1103、レジスタアレイ1104、アドレスロジックバッファ回路1105、データバスインターフェイス1106、ALU(Arithmetic Logic Unit)1107、命令レジスタ1108などより構成されている。

【0224】

これらの回路は、先の実施の形態に示したトランジスタ、インバータ回路、抵抗、容量などを用いて作製する。先の実施の形態に示すトランジスタは、極めてオフ電流を小さくす

50

ることができるので、CPU 1101の低消費電力化を実現できる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。

#### 【0225】

以下に、外部からVcc, GND, System Clock等が入力されるCPU 1101が有する、それぞれの回路について簡単に説明する。タイミングコントロール回路1102は外部からの命令(Interrupt Request, Non Maskable Interrupt, Wait, Bus Request, Reset等)を受け取り、それを内部用の情報に変換し、他のブロックに送り出す。また、内部の動作に応じて、メモリデータの読み込み、書き込みなどの指示(Halt State, Memory Request, I/O Request, Read, Write, Bus Acknowledge, Machine Cycle 1, Refresh等)を外部に与える。命令解析デコーダ1103は外部の命令を内部用の命令に変換する機能を有する。レジスタアレイ1104はデータを一時的に保管する機能を有する。アドレスロジックバッファ回路1105はSystem Address Busと電氣的に接続し外部メモリのアドレスを指定する機能を有する。データバスインターフェイス1106はSystem Data Busと電氣的に接続し、外部のメモリまたはプリンタなどの機器にデータを出し入れする機能を有する。ALU1107は演算を行う機能を有する。命令レジスタ1108は命令を一時的に記憶しておく機能を有する。このような回路の組み合わせによってCPUは構成されている。

10

20

#### 【0226】

CPU 1101の少なくとも一部に、先の実施の形態に示したトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、CPU 1101の高集積化を図ることができる。

#### 【0227】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0228】

(実施の形態6)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図12を参照して説明する。ここでは、対象物の情報を読み取るイメージセンサ機能を有する半導体装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

30

#### 【0229】

図12(A)に、イメージセンサ機能を有する半導体装置の一例を示す。図12(A)はフォトセンサの等価回路であり、図12(B)はフォトセンサの一部を示す断面図である。

#### 【0230】

フォトダイオード1202は、一方の電極がフォトダイオードリセット信号線1212に、他方の電極がトランジスタ1204のゲートに電氣的に接続されている。トランジスタ1204は、ソース電極およびドレイン電極の一方がフォトセンサ基準信号線1218に、ソース電極およびドレイン電極の他方がトランジスタ1206のソース電極およびドレイン電極の一方に電氣的に接続されている。トランジスタ1206は、ゲート電極がゲート信号線1214に、ソース電極およびドレイン電極の他方がフォトセンサ出力信号線1216に電氣的に接続されている。

40

#### 【0231】

ここで、図12(A)に示す、トランジスタ1204、トランジスタ1206は酸化物半導体を用いたトランジスタが適用される。ここで、酸化物半導体を用いたトランジスタとして、先の実施の形態で示したトランジスタを用いることができる。先の実施の形態に示したトランジスタは、オフ状態でのリーク電流を極めて小さくすることができるので、フ

50



フォトセンサの光検出精度を向上させることができる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、フォトダイオードの面積を増大させ、フォトセンサの光検出精度を向上させることができる。

【0232】

図12(B)は、フォトセンサにおけるフォトダイオード1202及びトランジスタ1204を示す断面図であり、絶縁表面を有する基板1222(TFT基板)上に、センサとして機能するフォトダイオード1202及びトランジスタ1204が設けられている。フォトダイオード1202、トランジスタ1204の上には接着層1228を用いて基板1224が設けられている。また、トランジスタ1204上には、絶縁膜1234、層間絶縁膜1236、層間絶縁膜1238が設けられている。

10

【0233】

また、トランジスタ1204のゲート電極と電氣的に接続されるように、該ゲート電極と同じ層にゲート電極層1240が設けられている。ゲート電極層1240は、絶縁膜1234及び層間絶縁膜1236に設けられた開口を介して、層間絶縁膜1236上に設けられた電極層1242と電氣的に接続されている。フォトダイオード1202は、電極層1242上に形成されているので、フォトダイオード1202とトランジスタ1204とは、ゲート電極層1240および電極層1242を介して電氣的に接続されている。

【0234】

フォトダイオード1202は、電極層1242側から順に、第1半導体層1226a、第2半導体層1226b及び第3半導体層1226cを積層した構造を有している。つまり、フォトダイオード1202は、第1半導体層1226aで電極層1242と電氣的に接続されている。また、第3半導体層1226cにおいて、層間絶縁膜1238上に設けられた電極層1244と電氣的に接続されている。

20

【0235】

ここでは、第1半導体層1226aとしてn型の導電性を有する半導体層と、第2半導体層1226bとして高抵抗な半導体層(I型半導体層)、第3半導体層1226cとしてp型の導電性を有する半導体層を積層するpin型のフォトダイオードを例示している。

【0236】

第1半導体層1226aは、n型半導体層であり、n型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第1半導体層1226aの形成には、15族の不純物元素(例えばリン(P))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン( $\text{SiH}_4$ )を用いればよい。または、 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第1半導体層1226aの厚さは20nm以上200nm以下となるよう形成することが好ましい。

30

40

【0237】

第2半導体層1226bは、I型半導体層(真性半導体層)であり、アモルファスシリコン膜により形成する。第2半導体層1226bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン( $\text{SiH}_4$ )を用いればよい。または、 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 等を用いてもよい。第2半導体層1226bの形成は、LPCVD法、気相成長法、スパッタリング法等により行っても良い。第2半導体層1226bは膜厚が200nm以上1000nm以下となるよう形成することが好ましい。

【0238】

第3半導体層1226cはp型半導体層であり、p型を付与する不純物元素を含むアモル

50

ファスシリコン膜により形成することができる。第3半導体層1226cの形成には13族の不純物元素(例えばボロン(B))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン( $\text{SiH}_4$ )を用いればよい。または、 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3半導体層1226cは膜厚が10nm以上50nm以下となるよう形成することが好ましい。

10

## 【0239】

また、第1半導体層1226a、第2半導体層1226b、及び第3半導体層1226cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶(セミアモルファス(Semi Amorphous Semiconductor: SAS))半導体を用いて形成してもよい。

## 【0240】

微結晶半導体は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す $520\text{cm}^{-1}$ よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す $520\text{cm}^{-1}$ とアモルファスシリコンを示す $480\text{cm}^{-1}$ の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダングリングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

20

## 【0241】

この微結晶半導体膜は、周波数が数十MHz~数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。さらには、シリコンを含む気体中に、 $\text{CH}_4$ 、 $\text{C}_2\text{H}_6$ 等の炭化物気体、 $\text{GeH}_4$ 、 $\text{GeF}_4$ 等のゲルマニウム化気体、 $\text{F}_2$ 等を混入させてもよい。

30

## 【0242】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、pin型のフォトダイオードはp型の半導体膜側を受光面とする方がよい特性を示す。ここでは、基板1224側の面からフォトダイオード1202が入射光1230を受け、電気信号に変換する例を示す。また、受光面とした半導体膜側とは逆の導電型を有する半導体膜側からの光は外乱光となるため、電極層1242は遮光性を有する導電膜を用いるとよい。また、n型の半導体膜側を受光面として用いることもできる。

40

## 【0243】

また、入射光1230を基板1224側の面から入射させることにより、トランジスタ1204の酸化半導体層は、該トランジスタ1204のゲート電極によって、入射光1230を遮光することができる。

## 【0244】

50

絶縁膜 1 2 3 4、層間絶縁膜 1 2 3 6、層間絶縁膜 1 2 3 8 としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、S O G 法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）等の成膜方法や、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いて形成することができる。

【 0 2 4 5 】

絶縁膜 1 2 3 4 としては、無機絶縁材料としては、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、酸化窒化アルミニウム層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの酸化物絶縁膜又は窒化物絶縁膜の、単層又は積層を用いることができる。また  $\mu$  波（2 . 4 5 G H z）を用いた高密度プラズマ C V D は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。

10

【 0 2 4 6 】

層間絶縁膜 1 2 3 6、層間絶縁膜 1 2 3 8 としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁膜が好ましい。層間絶縁膜 1 2 3 6、層間絶縁膜 1 2 3 8 としては、例えばポリイミド、アクリル樹脂、ベンゾシクロブテン樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機絶縁材料を用いることができる。また上記有機絶縁材料の他に、低誘電率材料（low - k 材料）、シロキサン系樹脂、P S G（リンガラス）、B P S G（リンボロンガラス）等の単層、又は積層を用いることができる。

【 0 2 4 7 】

フォトダイオード 1 2 0 2 は、入射光 1 2 3 0 を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

20

【 0 2 4 8 】

以上に示すフォトセンサにおいて、酸化物半導体を用いたトランジスタとして、先の実施の形態で示したトランジスタを用いることができる。先の実施の形態に示したトランジスタは、オフ状態でのリーク電流を極めて小さくすることができるので、フォトセンサの光検出精度を向上させることができる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、フォトダイオードの面積を増大させ、フォトセンサの光検出精度を向上させることができる。

30

【 0 2 4 9 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ合わせて用いることができる。

【 0 2 5 0 】

（実施の形態 7）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 1 3 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

40

【 0 2 5 1 】

図 1 3（A）は、ノート型のパーソナルコンピュータであり、筐体 7 0 1、筐体 7 0 2、表示部 7 0 3、キーボード 7 0 4 などによって構成されている。筐体 7 0 1 と筐体 7 0 2 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力なノート型のパーソナルコンピュータが実現される。

【 0 2 5 2 】

図 1 3（B）は、携帯情報端末（P D A）であり、本体 7 1 1 には、表示部 7 1 3 と、外部インターフェイス 7 1 5 と、操作ボタン 7 1 4 等が設けられている。また、携帯情報端末を操作するスタイラス 7 1 2 などを備えている。本体 7 1 1 内には、先の実施の形態に

50

示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な携帯情報端末が実現される。

【 0 2 5 3 】

図 1 3 ( C ) は、電子ペーパーを実装した電子書籍 7 2 0 であり、筐体 7 2 1 と筐体 7 2 3 の 2 つの筐体で構成されている。筐体 7 2 1 および筐体 7 2 3 には、それぞれ表示部 7 2 5 および表示部 7 2 7 が設けられている。筐体 7 2 1 と筐体 7 2 3 は、軸部 7 3 7 により接続されており、該軸部 7 3 7 を軸として開閉動作を行うことができる。また、筐体 7 2 1 は、電源 7 3 1、操作キー 7 3 3、スピーカー 7 3 5 などを備えている。筐体 7 2 1、筐体 7 2 3 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な電子書籍が実現される。

10

【 0 2 5 4 】

図 1 3 ( D ) は、携帯電話機であり、筐体 7 4 0 と筐体 7 4 1 の 2 つの筐体で構成されている。さらに、筐体 7 4 0 と筐体 7 4 1 は、スライドし、図 1 3 ( D ) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 7 4 1 は、表示パネル 7 4 2、スピーカー 7 4 3、マイクロフォン 7 4 4、操作キー 7 4 5、ポインティングデバイス 7 4 6、カメラ用レンズ 7 4 7、外部接続端子 7 4 8 などを備えている。また、筐体 7 4 0 は、携帯電話機の充電を行う太陽電池セル 7 4 9、外部メモリスロット 7 5 0 などを備えている。また、アンテナは、筐体 7 4 1 に内蔵されている。筐体 7 4 0 と筐体 7 4 1 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な携帯電話機が実現される。

20

【 0 2 5 5 】

図 1 3 ( E ) は、デジタルカメラであり、本体 7 6 1、表示部 7 6 7、接眼部 7 6 3、操作スイッチ 7 6 4、表示部 7 6 5、バッテリー 7 6 6 などによって構成されている。本体 7 6 1 内には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力なデジタルカメラが実現される。

【 0 2 5 6 】

図 1 3 ( F ) は、テレビジョン装置 7 7 0 であり、筐体 7 7 1、表示部 7 7 3、スタンド 7 7 5 などで構成されている。テレビジョン装置 7 7 0 の操作は、筐体 7 7 1 が備えるスイッチや、リモコン操作機 7 8 0 により行うことができる。筐体 7 7 1 およびリモコン操作機 7 8 0 には、先の実施の形態に示す半導体装置が搭載されている。そのため、例えば、高速、かつ低消費電力なテレビジョン装置が実現される。

30

【 0 2 5 7 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、半導体装置の微細化による高速化、低消費電力化が実現された電子機器が得られる。

【 符号の説明 】

【 0 2 5 8 】

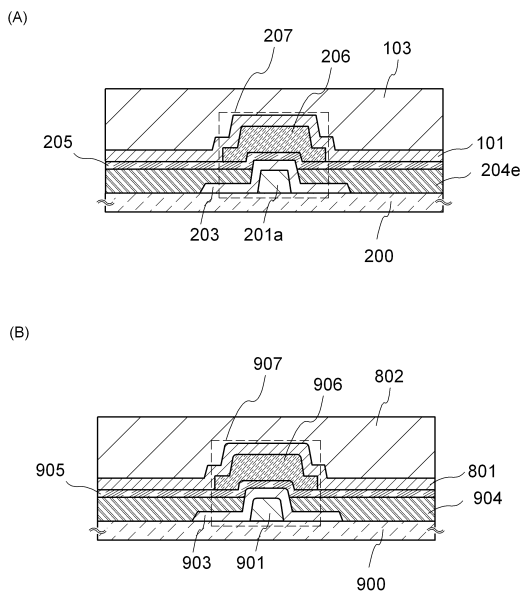
1 0 0	基体	
1 0 1	絶縁膜	40
1 0 2	保護層	
1 0 3	絶縁膜	
1 0 4	半導体領域	
1 0 6	素子分離絶縁膜	
1 0 8	ゲート絶縁膜	
1 1 0	ゲート電極	
1 1 6	チャンネル形成領域	
1 2 0	不純物領域	
1 2 2	金属層	
1 2 4	金属化合物領域	50

1 3 0	絶縁膜	
1 4 2 c	導電層	
1 4 2 d	導電層	
1 4 3 a	絶縁層	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁膜	
1 4 8 a	ゲート電極	
1 4 8 b	電極	
1 5 0	絶縁膜	
1 5 2	絶縁膜	10
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
2 0 0	基体	
2 0 1	絶縁膜	
2 0 1 a	絶縁層	
2 0 2 a	マスク	
2 0 2 b	マスク	
2 0 3	酸化物半導体層	
2 0 4	導電膜	20
2 0 4 a	導電膜	
2 0 4 b	導電層	
2 0 4 c	導電膜	
2 0 4 d	導電層	
2 0 4 e	導電層	
2 0 5	絶縁膜	
2 0 6	導電層	
2 0 7	トランジスタ	
4 0 0	膜	
7 0 1	筐体	30
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	40
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	50

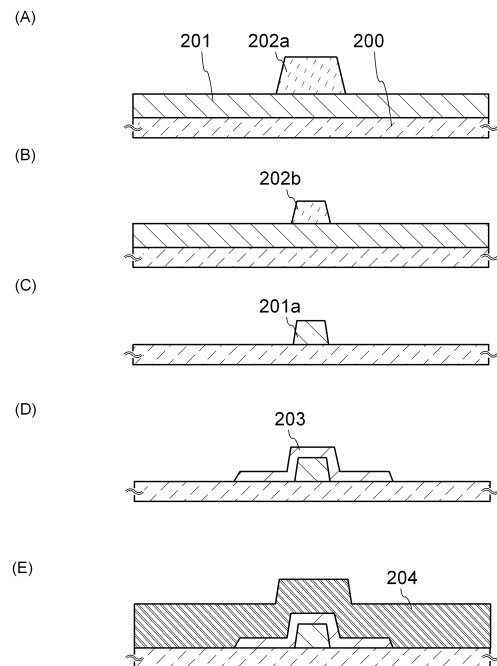
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	10
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
8 0 1	絶縁膜	20
8 0 2	絶縁膜	
9 0 0	基体	
9 0 1	絶縁層	
9 0 3	酸化物半導体層	
9 0 4	導電層	
9 0 5	絶縁膜	
9 0 6	導電層	
9 0 7	トランジスタ	
1 0 0 0	トランジスタ	
1 0 1 0	トランジスタ	30
1 0 2 0	容量素子	
1 0 5 0	メモリセル	
1 1 0 1	C P U	
1 1 0 2	タイミングコントロール回路	
1 1 0 3	命令解析デコーダー	
1 1 0 4	レジスタアレイ	
1 1 0 5	アドレスロジックバッファ回路	
1 1 0 6	データバスインターフェイス	
1 1 0 7	A L U	
1 1 0 8	命令レジスタ	40
1 2 0 2	フォトダイオード	
1 2 0 4	トランジスタ	
1 2 0 6	トランジスタ	
1 2 1 2	フォトダイオードリセット信号線	
1 2 1 4	ゲート信号線	
1 2 1 6	フォトセンサ出力信号線	
1 2 1 8	フォトセンサ基準信号線	
1 2 2 2	基板	
1 2 2 4	基板	
1 2 2 6 a	半導体層	50

- 1 2 2 6 b 半導体層
- 1 2 2 6 c 半導体層
- 1 2 2 8 接着層
- 1 2 3 0 入射光
- 1 2 3 4 絶縁膜
- 1 2 3 6 層間絶縁膜
- 1 2 3 8 層間絶縁膜
- 1 2 4 0 ゲート電極層
- 1 2 4 2 電極層
- 1 2 4 4 電極層

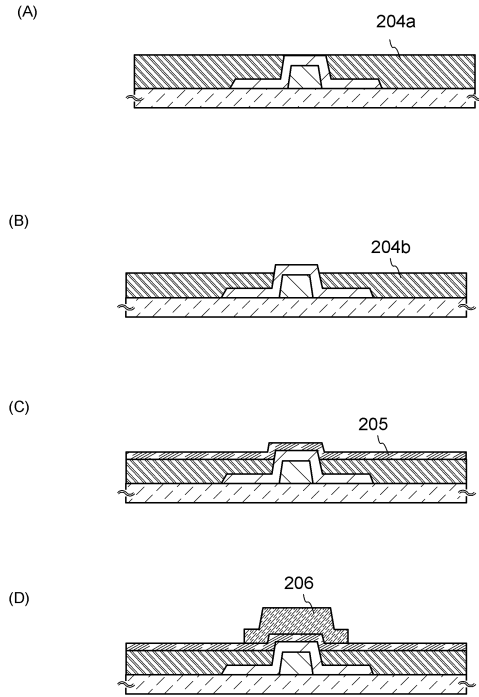
【図1】



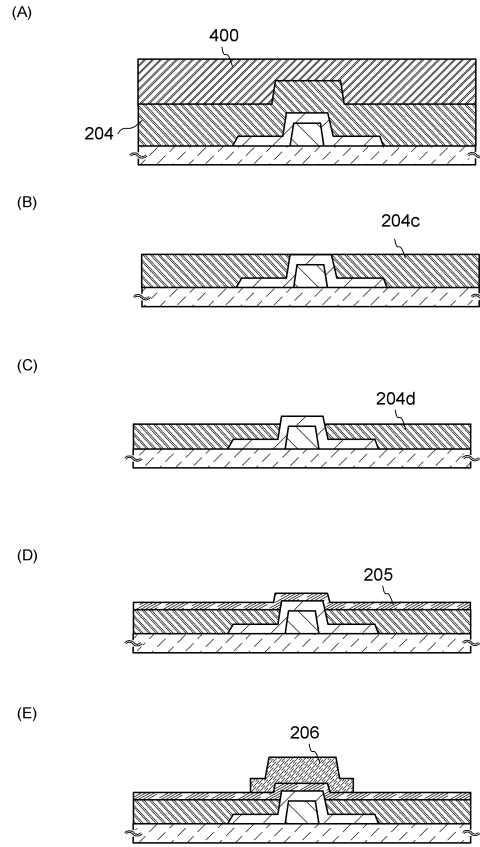
【図2】



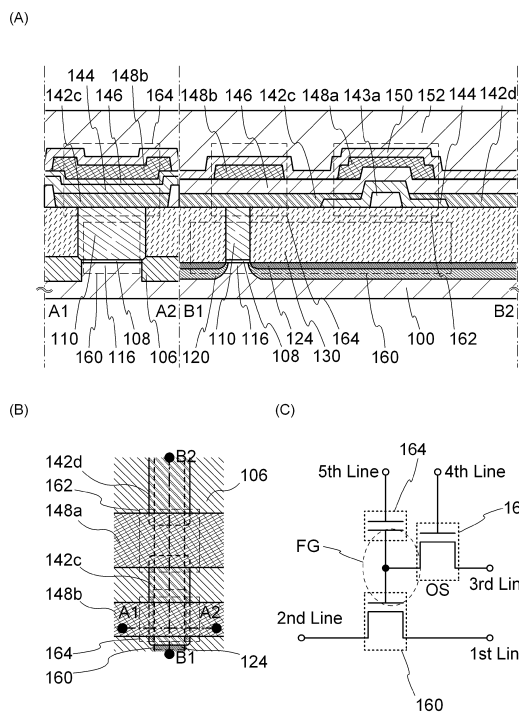
【 図 3 】



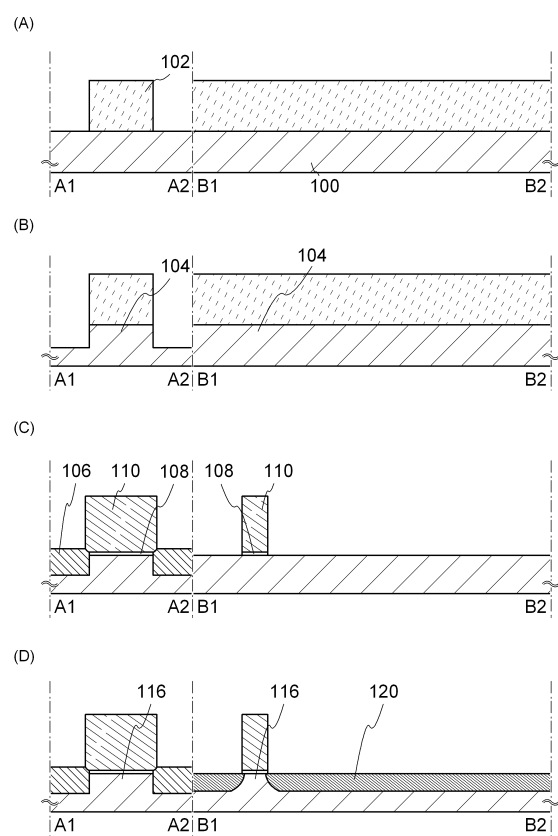
【 図 4 】



【 図 5 】

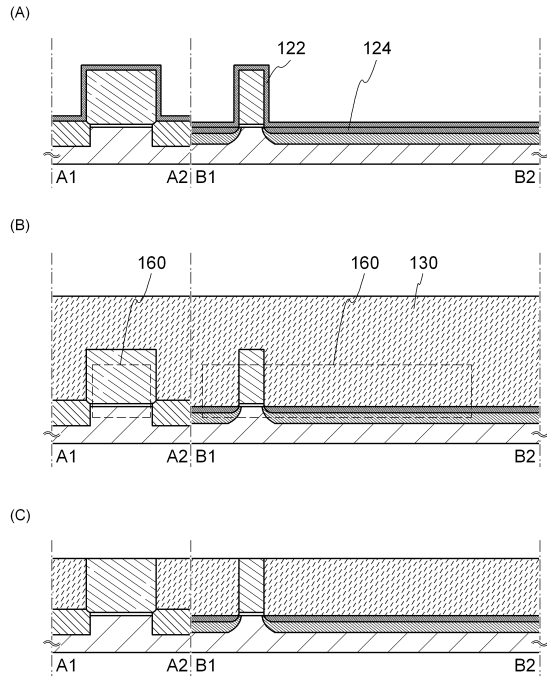


【 図 6 】

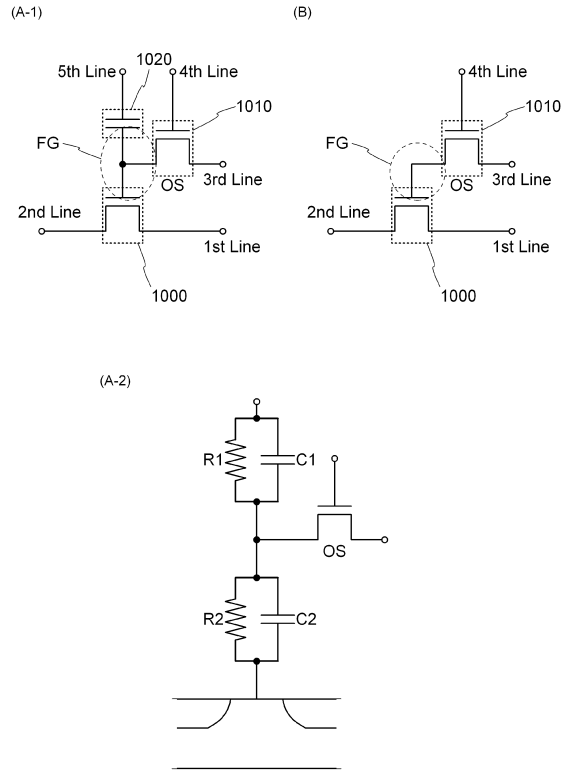




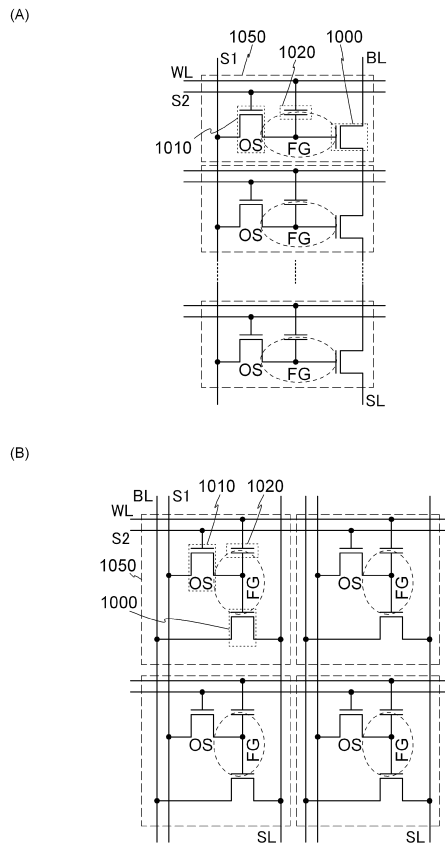
【図7】



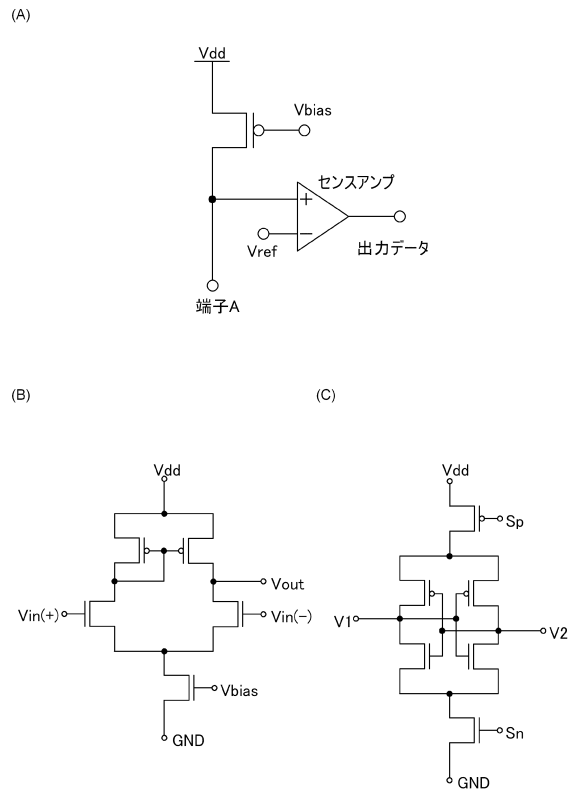
【図8】



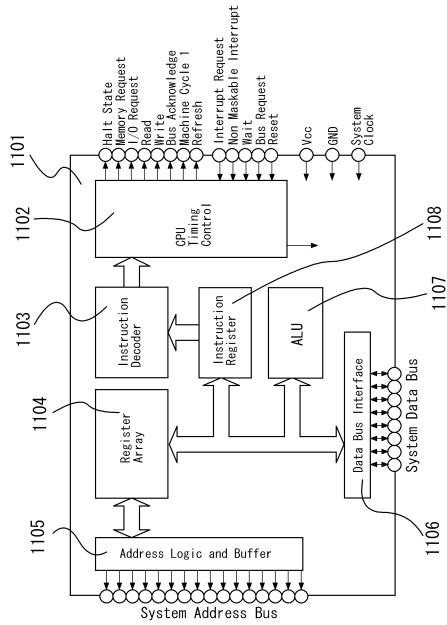
【図9】



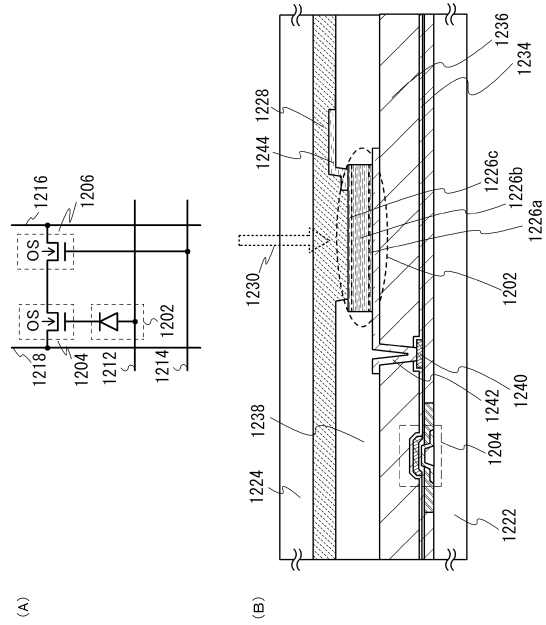
【図10】



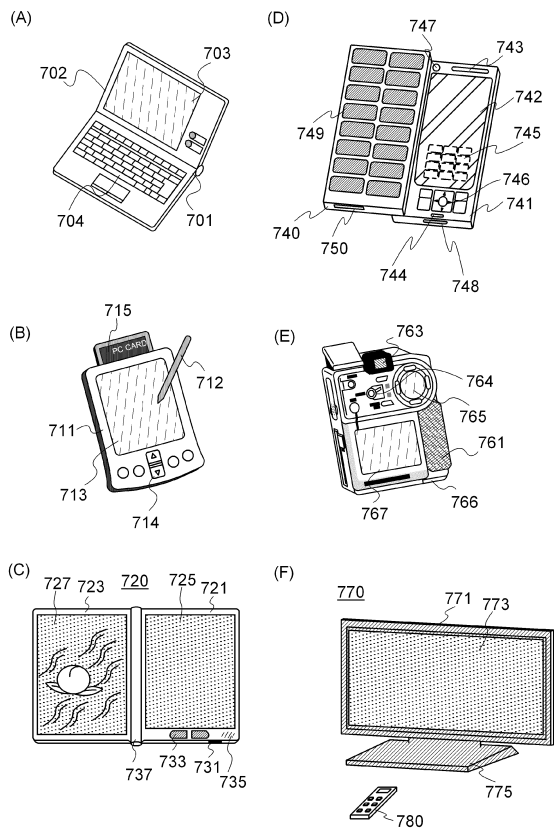
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



## フロントページの続き

(51) Int.Cl.			F I		
<i>H 0 1 L</i>	<i>27/088</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/78	6 2 7 C
<i>H 0 1 L</i>	<i>21/8242</i>	<i>(2006.01)</i>	<i>G 1 1 C</i>	11/34	3 5 2 B
<i>H 0 1 L</i>	<i>27/108</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	27/06	1 0 2 A
<i>H 0 1 L</i>	<i>21/8247</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	27/08	1 0 2 E
<i>H 0 1 L</i>	<i>27/115</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	27/10	3 2 1
<i>H 0 1 L</i>	<i>27/10</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	27/10	4 3 4
<i>H 0 1 L</i>	<i>29/417</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	27/10	4 8 1
<i>H 0 1 L</i>	<i>29/788</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/50	M
<i>H 0 1 L</i>	<i>29/792</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/78	3 7 1

- (56)参考文献 特開2009-033134(JP,A)  
 特開2007-035981(JP,A)  
 特開2009-111373(JP,A)  
 特開2006-173596(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 1 / 4 0 5  
 H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 1 / 8 2 4 2  
 H 0 1 L 2 1 / 8 2 4 7  
 H 0 1 L 2 7 / 0 6  
 H 0 1 L 2 7 / 0 8 8  
 H 0 1 L 2 7 / 1 0  
 H 0 1 L 2 7 / 1 0 8  
 H 0 1 L 2 7 / 1 1 5  
 H 0 1 L 2 9 / 4 1 7  
 H 0 1 L 2 9 / 7 8 6  
 H 0 1 L 2 9 / 7 8 8  
 H 0 1 L 2 9 / 7 9 2