

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-281706

(P2008-281706A)

(43) 公開日 平成20年11月20日(2008.11.20)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/28 (2006.01)	G09G 3/28 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 621A	5C580
	G09G 3/20 621E	
	G09G 3/20 622D	
	G09G 3/20 621G	

審査請求 未請求 請求項の数 10 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2007-124808 (P2007-124808)
 (22) 出願日 平成19年5月9日(2007.5.9)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 椎崎 貴史
 神奈川県横浜市戸塚区吉田町292番地
 株式会社日立製作所製品開発事業部内
 (72) 発明者 大貫 英則
 神奈川県横浜市戸塚区吉田町292番地
 株式会社日立製作所製品開発事業部内
 (72) 発明者 百合 誠志
 神奈川県横浜市戸塚区吉田町292番地
 株式会社日立製作所製品開発事業部内

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【要約】

【課題】本発明は、駆動回路の素子数を減少させつつ発熱を抑制し、コスト低減を図りつつも発熱抑制の対策がなされたプラズマディスプレイ装置を提供することを目的とする。

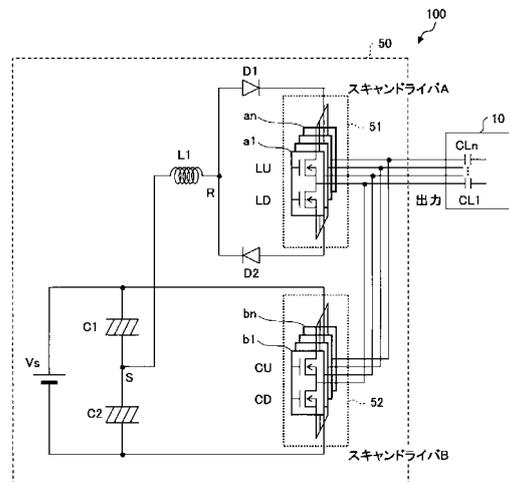
【解決手段】プラズマディスプレイ装置100は、複数の電極CL1、・・・、CLnと、該複数の電極を駆動する駆動回路50を備えたプラズマディスプレイ装置であって、

前記駆動回路は、前記複数の電極の各々に対して、複数の駆動IC51、52が並列に接続されて構成され、

並列に接続された前記複数の駆動ICは、前記電極の1本に対して、互いに異なる時間に電流を供給することにより、前記複数の電極の各々を駆動することを特徴とする。

【選択図】図7

実施の形態1に係る
 駆動回路50とプラズマディスプレイパネル10の回路構成図



【特許請求の範囲】**【請求項 1】**

複数の電極と、該複数の電極を駆動する駆動回路を備えたプラズマディスプレイ装置であって、

前記駆動回路は、前記複数の電極の各々に対して、複数の駆動 IC が接続されて構成され、

前記複数の駆動 IC は、前記電極の 1 本に対して、互いに異なる時間に電流を供給することにより、前記複数の電極の各々を駆動することを特徴とするプラズマディスプレイ装置。

【請求項 2】

前記駆動 IC は、複数の出力端子を備え、該複数の出力端子の各々が、前記複数の電極の各々に並列に接続されていることを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

【請求項 3】

前記複数の電極の各々に対して並列に接続された前記駆動 IC のうち少なくとも 1 つは、ハイレベル及びローレベルの 2 種類の電圧が入力可能であり、ハイレベル出力、ローレベル出力及び高インピーダンス出力の 3 状態の出力が可能であることを特徴とする請求項 1 又は 2 に記載のプラズマディスプレイ装置。

【請求項 4】

前記複数の電極の各々に対して並列に接続された前記駆動 IC のうち少なくとも 1 つは、前記複数の出力端子を個別に出力制御可能な IC であることを特徴とする請求項 2 又は 3 に記載のプラズマディスプレイ装置。

【請求項 5】

前記複数の電極は走査電極であり、

前記駆動 IC は、アドレスパルス及び / 又はサステイン電圧を出力することを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載のプラズマディスプレイ装置。

【請求項 6】

前記駆動回路は、前記複数の電極の各々に対して、前記複数の駆動 IC が第 1 群と第 2 群とに分かれて接続されて構成され、

第 1 群の前記駆動 IC のハイレベル入力端子は電源の陽極に接続され、

第 1 群の前記駆動 IC のローレベル入力端子は前記電源の陰極に接続され、

前記第 2 群の前記駆動 IC のローレベル入力端子及び前記第 2 群の前記駆動 IC のハイレベル入力端子は、コイル及びダイオードを介して、前記電源の略中間電位の接続点に接続されたことを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載のプラズマディスプレイ装置。

【請求項 7】

前記駆動回路は、前記複数の電極の各々に対して、前記複数の駆動 IC が第 1 群と第 2 群とに分かれて接続されて構成され、

第 1 群の前記駆動 IC のハイレベル入力端子は電源の陽極に接続され、

第 2 群の前記駆動 IC のローレベル入力端子は前記電源の陰極に接続され、

前記第 1 群の前記駆動 IC のローレベル入力端子及び前記第 2 群の前記駆動 IC のハイレベル入力端子は、コイル及びダイオードを介して、前記電源の略中間電位の接続点に接続されたことを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載のプラズマディスプレイ装置。

【請求項 8】

前記複数の電極は、容量性負荷であり、

前記コイル、前記ダイオード及び前記容量性負荷で LC 共振回路による電力回収回路を構成することを特徴とする請求項 6 又は 7 に記載のプラズマディスプレイ装置。

【請求項 9】

複数の電極と、該複数の電極を駆動する駆動回路を備えたプラズマディスプレイ装置で

10

20

30

40

50

あって、

前記駆動回路は、前記複数の電極の各々に対して、ダイオードを組み合わせて互いの電極接続を絶縁したダイオードアレイを含む複数の半導体出力素子が接続されて構成され、

前記複数の駆動ICは、前記電極の1本に対して、互いに異なるタイミングで電流を供給することにより、前記電極の各々を駆動することを特徴とするプラズマディスプレイ装置。

【請求項10】

前記複数の電極は容量性負荷であり、

前記ダイオードアレイのハイレベル入力端子及びローレベル入力端子はコイルに接続され、該コイルと前記容量性負荷でLC共振回路による電力回収回路を構成することを特徴とする請求項9に記載のプラズマディスプレイ装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像を表示するプラズマディスプレイ装置に関し、特に、複数の電極を駆動する駆動回路を有するプラズマディスプレイ装置に関する。

【背景技術】

【0002】

従来から、アドレス電極、維持電極(以下、「X電極」と呼ぶ)及び走査電極(以下、「Y電極」と呼ぶ)を備え、電極を駆動して放電させ、気体放電に伴う発光を利用することにより、ディスプレイに画像の表示を行なうプラズマディスプレイ装置が知られている(例えば、特許文献1参照)。

20

【0003】

図1は、従来から利用されている、3電極面放電型プラズマディスプレイ装置200の基本構成を示した図である。

【0004】

図1において、プラズマディスプレイ装置200は、プラズマディスプレイパネル10と、隣接して配設した複数のX電極(X1、X2、X3、...)と、これに平行して隣接して設けられた複数のY電極(Y1、Y2、Y3、...)と、これらに直交するように配設された複数のアドレス電極(A1、A2、A3、...)とが設けられている。

30

【0005】

X電極とY電極は、プラズマディスプレイパネル10を構成する第1の基板(図示せず)に設けられて、その表面が誘電体層で覆われている。アドレス電極は、第1の基板に対向して設けられた第2の基板に設けられ、その表面はやはり誘電体層で覆われている。第2基板上には更に、アドレス電極間にアドレス電極と平行に延在する隔壁が設けられ、隔壁の溝に蛍光体層を形成した後、第1の基板と第2の基板を所定の間隔で貼り合わせ、両基板の間に放電空間を形成する。この放電空間には、ネオンやキセノンなどを混合した放電ガスが封入され、隣接する同じ組のX電極とY電極と、アドレス電極との交差部分に表示セルが形成される。

【0006】

40

そして、図1に示すように、アドレス電極にはアドレスドライバ20、Y電極にはYスキンドライバ30、X電極にはXサステイン回路60が接続されて設けられ、各々の電極を駆動する。また、Yスキンドライバ30は、Yサステイン回路40に接続され、Yサステイン回路40で発生した駆動信号が、Yスキンドライバ30を介してY電極に送られるように構成されている。

【0007】

更に、アドレスドライバ20、Xサステイン回路60、Yスキンドライバ30及びYサステイン回路40は、各々が制御回路70に接続され、制御回路70が電極全体の駆動制御を行い、放電を制御してディスプレイパネル10の表示制御を行う。

【0008】

50

なお、Xサステイン回路60は、1出力のみを有し、共通に接続された各X電極を一律に制御する。これに対し、アドレスドライバ20は、アドレス電極をそれぞれ独立して制御し、Yスキンドライバ30は、Y電極をそれぞれ独立して制御する。

【0009】

図2は、図1のプラズマディスプレイ装置200の駆動波形を示した図である。アドレス・表示分離方式のプラズマディスプレイ装置200の基本駆動シーケンスは、全表示セルを一様な状態にするリセット期間と、点等させる表示セルを選択するアドレス期間と、選択した表示セルを発光させるサステイン期間とを有する。

【0010】

図2に示すように、リセット期間においては、全アドレス電極に電圧 V_a を印加し、共通のX電極に V_w を印加し、全Y電極に0Vを印加する。これにより、全表示セルのX電極とアドレス電極及びY電極の間で放電が発生し、全表示セルが一様な状態になる。

10

【0011】

次のアドレス期間には、共通のX電極に電圧 V_x を印加し、全Y電極に $-V_{y1}$ を印加した状態で、Y電極に $-V_y$ のスキャンパルス順次印加し、スキャンパルスの印加されたY電極とアドレスパルスの印加されたアドレス電極との間でアドレス放電が発生し、点灯する表示セルの電極上の誘電体層の表面に壁電荷が蓄積される、スキャンパルスを全Y電極に順次印加しながらアドレスパルスを印加することにより、発光させる表示セルが選択される。

【0012】

20

サステイン期間においては、アドレス電極に電圧 V_a を印加した状態で、Y電極とX電極に交互に電圧 V_s のサステインパルスを印加する。アドレス期間に壁電荷が形成された表示セルでは、壁電荷による電圧がサステインパルスの電圧 V_s に重畳されて放電開始電圧を超えてサステイン放電が発生するが、アドレス期間に壁電荷が形成されなかった表示セルでは、放電開始電圧を超えず、サステイン放電は発生しない。サステイン放電が発生した表示セルでは、サステイン放電により逆極性の壁電荷が形成されるので、次にX電極にサステインパルスを印加すると、サステイン放電が発生する。以下、サステインパルスの印加を繰り返すと、放電が維持される。

【0013】

このように、プラズマディスプレイ装置200の駆動シーケンスにおいては、アドレス期間及びサステイン期間があるが、Y電極においては、Yスキンドライバ30とYサステイン回路40でその役割を分担している。即ち、アドレス期間においては、Y走査電極を1本ずつ駆動する必要があるため、1本ずつ独立に駆動できる駆動ICが使用され、図1中のYスキンドライバ30がこの機能を担っている。一方、サステイン期間においては、Y走査電極を1本ずつ駆動する必要がなく、複数電極に一括して電圧を印加する駆動回路が使用され、図1中のYサステイン回路40がこの機能を担っている。

30

【0014】

かかるYスキンドライバ30とYサステイン回路40とからなるY電極駆動回路において、電力回収回路を設けた技術が提案されている(例えば、特許文献2参照)。

【0015】

40

図3は、従来の電力回収回路を備えたY電極駆動回路55の構成例を示した図であり、2系統の電力回収経路を有し、サステイン電圧 V_s と $-V_s$ をX電極とY電極に交互に印加する形式のY電極駆動回路の具体的構成例を示している。

【0016】

図3において、Y電極駆動回路55は、Yスキンドライバ30と、Yサステイン回路40とから構成される。なお、リセット信号を生成するリセット回路は省略してある。C1は、Y電極であり、容量性負荷を構成している。

【0017】

図3において、スキンドライバ30は、各Y電極に設けられた個別ドライバで構成され、各個別ドライバは、トランジスタQ1、Q2及びそれと並列に設けられたダイオード

50

D 3 1、D 3 2を備える。つまり、図 3 に示されたスキャンドライバは、1つの電極に対応する個別ドライバ1つ分である。図 2 で説明したスキャン期間には、トランジスタ Q 1、Q 2 のオン・オフが制御され、容量負荷である電極 C L にスキャンパルスが印加される。

【 0 0 1 8 】

一方、サステイン回路 4 0 は、トランジスタ C U、C D を備え、サステイン電圧源に接続されている。トランジスタ C U は、サステイン電圧源の陽極電圧 V_s を出力する素子であり、トランジスタ C D は、サステイン電圧源の陰極電圧 $-V_s$ を出力する素子である。また、トランジスタ C U、C D のゲートは、それぞれ位相調整回路 4 1、4 2 に接続され、印加されるサステイン信号 C U G、C D G は、位相調整回路 4 1、4 2 により位相が調整されてトランジスタ C U、C D のゲートに入力される。

10

【 0 0 1 9 】

また、サステイン回路 4 0 は電力回収回路を有し、電力回収回路は、Y サステイン回路 4 0 のコンデンサ C 1 0、コイル L 1 0、L 2 0、ダイオード D 3 3、D 3 4 及びトランジスタ L U、L D で構成される。C 1 0 の一端は接地され、他端は、トランジスタ L U、ダイオード D 3 3 及びコイル L 1 0 を介して Y スキャンドライバ 3 0 のトランジスタ Q 1 に接続されるとともに、トランジスタ L D、ダイオード D 3 4 及びコイル L 2 0 を介してトランジスタ Q 2 に並列に接続される。トランジスタ L U、L D のゲートに印加される信号 L U G、L D G も、位相調整回路 4 3、4 4 で位相調整されてからゲートに印加される。

20

【 0 0 2 0 】

図 4 は、かかる電力回収回路を備えた Y 電極駆動回路 5 5 における、サステイン電圧波形及び電流波形の例である。

【 0 0 2 1 】

図 4 (a) は、サステイン電圧波形の例を示した図である。図 4 (a) において、サステイン電圧を出力するサステイン期間においては、スキャンドライバ 3 0 の出力は、ローレベルに固定され、サステイン波形はスキャンドライバ 3 0 を通じて Y 走査電極に出力される。

【 0 0 2 2 】

図 4 (a) において、最初のトランジスタ L U がオンとなり、コイル L 1 0 と容量性負荷 C L とで L C 共振が発生し、L C 共振により電圧波形は緩やかに上昇する。そして、ある程度の大きさになった地点で、トランジスタ C U をオンにして、サステイン電圧 V_s が出力される。その後出力電圧 V_s が出力され、電圧が下がるときには、トランジスタ L D がオンされる。このときは、コイル L 2 0 と容量性負荷 C L とで L C 共振が発生し、緩やかにサステイン電圧出力が下降する。そして、ある程度小さくなった所で、トランジスタ C D がオンとなり、陰極側の電圧 $-V_s$ がサステイン電圧として出力される。

30

【 0 0 2 3 】

図 4 (b) は、図 4 (a) に示したサステイン電圧波形に対応するサステイン電流波形を示した図である。サステイン電流は、数 A 程度の大電流であり、かかる電流がスキャンドライバ 3 0 を通過すると、スキャンドライバ 3 0 の発熱が問題となる。

40

【 0 0 2 4 】

かかる発熱を防止するため、スキャンドライバ 3 0 を複数に分割して並列に接続し、電流を分散する手法が提案されている（例えば、特許文献 1 参照）。

【 0 0 2 5 】

図 5 は、従来のスキャンドライバ 3 0 の駆動 I C (I n t e g r a t e d C i r c u i t、集積回路) の出力端子と Y 電極との関係を示した図である。

【 0 0 2 6 】

図 5 において、例えば、走査電極 Y 1 を駆動するのに、駆動 I C 2 1 - 1 の 0 1 出力端子と駆動 I C 2 1 - 2 の 0 1 出力端子の双方が接続されている。つまり、2 個の駆動 I C で、1 個の走査電極を駆動する。

50

【 0 0 2 7 】

このように、1個の電極を駆動するのに、スキヤンドライバ30の駆動ICを並列に接続することにより、電流を分散させて発熱を抑えることができる。

【特許文献1】特開2005-121718号公報

【特許文献2】特開2003-330405号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 8 】

しかしながら、上述の特許文献1に記載の構成では、スキヤンドライバを各々の電極に対して並列接続するため、駆動ICの素子数が増加する。例えば、各々の電極に対して2並列のスキヤンドライバの構成とすると、素子数は2倍となり、回路コストが増大するという問題があった。

10

【 0 0 2 9 】

また、特許文献1の構成では、並列に接続されたスキヤンドライバからの同一の電極への出力のタイミングが一致している必要があり、駆動信号の立ち上がり及び立下りのずれを生じると、一方の駆動ICの高電位側の切り換え用トランジスタと他方の駆動ICの低電位側の切り換え用トランジスタが同時にオン状態になって、短時間ではあるが貫通電流が流れる可能性があるため、そのような状態を招かないように、配線の長さを同一にする等の細かい配慮が必要であるという煩わしさがあった。

【 0 0 3 0 】

そこで、本発明は、駆動回路の素子数を減少させつつ発熱を抑制し、コスト低減を図りつつも発熱抑制の対策がなされたプラズマディスプレイ装置を提供することを目的とする。

20

【課題を解決するための手段】

【 0 0 3 1 】

上記目的を達成するため、第1の発明に係るプラズマディスプレイ装置は、複数の電極と、該複数の電極を駆動する駆動回路を備えたプラズマディスプレイ装置であって、

前記駆動回路は、前記複数の電極の各々に対して、複数の駆動ICが並列に接続されて構成され、

並列に接続された前記複数の駆動ICは、前記電極の1本に対して、互いに異なる時間に電流を供給することにより、前記複数の電極の各々を駆動することを特徴とする。

30

【 0 0 3 2 】

これにより、駆動ICの並列接続により発熱対策が図られるとともに、駆動ICがスキヤンドライバとサステイン回路を兼用することができ、駆動回路に要する素子数を減らし、回路コストの低減を図ることができる。

【 0 0 3 3 】

第2の発明は、第1の発明に係るプラズマディスプレイ装置において、

前記駆動ICは、複数の出力端子を備え、該複数の出力端子の各々が、前記複数の電極の各々に並列に接続されていることを特徴とする。

【 0 0 3 4 】

これにより、大画面のプラズマディスプレイ装置に対しても、駆動ICを適切に配設することができる。

40

【 0 0 3 5 】

第3の発明は、第1又は第2の発明に係るプラズマディスプレイ装置において、

前記複数の電極の各々に対して並列に接続された前記駆動ICのうち少なくとも1つは、ハイレベル及びローレベルの2種類の電圧が入力可能であり、ハイレベル出力、ローレベル出力及び高インピーダンス出力の3状態の出力が可能であることを特徴とする。

【 0 0 3 6 】

これにより、信号の切り換え時にも、貫通電流を防止しつつデジタル信号制御を行うこ

50

とができる。

【0037】

第4の発明は、第2又は第3の発明に係るプラズマディスプレイ装置において、前記複数の電極の各々に対して並列に接続された前記駆動ICのうち少なくとも1つは、前記複数の出力端子を個別に出力制御可能なICであることを特徴とする。

【0038】

これにより、駆動ICにより、表示セル駆動シーケンスのアドレス期間における電極走査を行うことができる。

【0039】

第5の発明は、第1～4のいずれか1つの発明に係るプラズマディスプレイ装置において、

前記複数の電極はY電極であり、

前記駆動ICは、アドレスパルス及び/又はサステイン電圧を出力することを特徴とする。

【0040】

これにより、Y電極のアドレス期間及びサステイン期間の双方に対して、発熱を抑えつつ駆動シーケンスを実行することができる。

【0041】

第6の発明は、第1～5のいずれか1つの発明に係るプラズマディスプレイ装置において、

前記駆動回路は、前記複数の電極の各々に対して、前記複数の駆動ICが第1群と第2群とに分かれて接続されて構成され、

第1群の前記駆動ICのハイレベル入力端子は電源の陽極に接続され、

第1群の前記駆動ICのローレベル入力端子は前記電源の陰極に接続され、

前記第2群の前記駆動ICのローレベル入力端子及び前記第2群の前記駆動ICのハイレベル入力端子は、コイル及びダイオードを介して、前記電源の略中間電位の接続点に接続されたことを特徴とする。

【0042】

これにより、駆動回路に用いる素子数を減少させることができ、回路コストを低減させることができる。

【0043】

第7の発明は、第1～5のいずれか1つの発明に係るプラズマディスプレイ装置において、

前記駆動回路は、前記複数の電極の各々に対して、前記複数の駆動ICが第1群と第2群とに分かれて接続されて構成され、

第1群の前記駆動ICのハイレベル入力端子は電源の陽極に接続され、

第2群の前記駆動ICのローレベル入力端子は前記電源の陰極に接続され、

前記第1群の前記駆動ICのローレベル入力端子及び前記第2群の前記駆動ICのハイレベル入力端子は、コイル及びダイオードを介して、前記電源の略中間電位の接続点に接続されたことを特徴とする。

【0044】

これにより、第1群と第2群の駆動ICの通過電流を等しくすることができ、発熱量を均等に分担させることができ、高効率で熱を分散させることができる。

【0045】

第8の発明は、第6又は第7の発明に係るプラズマディスプレイ装置において、

前記複数の電極は、容量性負荷であり、

前記コイル、前記ダイオード及び前記容量性負荷でLC共振回路による電力回収回路を構成することを特徴とする。

【0046】

これにより、プラズマディスプレイ装置の電力効率の向上に寄与することができる。

10

20

30

40

50

【 0 0 4 7 】

第 9 の発明に係るプラズマディスプレイ装置は、複数の電極と、該複数の電極を駆動する駆動回路を備えたプラズマディスプレイ装置であって、

前記駆動回路は、前記複数の電極の各々に対して、ダイオードを組み合わせて互いの電極接続を絶縁したダイオードアレイを含む複数の半導体出力素子が並列に接続されて構成され、

並列に接続された前記複数の駆動 IC は、前記電極の 1 本に対して、互いに異なるタイミングで電流を供給することにより、前記電極の各々を駆動することを特徴とする。

【 0 0 4 8 】

これにより、外付けダイオードを用いて発熱抑制のなされたプラズマディスプレイ装置とすることができ、一層の低価格化が図れる。

【 0 0 4 9 】

第 10 の発明は、第 9 の発明に係るプラズマディスプレイ装置において、

前記複数の電極は容量性負荷であり、

前記ダイオードアレイのハイレベル入力端子及びローレベル入力端子はコイルに接続され、該コイルと前記容量性負荷で LC 共振回路による電力回収回路を構成することを特徴とする。

【 0 0 5 0 】

これにより、ダイオードアレイを用いて低価格化を図りつつ、プラズマディスプレイ装置の電力効率をも高めることができる。

【 発明の効果 】

【 0 0 5 1 】

本発明によれば、使用素子数を減少させ、駆動回路のコストを低減しつつ発熱を抑制したプラズマディスプレイ装置とすることができ、

【 発明を実施するための最良の形態 】

【 0 0 5 2 】

以下、図面を参照して、本発明を実施するための最良の形態の説明を行う。

【 0 0 5 3 】

〔実施の形態 1〕

図 6 は、本発明を適用した実施の形態 1 に係るプラズマディスプレイ装置 100 の基本構成図である。

【 0 0 5 4 】

図 6 において、実施の形態 1 に係るプラズマディスプレイ装置 100 は、プラズマディスプレイパネル 10 と、アドレスドライバ 20 と、駆動回路 50 と、X サステイン回路 60 と、制御回路 70 とから構成される。図 6 において、実施の形態 1 に係るプラズマディスプレイ装置 100 は、Y スキャンドライバ 30 と Y サステイン回路 40 が除去され、駆動回路 50 が加わった点において、図 1 に係る従来のプラズマディスプレイ装置 100 とは異なっている。なお、他の構成要素については、図 1 における構成要素と同様であり、同一の参照符号を付してその説明を省略する。

【 0 0 5 5 】

駆動回路 50 は、プラズマディスプレイパネル 10 に設けられた表示セル（図示せず）を構成する電極を駆動させるための回路である。駆動回路 50 は、電極の駆動シーケンスにおけるアドレス期間とサステイン期間の双方の期間について電極を駆動させることができる。従って、駆動回路 50 は、アドレス期間とサステイン期間の双方とも駆動する Y 電極に好適に適用することができる。但し、これに限定する趣旨ではない。

【 0 0 5 6 】

駆動回路 50 は、従来、アドレス期間には Y スキャンドライバ 30 が Y 電極を駆動させ、サステイン期間には Y サステイン回路 40 が動作して Y スキャンドライバ 30 を通じて Y 電極を駆動させていたのを、1 つの駆動回路で両方の期間、Y 電極を駆動させることができる。従って、駆動回路 50 は、従来の Y スキャンドライバ 30 と Y サステイン回路 4

10

20

30

40

50

0を単純に足し合わせた駆動回路55よりも簡素な回路構成となっており、構成素子数も減少して低コストで実現可能な構成となっている。

【0057】

次に、図7を用いて、実施の形態1に係る駆動回路50を備えたプラズマディスプレイ装置100の駆動回路50の詳細について説明する。

【0058】

図7は、実施の形態1に係る駆動回路50とプラズマディスプレイパネル10の回路構成図である。図7において、実施の形態1に係るプラズマディスプレイ装置100に搭載される駆動回路50は、電気的には容量性負荷を構成する複数の電極CL1、・・・、CLnと、スキンドライバA51と、スキンドライバB52と、ダイオードD1、D2と、コイルL1と、コンデンサC1、C2と、電源Vsとから構成される。

10

【0059】

電極CL1、・・・、CLnは、プラズマディスプレイパネル10の表示セルを構成する容量性負荷である。電極CL1、・・・、CLnは、例えば、Y電極であって、Y電極Y1、・・・、Ynに対応している。従って、電極CL1、・・・、CLnは、プラズマディスプレイパネル10の略全体領域をカバーするように、複数の電極CL1、・・・、CLnからなり、プラズマディスプレイパネル10の全体に配置されている。

【0060】

スキンドライバA51及びスキンドライバB52は、電極CL1、・・・、CLnに電圧を印加し、電流を供給するための駆動回路であり、複数の出力を有する駆動ICとして構成されている。スキンドライバA51及びスキンドライバB52を構成する駆動ICは、各々のスキンドライバA51、スキンドライバB52内にトランジスタLU、LD、CU、CDが複数(a1～an、b1～bn)設けられて複数の出力を有し、各々の出力端子は、複数の電極CL1、・・・、CLnに各々が接続されて構成されている。

20

【0061】

また、スキンドライバA51及びスキンドライバB52は、1本の電極CLnに対して、互いに並列に接続されて構成される。これにより、スキンドライバA51、スキンドライバB52で発生する熱を両者に分散させることができる。つまり、機能的には、スキンドライバA51及びスキンドライバB52は、いずれか1つだけでも構成可能であるが、本実施の形態においては、1本の電極CLnに対して2個のスキンドライバA51、スキンドライバB52を並列接続させることにより、その発熱を両者に分散させ、発熱を抑制することができる。

30

【0062】

スキンドライバB52は、トランジスタCU、CDの組からなり、トランジスタCUのソースとトランジスタCDのドレインとが接続され、その接続点が電極CL1、・・・、CLnに接続されている。なお、トランジスタCU、CDの組は、電極CL1、・・・、CLnに対応してn個用意され、各々が各電極CL1、・・・、CLnに対応して接続されている。

【0063】

また、スキンドライバB52は、トランジスタCUのドレインは電源Vsの陽極側に接続され、トランジスタCDのソースは、電源Vsの陰極側に接続されている。よって、従来のサステイン回路40のトランジスタCU、CDの機能を実現している。なお、トランジスタCUをオンとすれば、スキンドライバB52は、ハイレベル電圧を出力し、トランジスタCDをオンとすれば、ローレベル電圧を出力する。また、トランジスタCUとトランジスタCDのオン・オフの切り替えの際、切り替えタイミングがずれてオン信号の立ち上がりとオフ信号の立下りが重なり、高電位側から低電位側のトランジスタに貫通電流が流れる状態を防止するため、トランジスタCU、CDは、高インピーダンス出力も可能な構成としてよい。

40

【0064】

50

スキャンドライバ B 5 2 は、かかるトランジスタ C U、C D のオン・オフのスイッチングにより、パルス信号を出力できるので、電極 C L 1、・・・、C L n の駆動シーケンスのアドレス期間において、電極 C L 1、・・・、C L n をスキャンすることができる。また、トランジスタ C U、C D の組が、電極 C L 1、・・・、C L n に対して個別に接続されているので、スキャンドライバ B 5 2 は、電極 C L 1、・・・、C L n の各々に個別スキャン出力可能な駆動 I C として構成されている。従って、スキャンドライバ B 5 2 は、複数の出力端子を有し、それらの出力が、少なくとも 1 つは個別に出力制御可能な駆動 I C として構成されてよく、総ての出力端子が個別に出力制御可能であってもよい。

【 0 0 6 5 】

なお、スキャンドライバ B 5 2 は、必ずしも 1 個で構成されていなくてもよく、プラズマディスプレイパネル 1 0 の画面全体を構成する電極をいくつかのグループ（例えば、Y 1 ~ Y 6 4、Y 6 5 ~ Y 1 2 8、・・・）で分割し、各々のグループに対してスキャンドライバ B 5 2 を各々形成し、プラズマディスプレイ装置 1 0 0 全体としてスキャンドライバ B 5 2 の集合群を有するにしてもよい。この場合は、1 つのプラズマディスプレイ装置 1 0 0 内に駆動 I C たるスキャンドライバ B 5 2 が複数個（例えば、B 1 ~ B m 個）存在し、複数個の駆動 I C でスキャンドライバ B 5 2 の 1 群を形成することになる。このようなスキャンドライバ B 5 2 の群を、例えば第 1 群と呼んでもよい。

【 0 0 6 6 】

スキャンドライバ A 5 1 は、スキャンドライバ B 5 2 と同様に、トランジスタ L U と L D の組から構成され、トランジスタ L U のソースとトランジスタ L D のドレインとが接続されてその接続点が 1 つの出力を構成している。そしてその出力端子は、電極 C L 1、・・・、C L n に接続されている。トランジスタ L U のドレインは、ダイオード D 1 を介してコイル L 1 の一端に接続され、コイル L 1 の他端は、電源 V s をコンデンサ C 1、C 2 で 2 分した中点の接続点 S に接続されている。また、トランジスタ L D のソースは、ダイオード D 2 を介してコイル L 1 の一端にダイオード D 1 と並列に接続されている。

【 0 0 6 7 】

スキャンドライバ A は、電力回収回路を構成し、コイル L 1 と、電極 C L 1、・・・、C L n の容量性負荷から L C 共振回路を構成している。つまり、トランジスタ L U がオンとなったときには、ダイオード D 1 を順方向に流れてトランジスタ L U のソースから電流が容量性負荷である電極 C L 1、・・・、C L n に出力される。そして、コイル L 1 と電極 C L 1、・・・、C L n で L C 共振が発生し、回収用コンデンサ C 1、C 2 で電力を回収する。一方、トランジスタ L D がオンになったときには、トランジスタ L D のソースから出力されてダイオード D 2 を順方向に流れる電流により、電極 C L 1、・・・、C L n とコイル L 1 で L C 共振が発生し、コンデンサ C 1、C 2 で電力を回収する。

【 0 0 6 8 】

なお、スキャンドライバ A 5 1 は、スキャンドライバ B 5 2 と同様に、出力端子を複数有する駆動 I C であってもよく、更に、プラズマディスプレイパネル 1 0 上の総ての電極をカバーするために、スキャンドライバ A 5 1 が複数群あってもよい。また、各々の出力端子につき、少なくとも 1 つは、個別に出力制御可能であってもよいし、総ての出力端子が個別に出力制御可能であってもよい。このスキャンドライバ A 5 1 の群を、例えば、第 2 群の駆動 I C と呼んでもよい。

【 0 0 6 9 】

ここで、今まで説明した駆動回路 5 0 において、電極 C L 1、・・・、C L n の駆動シーケンスのアドレス期間について考えると、スキャンドライバ A 5 1 は関与せず、スキャンドライバ B 5 2 でパルス信号を出力している。つまり、スキャンドライバ A 5 1 とスキャンドライバ B 5 2 は、電極 C L 1、・・・、C L n に互いに並列接続されているが、アドレス期間において、同一の電極に対して同時に信号出力は行っていない。従って、本実施の形態に係るプラズマディスプレイ装置 1 0 0 においては、アドレス期間におけるスキャンドライバ A 5 1 とスキャンドライバ B 5 2 との同時出力時のタイミングずれや、出力パルスの立ち上がりや立下りの波形が重なることによる貫通電流のおそれ等を考慮する必

10

20

30

40

50

要がない。

【0070】

また、図3で説明した従来のプラズマディスプレイ装置200のY電極駆動回路55では、個別駆動用のYスキンドライバのトランジスタQ1、Q2の他に、サステイン回路40のトランジスタCU、CDを別個に設けていたが、本実施の形態においては、スキンドライバB52はトランジスタQ1、Q2の役割を果たすだけでなく、トランジスタCU、CDの役割をも担っている。つまり、従来のスキンドライバ30の使用方法では、例えばスキンドライバ30を図5のように並列接続しても、スイッチング機能を使用するのはアドレス期間のみであるのに対し、本実施の形態に係るプラズマディスプレイ装置100の駆動回路50では、このスイッチング機能をサステイン期間にも使用することにより、従来のサステイン回路に使用していた素子であるトランジスタCU、CD、LU、LDを省略し、コスト低減を図っている。

10

【0071】

次に、図7の実施の形態1に係るプラズマディスプレイ装置100の電極CL1、・・・、CLnの駆動シーケンスのサステイン期間に出力されるサステイン波形について、図7及び図8を用いて説明する。

【0072】

図8は、実施の形態1に係るプラズマディスプレイ装置100を動作させたときのサステイン波形を示した図である。

【0073】

図8(a)は、1本の電極CLnに対するプラズマディスプレイ装置100のサステイン期間における出力電圧の波形を示した図である。図8(a)において、最初にトランジスタLUがオンとなり、コンデンサC1、C2の間の接続点Sから、サステイン電源Vsの略中間電位の電圧がコイルL1に供給され、電流が流れる。電流は、ダイオードD1を順方向に流れ、トランジスタLUを経由して出力され、電極CLnの容量性負荷にサステイン電流としてスキンドライバA51を介して供給される。このとき、コイルL1と容量性負荷CLnとの間でLC共振が発生し、このLC共振により、トランジスタLUの出力電圧は、図8(a)に示すように緩やかに立ち上がる。一方、LC共振により出力電圧がある程度の所まで上昇したら、スキンドライバB52のトランジスタCUをオンに切り替え、サステイン電源電圧Vsを出力する。その後、サステイン電源電圧Vsを維持して出力し、パルスの立下りにおいては、トランジスタCUをオフにするとともに、トランジスタLDをオンに切り替える。その際、トランジスタCUを高インピーダンス出力とし、トランジスタCUに貫通電流が流れないようにしてよい。トランジスタLDがオンになると、容量性負荷CLnに蓄えられた電荷が、トランジスタLDとダイオードD2を介してコイルL1に流れ込み、LC共振が発生して緩やかにサステイン電圧波形が立ち下がる。そして、LC共振によりある程度の電位にまで下降したら、トランジスタCDをオンに切り替え、出力を接地電位0Vとする。

20

30

【0074】

このように、スキンドライバA51を構成する駆動ICのトランジスタLU、LD及びスキンドライバB52を構成する駆動ICのトランジスタCU、CDを、出力する時間を互いに異ならせてオンとすることにより、図8(a)に示したようなサステイン電圧波形を出力することができる。この波形は、従来技術の図4(a)において説明したサステイン電圧波形と同形であるが、同じサステイン波形を、少ない素子数で実現している。つまり、図3に示した従来の駆動回路55では、Yサステイン回路40にトランジスタCU、CD、LU、LDを用い、更にYスキンドライバ30にトランジスタQ1、Q2を用いて合計6つのトランジスタを用いているのが、本実施の形態に係る駆動回路50では、トランジスタCU、CD、LU、LDの4つの素子で同じ機能を実現している。即ち、スキンドライバA51には従来のサステイン回路40のトランジスタLU、LDの機能を組み込み、スキンドライバB52には従来のサステイン回路40のトランジスタCU、CDの機能を組み込むことにより、単独のサステイン回路40を削除し、従来のサステ

40

50

イン波形生成機能をスキャンドライバ A 5 1、スキャンドライバ B 5 2 内で実現している。これにより、省トランジスタで駆動回路 5 0 を構成することができ、回路コストを低減することができる。

【 0 0 7 5 】

図 8 (b) は、サステイン電流波形の時間変化を示した図である。図 8 (b) に示したサステイン波形も、図 4 (b) に示した従来技術のサステイン波形と同様であり、少ない素子数で同じ機能を実現している。従って、従来から行われてきた発熱抑制の効果は踏襲しつつ、同様の効果を少ない素子数で実現している。

【 0 0 7 6 】

なお、従来のスキャンドライバ 3 0 と、本実施の形態に係るプラズマディスプレイ装置 1 0 0 の駆動回路 5 0 のスキャンドライバ A 5 1、スキャンドライバ B 5 2 のみを比較すると、発熱源分散による発熱抑制効果は同程度に思われるが、図 3 の従来技術では、スキャンドライバ 3 0 のトランジスタ Q 1、Q 2 が図 8 (b) に示すサステイン電流波形により発熱しているだけでなく、トランジスタ C U、C D、L U、L D も、同様の発熱をしている。従って、本実施の形態に係るプラズマディスプレイ装置 1 0 0 では、素子数が減少しており、熱源の数も減少しているため、従来の駆動回路 5 5 よりも全体として発熱量は抑制されていると考えられる。よって、実施の形態 1 に係るプラズマディスプレイ装置 1 0 0 によれば、駆動回路 5 0 の構成素子を減少させて低コスト化が図られているだけでなく、発熱源の減少により、プラズマディスプレイ装置 1 0 0 全体としての発熱も更に抑制されて改善されている。

【 0 0 7 7 】

また、図 8 においては、1 本の電極に対する駆動 I C の出力波形で説明したが、実際には、Y 電極は複数あり、各々の Y 電極に対して、例えば図 8 に示したサステイン波形を供給してよいことは言うまでもない。

【 0 0 7 8 】

ここで、図 8 (b) におけるスキャンドライバ A 5 1 とスキャンドライバ B 5 2 を通過する各々の電流波形について考えると、スキャンドライバ A 5 1 を通過する電流は、正負双方の電流において、電流値が低くて時間の長い正弦波に近い部分の波形である。一方、スキャンドライバ B 5 2 を通過する電流は、正負双方の電流において、電流値が高く時間幅が短いパルスに近い形状の波形である。これにより、スキャンドライバ A 5 1 を通過する電流と、スキャンドライバ B 5 2 を通過する電流は、完全には均等にはならないが、電流積算値が略等しくなるように調整したり、電流の違いに応じてトランジスタ C U、C D、L U、L D の特性を変化させるようにして調整したりしてもよい。スキャンドライバ A 5 1 とスキャンドライバ B 5 2 の電流配分又は発熱量配分は、プラズマディスプレイ装置 1 0 0 の駆動状態や発熱状態を考慮して、適宜調整可能である。

【 0 0 7 9 】

〔 実施の形態 2 〕

図 9 は、実施の形態 2 に係るプラズマディスプレイ装置 1 0 0 a に適用される駆動回路 5 0 a の回路構成図である。実施の形態 2 においても、プラズマディスプレイ装置 1 0 0 全体の構成は、図 6 に係る実施の形態 1 の構成と同様であってよい。なお、今までの説明と同様の構成要素については、同一の参照符号を付してその説明を省略する。

【 0 0 8 0 】

図 9 において、実施の形態 2 に係るプラズマディスプレイ装置 1 0 0 a は、スキャンドライバ A 5 1 a とスキャンドライバ B 5 2 a のトランジスタの組合せと、駆動回路 5 0 a の回路構成について、実施の形態 1 に係るプラズマディスプレイ装置 1 0 0 と異なっている。

【 0 0 8 1 】

図 9 において、スキャンドライバ A 5 1 a 又は第 2 群の駆動 I C は、トランジスタ C U、L D で構成されている。また、スキャンドライバ B 5 2 a 又は第 1 群の駆動 I C は、トランジスタ L U、C D で構成されている。

10

20

30

40

50

【 0 0 8 2 】

つまり、実施の形態 2 に係るスキャンドライバ A 5 1 a、スキャンドライバ B 5 2 a は、実施の形態 1 に係るスキャンドライバ A 5 1 a のトランジスタ L U と、スキャンドライバ B 5 2 a のトランジスタ C U とを交換した形に構成されている。この交換に伴い、実施の形態 1 においてトランジスタ L U に接続されていたダイオード D 1 がトランジスタ L U とともに移動し、コイル L 1 の接続点 R へのダイオード D 1、D 2 の並列接続が崩れないように構成している。従って、実施の形態 2 に係るプラズマディスプレイ装置 1 0 0 a の駆動回路 5 0 a の構成は、トランジスタ C U、C D、L U、L D に対する部品の電氣的接続は変更されていない。また、トランジスタ C U、C D、L U、L D を含めた部品数も実施の形態 1 に係るプラズマディスプレイ装置 1 0 0 と同様であり、回路コストは同一である。

10

【 0 0 8 3 】

次に、かかる構成の駆動回路 5 0 a を備えた実施の形態 2 に係るプラズマディスプレイ装置 1 0 0 a のアドレス期間における動作について説明する。

【 0 0 8 4 】

アドレス期間においては、ハイレベル電圧が出力される際には、スキャンドライバ A 5 1 a のトランジスタ C U がオンとなり、電源電圧 V_s が、トランジスタ C U のソースから出力される。一方、ローレベル電圧が出力される際には、スキャンドライバ B 5 2 a のトランジスタ C D がオンとなり、接地電圧 0 V がトランジスタ C D のドレインから出力される。これらの出力信号は、スキャンドライバ A 5 1 a、スキャンドライバ B 5 2 a から互いに異なる時間に出力され、アドレスパルスが電極 C L 1、・・・、C L n に印加される。なお、トランジスタ C U、C D のオン・オフの切り替え時には、高インピーダンスを出力し、高電圧側のトランジスタ C U から低電圧側のトランジスタ C D に貫通電流が流れないようにしてよい。

20

【 0 0 8 5 】

このように、実施の形態 2 においても、電源 V_s の陽極側に接続されているスキャンドライバ A 5 1 a のトランジスタ C U と、電源 V_s の陰極側に接続されているスキャンドライバ B 5 2 a のトランジスタ C D を用いることにより、実施の形態 1 と同様に、アドレス期間における電極 C L 1、・・・、C L n を実行することができる。実施の形態 2 においては、アドレス期間中に使用されるトランジスタ C U、C D を、スキャンドライバ A 5 1 a とスキャンドライバ B 5 2 a に分散させたので、実施の形態 1 と異なり、アドレス期間中のスキャンドライバ A 5 1 a とスキャンドライバ B 5 2 a の通過電流を等しくすることができ、両者の発熱量を等しくすることができる。

30

【 0 0 8 6 】

次に、図 9 及び図 1 0 を用いて、サステイン期間における駆動回路 5 0 a の動作について説明する。

【 0 0 8 7 】

図 1 0 は、実施の形態 2 に係るプラズマディスプレイ装置 1 0 0 のサステイン波形を示した図である。図 1 0 (a) は、サステイン電圧波形の時間変化を示した図である。

【 0 0 8 8 】

図 1 0 (a) において、最初の電圧の立ち上がりは、スキャンドライバ B 5 2 a のトランジスタ L U をオンにし、コンデンサ C 1、C 2 の間の接続点 S からサステイン電源 V_s の中間電位の電圧が供給され、コイル L 1 及びダイオード D 1 を通過してトランジスタ L U のソースからサステイン電圧が出力される。電極 C L 1、・・・、C L n と、コイル L 1 で L C 共振が発生し、図 1 0 (a) に示したように緩やかにサステイン電圧は上昇する。そして、ある程度の大きさになったら、スキャンドライバ A 5 1 a のトランジスタ C U をオンに切り替え、サステイン電源電圧 V_s のハイレベル電圧がソースから出力される。その際、貫通電流を防止するために、トランジスタ L U の出力は高インピーダンス出力としてもよい。また、電力回収用のコンデンサ C 1、C 2 には、電力が蓄積される。

40

【 0 0 8 9 】

50

サステイン電源電圧 V_s を維持して時間が経過し、サステイン電圧の立下り時には、トランジスタ $L D$ をオンにする。このとき、電極 $C L 1$ 、 \dots 、 $C L n$ からトランジスタ $L D$ 及びダイオード $D 2$ を介して電圧が供給され、コイル $L 1$ と容量性負荷の電極 $C L 1$ 、 \dots 、 $C L n$ とで、 $L C$ 共振を発生する。従って、 $L C$ 共振により緩やかにサステイン出力電圧は立ち下がり、ある一定の電圧まで下がったら、スキャンドライバ $B 5 2 a$ のトランジスタ $C D$ をオンとし、サステイン電圧を接地電圧 $0 V$ とする。なお、 $L C$ 共振時には、コンデンサ $C 1$ 、 $C 2$ で電力を回収してよい。

【0090】

図10(b)は、図10(a)のサステイン電圧出力波形に対応したサステイン電流出力波形を示した図である。

10

【0091】

図10(b)において、スキャンドライバ $B 5 2 a$ を通過する電流は、トランジスタ $L U$ 、 $C D$ を通過した電流であり、最初の緩やかなトランジスタ $L U$ を通過する立ち上がり時の正のサステイン電流と、最後のトランジスタ $C D$ を通過する立下り時の負の急峻なサステイン電流となる。

【0092】

一方、図10(b)において、スキャンドライバ $A 5 1 a$ を通過する電流は、トランジスタ $C U$ 、 $L D$ を通過した電流であり、立ち上がり時の急峻なトランジスタ $C U$ を通過する正の電流と、立下り時の緩やかなトランジスタ $L D$ を通過する負の電流である。

20

【0093】

従って、スキャンドライバ $B 5 2 a$ を通過する電流も、スキャンドライバ $A 5 1 a$ を通過する電流も、反対符号の緩やかな電流波形と急峻な電流波形の組合せとなり、スキャンドライバ $A 5 1 a$ 、スキャンドライバ $B 5 2 a$ を通過する電流の積算量が等しくなる。これにより、スキャンドライバ $A 5 1 a$ とスキャンドライバ $B 5 2 a$ のサステイン期間における発熱量を略均等に分配することができ、熱の分散効率が高くなる。よって、プラズマディスプレイ装置 $1 0 0 a$ の発熱抑制効果を一層高めることができる。また、素子数は、実施の形態1と同様であるから、実施の形態1と同様に、回路コストを低減しつつ発熱源を減らす効果もそのまま維持できる。

【0094】

〔実施の形態3〕

30

図11は、実施の形態3に係るプラズマディスプレイ装置 $1 0 0 b$ の駆動回路 $5 0 b$ とプラズマディスプレイパネル $1 0$ の回路図である。実施の形態3においても、プラズマディスプレイ装置 $1 0 0$ 全体の構成は、図6に係る実施の形態1の構成と同様であってよい。なお、今まで説明したのと同様の構成要素については、同一の参照符号を付してその説明を省略する。

【0095】

図11において、実施の形態3に係るプラズマディスプレイ装置 $1 0 0 b$ に適用される駆動回路 $5 0 b$ は、ダイオードアレイ $5 3$ と、スキャンドライバ $5 2 b$ と、コイル $L 2$ 、 $L 3$ と、トランジスタ $L U$ 、 $L D$ と、コンデンサ $C 1$ 、 $C 2$ と、サステイン電源 V_s から構成される。

40

【0096】

図11の実施の形態3に係るプラズマディスプレイ装置 $1 0 0 b$ の駆動回路 $5 0 b$ は、図7の実施の形態1に係るプラズマディスプレイ装置 $1 0 0$ の駆動回路 $5 0$ とは、スキャンドライバ $A 5 1$ の代わりに、個別出力可能なダイオードアレイ $5 3$ と、従来の電力回収回路の構成と同様のコイル $L 2$ 、 $L 3$ とトランジスタ $L U$ 、 $L D$ とで構成されている点で異なっている。

【0097】

実施の形態1及び実施の形態2においては、スキャンドライバとして並列接続する駆動 $I C$ は同一の $I C$ を用いていたが、これは必ずしも同一である必要は無い。更に言うと、並列接続する駆動 $I C$ のうち、出力を個別に制御可能な $I C$ は、少なくとも1つ以上あれ

50

ばよい。出力を個別に制御する必要があるのはアドレス期間であるが、アドレス期間の電流は時間当たりの出力頻度が小さいので積算電流量も小さく、この期間の発熱は問題とならない場合が多いからである。

【0098】

従って、実施の形態3に係るプラズマディスプレイ装置100bにおいては、電極CL1、・・・、CLnに対して並列接続する駆動ICのうち、電力回収回路側の駆動ICを、出力の個別制御ができないトランジスタLU、LDを備えた駆動IC54で構成した。駆動IC54は、出力の個別制御が出来ないものであっても、各電極CL1、・・・、CLnへの各出力は互いに絶縁され、隣接する出力同士の通電を防止する必要があるため、例えばダイオードアレイ53のような逆流防止用の素子が必要となる。

10

【0099】

本実施の形態においては、スキンドライバ52bで個別制御をするとともに、従来のサステイン回路40におけるトランジスタCU、CDの機能を実現し、これらの素子を単独に設けることなく省略している。これにより、従来のサステイン回路40のうち、2つのトランジスタCU、CDについては省略するとともに、残りのトランジスタLU、LDについては、ダイオードアレイ53を用いることにより、従来と同様の電力回収回路としている。例えば、実施の形態1に係るスキンドライバB52を用いるよりも、簡素な素子を用いた本実施の形態に係る駆動回路50bの構成とした方が低コスト、又は製造容易な場合には、必要な部分のみサステイン回路組み込み型のスキンドライバ52bを用いる構成としてもよい。

20

【0100】

このように、本発明は、Yサステイン回路40をスキンドライバ51、51a、52、52a、52bにどのように組み込むかにより、種々の態様に適用することができ、用途に応じて、適宜適切な態様を適用してよい。

【0101】

以上、本発明の好ましい実施例について詳説したが、本発明は、上述した実施例に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施例に種々の変形及び置換を加えることができる。

【図面の簡単な説明】

【0102】

【図1】従来技術の3電極面放電型プラズマディスプレイ装置200の基本構成図である。

30

【図2】図1のプラズマディスプレイ装置200の駆動波形を示した図である。

【図3】従来の電力回収回路を備えたY電極駆動回路55の構成例を示した図である。

【図4】従来のY電極駆動回路55における、サステイン電圧及び電流波形の例である。

図4(a)は、サステイン電圧波形の例を示した図である。図4(b)は、サステイン電圧波形に対応したサステイン電流波形を示した図である。

【図5】従来のスキンドライバ30の駆動ICの出力端子とY電極との関係図である。

【図6】実施の形態1に係るプラズマディスプレイ装置100の基本構成図である。

【図7】実施の形態1に係る駆動回路50とプラズマディスプレイパネル10の回路構成図である。

40

【図8】実施の形態1に係るプラズマディスプレイ装置100のサステイン波形図である。図8(a)は、出力電圧の波形図である。図8(b)は、サステイン電流波形図である。

【図9】実施の形態2に係るプラズマディスプレイ装置100aの駆動回路50aの回路構成図である。

【図10】実施の形態2に係るプラズマディスプレイ装置100のサステイン波形図である。図10(a)は、サステイン電圧波形図である。図10(b)は、サステイン電流波形図である。

【図11】実施の形態3に係るプラズマディスプレイ装置100bの駆動回路50bの回

50

路図である。

【符号の説明】

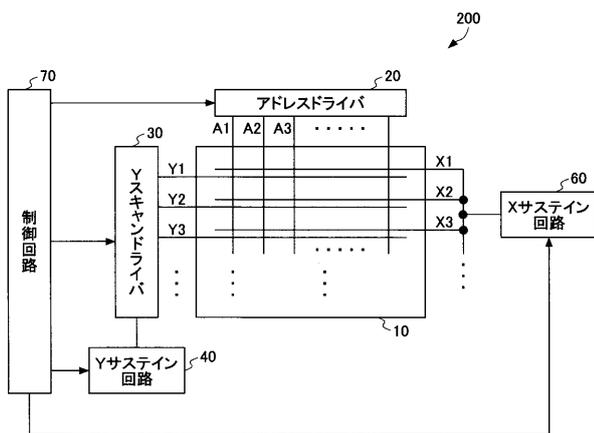
【0103】

- 10 プラズマディスプレイパネル
- 20 アドレスドライバ
- 30 Yスキヤンドライバ
- 40 Yサステイン回路
- 41、42、43、44 位相調整回路
- 50、55 駆動回路
- 51、51a、51b、52、52a、52b スキヤンドライバ（駆動IC）
- 53 ダイオードアレイ
- 54 駆動IC
- 60 Xサステイン回路
- 70 制御回路
- 100、100a、100b、200 プラズマディスプレイ装置

10

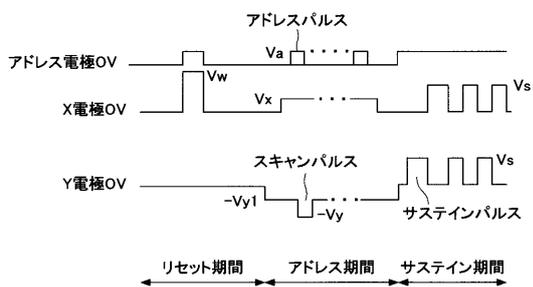
【図1】

従来技術の3電極面放電型プラズマディスプレイ装置200の基本構成図



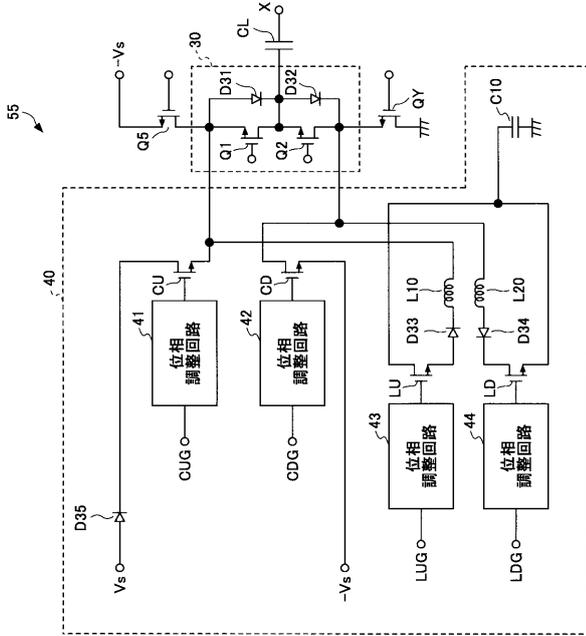
【図2】

図1のプラズマディスプレイ装置200の駆動波形を示した図



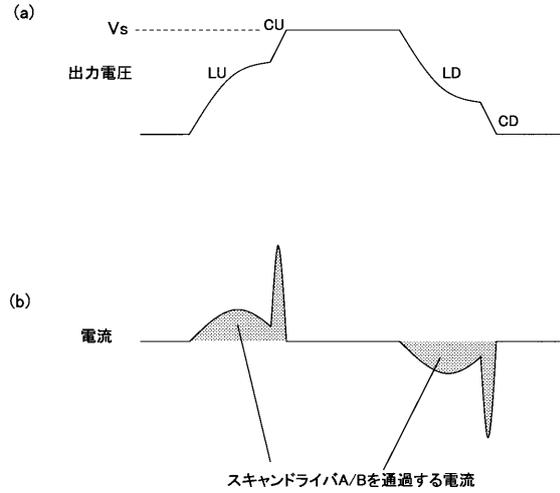
【 図 3 】

従来の電力回収回路を備えたY電極駆動回路55の構成例を示した図



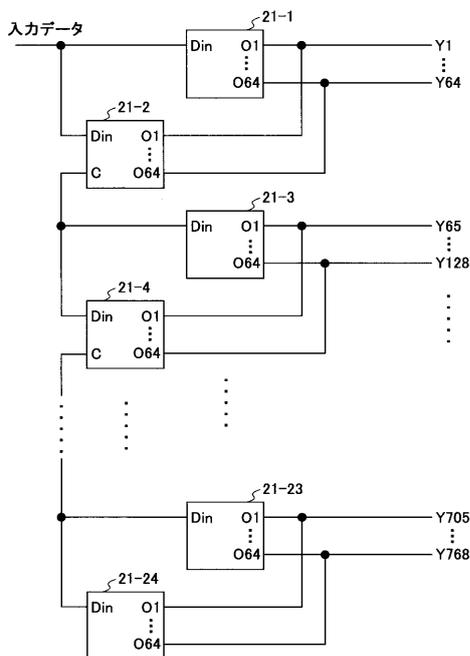
【 図 4 】

従来のY電極駆動回路55における、サステイン電圧及び電流波形の例
図4(a)は、サステイン電圧波形の例を示した図
図4(b)は、サステイン電圧波形に対応したサステイン電流波形を示した図



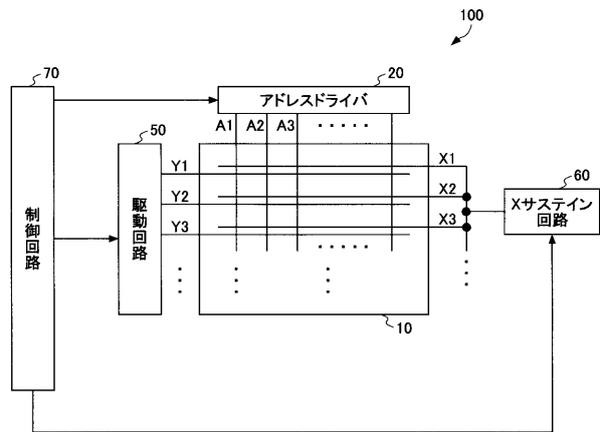
【 図 5 】

従来のスキヤンドライバ30の駆動ICの出力端子とY電極との関係図



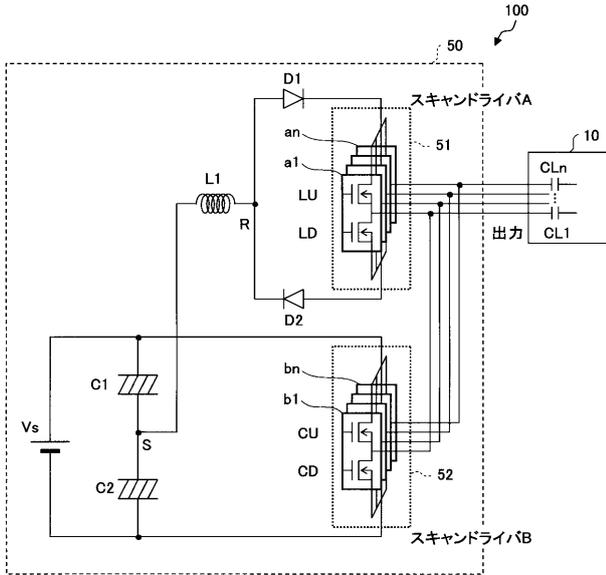
【 図 6 】

実施の形態1に係るプラズマディスプレイ装置100の基本構成図



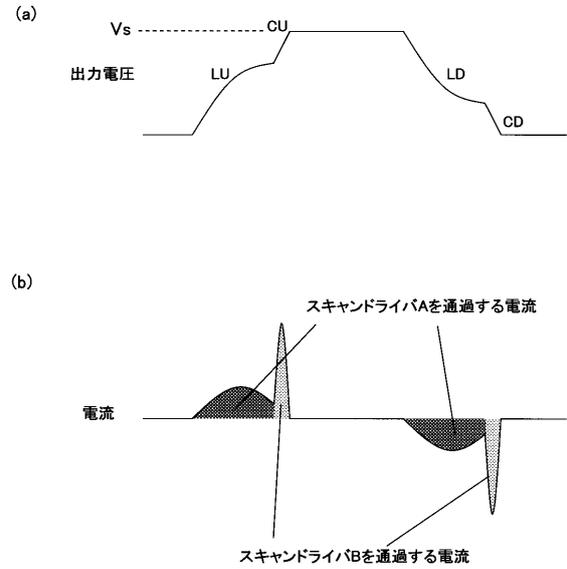
【 図 7 】

実施の形態1に係る
駆動回路50とプラズマディスプレイパネル10の回路構成図



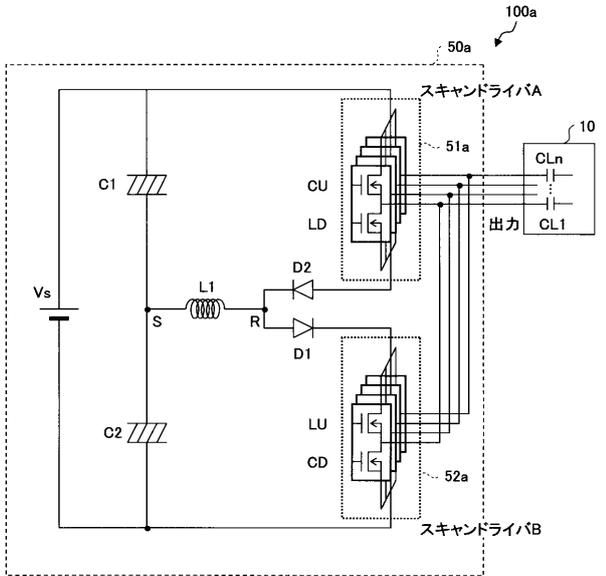
【 図 8 】

実施の形態1に係るプラズマディスプレイ装置100のサステイン波形図
図8(a)は、出力電圧の波形図
図8(b)は、サステイン電流波形図



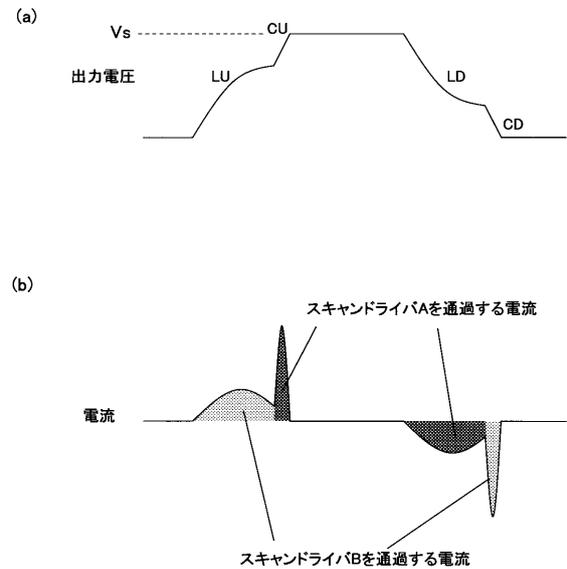
【 図 9 】

実施の形態2に係る
プラズマディスプレイ装置100aの駆動回路50aの回路構成図



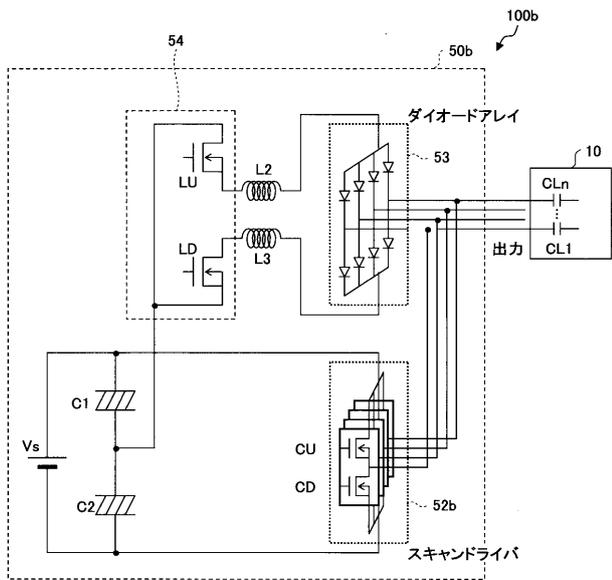
【 図 10 】

実施の形態2に係るプラズマディスプレイ装置100のサステイン波形図
図10(a)は、サステイン電圧波形図
図10(b)は、サステイン電流波形図



【 図 1 1 】

実施の形態3に係る
プラズマディスプレイ装置100bの駆動回路50bの回路図



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 2 4 N
	G 0 9 G 3/20	6 7 0 M
	G 0 9 G 3/20	6 7 0 L
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 4 M

(72)発明者 上中 鉄也

神奈川県横浜市戸塚区吉田町2-9-2番地 株式会社日立製作所製品開発事業部内

(72)発明者 栗山 博仁

神奈川県横浜市戸塚区吉田町2-9-2番地 株式会社日立製作所製品開発事業部内

(72)発明者 岸 智勝

神奈川県横浜市戸塚区吉田町2-9-2番地 株式会社日立製作所製品開発事業部内

Fターム(参考) 5C080 AA05 DD19 DD20 DD25 DD26 DD28 FF12 HH04 HH05 JJ02
 JJ03 JJ04
 5C580 AA03 BA02 BA03 BA10 BA13 BA14 BA19 BB05 BB19 BB20
 BB21 BB22 BB27 BB28 BC03 BC06 BC11 BC12 BC15 BC17
 FA04