

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-241492  
(P2014-241492A)

(43) 公開日 平成26年12月25日(2014.12.25)

(51) Int.Cl.  
H03M 1/46 (2006.01)

F I  
H03M 1/46

テーマコード(参考)  
5J022

審査請求 未請求 請求項の数 13 O L (全 24 頁)

(21) 出願番号 特願2013-122933 (P2013-122933)  
(22) 出願日 平成25年6月11日 (2013.6.11)

(71) 出願人 302062931  
ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地  
(74) 代理人 110001195  
特許業務法人深見特許事務所  
(72) 発明者 大倉 俊介  
神奈川県川崎市中原区下沼部1753番地  
ルネサスエレクトロニクス株式会社内  
(72) 発明者 森下 玄  
神奈川県川崎市中原区下沼部1753番地  
ルネサスエレクトロニクス株式会社内  
Fターム(参考) 5J022 AA02 AB01 BA06 CA07 CB01  
CE08 CF01 CF08 CF10 CG01  
CG04

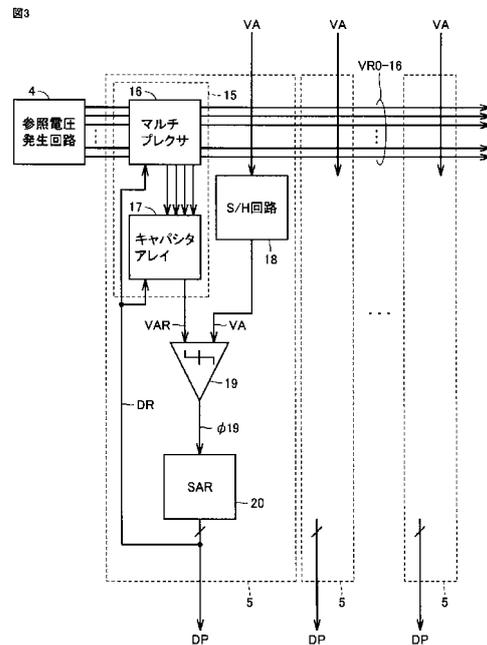
(54) 【発明の名称】 固体撮像装置および半導体装置

(57) 【要約】

【課題】 小型で低コストの固体撮像装置を提供する。

【解決手段】 固体撮像装置の逐次比較型A/D変換器5に含まれるD/A変換器15は、粗いA/D変換を行なう場合は、参照電圧VR0~VR16のうちいずれかの参照電圧を選択してアナログ参照信号VARとし、細かいA/D変換を行なう場合は、参照電圧VR0~VR16のうち参照電圧VR(n-1)~VR(n+2)を選択するマルチプレクサ16と、細かいA/D変換を行なう場合に、参照電圧VR(n-1)~VR(n+2)に基づいてアナログ参照信号VARを生成するキャパシタアレイ17とを含む。したがって、冗長なキャパシタを用いずに参照電圧VRの整定誤差を低減できる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

入射光量に応じた電圧のアナログ画素信号を出力する画素回路と、  
 第 1 ~ 第 N の参照電圧を生成する参照電圧発生回路と、  
 前記第 1 ~ 第 N の参照電圧に基づいて前記アナログ画素信号の A / D 変換を行なう逐次比較型 A / D 変換器とを備え、  
 前記 A / D 変換は、第 1 の通常比較動作を行なう粗い A / D 変換と、第 2 の通常比較動作および冗長比較動作を行なう細かい A / D 変換とを含み、  
 前記逐次比較型 A / D 変換器は、  
 デジタル参照信号をアナログ参照信号に変換する D / A 変換器と、  
 前記アナログ画素信号と前記アナログ参照信号の高低を比較し、比較結果を示す信号を出力する比較器と、  
 前記比較器の比較結果に基づいて動作し、前記アナログ参照信号が前記アナログ画素信号に近似するように前記デジタル参照信号を生成する逐次近似レジスタとを含み、  
 前記 D / A 変換器は、  
 前記粗い A / D 変換を行なう場合は、前記第 1 ~ 第 N の参照電圧のうちのいずれかの参照電圧を選択し、その参照電圧を前記アナログ参照信号として前記比較器に与え、前記細かい A / D 変換を行なう場合は、前記第 1 ~ 第 N の参照電圧のうちの第 ( n - 1 ) ~ 第 ( n + 2 ) の参照電圧を選択するマルチプレクサと、  
 前記細かい A / D 変換を行なう場合に、前記マルチプレクサによって選択された前記第 ( n - 1 ) ~ 第 ( n + 2 ) の参照電圧に基づいて前記アナログ参照信号を生成するキャパシタアレイとを含む、固体撮像装置。

10

20

## 【請求項 2】

前記 n は、1 以上で ( N - 1 ) 以下の整数である、請求項 1 に記載の固体撮像装置。

## 【請求項 3】

前記 n は、2 以上で ( N - 2 ) 以下の整数である、請求項 1 に記載の固体撮像装置。

## 【請求項 4】

前記キャパシタアレイは、  
 前記アナログ参照信号が現われる出力端子と、  
 一方電極が前記出力端子に接続され、他方電極が前記第 n の参照電圧を受けるダミーキャパシタと、  
 一方電極がともに前記出力端子に接続された第 1 ~ 第 M のキャパシタと、  
 前記第 1 ~ 第 M のキャパシタの他方電極の各々に前記第 ( n - 1 ) ~ 第 ( n + 1 ) の参照電圧のうちのいずれかの参照電圧を与える切換回路とを含み、  
 前記ダミーキャパシタの容量値は前記第 1 のキャパシタの容量値と同じであり、前記第 1 ~ 第 M のキャパシタの容量値は 2 倍ずつ順次増大している、請求項 1 に記載の固体撮像装置。

30

## 【請求項 5】

前記キャパシタアレイは、  
 前記アナログ参照信号が現われる出力端子と、  
 一方電極が前記出力端子に接続されたスプリットキャパシタと、  
 一方電極が前記スプリットキャパシタの他方電極に接続され、他方電極が前記第 n の参照電圧を受けるダミーキャパシタと、  
 一方電極がともに前記スプリットキャパシタの他方電極に接続された第 1 ~ 第 m のキャパシタと、  
 一方電極がともに前記出力端子に接続された第 ( m + 1 ) ~ 第 M のキャパシタと、  
 前記第 1 ~ 第 M のキャパシタの他方電極の各々に前記第 ( n - 1 ) ~ 第 ( n + 1 ) の参照電圧のうちのいずれかの参照電圧を与える切換回路とを含み、  
 前記スプリットキャパシタと前記ダミーキャパシタの容量値は略等しく、前記ダミーキャパシタ、前記第 1 のキャパシタ、および前記第 ( m + 1 ) のキャパシタの容量値は同じ

40

50

であり、前記 1 ~ 第 m のキャパシタの容量値は 2 倍ずつ順次増大し、前記 ( m + 1 ) ~ 第 M のキャパシタの容量値は 2 倍ずつ順次増大している、請求項 1 に記載の固体撮像装置。

【請求項 6】

複数行複数列に配置された複数の前記画素回路を備え、

前記逐次比較型 A / D 変換器は、各列に対応して設けられ、前記複数行のうちの選択された行の対応の画素回路から出力された前記アナログ画素信号の A / D 変換を行ない、

さらに、複数の前記逐次比較型 A / D 変換器に共通に設けられ、各逐次比較型 A / D 変換器の出力信号に基づいてデジタル画素信号を生成する信号処理回路を備える、請求項 1 に記載の固体撮像装置。

【請求項 7】

複数行複数列に配置された複数の前記画素回路を備え、

前記逐次比較型 A / D 変換器は、各列に対応して設けられ、前記複数行のうちの選択された行の対応の画素回路から出力された前記アナログ画素信号の A / D 変換を行ない、

さらに、各列に対応して設けられ、対応の逐次比較型 A / D 変換器の出力信号に基づいてデジタル画素信号を生成する信号発生回路を備える、請求項 1 に記載の固体撮像装置。

【請求項 8】

前記参照電圧発生回路は、前記第 N の参照電圧と前記第 1 の参照電圧の間の電圧を分圧して第 ( N - 1 ) ~ 第 2 の参照電圧を生成するラダー抵抗器を含む、請求項 1 に記載の固体撮像装置。

【請求項 9】

前記参照電圧発生回路は、

制御信号に応じた値の電流を出力する第 1 の可変電流源と、

一方端子が前記可変電流源の出力電流を受け、他方端子が前記第 1 の参照電圧を受け、前記第 1 の可変電流源の出力電流に応じたレベルの第 2 ~ 第 N の参照電圧を出力するラダー抵抗器を含む、請求項 1 に記載の固体撮像装置。

【請求項 10】

前記参照電圧発生回路は、さらに、前記ラダー抵抗器の他方端子と基準電圧のラインとの間に接続され、前記制御信号に応じた値の電流を流出させる第 2 の可変電流源を含む、請求項 9 に記載の固体撮像装置。

【請求項 11】

前記参照電圧発生回路は、

電源電圧のラインと基準電圧のラインとの間に直列接続された第 1 のトランジスタ、第 1 のラダー抵抗器、および第 2 のトランジスタと、

前記第 1 のトランジスタおよび前記第 1 のラダー抵抗器間の第 1 のノードの電圧が制御信号の電圧に一致するように前記第 1 のトランジスタのゲート電圧を制御する第 1 の演算増幅器と、

前記第 1 のラダー抵抗器および前記第 2 のトランジスタ間の第 2 のノードの電圧が前記第 1 の参照電圧に一致するように前記第 2 のトランジスタのゲート電圧を制御する第 2 の演算増幅器と、

前記電源電圧のラインと前記基準電圧のラインとの間に直列接続された第 3 のトランジスタ、第 2 のラダー抵抗器、および第 4 のトランジスタとを含み、

前記第 1 および第 3 のトランジスタのゲートは互いに接続され、

前記第 2 および第 4 のトランジスタのゲートは互いに接続され、

前記第 2 のラダー抵抗器の抵抗値は前記第 1 のラダー抵抗器の抵抗値よりも小さく、

前記第 2 のラダー抵抗器は前記第 1 ~ 第 N の参照電圧を出力する、請求項 1 に記載の固体撮像装置。

【請求項 12】

第 1 ~ 第 N の参照電圧を生成する参照電圧発生回路と、

前記第 1 ~ 第 N の参照電圧に基づいてアナログ入力信号の A / D 変換を行なう逐次比較型 A / D 変換器とを備え、

10

20

30

40

50

前記第 1 ~ 第 N の参照電圧の間の ( N - 1 ) 個のサブレンジ領域の各々が 個の区分領域に分割され、

前記 A / D 変換は、前記アナログ入力信号の電圧が、前記第 1 ~ 第 N の参照電圧のうちの第 n および第 ( n + 1 ) の参照電圧の間のサブレンジ領域に含まれる電圧であることを判別する上位ビット A / D 変換と、前記上位ビット A / D 変換の変換結果に基づき、前記第 n および第 ( n + 1 ) の参照電圧を含む第 ( n - 1 ) ~ 第 ( n + 2 ) の参照電圧の間の 3 個のサブレンジ領域に含まれる 3 x 個の区分領域のうちどの区分領域に含まれる電圧であるかを判別する下位ビット A / D 変換とを含み、

前記逐次比較型 A / D 変換器は、

デジタル参照信号をアナログ参照信号に変換する D / A 変換器と、

前記アナログ入力信号と前記アナログ参照信号の高低を比較し、比較結果を示す信号を出力する比較器と、

前記比較器の比較結果に基づいて動作し、前記アナログ参照信号が前記アナログ入力信号に近似するように前記デジタル参照信号を生成する逐次近似レジスタとを含み、

前記 D / A 変換器は、

前記上位ビット A / D 変換を行なう場合は、前記デジタル参照信号に基づき、前記第 1 ~ 第 N の参照電圧のうちのいずれかの参照電圧を選択し、前記下位ビット A / D 変換を行なう場合は、前記上位ビット A / D 変換の結果に基づき、前記第 1 ~ 第 N の参照電圧のうちの前記第 ( n - 1 ) ~ 第 ( n + 2 ) の参照電圧を選択するマルチプレクサと、

前記上位ビット A / D 変換を行なう場合は、前記マルチプレクサによって選択された参照電圧を前記アナログ参照信号として前記比較器に伝達し、前記下位ビット A / D 変換を行なう場合は、前記マルチプレクサによって選択された前記第 ( n - 1 ) ~ 第 ( n + 2 ) の参照電圧を受け、前記第 ( n - 1 ) ~ 第 ( n + 2 ) の参照電圧の間の前記 3 x 個の区分領域のうちいずれかの区分領域を特定する前記アナログ参照信号を前記デジタル参照信号に基づいて生成するキャパシタアレイとを含む、半導体装置。

#### 【請求項 13】

前記キャパシタアレイは、

前記アナログ参照信号が現れる出力端子と、

一方電極が前記出力端子に接続され、他方電極が前記第 n の参照電圧を受けるダミーキャパシタと、

一方電極がともに前記出力端子に接続された第 1 ~ 第 M のキャパシタと、

前記第 1 ~ 第 M のキャパシタに対応して設けられ、前記第 1 ~ 第 M のキャパシタの他方電極の各々と前記第 ( n - 1 ) ~ 第 ( n + 2 ) の参照電圧のうちいずれかの参照電圧との接続を切替える第 1 ~ 第 M の切替回路とを含み、

前記第 1 ~ 第 M の切替回路は、前記第 n および第 ( n + 1 ) の参照電圧のうちいずれか一方の参照電圧を選択して対応のキャパシタの他方電極に与える第 1 種切替回路と、前記第 ( n - 1 ) ~ 第 ( n + 2 ) の参照電圧のうちいずれか 1 つの参照電圧を選択して対応のキャパシタの他方電極に与える第 2 種切替回路とを含む、請求項 12 に記載の半導体装置。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は固体撮像装置および半導体装置に関し、たとえば逐次比較型 A / D 変換器を備えた固体撮像装置および半導体装置に好適に利用できるものである。

##### 【背景技術】

##### 【0002】

デジタルカメラは、被写体をレンズで捕らえて固体撮像装置に光学像として結像させるものである。この固体撮像装置には、大きく分けて CCD ( Charge Coupled Device ) と CMOS ( Complementary Metal Oxide Semiconductor ) イメージセンサとがある。カメラの高性能化の観点からは、画像処理用の CMOS 回路を周辺回路として搭載しやすい C

10

20

30

40

50

MOSイメージセンサへの注目が高まっている。CMOSイメージセンサには、アナログイメージセンサとデジタルイメージセンサとがある。どちらも一長一短があるものの、データ処理速度の観点からデジタルイメージセンサへの期待が高い。

【0003】

デジタルイメージセンサでは、画素アレイの各列にA/D(Analog-to-Digital)変換器が設けられている。たとえば、非特許文献1には、逐次比較型A/D変換器を用いたデジタルイメージセンサが開示されている。このデジタルイメージセンサでは、複数行複数列に配置された複数の画素を含む画素アレイが設けられ、各列に対応する列信号線にアナログ画素信号が出力される。

【0004】

逐次比較型A/D変換器は、各列に設けられ、S/H(Sample-and-Hold)回路、D/A(Digital-to-Analog)変換器、比較器、および逐次近似レジスタを備える。アナログ画素信号の電圧とD/A変換器の出力電圧を比較し、その比較結果に応じて逐次近似レジスタがD/A変換器の出力電圧がアナログ画素信号に近似するように二分探索制御する。D/A変換器の出力信号がアナログ画素信号に近似したときの、逐次近似レジスタの制御コードをデジタル画素信号として出力する。

【0005】

また、複数のサブレンジ領域を用いて2ステップのA/D変換を実施することで、D/A変換器の面積を低減し、さらに微分非直線性(DNL)を改善している。2ステップのA/D変換では、複数のサブレンジ領域に対して、二分探索によって粗いA/D変換を実行し、選択されたサブレンジ領域に対して、その領域を与える参照電圧を用いて、二進数の重み付けをされたキャパシタアレイを用いた一般的な逐次比較によって残りの細かいA/D変換を実行する。また、複数のA/D変換器を並列に備える固体撮像装置では、参照電圧の整定時間が問題となるため、外部デカップル容量と接続することで、参照電圧の安定化を図っている。

【0006】

また、非特許文献2には、逐次比較型A/D変換器の参照電圧の整定誤差を補正する回路が開示されている。比較電圧を発生するD/A変換器に冗長なキャパシタを備え、冗長な逐次比較動作を実施することで、整定誤差のデジタル信号処理による補正を可能としている。

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】「Design of a PTC-Inspired Segmented ADC for High Speed Column Parallel CMOS Image Sensor」, Forza Silicon(米国), INTERNATIONAL IMAGE SENSOR WORKSHOP, 2011

【非特許文献2】「A 10b 100MS/s 1.13mW SAR ADC with Binary-Scaled Error Compensation」, National Cheng-Kung University(台湾), IEEE International Solid-State Circuits Conference, 2010

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、非特許文献1では、参照電圧の整定誤差問題を解決するために外部デカップル容量を複数列周期で用いているので、多数のデカップル容量が必要であり、装置寸法が大きくなり、コスト高になるという問題がある。

【0009】

また、非特許文献2では、冗長比較動作を行なうので、外部デカップル容量は不要となる。しかし、冗長なキャパシタを用いるので、チップ面積が増加し、チップコストが高くなるという問題がある。

【0010】

10

20

30

40

50

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

一実施の形態によれば、粗いA/D変換を行なう場合は、第1～第Nの参照電圧のうちのいずれかの参照電圧を選択してアナログ参照信号とし、細かいA/D変換を行なう場合は、複数の参照電圧のうちの第(n-1)～第(n+2)の参照電圧を選択するマルチプレクサと、細かいA/D変換を行なう場合に、第(n-1)～第(n+2)の参照電圧に基づいてアナログ参照信号を生成するキャパシタアレイとを含む。

【発明の効果】

10

【0012】

一実施の形態によれば、複数列毎の外部デカップル容量や冗長なキャパシタを用いることなく、参照電圧の整定誤差を低減することができる。したがって、装置の小型化と低コスト化を図ることができる。

【図面の簡単な説明】

【0013】

【図1】本願の実施の形態1による固体撮像装置の構成を示すブロック図である。

【図2】図1に示した参照電圧発生回路の構成を示す回路図である。

【図3】図1に示した逐次比較型A/D変換器の構成を示すブロック図である。

【図4】図3に示した逐次比較型A/D変換器の動作を示すタイムチャートである。

20

【図5】図3に示したキャパシタアレイの構成を示す回路図である。

【図6】図5に示したキャパシタアレイの動作を示すフローチャートである。

【図7】図5に示したキャパシタアレイの他の動作を示すフローチャートである。

【図8】図3に示した逐次比較型A/D変換器の細かいA/D変換動作を示すタイムチャートである。

【図9】図3に示した逐次比較型A/D変換器のkビット目の2回の比較結果と出力コードとの関係を示す図である。

【図10】図3に示した逐次比較型A/D変換器のkビット目の2回の比較結果と出力コードとの関係を示す他の図である。

【図11】図1に示した固体撮像装置におけるA/D変換のアルゴリズムを示す図である。

30

【図12】本願の実施の形態2による固体撮像装置の要部を示すブロック図である。

【図13】図12に示した逐次比較型A/D変換器の動作を示すタイムチャートである。

【図14】図12で説明した固体撮像装置におけるA/D変換のアルゴリズムを示す図である。

【図15】本願の実施の形態3による固体撮像装置の要部を示す回路図である。

【図16】本願の実施の形態4による固体撮像装置の構成を示すブロック図である。

【図17】本願の実施の形態5による固体撮像装置に含まれる参照電圧発生回路の構成を示す回路図である。

【図18】本願の実施の形態6による固体撮像装置に含まれる参照電圧発生回路の構成を示す回路図である。

40

【図19】本願の実施の形態7による固体撮像装置に含まれる参照電圧発生回路の構成を示す回路図である。

【図20】本願の実施の形態8による固体撮像装置のレイアウトを示すブロック図である。

【発明を実施するための形態】

【0014】

[実施の形態1]

本願の実施の形態1による固体撮像装置は、半導体基板上に形成された半導体装置であり、図1に示すように、画素アレイ1、行走査回路2、および制御回路3を備える。画素

50

アレイ 1 は、複数行複数列に配置された複数の画素回路 P と、それぞれ複数行に対応して設けられた複数の制御線 C L と、それぞれ複数列に対応して設けられた複数の信号線 S L とを含む。各画素回路 P は、入射光量に応じた電圧のアナログ画素信号 V A を出力する。各画素回路 P は、対応の行の制御線 C L と、対応の列の信号線 S L とに接続されている。複数の制御線 C L は、行走査回路 2 に接続されている。

【 0 0 1 5 】

行走査回路 2 は、制御回路 3 によって制御され、複数行を 1 行ずつ順次選択し、選択した行の制御線 C L を活性化レベルにする。各画素回路 P は、対応の制御線 C L が活性化レベルにされたことに応じて活性化され、入射光量に応じた電圧のアナログ画素信号 V A を対応の信号線 S L に出力する。制御回路 3 は、固体撮像装置全体を制御する。

10

【 0 0 1 6 】

また、この固体撮像装置は、参照電圧発生回路 4、複数の逐次比較型 A / D 変換器 5、水平転送回路 6、および信号処理回路 7 を備える。参照電圧発生回路 4 は、17 個の参照電圧 V R 0 ~ V R 16 を生成する。参照電圧 V R 0 ~ V R 16 は、所定電圧ずつ順次高くなっている。参照電圧 V R 0 ~ V R 16 は、複数の逐次比較型 A / D 変換器 5 の各々に与えられる。複数の逐次比較型 A / D 変換器 5 は、それぞれ複数の信号線 S L に接続される。

【 0 0 1 7 】

各逐次比較型 A / D 変換器 5 は、制御回路 3 からの制御信号 C N T に従って動作し、行走査回路 2 によって活性化された画素回路 P から対応の信号線 S L に出力されたアナログ画素信号 V A を 17 ビットのデジタル画素信号 D P に変換する。この逐次比較型 A / D 変換器 5 は、参照電圧 V R 0 ~ V R 16 に基づき、複数回（たとえば 4 回）の通常比較動作を含む粗い A / D 変換（上位ビット A / D 変換）を行なった後に、複数回（たとえば 10 回）の通常比較動作と複数回（たとえば 3 回）の冗長比較動作とを含む細かい A / D 変換（下位ビット A / D 変換）を行なう。

20

【 0 0 1 8 】

1 回の通常比較動作では、1 ビットのデータ信号が生成される。1 回の冗長比較動作では、1 ビットのデータ信号が生成される。これにより、合計 17 ビットのデータ信号が生成され、アナログ画素信号 V A は 17 ビットのデータ信号を含むデジタル画素信号 D P に変換される。

30

【 0 0 1 9 】

水平転送回路 6 は、複数の逐次比較型 A / D 変換器 5 から与えられた 1 行分の複数のデジタル画素信号 D P を一旦保持した後、保持した複数のデジタル画素信号 D P を 1 つずつ順次、信号処理回路 7 に転送する。信号処理回路 7 は、17 ビットのデジタル画素信号 D P に基づいて 14 ビットのデジタル画素信号 D O を生成し、生成したデジタル画素信号 D O を外部に出力する。

【 0 0 2 0 】

図 2 は、参照電圧発生回路 4 の構成を示す回路図である。図 2 において、この参照電圧発生回路 4 は、定電圧源 10、11 とラダー抵抗器 12 を含む。定電圧源 10 の正極はラダー抵抗器 12 の一方端子 12 a に接続され、その負極は接地電圧 V S S のラインに接続される。定電圧源 11 の正極はラダー抵抗器 12 の他方端子 12 b に接続され、その負極は接地電圧 V S S のラインに接続される。定電圧源 10、11 は、それぞれ定電圧 V R T、V R B を出力する。V R T > V R B である。

40

【 0 0 2 1 】

定電圧 V R T、V R B は、それぞれ参照電圧 V R 16、V R 0 となる。ラダー抵抗器 12 は、端子 12 a、12 b 間に直列接続された 16 個の抵抗素子 12 c を含み、参照電圧 V R 16 と参照電圧 V R 0 との間の電圧を分圧して参照電圧 V R 15 ~ V R 1 を生成する。参照電圧 V R 15 ~ V R 1 は、参照電圧 V R 16、V R 0 間の電圧を等分割した電圧となる。

【 0 0 2 2 】

50

図3は、逐次比較型A/D変換器5の構成を示すブロック図である。図3において、逐次比較型A/D変換器5は、D/A変換器15、S/H回路18、比較器19、および逐次近似レジスタ(SAR: Successive Approximation Register)20を含む。D/A変換器15は、マルチプレクサ16およびキャパシタアレイ17を含み、制御回路3からの制御信号CNTによって制御される。

【0023】

参照電圧発生回路4で生成された参照電圧VR0~VR16は、全A/D変換器5のマルチプレクサ16に供給される。マルチプレクサ16は、粗いA/D変換を行なう場合に、逐次近似レジスタ20からのデジタル参照信号DRに従って参照電圧VR0~VR16のうちのいずれかの参照電圧を選択し、その参照電圧をアナログ参照信号VARとして比較器19に与える。

10

【0024】

また、マルチプレクサ16は、細かいA/D変換を行なう場合、デジタル参照信号DRに従って参照電圧VR0~VR16のうちの4つの参照電圧VR(n-1)~VR(n+2)を選択し、それらの参照電圧VR(n-1)~VR(n+2)をキャパシタアレイ17に与える。

【0025】

キャパシタアレイ17は、細かいA/D変換を行なう場合に、デジタル参照信号DRに従って、参照電圧VR(n-1)~VR(n+2)を用いてアナログ参照信号VARを生成する。

20

【0026】

S/H回路18は、制御回路3からの制御信号CNTによって制御され、対応の信号線SLからのアナログ画素信号VAを所定の周期で保持および出力する。比較器19は、アナログ画素信号VAの電圧とアナログ参照信号VARの電圧との高低を比較し、比較結果を示す信号19を出力する。

【0027】

逐次近似レジスタ20は、制御回路3からの制御信号CNTによって制御され、比較器19の出力信号19に基づいて動作し、アナログ参照信号VARの電圧がアナログ画素信号VAの電圧に近似するようにデジタル参照信号DRを生成する。アナログ参照信号VARの電圧がアナログ画素信号VAの電圧に近似したときのデジタル参照信号DRが17

30

【0028】

図4は、逐次比較型A/D変換器5の動作を例示するタイムチャートである。図4において、このA/D変換器5では、時刻t0~t4において4ビット分(14~11ビット)の粗いA/D変換を行なった後に、時刻t4~t14において10ビット分(10~1ビット)の細かいA/D変換を行なう。

【0029】

粗いA/D変換では、参照電圧VR0~VR16を使用してアナログ参照信号VARを生成し、そのアナログ参照信号VARとアナログ画素信号VAとの電圧を比較し、二分探索による逐次近似を行なう。粗いA/D変換では、参照電圧VR0~VR16の間の16

40

【0030】

選択されたサブレンジ領域の電圧をVn~V(n+1)とし、上位サブレンジ領域の電圧をV(n+1)~V(n+2)とし、下位サブレンジ領域の電圧をV(n-1)~Vnとする。細かいA/D変換では、参照電圧V(n-1)~V(n+2)を用いてアナログ参照信号VARを生成し、そのアナログ参照信号VARとアナログ画素信号VAとの電圧を比較し、二分探索による逐次近似を行なう。各サブレンジ領域は、 $2^{10} = 1024$ 個

50

の区分領域に分割されている。細かいA/D変換では、参照電圧 $V(n-1) \sim V(n+2)$ の間の3個のサブレンジ領域に含まれる $3 \times 2^{10} = 3072$ 個の区分領域のうちのいずれか1つの区分領域が、アナログ画素信号VAを含む区分領域として選択される。

【0031】

図4では、アナログ画素信号VAの電圧が参照電圧VR7よりも少しだけ低い場合が示されている。14ビット目の判定(時刻 $t_0 \sim t_1$ )では、参照電圧VR0~VR16の中間の参照電圧VR8がアナログ参照信号VARとして使用され、参照電圧VR8とアナログ画素信号VAとの高低が比較される。ここでは、 $VR8 > VA$ であるので、14ビット目のデータ信号は「0」となる。

【0032】

14ビット目のデータ信号が「0」であったので、13ビット目の判定(時刻 $t_1 \sim t_2$ )では、参照電圧VR0~VR8の中間の参照電圧VR4がアナログ参照信号VARとして使用され、参照電圧VR4とアナログ画素信号VAとの高低が比較される。ここでは、 $VR4 < VA$ であるので、13ビット目のデータ信号は「1」となる。

【0033】

13ビット目のデータ信号が「1」であったので、12ビット目の判定(時刻 $t_2 \sim t_3$ )では、参照電圧VR4~VR8の中間の参照電圧VR6がアナログ参照信号VARとして使用され、参照電圧VR6とアナログ画素信号VAとの高低が比較される。ここでは、 $VR6 < VA$ であるので、12ビット目のデータ信号は「1」となる。

【0034】

12ビット目のデータ信号が「1」であったので、11ビット目の判定(時刻 $t_3 \sim t_4$ )では、参照電圧VR6~VR8の中間の参照電圧VR7がアナログ参照信号VARとして使用され、参照電圧VR7とアナログ画素信号VAとの高低が比較される。本来は $VR7 > VA$ であるので11ビット目のデータ信号は「0」となるべきであるが、参照電圧VR7の誤差のために $VR7 < VA$ となり、11ビット目のデータ信号は「1」となった場合が示されている。

【0035】

なお、図1で示したように、参照電圧発生回路4で生成された参照電圧VR0~VR16が17本の配線を介して多数のA/D変換器5に与えられるので、参照電圧発生回路4から遠く離れたA/D変換器5では参照電圧VR0~VR16に誤差が発生し易い。参照電圧VR0~VR16の誤差によって発生した誤判定は、細かいA/D変換における冗長比較の結果に基づいて修正される。これについては、後で詳細に説明する。

【0036】

11ビット目のデータ信号が「1」であったので、VR7~VR8の領域がアナログ画素信号VAの存在するサブレンジ領域として選択され、VR8~VR9の領域が上位サブレンジ領域として選択され、VR6~VR7の領域が下位サブレンジ領域として選択される。キャパシタアレイ17は、選択された参照電圧VR6~VR9を用いてアナログ参照信号VARを生成する。10ビット目以降は、キャパシタアレイ17によって生成されたアナログ参照信号VARとアナログ画素信号VAとを比較し、細かいA/D変換を行なう。

【0037】

図5は、キャパシタアレイ17の構成を示す回路図である。図5において、キャパシタアレイ17は、入力端子T0~T3、出力端子T4、ダミーキャパシタDCP、キャパシタCP0~CP9、およびスイッチSW0~SW9を含む。スイッチSW0~SW9は、それぞれ第1~第Mの切換回路を構成する。

【0038】

入力端子T0~T3は、それぞれ参照電圧VR(n-1)~VR(n+2)を受ける。出力端子T4には、アナログ参照信号VARが現われる。ダミーキャパシタDCPは、端子T1, T4間に接続される。キャパシタCP0~CP9の一方電極は、ともに出力端子T4に接続される。キャパシタCP0の容量値を $2^0 C$ とすると、キャパシタCP1~C

10

20

30

40

50

P9の容量値はそれぞれ $2^1 C \sim 2^9 C$ に設定され、ダミーキャパシタDCPの容量値は $2^0 C$ に設定されている。キャパシタDCP, CP0~CP9の容量値の総和は、 $2^{10} C$ となっている。

【0039】

スイッチSW0, SW2, SW3, SW5, SW6, SW8, SW9は、それぞれ1ビット目、3ビット目、4ビット目、6ビット目、7ビット目、9ビット目、10ビット目の通常比較動作時に、キャパシタCP0, CP2, CP3, CP5, CP6, CP8, CP9の他方電極を入力端子T1またはT2に接続する。スイッチSW0, SW2, SW3, SW5, SW6, SW8, SW9の各々は第1種切換回路を構成する。

【0040】

スイッチSW1, SW4, SW7は、それぞれ2ビット目、5ビット目、8ビット目の通常比較動作時に、キャパシタCP1, CP4, CP7の他方電極を入力端子T2に接続する。また、スイッチSW1, SW4, SW7は、それぞれ2ビット目、5ビット目、8ビット目の冗長比較動作時に、キャパシタCP1, CP4, CP7の他方電極を入力端子T0, T1, T2, またはT3に接続する。スイッチSW1, SW4, SW7の各々は第2種切換回路を構成する。

【0041】

図6は、kビット目(kは、1, 3, 4, 6, 7, 9, または10である)におけるキャパシタアレイ17の通常比較動作を示すフローチャートである。初期状態では、スイッチSW0~SW9によってキャパシタCP0~CP9の他方端子はともに端子T1に接続されているものとする。この場合、アナログ参照信号VARは参照電圧VRnとなる。

【0042】

ステップS1において、キャパシタCPk-1の他方端子を入力端子T2に接続する。たとえば、k=10のとき、キャパシタCP9の他方端子が入力端子T2に接続され、参照電圧VR(n+1)と参照電圧VRnとの間の電圧がキャパシタCP9とキャパシタDCP, CP0~CP8の並列接続体とによって分圧され、アナログ参照信号VARは $VRn + [VR(n+1) - VRn] / 2$ となる。

【0043】

ステップS2において、アナログ画素信号VAとアナログ参照信号VARの高低が比較され、比較結果が「0」であるか「1」であるかが判別される。比較結果が「0」である場合(VA < VARである場合)、ステップS3においてキャパシタCPk-1の他方電極が端子T1に接続される。比較結果が「1」である場合(VA > VARである場合)、キャパシタCPk-1の他方電極が端子T2に接続された状態が維持される。

【0044】

たとえば、キャパシタCP0の他方電極のみを端子T2に接続し、残りの全キャパシタCP1~CP9の他方電極を端子T1に接続すると、アナログ参照信号VARは $VRn + [VR(n+1) - VRn] / 2^{10}$ となる。また、キャパシタCP0の他方電極のみを端子T1に接続し、残りの全キャパシタCP1~CP9の他方電極を端子T2に接続すると、アナログ参照信号VARは $VR(n+1) - [VR(n+1) - VRn] / 2^{10}$ となる。

【0045】

図7は、kビット目(kは、2, 5, または8である)におけるキャパシタアレイ17の比較動作を示すフローチャートである。初期状態では、スイッチSW0~SW9によってキャパシタCP0~CP9の他方端子はともに入力端子T1に接続されているものとする。この場合、アナログ参照信号VARは参照電圧VRnとなる。

【0046】

ステップS11において、キャパシタCPk-1の他方端子を入力端子T2に接続する。たとえば、k=8のとき、キャパシタCP7の他方端子が入力端子T2に接続され、参照電圧VR(n+1)と参照電圧VRnとの間の電圧がキャパシタCP7とキャパシタDCP, CP0~CP6, CP8, CP9の並列接続体とによって分圧され、アナログ参照

10

20

30

40

50

信号VARは $VR_n + [VR(n+1) - VR_n] / 8$ となる。

【0047】

ステップS12において、アナログ画素信号VAとアナログ参照信号VARの高低が比較され、比較結果が「0」であるか「1」であるかが判別される。比較結果が「0」である場合( $VA < VAR$ である場合)、ステップS13においてキャパシタCPk-1の他方電極が端子T1に接続される。このとき、アナログ参照信号VARは $VR_n$ となる。

【0048】

ステップS14において、アナログ画素信号VAとアナログ参照信号VARの高低が比較され、比較結果が「0」であるか「1」であるかが判別される。比較結果が「0」である場合( $VA < VAR$ である場合)、ステップS15においてキャパシタCPk-1の他方電極が端子T0に接続される。この場合、2回の比較結果は「00」である。

10

【0049】

たとえば、 $k = 8$ のとき、キャパシタCP7の他方端子が入力端子T0に接続され、参照電圧 $VR_n$ と参照電圧 $VR(n-1)$ との間の電圧がキャパシタDCP, CP0~CP6, CP8, CP9の並列接続体とキャパシタCP7によって分圧され、アナログ参照信号VARは $VR_n + [VR_n - VR(n-1)] / 8 = VR_n - [VR(n+1) - VR_n] / 8$ となる。

【0050】

ステップS14において、比較結果が「1」である場合( $VA > VAR$ である場合)、キャパシタCPk-1の他方電極を入力端子T1に接続した状態が維持される。この場合、2回の比較結果は「01」である。たとえば、 $k = 8$ のとき、キャパシタCP7の他方端子が入力端子T1に接続され、アナログ参照信号VARは $VR_n$ となる。

20

【0051】

ステップS12において、比較結果が「1」である場合( $VA > VAR$ である場合)、ステップS16においてキャパシタCPk-1の他方電極を入力端子T3に接続する。たとえば、 $k = 8$ のとき、キャパシタCP7の他方端子が入力端子T3に接続され、参照電圧 $VR(n+2)$ と参照電圧 $VR_n$ との間の電圧がキャパシタCP7とキャパシタDCP, CP0~CP6, CP8, CP9の並列接続体によって分圧され、アナログ参照信号VARは $VR_n + [VR(n+2) - VR_n] / 8 = VR_n + [VR(n+1) - VR_n] / 4$ となる。

30

【0052】

ステップS17において、アナログ画素信号VAとアナログ参照信号VARの高低が比較され、比較結果が「0」であるか「1」であるかが判別される。比較結果が「0」である場合( $VA < VAR$ である場合)、ステップS18においてキャパシタCPk-1の他方電極が端子T2に接続される。この場合、2回の比較結果は「10」である。

【0053】

たとえば、 $k = 8$ のとき、キャパシタCP7の他方端子が入力端子T2に接続され、参照電圧 $VR(n+1)$ と参照電圧 $VR_n$ との間の電圧がキャパシタCP7とキャパシタDCP, CP0~CP6, CP8, CP9の並列接続体によって分圧され、アナログ参照信号VARは $VR_n + [VR_n - VR(n-1)] / 8$ となる。

40

【0054】

ステップS17において、比較結果が「1」である場合( $VA > VAR$ である場合)、キャパシタCPk-1の他方電極を入力端子T3に接続した状態が維持される。この場合、2回の比較結果は「11」である。たとえば、 $k = 8$ のとき、キャパシタCP7の他方端子が入力端子T3に接続され、アナログ参照信号VARは $VR_n + [VR(n+1) - VR_n] / 4$ となる。

【0055】

図8は、逐次比較型A/D変換器5の細かいA/D変換時の動作を例示するタイムチャートである。図8において、この逐次比較型A/D変換器5では、時刻t4以前の粗いA/D変換において参照電圧 $V(n-1) \sim V(n+2)$ として参照電圧 $VR_6 \sim VR_9$ が

50

選択されている。

【0056】

図8では、アナログ画素信号VAの電圧が参照電圧VR7よりも少しだけ低い場合が示されている。10ビット目の判定(時刻t4~t5)では、参照電圧VR7~VR8の中間の電圧 $VR7 + (VR8 - VR7) / 2$ がアナログ参照信号VARとして使用され、アナログ画素信号VAとアナログ参照信号VARの高低が比較される。ここでは、 $VAR > VA$ であるので、10ビット目のデータ信号は「0」となる。

【0057】

10ビット目のデータ信号が「0」であったので、9ビット目の判定(時刻t5~t6)では、 $VR7 + (VR8 - VR7) / 4$ がアナログ参照信号VARとして使用され、参照電圧VR4とアナログ画素信号VAとの高低が比較される。ここでは、 $VAR > VA$ であるので、10ビット目のデータ信号は「0」となる。

10

【0058】

9ビット目のデータ信号が「0」であったので、8ビット目の通常比較動作(時刻t6~t7)では、 $VR7 + (VR8 - VR7) / 8$ がアナログ参照信号VARとして使用され、参照電圧VR4とアナログ画素信号VAとの高低が比較される。ここでは、 $VAR > VA$ であるので、8ビット目の通常比較結果は「0」となる。

【0059】

8ビット目の通常比較結果が「0」であったので、図7で示したように、8ビット目の冗長比較動作(時刻t7~t8)では、参照電圧VR7がアナログ参照信号VARとして使用され、参照電圧VR7とアナログ画素信号VAとの高低が比較される。ここでは、 $VAR > VA$ であるので、8ビット目の冗長比較結果は「0」となる。8ビット目の比較結果が00となったので、図7で示したように、キャパシタCP7の他方端子が入力端子T0に接続される。これにより、アナログ参照信号VARを参照電圧VR7よりも低くすることが可能となる。

20

【0060】

図9は、kビット目(kは、2, 5, または8である)の2回の比較結果と出力コードとの関係を示す図である。図9において、kビット目の通常比較結果および冗長比較結果がそれぞれ00である場合は、出力コードは $-2^{k-1}$ となる。また、kビット目の通常比較結果および冗長比較結果がそれぞれ01である場合は、出力コードは0となる。また、kビット目の通常比較結果および冗長比較結果がそれぞれ10である場合は、出力コードは $2^{k-1}$ となる。また、kビット目の通常比較結果および冗長比較結果がそれぞれ11である場合は、出力コードは $2^k$ となる。たとえばk=8である場合において比較結果が00, 01, 10, 11であるとき、出力コードはそれぞれ $-2^7, 0, 2^7, 2^8$ となる。

30

【0061】

図10は、選択されたサブレンジ領域が最上位サブレンジ領域または最下位サブレンジ領域である場合におけるkビット目(kは、2, 5, または8である)の2回の比較結果と出力コードとの関係を示す図であって、図9と対比される図である。

【0062】

最上位サブレンジ領域が選択された場合は図4から分かるように、 $VR(n-1) \sim VR(n+2)$ はそれぞれVR14, VR15, VR16, VR16となるので、比較結果が11である場合も出力コードは $2^{k-1}$ となる。また、最下位サブレンジ領域が選択された場合は図4から分かるように、 $VR(n-1) \sim VR(n+2)$ はそれぞれVR0, VR0, VR1, VR2となるので、比較結果が00である場合も出力コードは0となる。

40

【0063】

図11は、A/D変換のアルゴリズムを示す図である。図11において、14~11ビット目の判定では、マルチプレクサ16を制御して通常の二分探索を実行し、アナログ画素信号VAが属するサブレンジ領域と、その上下のサブレンジ領域を選択する。換言する

50

と、参照電圧  $V_R(n-1) \sim V_R(n+2)$  を選択してキャパシタアレイ 17 に与える。また、14～11ビット目の通常比較結果の各々は、1ビットのデータ信号となる。

【0064】

10ビット目および9ビット目では、キャパシタアレイ 17 を制御して通常の二分探索を実行し、10ビット目および9ビット目のデータ信号を得る。このとき、キャパシタアレイ 17 は、参照電圧  $V_{Rn}$ 、 $V_R(n+1)$  を使用してアナログ参照信号  $V_{AR}$  を生成する。

【0065】

8ビット目では、キャパシタアレイ 17 を制御して冗長な判定を実行する。冗長な判定では、通常比較動作と冗長比較動作を行ない、2回の比較結果は2ビットのデータ信号となる。通常比較動作時ではキャパシタアレイ 17 は、キャパシタ  $CP7$  の他方電極に参照電圧  $V_R(n+1)$  を与えてアナログ参照信号  $V_{AR}$  を更新し、アナログ画素信号  $V_A$  とアナログ参照信号  $V_{AR}$  の高低を比較する。冗長比較動作時ではキャパシタアレイ 17 は、キャパシタ  $CP7$  の他方電極に参照電圧  $V_R(n-1)$ 、 $V_{Rn}$ 、 $V_R(n+1)$ 、または  $V_R(n+2)$  を与えてアナログ参照信号  $V_{AR}$  を更新し、アナログ画素信号  $V_A$  とアナログ参照信号  $V_{AR}$  の高低を比較する。

10

【0066】

7～5ビット目の判定は、それぞれ10～8ビット目の判定と同様である。4～2ビット目の判定は、それぞれ10～8ビット目の判定と同様である。1ビット目の判定は、10ビット目の判定と同様である。

20

【0067】

8ビット目、5ビット目、および2ビット目の各々の2回の比較結果には、図9および図10で示したデコード処理が施され、2ビットのデータ信号が生成される。デコード処理の際、14～11ビットのデータ信号の全てが「1」である場合は、最上位サブレンジ領域が選択されたので、図10で示したように、最上位サブレンジ用の出力コードが使用される。また、デコード処理の際、14～11ビットのデータ信号の全てが「0」である場合は、最下位サブレンジ領域が選択されたので、図10で示したように、最下位サブレンジ用の出力コードが使用される。

【0068】

14～1ビット目の判定とデコード処理により17ビットのデータ信号が生成される。この17ビットのデータ信号の論理和を取ったものが14ビットのデジタル画素信号  $DO$  となる。デコード処理と論理和は、図1の信号処理回路7で行なわれる。

30

【0069】

この実施の形態1では、粗いA/D変換を行なう場合は、参照電圧  $V_{R1} \sim V_{R16}$  のうちのいずれかの参照電圧を選択してアナログ参照信号  $V_{AR}$  とする。また、細かいA/D変換を行なう場合は、参照電圧  $V_{R1} \sim V_{R16}$  のうちの参照電圧  $V_R(n-1) \sim V_R(n+2)$  を選択し、それらの参照電圧に基づいてアナログ参照信号  $V_{AR}$  を生成する。したがって、複数列毎の外部デカップル容量や冗長なキャパシタを用いることなく、参照電圧  $V_R$  の整定誤差を低減することができ、装置の小型化と低コスト化を図ることができる。

40

【0070】

なお、本実施の形態1では、粗いA/D変換を4ビットとしたが、粗いA/D変換は4ビットに限定されるものではない。また、細かいA/D変換を10ビットとしたが、細かいA/D変換は10ビットに限定されるものではない。また、冗長な判定を3ビット周期で実行したが、冗長な判定の実行は3ビット周期に限定されるものではない。

【0071】

[実施の形態2]

図12は、本願の実施の形態2による固体撮像装置の要部を示すブロック図であって、図3と対比される図である。図12を参照して、この固体撮像装置が実施の形態1の固体撮像装置と異なる点は、参照電圧発生回路4および逐次比較型A/D変換器5がそれぞれ

50

参照電圧発生回路 2 1 および逐次比較型 A / D 変換器 2 2 で置換されている点である。また、逐次比較型 A / D 変換器 2 2 は、逐次比較型 A / D 変換器 5 のマルチプレクサ 1 6 をマルチプレクサ 2 3 で置換したものである。

【 0 0 7 2 】

参照電圧発生回路 2 1 は、1 9 段階の参照電圧 - V R 1 , V R 0 ~ V R 1 7 を生成する。マルチプレクサ 2 3 は、粗い A / D 変換を行なう期間の通常比較動作時には、逐次近似レジスタ 2 0 からのデジタル参照信号 D R に従って参照電圧 V R 0 ~ V R 1 6 のうちのいずれかの参照電圧を選択し、その参照電圧をアナログ参照信号 V A R として比較器 1 9 に与える。

【 0 0 7 3 】

また、マルチプレクサ 2 3 は、細かい A / D 変換を行なう場合は、デジタル参照信号 D R に従って参照電圧 - V R 1 , V R 0 ~ V R 1 7 のうちの参照電圧 V R ( n - 1 ) ~ V R ( n + 2 ) を選択し、それらの参照電圧 V R ( n - 1 ) ~ V R ( n + 2 ) をキャパシタアレイ 1 7 に与える。

【 0 0 7 4 】

図 1 3 は、逐次比較型 A / D 変換器 2 2 の動作を示すタイムチャートであって、図 4 と対比される図である。また、図 1 4 は、A / D 変換のアルゴリズムを示す図であって、図 1 1 と対比される図である。図 1 3 および図 1 4 において、この固体撮像装置では、最上位サブレンジ領域の上に上側オーバーレンジ領域 ( V R 1 6 ~ V R 1 7 ) が設けられ、最下位サブレンジ領域の下に下側オーバーレンジ領域 ( - V R 1 ~ V R 0 ) が設けられている。このため、アナログ画素信号 V A が属するサブレンジ領域として最上位サブレンジ領域または最下位サブレンジ領域が選択された場合でも、1 4 ~ 1 1 ビット目の判定結果を参照することなくデコード処理を行なうことができ、デコード処理の簡単化を図ることができる。つまり、図 1 0 のテーブルが不要となり、図 9 のテーブルを使用すれば足りる。

【 0 0 7 5 】

[ 実施の形態 3 ]

図 1 5 は、本願の実施の形態 3 による固体撮像装置の要部を示す回路図であって、図 5 と対比される図である。図 1 5 を参照して、この固体撮像装置が実施の形態 1 の固体撮像装置と異なる点は、キャパシタアレイ 1 7 がキャパシタアレイ 2 5 で置換されている点である。

【 0 0 7 6 】

キャパシタアレイ 2 5 は、入力端子 T 0 ~ T 3、出力端子 T 4、ダミーキャパシタ D C P、スプリットキャパシタ C P S、キャパシタ C P 0 ~ C P 3 , C P 1 0 ~ C P 1 5、およびスイッチ S W 0 ~ S W 9 を含む。

【 0 0 7 7 】

入力端子 T 0 ~ T 3 は、それぞれ参照電圧 V R ( n - 1 ) ~ V R ( n + 2 ) を受ける。出力端子 T 4 には、アナログ参照信号 V A R が現われる。ダミーキャパシタ D C P は、ノード N 1 と入力端子 T 1 の間に接続される。キャパシタ C P 0 ~ C P 3 の一方電極は、ともにノード N 1 に接続される。スプリットキャパシタ C P S は、ノード N 1 と出力端子 T 4 の間に接続される。キャパシタ C P 0 の容量値を  $2^0 C$  とすると、キャパシタ C P 1 ~ C P 3 の容量値はそれぞれ  $2^1 C \sim 2^3 C$  に設定され、ダミーキャパシタ D C P の容量値は  $2^0 C$  に設定されている。キャパシタ D C P , C P 0 ~ C P 3 の容量値の総和は、 $2^4 C$  となっている。スプリットキャパシタ C P S の容量値は、約  $2^0 C$  に設定されている。

【 0 0 7 8 】

キャパシタ C P 1 0 ~ C P 1 5 の一方電極は、ともに出力端子 T 4 に接続される。キャパシタ C P 1 0 の容量値を  $2^0 C$  とすると、キャパシタ C P 1 1 ~ C P 1 5 の容量値はそれぞれ  $2^1 C \sim 2^5 C$  に設定されている。キャパシタ D C P , C P 0 ~ C P 3 の容量値の総和は、 $( 2^6 - 1 ) C$  となっている。

【 0 0 7 9 】

スイッチ S W 0 , S W 2 , S W 3 , S W 5 , S W 6 , S W 8 , S W 9 は、それぞれ 1 ビ

10

20

30

40

50

ット目、3ビット目、4ビット目、6ビット目、7ビット目、9ビット目、10ビット目の通常比較動作時に、キャパシタCP0, CP2, CP3, CP11, CP12, CP14, CP15の他方電極を入力端子T1またはT2に接続する。

【0080】

スイッチSW1, SW4, SW7は、それぞれ2ビット目、5ビット目、8ビット目の通常比較動作時に、キャパシタCP1, CP10, CP13の他方電極を入力端子T2に接続する。また、スイッチSW1, SW4, SW7は、それぞれ2ビット目、5ビット目、8ビット目の冗長比較動作時に、キャパシタCP1, CP10, CP13の他方電極を入力端子T0, T1, T2, またはT3に接続する。

【0081】

たとえば10ビット目の通常比較動作時では、キャパシタCP0~CP3, CP10~CP14の他方電極が入力端子T1に接続され、キャパシタCP15の他方電極が入力端子T2に接続され、アナログ参照信号VARは $[VR(n+1) - VRn] / 2$ となる。

【0082】

この実施の形態3では、キャパシタアレイ25のサイズをキャパシタアレイ17のサイズの約1/13にすることができ、チップ面積を小さくすることができる。

【0083】

なお、この実施の形態3では、スプリットキャパシタCPSを上位6ビットと下位4ビットの間に設けたが、これに限るものではなく、スプリットキャパシタCPSを他の位置に設けてもよい。

【0084】

[実施の形態4]

図16は、本願の実施の形態4による固体撮像装置の構成を示す回路図であって、図1と対比される図である。図16を参照して、この固体撮像装置が実施の形態1の固体撮像装置と異なる点は、信号処理回路7が各列に対応して設けられている点である。

【0085】

信号処理回路7は、対応のA/D変換器5で生成された17ビットのデジタル画素信号DPに基づいて14ビットのデジタル画素信号DOを生成し、生成したデジタル画素信号DOを水平転送回路6に与える。

【0086】

水平転送回路6は、複数の信号処理回路7から与えられた1行分の複数のデジタル画素信号DOを一旦保持した後、保持した複数のデジタル画素信号DOを1つずつ順次、外部に出力する。

【0087】

この実施の形態4では、実施の形態1に比べて、水平転送回路6が転送する信号のビット数を減らすことができる。ただし、信号処理回路7の数が増え、回路規模が大きくなる。

【0088】

[実施の形態5]

図17は、本願の実施の形態5による固体撮像装置の要部を示す回路図であって、図2と対比される図である。図17を参照して、この固体撮像装置が実施の形態1の固体撮像装置と異なる点は、参照電圧発生回路4が参照電圧発生回路30で置換されている点である。

【0089】

参照電圧発生回路30は、参照電圧発生回路4の定電圧源10をD/A変換器31およびPチャネルMOSトランジスタ32で置換したものである。D/A変換器31およびPチャネルMOSトランジスタ32は、可変電流源を構成する。D/A変換器31は、利得制御信号GCをアナログ信号VA31に変換する。利得制御信号GCのデジタル値は、たとえば被写体の明るさに応じて変更される。利得制御信号GCのデジタル値が増大すると、電源電圧VDDとアナログ信号VA31の差の電圧が増大する。PチャネルMOSトラ

10

20

30

40

50

ンジスタ 3 2 のソースは電源電圧  $V_{DD}$  を受け、そのドレインはラダー抵抗器 1 2 の一方端子 1 2 a に接続され、そのゲートは D / A 変換器 3 1 の出力信号を受ける。

【 0 0 9 0 】

利得制御信号  $G_C$  のデジタル値が増大して電源電圧  $V_{DD}$  とアナログ信号  $V_{A31}$  との差の電圧が増大すると、PチャネルMOSトランジスタ 3 2 の導通抵抗値が減少し、ラダー抵抗器 1 2 に流れる電流が増加する。これにより、ラダー抵抗器 1 2 の端子 1 2 a , 1 2 b 間の電圧が増大し、参照電圧  $V_{R1} \sim V_{R16}$  が上昇する。

【 0 0 9 1 】

逆に、利得制御信号  $G_C$  のデジタル値が減少して電源電圧  $V_{DD}$  とアナログ信号  $V_{A31}$  との差の電圧が減少すると、PチャネルMOSトランジスタ 3 2 の導通抵抗値が増大し、ラダー抵抗器 1 2 に流れる電流が減少する。これにより、ラダー抵抗器 1 2 の端子 1 2 a , 1 2 b 間の電圧が減少し、参照電圧  $V_{R1} \sim V_{R16}$  が低下する。なお、参照電圧  $V_{R0}$  は、定電圧源 1 1 の出力電圧  $V_{RB}$  に固定されている。

10

【 0 0 9 2 】

この実施の形態 5 では、参照電圧  $V_{R0} \sim V_{R16}$  のレベルを変更することができ、A / D 変換器 5 の利得を切換えることができる。

【 0 0 9 3 】

なお、この実施の形態 5 では、参照電圧発生回路 4 の定電圧源 1 0 を D / A 変換器 3 1 およびトランジスタ 3 2 からなる定電流源で置換したが、参照電圧発生回路 4 の定電圧源 1 1 を D / A 変換器およびトランジスタからなる定電流源で置換してもよい。

20

【 0 0 9 4 】

[実施の形態 6]

図 1 8 は、本願の実施の形態 6 による固体撮像装置に含まれる参照電圧発生回路 3 5 の構成を示す回路図であって、図 1 7 と対比される図である。図 1 8 を参照して、参照電圧発生回路 3 5 は、参照電圧発生回路 3 0 に D / A 変換器 3 6 および NチャネルMOSトランジスタ 3 7 を追加したものである。D / A 変換器 3 6 および NチャネルMOSトランジスタ 3 7 は、可変電流源を構成する。D / A 変換器 3 6 は、利得制御信号  $G_C$  をアナログ信号  $V_{A36}$  に変換する。利得制御信号  $G_C$  のデジタル値が増大すると、アナログ信号  $V_{A36}$  の電圧が増大する。NチャネルMOSトランジスタ 3 7 のドレインはラダー抵抗器 1 2 の他方端子 1 2 b に接続され、そのゲートは D / A 変換器 3 6 の出力信号を受ける。

30

【 0 0 9 5 】

利得制御信号  $G_C$  のデジタル値が増大して電源電圧  $V_{DD}$  とアナログ信号  $V_{A31}$  との差の電圧が増大するとともにアナログ信号  $V_{A36}$  の電圧が増大すると、トランジスタ 3 2 , 3 7 の導通抵抗値がともに減少し、ラダー抵抗器 1 2 に流れる電流が増加する。これにより、ラダー抵抗器 1 2 の端子 1 2 a , 1 2 b 間の電圧が増大し、参照電圧  $V_{R1} \sim V_{R16}$  が上昇する。

【 0 0 9 6 】

逆に、利得制御信号  $G_C$  のデジタル値が減少して電源電圧  $V_{DD}$  とアナログ信号  $V_{A31}$  との差の電圧が減少するとともにアナログ信号  $V_{A36}$  の電圧が減少すると、トランジスタ 3 2 , 3 7 の導通抵抗値がともに増大し、ラダー抵抗器 1 2 に流れる電流が減少する。これにより、ラダー抵抗器 1 2 の端子 1 2 a , 1 2 b 間の電圧が減少し、参照電圧  $V_{R1} \sim V_{R16}$  が低下する。なお、参照電圧  $V_{R0}$  は、定電圧源 1 1 の出力電圧  $V_{RB}$  に固定されている。

40

【 0 0 9 7 】

この実施の形態 6 では、ラダー抵抗器 1 2 の一方端子 1 2 a に電流を供給するとともに、その電流と同等の電流をラダー抵抗器 1 2 の他方端子 1 2 b から引き抜くので、定電圧源 1 1 に流れる電流を減少させることができ、定電圧源 1 1 を容易に設計することができる。

【 0 0 9 8 】

[実施の形態 7]

50

図19は、本願の実施の形態7による固体撮像装置に含まれる参照電圧発生回路40の構成を示す回路図であって、図18と対比される図である。図19を参照して、参照電圧発生回路40が参照電圧発生回路35と異なる点は、D/A変換器36、PチャンネルMOSトランジスタ32、およびNチャンネルMOSトランジスタ37が除去され、演算増幅器41、42、NチャンネルMOSトランジスタ43、44、ラダー抵抗器45、およびPチャンネルMOSトランジスタ46、47が追加されている点である。

【0099】

NチャンネルMOSトランジスタ43のドレインは電源電圧VDDのラインに接続され、そのソースはラダー抵抗器12の一方端子12aに接続される。NチャンネルMOSトランジスタ44のドレインは電源電圧VDDのラインに接続され、そのソースはラダー抵抗器45の一方端子45aに接続される。PチャンネルMOSトランジスタ46のソースはラダー抵抗器12の他方端子12bに接続され、そのドレインは接地電圧VSSのラインに接続される。PチャンネルMOSトランジスタ47のソースはラダー抵抗器45の他方端子45bに接続され、そのドレインは接地電圧VSSのラインに接続される。

10

【0100】

演算増幅器41の非反転入力端子(+端子)はアナログ信号VA31を受け、その反転入力端子(-端子)はラダー抵抗器12の一方端子12aに接続され、その出力端子はNチャンネルMOSトランジスタ43、44のゲートに接続される。演算増幅器41は、ラダー抵抗器12の一方端子12aの電圧がアナログ信号VA31に一致するように、PチャンネルMOSトランジスタ43、44のゲート電圧を制御する。

20

【0101】

演算増幅器42の非反転入力端子(+端子)は定電圧源11の出力電圧VRBを受け、その反転入力端子(-端子)はラダー抵抗器12の他方端子12bに接続され、その出力端子はPチャンネルMOSトランジスタ46、47のゲートに接続される。演算増幅器42は、ラダー抵抗器12の他方端子12bの電圧が定電圧VRBに一致するように、PチャンネルMOSトランジスタ46、47のゲート電圧を制御する。

【0102】

トランジスタ44、47のサイズはトランジスタ43、46のサイズよりも大きく、トランジスタ44、47のサイズAとトランジスタ43、46のサイズBとの比は1よりも大きな所定値 $K = A / B$ に設定されている。また、トランジスタ43、44のゲートは互いに接続され、トランジスタ46、47のゲートは互いに接続されている。したがって、トランジスタ43、46に流れる電流のK倍の電流がトランジスタ44、47に流れる。また、トランジスタ44のソース電圧はVRTとなり、トランジスタ47のソース電圧はVRBとなる。

30

【0103】

ラダー抵抗器45は、端子45a、45b間に直列接続された16個の抵抗素子45cを含み、参照電圧VR16(=VRT)と参照電圧VR0(=VRB)との間の電圧を分圧して参照電圧VR15~VR1を生成する。参照電圧VR15~VR1は、参照電圧VR16、VR0間の電圧を等分割した電圧となる。ラダー抵抗器45の抵抗値は、ラダー抵抗器12の抵抗値の1/Kに設定されている。したがって、ラダー抵抗器45の出力インピーダンスは、ラダー抵抗器12の出力インピーダンスよりも低い。

40

【0104】

この実施の形態7では、参照電圧発生回路の出力インピーダンスを小さくすることができる。

【0105】

[実施の形態8]

図20は、本願の実施の形態8による固体撮像装置のレイアウトを示すブロック図であって、図1と対比される図である。図20において、この固体撮像装置は、四角形の半導体基板50を備える。半導体基板50の中央部に、画素アレイ1が形成されている。半導体基板50の長辺の延在する方向(図20中の横方向)をX方向とし、その短辺の延在す

50

る方向（図20中の縦方向）をY方向とする。画素アレイ1は、X方向およびY方向に行列状に配列された複数の画素回路Pを含む。各画素回路Pは、入射光量に応じた電圧のアナログ画素信号VAを出力する。

【0106】

複数の画素回路Pの列は、2つずつグループ化されている。各列グループのうちの奇数番の列のうちの選択された画素回路Pで生成されたアナログ画素信号VAは、信号線SL（図示せず）を介して画素アレイ1の図中の上側に出力される。各列グループのうちの偶数番の列のうちの選択された画素回路Pで生成されたアナログ画素信号VAは、信号線SL（図示せず）を介して画素アレイ1の図中の下側に出力される。また、画素アレイ1の図中の左側に行走査回路2が配置される。行走査回路2に隣接して制御回路3および参照電圧発生回路4が配置される。

10

【0107】

行走査回路2は、制御回路3によって制御され、複数行を1行ずつ順次選択し、選択した行の制御線CL（図示せず）を活性化レベルにする。各画素回路Pは、対応の制御線CLが活性化レベルにされたことに応じて活性化され、入射光量に応じた電圧のアナログ画素信号VAを対応の信号線SL（図示せず）に出力する。制御回路3は、固体撮像装置全体を制御する。参照電圧発生回路4は、参照電圧VR0～VR16を生成する。

【0108】

また、各列グループの図中の上側に隣接して逐次比較型A/D変換器5aが配置され、各列グループの図中の下側に隣接して逐次比較型A/D変換器5bが配置される。各逐次比較型A/D変換器5aは、対応の列グループのうちの奇数番の列の画素回路Pから出力されたアナログ画素信号VAを、参照電圧VR0～VR16に基づいて17ビットのデジタル画素信号DPに変換する。各逐次比較型A/D変換器5bは、対応の列グループのうちの偶数番の列の画素回路Pから出力されたアナログ画素信号VAを、参照電圧VR0～VR16に基づいて17ビットのデジタル画素信号DPに変換する。

20

【0109】

また、複数のA/D変換器5aの図中の上側に隣接して水平転送回路6aが配置され、複数のA/D変換器5bの図中の下側に隣接して水平転送回路6bが配置される。水平転送回路6aは、複数の逐次比較型A/D変換器5aから与えられた複数のデジタル画素信号DPを一旦保持した後、保持した複数のデジタル画素信号DPを1つずつ順次、信号処理回路7に転送する。また、水平転送回路6bは、複数の逐次比較型A/D変換器5bから与えられた複数のデジタル画素信号DPを一旦保持した後、保持した複数のデジタル画素信号DPを1つずつ順次、信号処理回路7に転送する。

30

【0110】

信号処理回路7は、水平転送回路6a、6bから与えられる17ビットのデジタル画素信号DPを14ビットのデジタル画素信号DOに変換して外部に出力する。

【0111】

この実施の形態8では、実施の形態1と同じ効果が得られる他、画素アレイ1の面積積化、画素回路Pの小型化、読出速度の高速化に容易に対応することができる。

【0112】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

40

【符号の説明】

【0113】

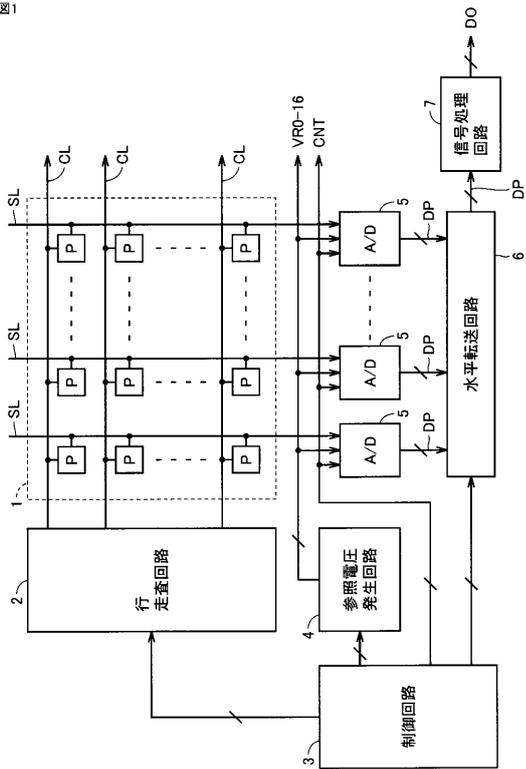
1 画素アレイ、P 画素回路、CL 制御線、SL 信号線、2 行走査回路、3 制御回路、4, 21, 30, 35, 40 参照電圧発生回路、5, 22 逐次比較型A/D変換器、6 水平転送回路、7 信号処理回路、10, 11 定電圧源、12, 45 ラダー抵抗器、15, 31, 36 D/A変換器、16, 23 マルチプレクサ、17, 25 キャパシタアレイ、18 S/H回路、19 比較器、20 逐次近似レジスタ、

50

D C P ダミーキャパシタ、C P キャパシタ、C P S スプリットキャパシタ、T 0 ~ T 4 端子、S W スイッチ、3 2 , 4 6 , 4 7 PチャネルM O S トランジスタ、3 7 , 4 3 , 4 4 NチャネルM O S トランジスタ、4 1 , 4 2 演算増幅器、5 0 半導体基板。

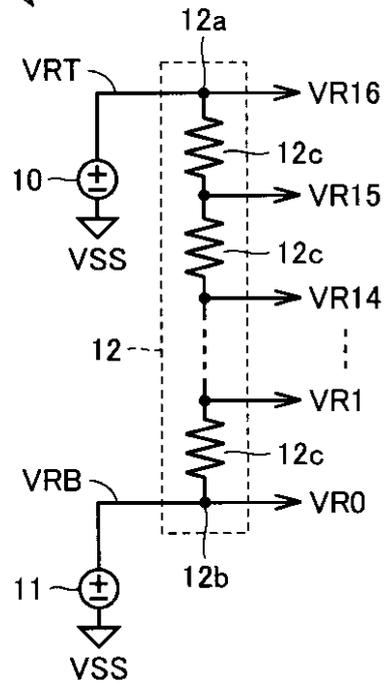
【 図 1 】

図1

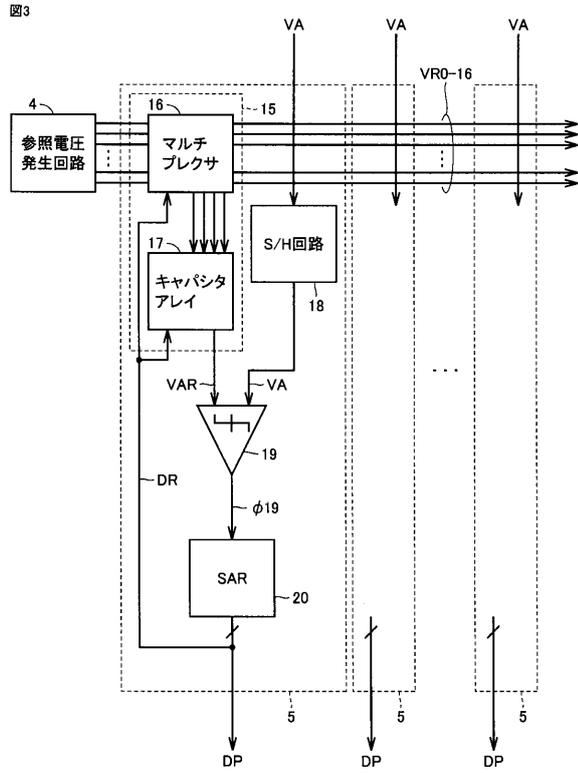


【 図 2 】

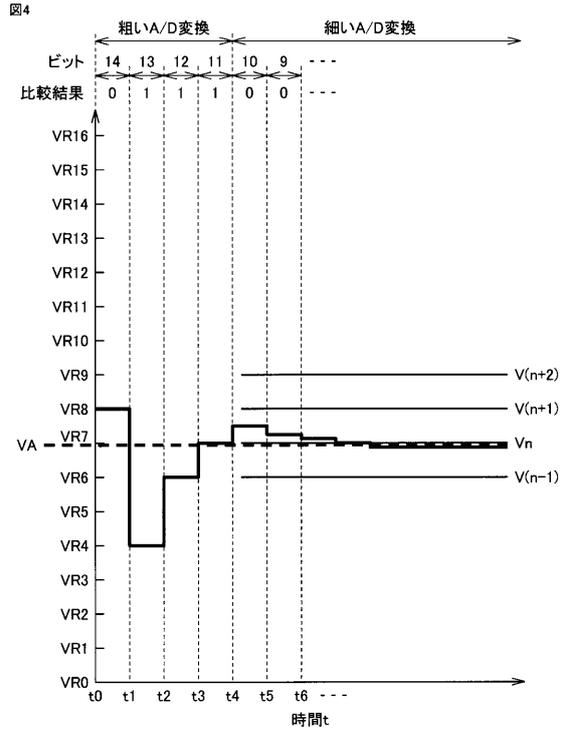
図2



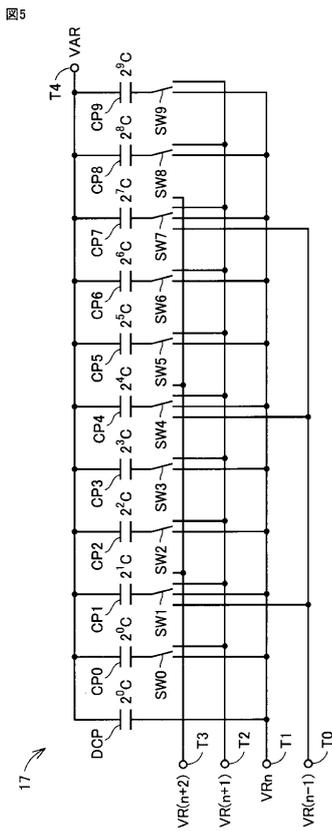
【 図 3 】



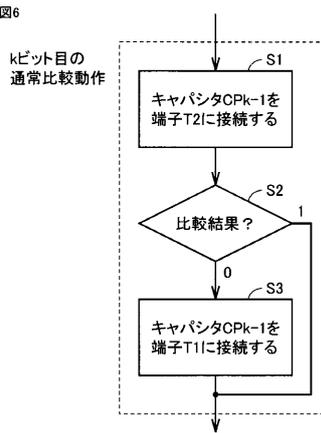
【 図 4 】



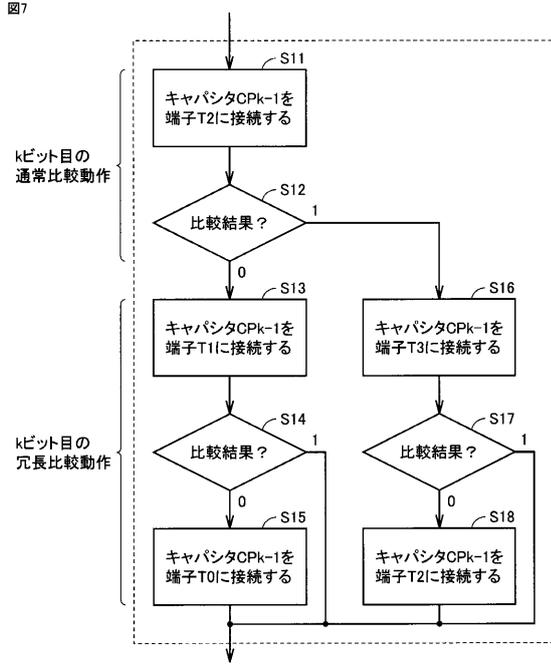
【 図 5 】



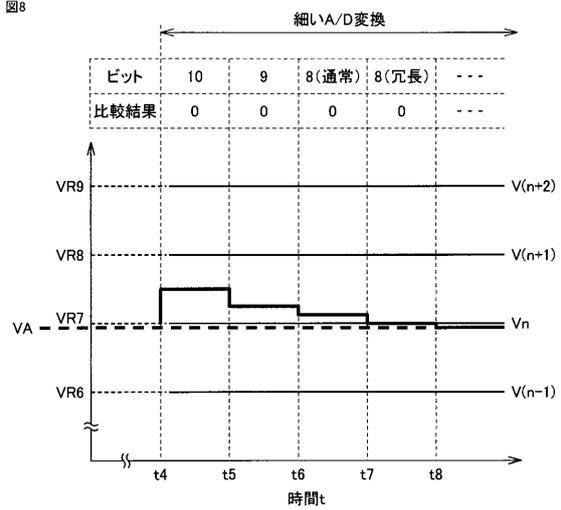
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

図9

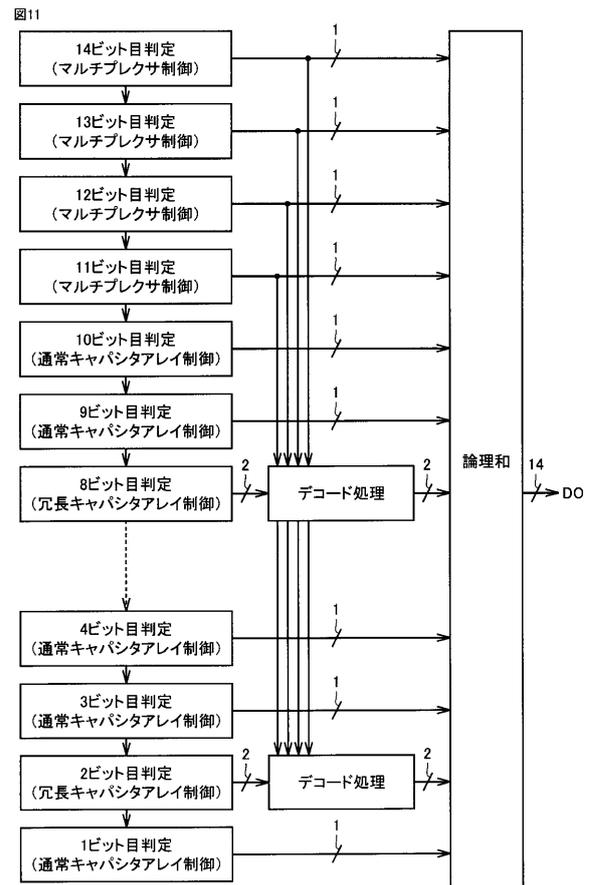
kビット目の通常比較結果	kビット目の冗長比較結果(k')	出力コード
0	0	$-2^{k-1}$
0	1	0
1	0	$2^{k-1}$
1	1	$2^k$

【 図 1 0 】

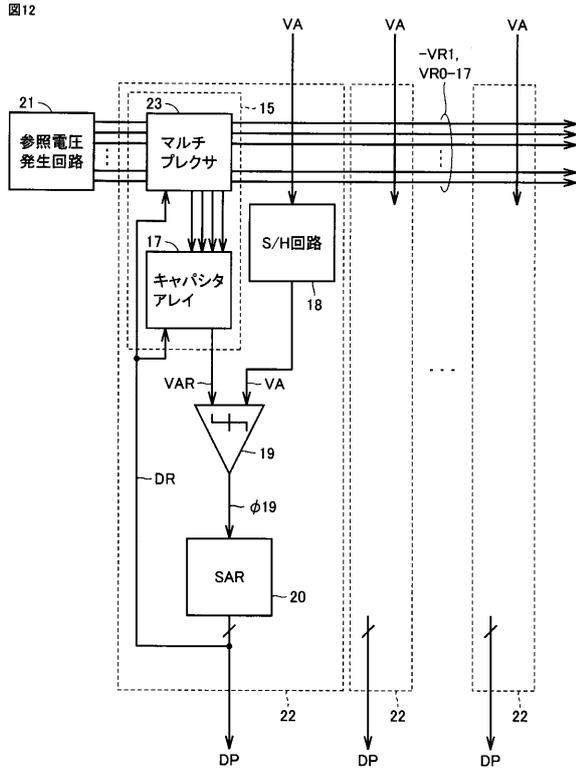
図10

kビット目の通常比較結果	kビット目の冗長比較結果(k')	出力コード	
		最上位サブレンジの場合	最下位サブレンジの場合
0	0	$-2^{k-1}$	0
0	1	0	0
1	0	$2^{k-1}$	$2^{k-1}$
1	1	$2^{k-1}$	$2^k$

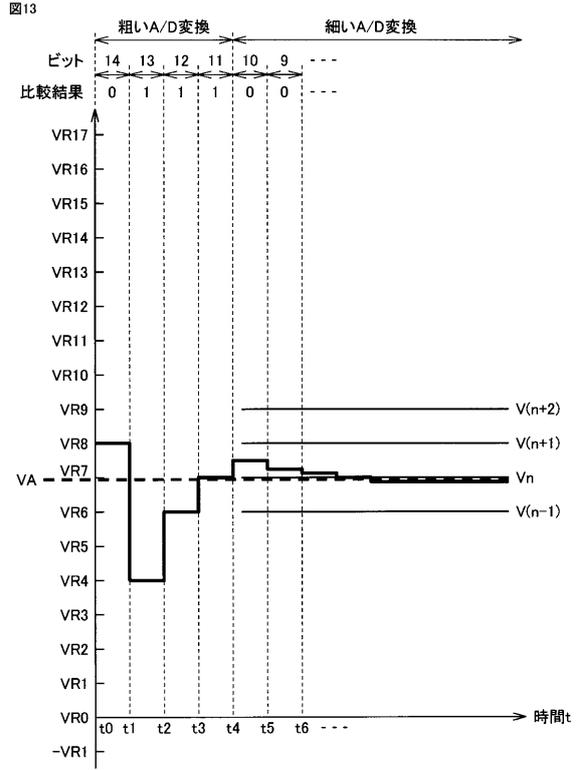
【 図 1 1 】



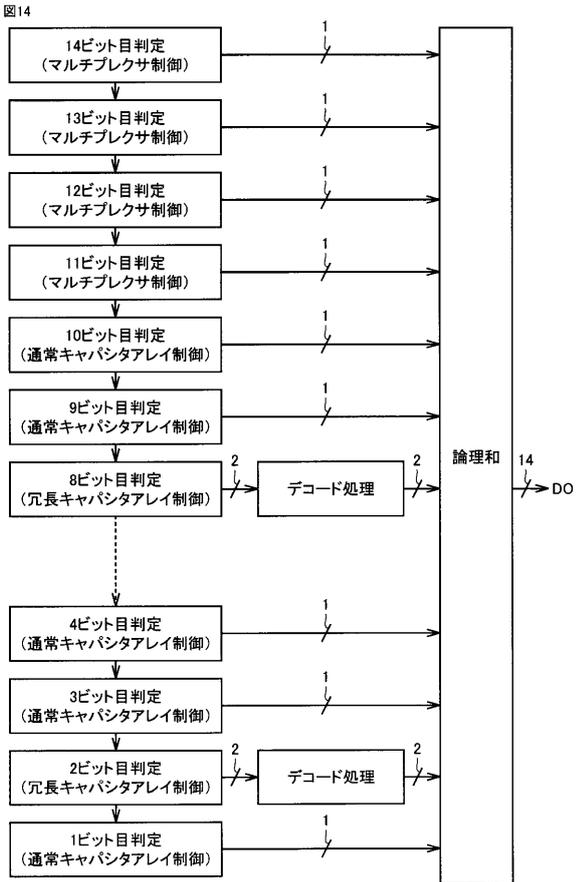
【 図 1 2 】



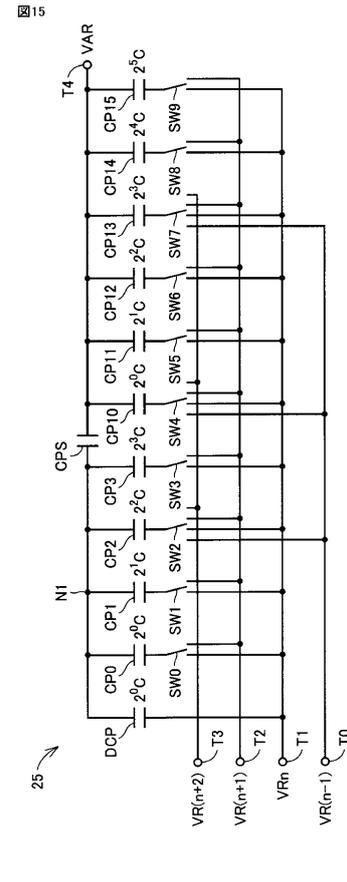
【 図 1 3 】



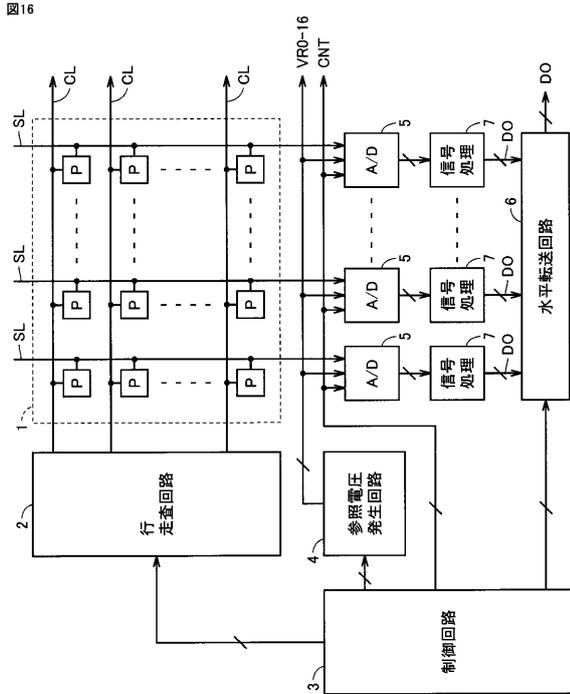
【 図 1 4 】



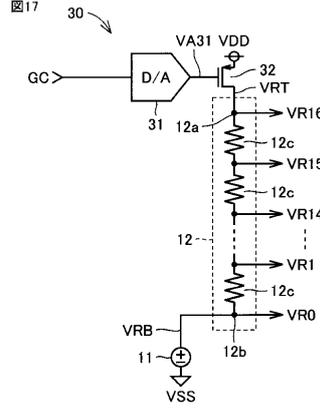
【 図 1 5 】



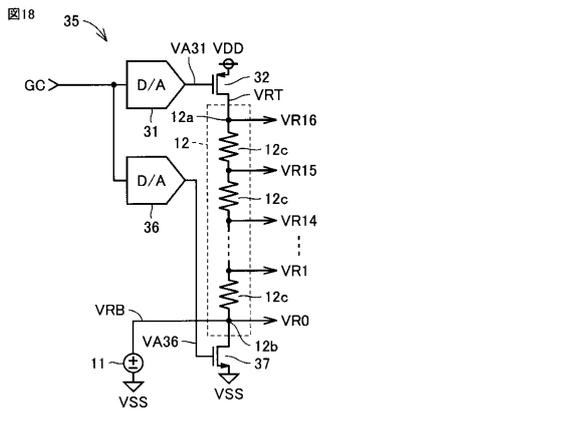
【 図 1 6 】



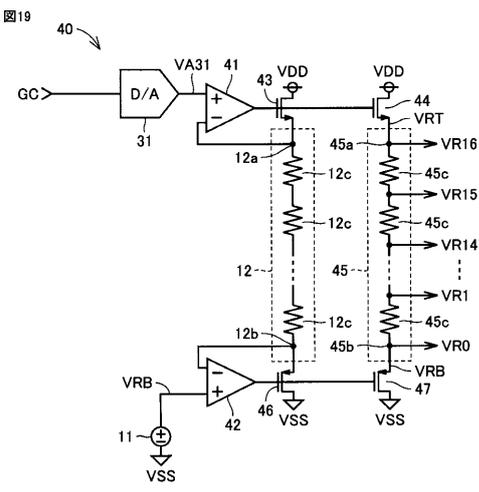
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



【 図 20 】

図20

