



(12)发明专利

(10)授权公告号 CN 105185507 B

(45)授权公告日 2017. 11. 14

(21)申请号 201410465055.X

(22)申请日 2014.09.12

(65)同一申请的已公布的文献号
申请公布号 CN 105185507 A

(43)申请公布日 2015.12.23

(30)优先权数据
10-2014-0066924 2014.06.02 KR

(73)专利权人 三星电机株式会社
地址 韩国京畿道

(72)发明人 郑汀赫 房惠民 金珀暎 车慧姈

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 金光军 孙丽研

(51)Int.Cl.

H01F 17/04(2006.01)

H01F 27/28(2006.01)

H01F 27/30(2006.01)

H05K 1/18(2006.01)

(56)对比文件

CN 103366920 A, 2013.10.23,

CN 103695972 A, 2014.04.02,

CN 103578721 A, 2014.02.12,

JP 2005005298 A, 2005.01.06,

JP 2006278909 A, 2006.10.12,

CN 103298256 A, 2013.09.11,

CN 103180919 A, 2013.06.26,

审查员 吴肖志

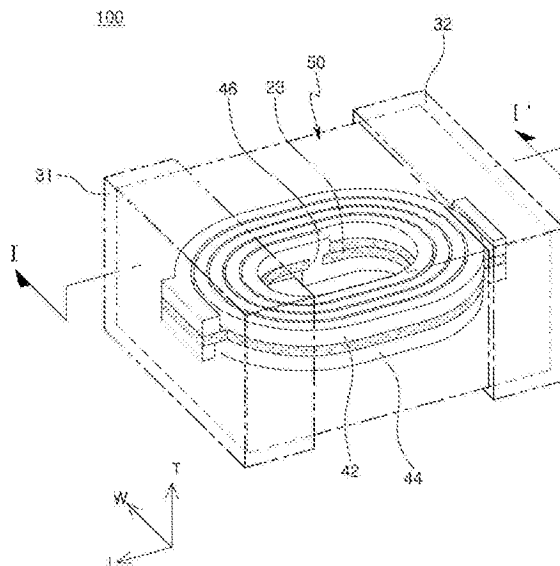
权利要求书1页 说明书7页 附图4页

(54)发明名称

片式电子器件和用于安装片式电子器件的板

(57)摘要

一种片式电子器件,其包括:磁体,该磁体包括绝缘基底和线圈导体图案,所述线圈导体图案设置在所述绝缘基底的至少一个表面上;以及外部电极,所述外部电极设置在所述磁体的两个端部上以连接至所述线圈导体图案的端部。所述线圈导体图案包括图案镀层、设置在所述图案镀层上的电镀层以及设置在所述电镀层上的各向异性电镀层,在所述磁体的沿着长度-厚度方向的横截面中,所述电镀层的邻接所述绝缘基底的下侧比所述电镀层的上侧长。



1. 一种片式电子器件,其包括:

磁体,该磁体包括绝缘基底和线圈导体图案,所述线圈导体图案设置在所述绝缘基底的至少一个表面上;以及

外部电极,所述外部电极设置在所述磁体的两个端部上以连接至所述线圈导体图案的端部,

其中,所述线圈导体图案包括图案镀层、设置在所述图案镀层上的电镀层以及设置在所述电镀层上的各向异性电镀层,在所述磁体的沿着长度-厚度方向的横截面中,所述电镀层的邻近所述绝缘基底的下侧比所述电镀层的上侧长,所述各向异性电镀层从所述电镀层的底部生长,所述电镀层具有梯形的横截面。

2. 如权利要求1所述的片式电子器件,其中,所述电镀层具有平坦的上表面。

3. 如权利要求1所述的片式电子器件,其中,所述线圈导体图案的高宽比A/R的范围为1.5至5.5。

4. 如权利要求1所述的片式电子器件,其中,所述线圈导体图案包括选自以下物质所组成的组中的一者或多者:银、钯、铝、镍、钛、金、铜和铂。

5. 一种用于安装片式电子器件的板,所述板包括:

印刷电路板,所述印刷电路板具有设置在该印刷电路板上的第一电极垫和第二电极垫;以及

安装在所述印刷电路板上的片式电子器件,

其中,所述片式电子器件包括:磁体,该磁体包括绝缘基底和线圈导体图案,所述线圈导体图案设置在所述绝缘基底的至少一个表面上;以及外部电极,所述外部电极设置在所述磁体的两个端部上以连接至所述线圈导体图案的端部,所述线圈导体图案包括图案镀层、设置在所述图案镀层上的电镀层以及设置在所述电镀层上的各向异性电镀层,在所述磁体的沿着长度-厚度方向的横截面中,所述电镀层的邻近所述绝缘基底的下侧比所述电镀层的上侧长,所述各向异性电镀层从所述电镀层的底部生长,所述电镀层具有梯形的横截面。

6. 如权利要求5所述的用于安装片式电子器件的板,其中,所述电镀层具有平坦的上表面。

7. 如权利要求5所述的用于安装片式电子器件的板,其中,所述线圈导体图案的高宽比(A/R)的范围为1.5至5.5。

8. 如权利要求5所述的用于安装片式电子器件的板,其中,所述线圈导体图案包括选自以下物质所组成的组中的一者或多者:银、钯、铝、镍、钛、金、铜和铂。

片式电子器件和用于安装片式电子器件的板

[0001] 相关申请的交叉引用

[0002] 本申请要求于2014年6月2日提交至韩国知识产权局的韩国专利申请No.10-2014-0066924的优先权,该申请的内容通过引用结合至此。

背景技术

[0003] 本发明涉及片式电子器件和用于安装片式电子器件的板。

[0004] 作为片式电子器件,电感器是典型的无源元件,它与电阻器和电容器一起构成电子电路以消除噪音。利用电磁特性将电感器和电容器组合在一起以构成对特定频带中的信号进行放大的谐振电路、滤波电路等。

[0005] 近来,随着例如各种通信设备,显示设备等信息技术(IT)设备的小型化和薄化的加快,不断地进行了对这些IT设备中使用的例如电感器、电容器、晶体管等各种元件的小型化和薄化的技术研究。电感器也迅速被小尺寸、高密度、并且能够自动表面安装的芯片取代,并且开发出了薄膜式电感器,在薄膜式电感器中,磁性粉末和树脂的混合物形成在线圈图案上,线圈图案通过电镀形成于薄膜绝缘基底的上表面和下表面上。

[0006] 通过在绝缘基底上形成线圈图案,并用磁性材料填充线圈图案的外部来制造该薄膜式电感器。

[0007] 特别地,可以通过增加线圈的面积来改善直流电阻(Rdc)特性,线圈的面积对薄膜式电感器的效率具有重要影响。

[0008] 对改善薄膜式电感器的直流电阻(Rdc)特性的技术进行了研究,该技术应用各向异性电镀法作为增加线圈的面积的方法。

[0009] 各向异性电镀法设计为使得电镀部分仅仅向线圈的上方生长,这要归功于高电流密度。

[0010] 但是,由于是以相对较高的电流密度执行电镀方法,取决于速度的铜(Cu)离子的供应短缺造成在线圈图案的远端上形成燃烧沉积,此外,线圈图案之间的厚度偏差大,所以需要一种解决这些问题的方法。

[0011] 因此,需要持续对用于解决例如线圈图案燃烧沉积、电镀厚度偏差以及短路缺陷这样的问题的技术进行研究,还需要对用于降低电感器直流电阻(Rdc)的技术进行研究。

[0012] [相关技术文献]

[0013] 日本专利公开号1999-204337。

发明内容

[0014] 本发明的一些实施方式可以提供一种片式电子器件和一种用于安装该片式电子器件的板。

[0015] 根据本发明的一些实施方式,片式电子器件可以包括:磁体,该磁体包括绝缘基底和线圈导体图案,所述线圈导体图案形成在所述绝缘基底的至少一个表面上;以及外部电极,所述外部电极形成在所述磁体的两个端部上以连接至所述线圈导体图案的端部,所述

线圈导体图案包括图案镀层、形成在所述图案镀层上的电镀层以及形成在所述电镀层上的各向异性电镀层,在所述磁体的沿着长度-厚度方向的横截面中,所述电镀层的邻近所述绝缘基底的下侧比所述电镀层的上侧长。

[0016] 电镀层可以具有梯形的横截面。

[0017] 电镀层可以具有平坦的上表面。

[0018] 各向异性电镀层可以由绝缘基底形成。

[0019] 线圈导体图案的高宽比(A/R)的范围可以为1.5至5.5。

[0020] 线圈导体图案部分可以含有选自以下物质所组成的组中的一者或多者:银(Ag)、钯(Pd)、铝(Al)、镍(Ni)、钛(Ti)、金(Au)、铜(Cu)和铂(Pt)。

[0021] 根据本发明的一些实施方式,用于安装片式电子器件的板可以包括:印刷电路板,所述印刷电路板具有形成于印刷电路板上的第一电极垫和第二电极垫;以及安装在印刷电路板上的片式电子器件,其中片式电子器件包括磁体,该磁体包括绝缘基底和线圈导体图案,所述线圈导体图案形成在所述绝缘基底的至少一个表面上;以及外部电极,所述外部电极形成在所述磁体的两个端部上以连接至所述线圈导体图案的端部,所述线圈导体图案包括图案镀层、形成在所述图案镀层上的电镀层以及形成在所述电镀层上的各向异性电镀层,在所述磁体的沿着长度-厚度方向的横截面中,所述电镀层的邻近所述绝缘基底的下侧比所述电镀层的上侧长。

[0022] 电镀层可以具有梯形的横截面。

[0023] 电镀层可以具有平坦的上表面。

[0024] 各向异性电镀层可以由绝缘基底形成。

[0025] 线圈导体图案的高宽比(A/R)的范围可以为1.5至5.5。

[0026] 线圈导体图案部分可以含有选自以下物质所组成的组中的一者或多者:银(Ag)、钯(Pd)、铝(Al)、镍(Ni)、钛(Ti)、金(Au)、铜(Cu)和铂(Pt)。

附图说明

[0027] 通过下面参考附图所做的具体描述,本发明的上述以及其它方面、特征和其它优点会得到更加清楚地理解,在这些附图中:

[0028] 图1为显示了根据本发明的示例性实施方式的片式电子器件的示意性的透视图,其中显示了内部线圈图案;

[0029] 图2为沿着图1中的I-I'线剖切的剖面图;

[0030] 图3以举例方式显示了图2中的A部分的放大示意图;以及

[0031] 图4为显示了图1中的片式电子器件安装在印刷电路板上时的状态的立体图。

具体实施方式

[0032] 现在将参考附图对本发明的示例性实施方式进行详细描述。

[0033] 但是,本发明可以用许多不同的形式来举例说明,不应该理解为局限于本说明书中描述的特定实施方式。相反,提供这些实施方式的目的是为了使本发明全面且完整,并将本发明的范围充分地传达给本领域技术人员。

[0034] 在附图中,可能为了清楚起见而夸大元件的形状和尺寸,且相同的附图标记在全

文中用于表示相同或相似的元件。

[0035] 下面将描述根据本发明的一个示例性实施方式的片式电子器件。具体地,将描述薄膜式电感器,但是本发明不局限于此。

[0036] 图1为显示了根据本发明的示例性实施方式的片式电子器件的示意性的透视图,其中显示了内部线圈图案,图2为沿着图1中的I-I'线剖切的剖面图,图3以举例方式显示了图2中的A部分的放大示意图。

[0037] 参考图1至图3,作为片式电子器件的一个例子,提供了供电电路的输电线中使用的薄膜片式电感器100。片式电子器件可以适当地用作片式磁珠,片式滤波器等。

[0038] 薄膜式电感器100可以包括磁体50、绝缘基底23及线圈导体图案42和线圈导体图案44。

[0039] 磁体50可以由不受限制的任何材料形成,只要该材料可以形成薄膜式电感器100的外观并表现出磁性特性即可。例如,磁体50可以通过填充铁氧体或金属基软磁材料而形成。就铁氧体而言,可以使用公知的锰-锌基铁氧体、镍-锌基铁氧体、镍-锌-铜基铁氧体、锰-镁基铁氧体、钡基铁氧体、锂基铁氧体等,就金属基软磁材料而言,可以使用铁-硅-硼-铜基非晶态金属粉末,但是本发明不局限于此。

[0040] 磁体50可以具有六面体形状,下面将限定六面体的方向,以清楚地描述本发明的示例性实施方式。图1所示的L、W和T分别指代长度方向、宽度方向和厚度方向。磁体50的形状可以为长方体。

[0041] 磁体50中形成的绝缘基底23的材料不受特别限制,只要绝缘基底23可以形成为薄膜,并且线圈导体图案42和线圈导体图案44可以通过电镀形成在绝缘基底上即可。例如,绝缘基底可以是PCB(印刷电路板)、铁氧体基底、金属基软磁基底等。

[0042] 绝缘基底23的中心部分可以是中空的以形成空腔,并且空腔可以被例如铁氧体、金属基软磁材料等磁性材料填充,从而形成核心部分。通过形成填充有磁性材料的核心部分,可以改善电感L。

[0043] 具有线圈形图案的线圈导体图案42可以形成在绝缘基底23的一个表面上,具有线圈形图案的线圈导体图案44还可以形成在绝缘基底23的另一个表面上。

[0044] 线圈导体图案42和线圈导体图案44可以包括螺旋形的线圈图案,并且在绝缘基底23的一个表面和另一个表面上形成的线圈导体图案42和线圈导体图案44可以通过形成在绝缘基底23中的通路电极46而互相电连接。

[0045] 可以使用导电性能优良的金属来形成线圈导体图案42和线圈导体图案44以及通路电极46。例如,可以使用银(Ag)、钯(Pd)、铝(Al)、镍(Ni)、钛(Ti)、金(Au)、铜(Cu)、铂(Pt)以及它们的混合物等形成线圈导体图案42和线圈导体图案44以及通路电极46。

[0046] 可以在线圈导体图案42和线圈导体图案44的表面上形成绝缘膜。

[0047] 可以通过公知的方法来形成绝缘膜,例如丝网印刷法、光刻胶(PR)曝光显影法、喷洒法、浸渍法等。

[0048] 绝缘膜的材料不受特别限制,只要能够形成薄绝缘膜即可。例如,可以使用光刻胶(PR)、环氧树脂等来形成绝缘膜。

[0049] 形成于绝缘基底23的一个表面上的线圈导体图案42的一个端部可以暴露于磁体50的长度方向上的一个端面,形成于绝缘基底23的另一个表面上的线圈导体图案44的一个

端部可以暴露于磁体50的长度方向上的另一个端面。

[0050] 外部电极31和外部电极32可以形成在磁体50的长度方向上的两个端面上,以连接至线圈导体图案42和线圈导体图案44,线圈导体图案42和44暴露给磁体50的长度方向上的两个端面。

[0051] 外部电极31和外部电极32可以延伸至磁体50的厚度方向上的上表面和下表面和/或宽度方向上的两个侧表面。

[0052] 可以使用导电性能优良的金属来形成外部电极31和外部电极32。例如,可以单独使用镍(Ni),铜(Cu),锡(Sn),银(Ag)等,或使用它们的合金等形成外部电极31和外部电极32。

[0053] 根据本发明的示例性实施方式,线圈导体图案42和线圈导体图案44可以包括图案镀层42a和图案镀层44a,形成在图案镀层42a和图案镀层44a上的电镀层42b和电镀层44b,以及形成在电镀层42b和电镀层44b上的各向异性电镀层42c和各向异性电镀层44c,并且,在磁体50的沿着长度-厚度方向的横截面中,电镀层42b和电镀层44b的邻接绝缘基底23的下侧可以比电镀层42b和电镀层44b的上侧长。

[0054] 一般而言,对改善薄膜式电感器的直流电阻(Rdc)特性的技术进行了研究,该技术应用各向异性电镀法来作为增加线圈面积的方法。

[0055] 各向异性电镀法设计为使得电镀部分仅仅向线圈的上方生长,这要归功于高电流密度。

[0056] 但是,由于在这种情况下是以相对较高的电流密度执行电镀方法,取决于速度的铜(Cu)离子的供应短缺造成在线圈图案的远端上形成燃烧沉积,并且线圈图案之间的厚度偏差相对较大,所以可能产生短路缺陷。

[0057] 同时,根据本发明的示例性实施方式,由于电镀层42b和电镀层44b的邻接绝缘基底23的下侧比电镀层42b和电镀层44b的上侧长,可以解决由于线圈导体图案之间的厚度偏差大而引起的短路缺陷。

[0058] 例如,由于电镀层42b和电镀层44b的靠近绝缘基底23的下侧比电镀层42b和44b的上侧长,所以各向异性电镀层42c和各向异性电镀层44c从电镀层42b和电镀层44b的底部生长,从而可以降低线圈导体图案42和线圈导体图案44之间的厚度偏差,由此防止在相邻的线圈导体图案之间发生短路。

[0059] 此外,由于可以通过降低线圈导体图案42和线圈导体图案44之间的厚度偏差来防止在相邻的线圈导体图案之间发生短路,各向异性电镀层42c和各向异性电镀层44c可以生长得相对较高,使得线圈导体图案的高宽比(A/R)可以改善,由此降低直流电阻(Rdc)。

[0060] 此外,在根据本发明的示例性实施方式的片式电子器件中,可以通过减小线圈导体图案42和线圈导体图案44的尺寸而将各向异性电镀稳定地施加至小尺寸芯片。

[0061] 电镀层42b和电镀层44b的横截面形状不受特别限制,但是可以为-例如-梯形。

[0062] 由于线圈导体图案42和线圈导体图案44的电镀层42b和电镀层44b具有梯形横截面,与现有电镀层的圆形横截面相比,可以极大地减少短路缺陷。

[0063] 例如,由于电镀层42b和电镀层44b具有梯形横截面,与现有电镀层的圆形横截面相比,各向异性电镀层42c和各向异性电镀层44c可以从电镀层的底部生长,并沿着竖直方向稳定生长。

[0064] 因此,可以降低线圈导体图案42和线圈导体图案44的厚度偏差,由此可以防止在相邻线圈导体图案之间产生短路。

[0065] 此外,由于各向异性电镀层42c和各向异性电镀层44c可以沿着垂直方向稳定生长,可以增加线圈导体图案的高宽比(A/R),由此降低直流电阻(Rdc)。

[0066] 电镀层42b和电镀层44b可以具有平坦的上表面,但是不局限于此。

[0067] 由于电镀层42b和电镀层44b具有平坦的上表面,与现有电镀层的圆形横截面相比,各向异性电镀层42c和各向异性电镀层44c可以从电镀层的底部沿着垂直方向稳定地生长。

[0068] 因此,可以增加线圈导体图案42和线圈导体图案44的高宽比(A/R),由此降低直流电阻(Rdc)。

[0069] 各向异性电镀层42c和各向异性电镀层44c可以由绝缘基底23形成。

[0070] 如上所述,由于各向异性电镀层42c和各向异性电镀层44c可以由绝缘基底23形成,例如,从电镀层的底部生长,所以各向异性电镀层42c和各向异性电镀层44c可以沿垂直方向稳定生长。

[0071] 以举例的方式提供了形成线圈导体图案的方法。因此,本发明不局限于此,可以使用各种方法。

[0072] 根据本发明的示例性实施方式,线圈导体图案42和线圈导体图案44的高宽比(A/R)可以为1.5至5.5。

[0073] 在根据本发明的示例性实施方式的片式电子器件中,为了极大地降低线圈导体图案42和线圈导体图案44的直流电阻(Rdc),可以增加线圈的横截面面积。为此,可以应用使线圈沿厚度方向生长的各向异性电镀法。

[0074] 在应用各向异性电镀法使线圈导体图案在厚度方向生长得相对较厚的情况下,可以增加线圈的横截面面积,由此降低直流电阻(Rdc)。

[0075] 例如,根据本发明的示例性实施方式,线圈导体图案42和线圈导体图案44的高宽比(A/R)调整为1.5至5.5,由此可以增加线圈的横截面面积,从而降低直流电阻(Rdc)。

[0076] 在线圈导体图案42和线圈导体图案44的高宽比(A/R)小于1.5的情况下,由于高宽比(A/R)接近1,在有限空间中增加线圈横截面面积的效果可能不大,因此,降低直流电阻(Rdc)的效果可能不大。

[0077] 另一方面,在线圈导体图案42和线圈导体图案44的高宽比(A/R)大于5.5的情况下,由于线圈的横截面面积增加,可以降低直流电阻(Rdc),但是,由于电镀部分的生长不一致,可能产生短路缺陷,并且,直流电阻(Rdc)可能根据当铜(Cu)离子的供应速度较低时可能生成的厚度燃烧沉积而降低。

[0078] 根据本发明的示例性实施方式,线圈导体图案可以含有一种或多种选自以下组中的材料:银(Ag)、钯(Pd)、铝(Al)、镍(Ni)、钛(Ti)、金(Au)、铜(Cu)和铂(Pt),但是不局限于此。

[0079] 在这里将会描述根据本发明的示例性实施方式的片式电子器件的制造过程。

[0080] 首先,可以在绝缘基底23上形成线圈导体图案42和线圈导体图案44。

[0081] 可以通过电镀等方法将线圈导体图案42和线圈导体图案44形成在薄的绝缘基底23上。在这种情况下,绝缘基底23不受特别限制。例如,可以使用PCB、铁氧体基底、金属基软

磁基底等,绝缘基底23的厚度可以为40至100 μm 。

[0082] 举例来说,用于形成线圈导体图案42和线圈导体图案44的方法是电镀法,但是本发明不局限于此。可以使用导电性能优良的金属来形成线圈导体图案42和线圈导体图案44。例如,可以使用银(Ag)、钯(Pd)、铝(Al)、镍(Ni)、钛(Ti)、金(Au)、铜(Cu)或铂(Pt),或上述材料的混合物等。

[0083] 通过在绝缘基底23的部分中形成空腔,并用导电材料填充该空腔,可以形成通路电极46,形成于绝缘基底23的一个表面和另一个表面上的线圈导体图案42和线圈导体图案44可以通过通路电极46而互相电连接。

[0084] 穿透绝缘基底23的空腔可以通过钻孔、激光、喷砂、或冲压工艺而形成在绝缘基底23的中心部分中。

[0085] 在形成线圈导体图案42和线圈导体图案44时,在通过印刷法形成图案镀层42a和图案镀层44a以及通过各向同性电镀法在图案镀层上形成电镀层42b和图案镀层44b之后,通过向线圈施加高密度电流以进行各向异性电镀,可以沿着线圈的厚度方向生长各向异性电镀层42c和各向异性电镀层44c。

[0086] 由于电镀层一般由各向同性电镀法形成,电镀层的上表面的可以为圆顶形或球形。

[0087] 但是,根据本发明的示例性实施方式,电镀层42b和电镀层44b由各向同性电镀法形成,但是可以形成为梯形,其中,通过调节所施加的电流,电镀层的邻接绝缘基底23的下侧比电镀层的上侧长。

[0088] 更具体地,通过增加在电镀层42b和电镀层44b的邻接绝缘基底23的下部上施加的电流密度,以及通过降低向电镀层42b和电镀层44b的上部施加的电流密度可以使电镀层42b和电镀层44b形成为电镀层42b和电镀层44b的下侧比上侧长的梯形。

[0089] 接下来,可以通过应用各向异性电镀法来在电镀层42b和电镀层44b上形成异性电镀层42c和异性电镀层44c。在这种情况下,如上所述,由于各向异性电镀层42c和各向异性电镀层44c由绝缘基底23形成,例如,从电镀层42b和电镀层44b的底部生长,所以各向异性电镀层42c和各向异性电镀层44c可以沿垂直方向稳定生长。

[0090] 接下来,可以在线圈导体图案42和线圈导体图案44的表面上形成绝缘膜。就形成绝缘膜的方法而言,可以使用公知的丝网印刷法、光刻胶(PR)曝光显影法、喷涂法、浸渍法等。

[0091] 绝缘膜的材料不受特别限制,只要能够形成薄绝缘膜即可。例如,可以使用光刻胶(PR)、环氧树脂等来形成绝缘膜。

[0092] 绝缘膜形可以成为具有1至3 μm 的厚度。在绝缘膜的厚度小于1 μm 的情况下,由于绝缘膜损坏可能会产生漏电流,可能产生电感在高频部分降低这样的波形缺陷或线圈之间的短路缺陷,在厚度大于3 μm 的情况下,电感特性可能恶化。

[0093] 接下来,可以通过在绝缘基底23的上部和下部上堆叠磁性层来形成磁体50,线圈导体图案42和线圈导体图案44形成在绝缘基底23上。

[0094] 可以通过以下方式形成磁体50:在绝缘基底23的两个表面上堆叠磁性层,并通过层压法或等静压法对堆叠的磁性层进行压缩。在这种情况下,可以通过填充有磁性材料的空腔来形成核心部分。

[0095] 此外,可以形成连接至暴露于磁体50的端面的线圈导体图案42和线圈导体图案44的外部电极31和外部电极32。

[0096] 可以使用含有导电率优良的金属的浆料来形成外部电极31和外部电极32,举例来说,导电浆料可以单独含有镍(Ni)、铜(Cu)、锡(Sn)或银(Ag),或含有它们的合金。外部电极31和外部电极32可以通过浸渍法等形式,以及通过根据外部电极31和外部电极32的形状的印刷法形成。

[0097] 在此省略那些与根据本发明的前述示例性实施方式的上述片式电子器件的特征重复的特征。

[0098] 用于安装片式电子器件的板

[0099] 图4为显示了图1中的片式电子器件安装在印刷电路板上时的状态的立体图。

[0100] 参考图4,用于安装根据本发明的示例性实施方式的片式电子器件100的板200可以包括印刷电路板210、第一电极垫221和第二电极垫222,片式电子器件100水平地安装在印刷电路板210上,第一电极垫221和第二电极垫222彼此隔开地设置在印刷电路板210上。

[0101] 在这种情况下,片式电子器件100可以通过焊剂230以如下状态电连接至印刷电路板210:第一外部电极31和第二外部电极32分别位于第一电极垫221和第二电极垫222上以互相接触。

[0102] 除了上面的描述,将省略对与根据本发明的前述示例性实施方式的上述片式电子器件的特征相重复的特征的描述

[0103] 根据本发明的示例性实施方式,由于线圈导体图案的电镀层具有类似于梯形的横截面形状,与现有电镀层的圆形横截面相比,可以极大地减少短路缺陷的产生。

[0104] 此外,由于电镀层具有类似于梯形的横截面形状,与现有电镀层的圆形横截面相比,各向异性电镀层从电镀层的底部形成,由此可以增加线圈导体图案的高宽比(A/R),降低直流电阻(Rdc)。

[0105] 此外,在根据本发明的示例性实施方式的片式电子器件中,可以通过减小线圈导体图案的尺寸而将各向异性电镀稳定地施加至小尺寸芯片。

[0106] 尽管上面显示并描述了示例性实施方式,对于本领域技术人员来说,很显然,可以在不偏离由权利要求所限定的本发明的精神和范围的情况下做出修改和变形。

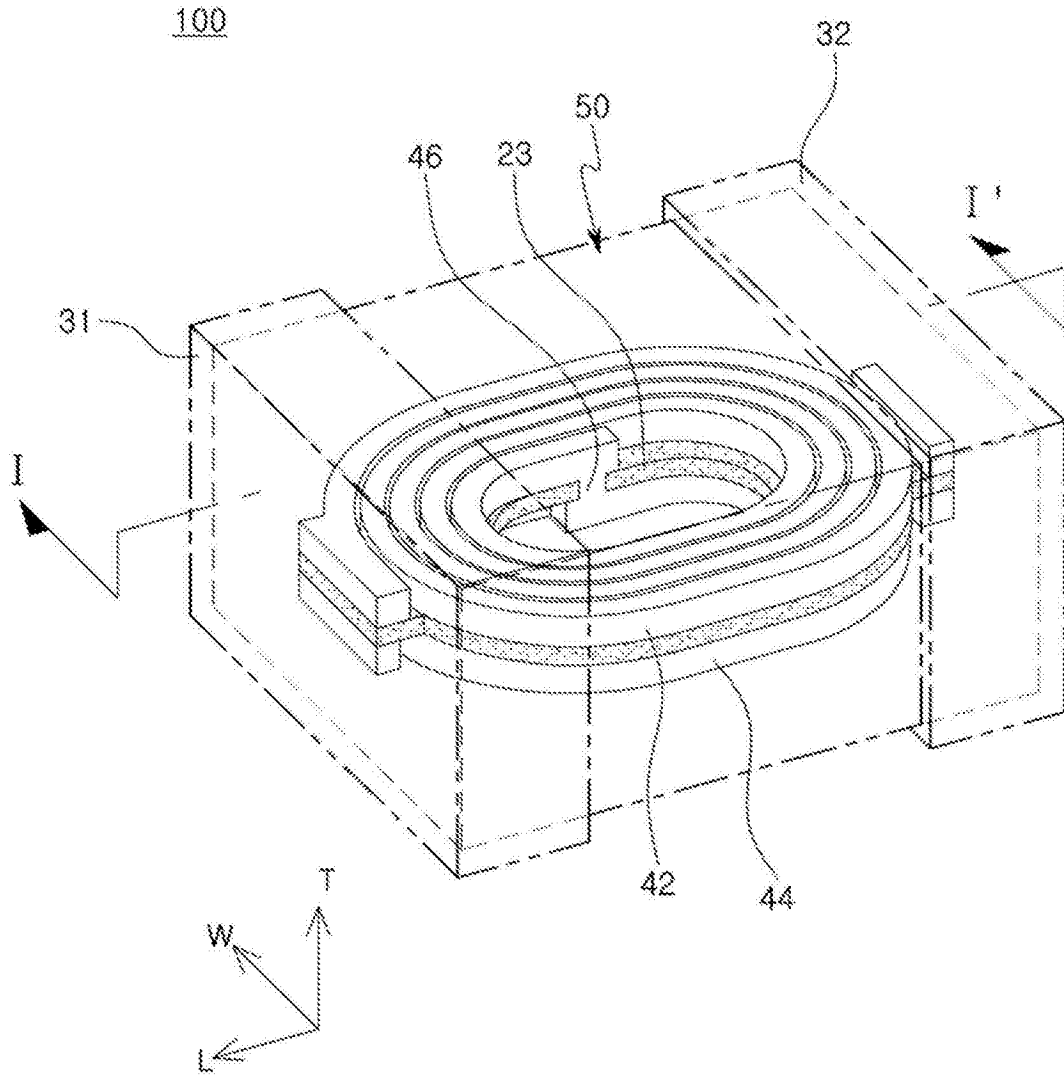


图1

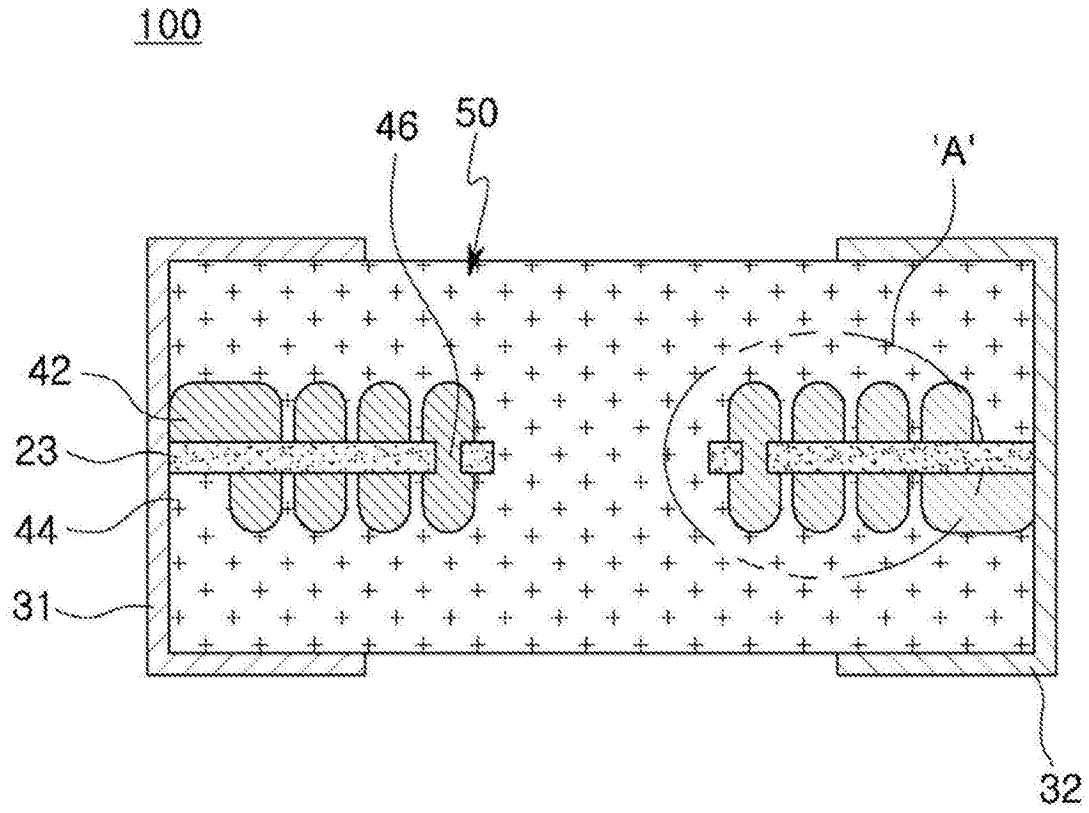


图2

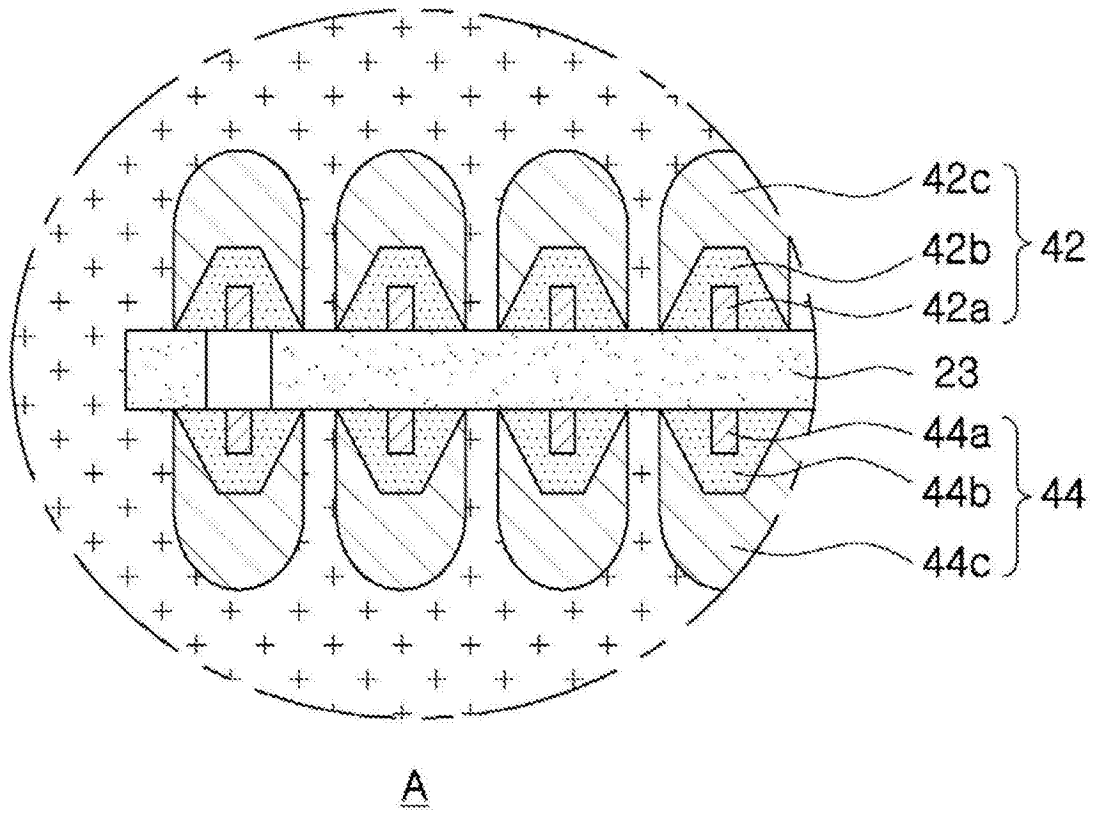


图3

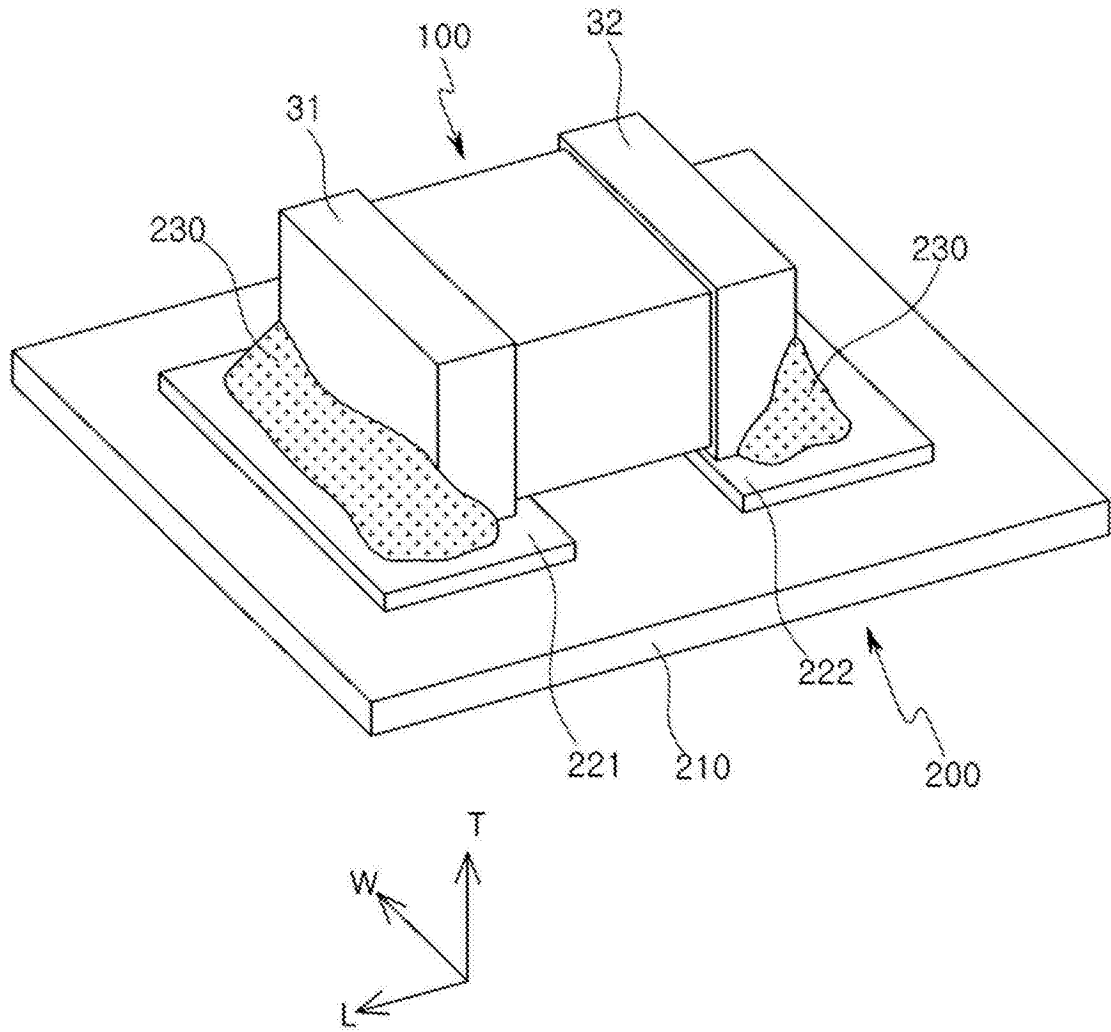


图4