



(12) 发明专利

(10) 授权公告号 CN 112928116 B

(45) 授权公告日 2024.03.22

(21) 申请号 201911243677.7

(22) 申请日 2019.12.06

(65) 同一申请的已公布的文献号

申请公布号 CN 112928116 A

(43) 申请公布日 2021.06.08

(73) 专利权人 财团法人工业技术研究院

地址 中国台湾新竹县竹东镇中兴路四段
195号

(72) 发明人 林雨德 李亨元 叶伯淳 杨昕芸

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

专利代理师 徐金国

(51) Int.Cl.

H10B 53/30 (2023.01)

(56) 对比文件

CN 102787356 A, 2012.11.21

CN 105556658 A, 2016.05.04

CN 106463513 A, 2017.02.22

CN 109256385 A, 2019.01.22

JP 2015053437 A, 2015.03.19

KR 19980065506 A, 1998.10.15

KR 20170093546 A, 2017.08.16

审查员 陈子威

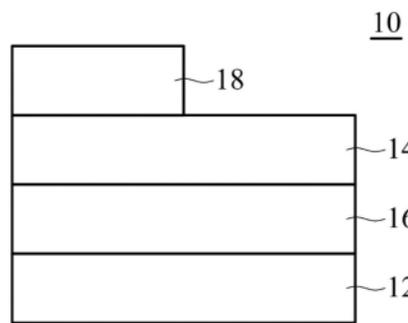
权利要求书2页 说明书7页 附图5页

(54) 发明名称

铁电记忆体

(57) 摘要

本发明提供一种铁电记忆体,包括:一第一电极层,其主要结晶方向包括(110)或(220);一第二电极层,与该第一电极层对向设置,其中该第二电极层的主要结晶方向包括(110)或(220);以及一铁电层,设置于该第一电极层与该第二电极层之间,其中该铁电层的主要结晶方向包括(111)。



1. 一种铁电记忆体,其特征在于,包括:
 - 第一电极层,其主要结晶方向包括(110)或(220);
 - 第二电极层,与该第一电极层对向设置,其中该第二电极层的主要结晶方向包括(110)或(220);以及
 - 铁电层,设置于该第一电极层与该第二电极层之间,其中该铁电层的主要结晶方向包括(111);其中,该铁电层包括锆于氧化锆铪中的比例介于40-60%的氧化锆铪、氧化铪、硅于氧化硅铪中的比例介于3-6%的氧化硅铪、铝于氧化铝铪中的比例介于2-10%的氧化铝铪、钆于氧化钆铪中的比例介于2-50%的氧化钆铪、钇于氧化钇铪中的比例介于2-20%的氧化钇铪、铈于氧化铈铪中的比例介于2-40%的氧化铈铪、或锆于氧化镧锆铪中的比例介于40-60%且镧于氧化镧铪中的比例介于0.1-2%的氧化镧铪。
2. 根据权利要求1所述的铁电记忆体,其特征在于,该第一电极层与该第二电极层包括氮化钛。
3. 根据权利要求1所述的铁电记忆体,其特征在于,该第一电极层与该第二电极层包括立方晶系。
4. 根据权利要求1所述的铁电记忆体,其特征在于,该第一电极层与该第二电极层的次要结晶方向包括(001)、(002)、(111)、或(200)。
5. 根据权利要求1所述的铁电记忆体,其特征在于,该铁电层包括斜方晶相。
6. 根据权利要求1所述的铁电记忆体,其特征在于,该铁电层的次要结晶方向包括(002)、(100)、(110)、(020)、(211)、(022)、(220)、(202)、(113)、或(311)。
7. 根据权利要求1所述的铁电记忆体,其特征在于,还包括一应力层,设置于该第一电极层或该第二电极层上。
8. 根据权利要求7所述的铁电记忆体,其特征在于,该应力层包括半导体材料、介电材料、或金属材料。
9. 根据权利要求8所述的铁电记忆体,其特征在于,该应力层包括锆、铪、氮化钛、钛、钽、氮化钽、钽化硅、碳氮化钽、氮化铝钛、锌、镍、硅化镍、钒、碳、硅、氮化硅、锗、铂、铝、氮化铝、钷、钆、铈、钨、硅化钨、氮化钨、镓、或氮化镓。
10. 根据权利要求8所述的铁电记忆体,其特征在于,该应力层包括氧化锌、氧化钛、氮氧化钛、氮氧化钽、氧化硅、氮氧化硅、氧化钒、氧化钒铈、氧化铪铈、氧化锗、或氧化钽。
11. 一种铁电记忆体,其特征在于,包括:
 - 基板;
 - 第一导电层,设置于该基板上;
 - 图案化氧化层,设置于该第一导电层与该基板上,露出部分的该第一导电层;
 - 第二导电层,设置于露出的该第一导电层与该图案化氧化层上;
 - 第一电极层,设置于露出的该第一导电层与该第二导电层上,其中该第一电极层的主要结晶方向包括(110)或(220);
 - 铁电层,设置于该第一电极层上,其中该铁电层的主要结晶方向包括(111);
 - 第二电极层,设置于该铁电层上,其中该第二电极层的主要结晶方向包括(110)或(220);

- 一应力层, 设置于该第二电极层之间; 以及
- 一第三导电层, 设置于该应力层与该第二电极层上;

其中, 该铁电层包括锆于氧化锆铪中的比例介于40-60%的氧化锆铪、氧化铪、硅于氧化硅铪中的比例介于3-6%的氧化硅铪、铝于氧化铝铪中的比例介于2-10%的氧化铝铪、钽于氧化钽铪中的比例介于2-50%的氧化钽铪、铋于氧化铋铪中的比例介于2-20%的氧化铋铪、锑于氧化锑铪中的比例介于2-40%的氧化锑铪、或锆于氧化镧锆铪中的比例介于40-60%且镧于氧化镧锆铪中的比例介于0.1-2%的氧化镧锆铪。

12. 根据权利要求11所述的铁电记忆体, 其特征在于, 该第一导电层、该第二导电层、以及该第三导电层包括半导体材料、或金属材料。

13. 根据权利要求11所述的铁电记忆体, 其特征在于, 该图案化氧化层包括氧化硅、氮化硅、或氮氧化硅。

14. 根据权利要求11所述的铁电记忆体, 其特征在于, 该第一电极层与该第二电极层包括氮化钛。

15. 根据权利要求11所述的铁电记忆体, 其特征在于, 该第一电极层与该第二电极层包括立方晶系。

16. 根据权利要求11所述的铁电记忆体, 其特征在于, 该第一电极层与该第二电极层的次要结晶方向包括(001)、(002)、(111)、或(200)。

17. 根据权利要求11所述的铁电记忆体, 其特征在于, 该铁电层包括斜方晶相。

18. 根据权利要求11所述的铁电记忆体, 其特征在于, 该铁电层的次要结晶方向包括(002)、(100)、(110)、(020)、(211)、(022)、(220)、(202)、(113)、或(311)。

19. 根据权利要求11所述的铁电记忆体, 其特征在于, 该应力层包括半导体材料、介电材料、或金属材料。

20. 根据权利要求19所述的铁电记忆体, 其特征在于, 该应力层包括锆、铪、氮化钛、钛、钽、氮化钽、钽化硅、碳氮化钽、氮化铝钛、锌、镍、硅化镍、钇、碳、硅、氮化硅、锗、铂、铝、氮化铝、钷、钆、铈、钨、硅化钨、氮化钨、镓、或氮化镓。

21. 根据权利要求19所述的铁电记忆体, 其特征在于, 该应力层包括氧化锌、氧化钛、氮氧化钛、氮氧化钽、氧化硅、氮氧化硅、氧化钪、氧化钪铈、氧化铪铈、氧化锗、或氧化钽。

铁电记忆体

技术领域

[0001] 本发明是有关于一种铁电记忆体,特别是有关于一种配置有具备特定结晶方向电极层的铁电记忆体。

背景技术

[0002] 铁电记忆体(Ferroelectric memories)是属于破坏性读取记忆体,对于操作次数的要求很高,因此举凡有关提升操作次数的方法就有其价值性。传统以氧化铪(HfO)材料作为基础的铁电记忆体技术,其操作劣化大多在 10^6 循环之后即会产生,不符产业上的需求。

发明内容

[0003] 为提升铁电记忆体的操作次数,本发明提供一种铁电记忆体,利用元件结构中环境应力的设计以及配置具备特定结晶方向的电极层,以制作近乎无苏醒现象(nearly wake-up free behavior)的铁电记忆体。

[0004] 根据本发明的一实施例,提供一种铁电记忆体。该铁电记忆体包括:一第一电极层,其主要结晶方向包括(110)或(220);一第二电极层,与该第一电极层对向设置,其中该第二电极层的主要结晶方向包括(110)或(220);以及一铁电层,设置于该第一电极层与该第二电极层之间,其中该铁电层的主要结晶方向包括(111)。

[0005] 在一实施例中,该第一电极层与该第二电极层包括氮化钛。在一实施例中,该第一电极层与该第二电极层包括立方晶系。在一实施例中,该第一电极层与该第二电极层的次要结晶方向包括(001)、(002)、(111)、或(200)。

[0006] 在一实施例中,该铁电层包括氧化锆铪(HfZrO_x) (锆于氧化锆铪中的比例介于40-60%)、氧化铪(HfO_x)、氧化硅铪(HfSiO_x) (硅于氧化硅铪中的比例介于3-6%)、氧化铝铪(HfAlO_x) (铝于氧化铝铪中的比例介于2-10%)、氧化钆铪(HfGdO_x) (钆于氧化钆铪中的比例介于2-50%)、氧化钇铪(HfYO_x) (钇于氧化钇铪中的比例介于2-20%)、氧化锶铪(HfSrO_x) (锶于氧化锶铪中的比例介于2-40%)、或氧化镧铪(HfZrLaO_x) (锆于氧化镧铪中的比例介于40-60%、镧于氧化镧铪中的比例介于0.1-2%)。在一实施例中,该铁电层包括斜方晶相(orthorhombic phase)。在一实施例中,该铁电层的次要结晶方向包括(002)、(100)、(110)、(020)、(211)、(022)、(220)、(202)、(113)、或(311)。

[0007] 在一实施例中,本发明铁电记忆体还包括一应力层,设置于该第一电极层或该第二电极层上。在一实施例中,该应力层包括半导体材料、介电材料、导电介电材料、或金属材料。在一实施例中,该应力层包括锆(Zr)、铪(Hf)、氮化钛(TiN)、钛(Ti)、钽(Ta)、氮化钽(TaN)、钽化硅(TaSi)、碳氮化钽(TaCN)、氮化铝钽(TiAlN)、锌(Zn)、镍(Ni)、硅化镍(NiSi)、钌(Ru)、碳(C)、硅(Si)、氮化硅(SiN_x)、锗(Ge)、铂(Pt)、铝(Al)、氮化铝(AlN)、钇(Y)、钆(Gd)、锶(Sr)、钨(W)、硅化钨(WSi)、氮化钨(WN)、镓(Ga)、或氮化镓(GaN)。在一实施例中,该应力层包括氧化锌(ZnO)、氧化钛(TiO_x)、氮氧化钛(TiON)、氮氧化钽(TaON)、氧化硅(SiO_x)、氮氧化硅(SiON_x)、氧化钌(RuO)、氧化钌锶(SrRuO)、氧化铪锶(SrHfO_3)、氧化锗(GeO)、氧化

钽(TaO)、或五氧化二钽(Ta_2O_5)。

[0008] 根据本发明的一实施例,提供一种铁电记忆体。该铁电记忆体包括:一基板;一第一导电层,设置于该基板上;一图案化氧化层,设置于该第一导电层与该基板上,露出部分的该第一导电层;一第二导电层,设置于露出的该第一导电层与该图案化氧化层上;一第一电极层,设置于露出的该第一导电层与该第二导电层上,其中该第一电极层的主要结晶方向包括(110)或(220);一铁电层(ferroelectric layer),设置于该第一电极层上,其中该铁电层的主要结晶方向包括(111);一第二电极层,设置于该铁电层上,其中该第二电极层的主要结晶方向包括(110)或(220);一应力层,设置于该第二电极层之间;以及一第三导电层,设置于该应力层与该第二电极层上。

[0009] 在一实施例中,该第一导电层、该第二导电层、以及该第三导电层包括半导体材料、导电介电材料(conductive dielectrics)、或金属材料。

[0010] 在一实施例中,该图案化氧化层包括氧化硅、氮化硅、或氮氧化硅。

[0011] 本发明通过元件结构中环境应力的设计(即应力层的配置),使铁电层周围产生高强度的环境应力。另一方面,通过配置在铁电层两侧的电极层使其具备特定材料及特定结晶方向的设计(例如电极层由氮化钛(TiN)所构成,其主要结晶方向为(110)),使得本发明铁电记忆体其铁电层中相较于其他晶相(单斜晶相(M-phase)、正方晶相(T-phase)),是以斜方晶相(O-phase)所占的容积百分比最高,促使铁电层获得较多且稳定的铁电性质,有利于元件装置的操作,例如可有效提升元件的操作次数达 10^{10} 或更多,减缓操作劣化的情况。

附图说明

[0012] 图1是根据本发明的一实施例,一种铁电记忆体的剖面示意图;

[0013] 图2是根据本发明的一实施例,一种铁电记忆体的剖面示意图;

[0014] 图3A-图3E是根据本发明的一实施例,一种铁电记忆体制造方法的剖面示意图;以及

[0015] 图4是根据本发明的一实施例,显示铁电记忆体其操作次数与残余极化量(remanent polarization,Pr)的关系。

[0016] 【符号说明】

[0017] 10、100 铁电记忆体

[0018] 12、200 第一电极层

[0019] 14、240 第二电极层

[0020] 16、220 铁电层

[0021] 18、260 应力层

[0022] 120 基板

[0023] 140 第一导电层

[0024] 160 图案化氧化层

[0025] 180 第二导电层

[0026] 280 第三导电层

[0027] 300 退火制程

具体实施方式

[0028] 请参阅图1,本发明提供一种铁电记忆体10。图1为铁电记忆体10的剖面示意图。

[0029] 铁电记忆体 (Ferroelectric RAM, FeRAM) 10包括第一电极层12、第二电极层14、以及铁电层16。第二电极层14与第一电极层12对向设置。铁电层16设置于第一电极层12与第二电极层14之间。第一电极层12与第二电极层14的主要结晶方向 (dominant crystallographic orientation) 包括 (110) 或 (220)。铁电层16的主要结晶方向包括 (111)。

[0030] 在一实施例中,第一电极层12与第二电极层14可包括但不限于下列材料,例如,氮化钛 (TiN)。在一实施例中,第一电极层12与第二电极层14可包括立方晶系 (cubic crystal system)。在一实施例中,第一电极层12与第二电极层14的次要结晶方向可包括 (001)、(002)、(111)、或 (200)。

[0031] 在一实施例中,铁电层16可包括但不限于下列材料,例如,氧化锆铪 (HfZrO_x) (锆于氧化锆铪中的比例介于40-60%)、氧化铪 (HfO_x)、氧化硅铪 (HfSiO_x) (硅于氧化硅铪中的比例介于3-6%)、氧化铝铪 (HfAlO_x) (铝于氧化铝铪中的比例介于2-10%)、氧化钆铪 (HfGdO_x) (钆于氧化钆铪中的比例介于2-50%)、氧化钇铪 (HfYO_x) (钇于氧化钇铪中的比例介于2-20%)、氧化锶铪 (HfSrO_x) (锶于氧化锶铪中的比例介于2-40%)、或氧化镧铪 (HfZrLaO_x) (锆于氧化镧铪中的比例介于40-60%、镧于氧化镧铪中的比例介于0.1-2%)。在一实施例中,铁电层16可包括斜方晶相 (orthorhombic phase)。在一实施例中,铁电层16的次要结晶方向可包括 (002)、(100)、(110)、(020)、(211)、(022)、(220)、(202)、(113)、或 (311)。

[0032] 在一实施例中,本发明铁电记忆体10还包括应力层18,设置于第二电极层14上。在一实施例中,应力层18可包括半导体材料、介电材料、导电介电材料、或金属材料。在一实施例中,应力层18可包括但不限于下列材料,例如,锆 (Zr)、铪 (Hf)、氮化钛 (TiN)、钛 (Ti)、钽 (Ta)、氮化钽 (TaN)、钽化硅 (TaSi)、碳氮化钽 (TaCN)、氮化铝钛 (TiAlN)、锌 (Zn)、镍 (Ni)、硅化镍 (NiSi)、钌 (Ru)、碳 (C)、硅 (Si)、氮化硅 (SiN_x)、锗 (Ge)、铂 (Pt)、铝 (Al)、氮化铝 (AlN)、钇 (Y)、钆 (Gd)、锶 (Sr)、钨 (W)、硅化钨 (WSi)、氮化钨 (WN)、镓 (Ga)、或氮化镓 (GaN) 等金属或半导体材料。在一实施例中,应力层18可包括但不限于下列材料,例如,氧化锌 (ZnO)、氧化钛 (TiO_x)、氮氧化钛 (TiON)、氮氧化钽 (TaON)、氧化硅 (SiO_x)、氮氧化硅 (SiON_x)、氧化钌 (RuO)、氧化钌锶 (SrRuO)、氧化铪锶 (SrHfO_3)、氧化锗 (GeO)、氧化钽 (TaO)、或五氧化二钽 (Ta_2O_5) 等介电或导电介电材料。

[0033] 请参阅图2,根据本发明的一实施例,提供一种铁电记忆体100。图2为铁电记忆体100的剖面示意图。

[0034] 铁电记忆体 (Ferroelectric RAM, FeRAM) 100包括基板120、第一导电层140、图案化氧化层160、第二导电层180、第一电极层200、铁电层220、第二电极层240、应力层260、以及第三导电层280。第一导电层140设置于基板120上。图案化氧化层160设置于第一导电层140与基板120上,露出部分的第一导电层140。第二导电层180设置于露出的第一导电层140与图案化氧化层160上。第一电极层200设置于露出的第一导电层140与第二导电层180上,且第一电极层200的主要结晶方向 (dominant crystallographic orientation) 包括 (110) 或 (220)。铁电层220设置于第一电极层200上,且铁电层220的主要结晶方向包括 (111)。第

二电极层240设置于铁电层220上,且第二电极层240的主要结晶方向包括(110)或(220)。应力层260设置于第二电极层240之间。第三导电层280设置于应力层260与第二电极层240上。

[0035] 在一实施例中,图案化氧化层160可包括但不限于下列材料,例如,氧化硅、氮化硅、或氮氧化硅。

[0036] 在一实施例中,第一导电层140、第二导电层180、以及第三导电层280可包括半导体材料、导电介电材料(conductive dielectrics)、或金属材料。在一实施例中,第一导电层140、第二导电层180、以及第三导电层280可包括但不限于下列材料,例如,锆(Zr)、铪(Hf)、氮化钛(TiN)、钛(Ti)、钽(Ta)、氮化钽(TaN)、钽化硅(TaSi)、碳氮化钽(TaCN)、氮化铝钛(TiAlN)、锌(Zn)、镍(Ni)、硅化镍(NiSi)、钌(Ru)、碳(C)、硅(Si)、氮化硅(SiN_x)、锗(Ge)、铂(Pt)、铝(Al)、氮化铝(AlN)、钇(Y)、钆(Gd)、锶(Sr)、钨(W)、硅化钨(WSi)、氮化钨(WN)、镓(Ga)、或氮化镓(GaN)等金属或半导体材料。在一实施例中,第一导电层140、第二导电层180、以及第三导电层280可包括但不限于下列材料,例如,氧化锌(ZnO)、氧化钛(TiO_x)、氮氧化钛(TiON)、氮氧化钽(TaON)、氧化硅(SiO_x)、氮氧化硅(SiON_x)、氧化钌(RuO)、氧化钌锶(SrRuO)、氧化钪锶(SrHfO₃)、氧化锗(GeO)、氧化钽(TaO)、或五氧化二钽(Ta₂O₅)等导电介电材料。

[0037] 在一实施例中,第一电极层200与第二电极层240可包括但不限于下列材料,例如,氮化钛(TiN)。在一实施例中,第一电极层200与第二电极层240可包括立方晶系(cubic crystal system)。在一实施例中,第一电极层200与第二电极层240的次要结晶方向可包括(001)、(002)、(111)、或(200)。

[0038] 在一实施例中,铁电层220可包括但不限于下列材料,例如,氧化锆铪(HfZrO_x) (铪于氧化锆铪中的比例介于40-60%)、氧化铪(HfO_x)、氧化硅铪(HfSiO_x) (硅于氧化硅铪中的比例介于3-6%)、氧化铝铪(HfAlO_x) (铝于氧化铝铪中的比例介于2-10%)、氧化钪铪(HfGdO_x) (钪于氧化钪铪中的比例介于2-50%)、氧化钇铪(HfYO_x) (钇于氧化钇铪中的比例介于2-20%)、氧化锶铪(HfSrO_x) (锶于氧化锶铪中的比例介于2-40%)、或氧化镧铪(HfZrLaO_x) (铪于氧化镧铪中的比例介于40-60%、镧于氧化镧铪中的比例介于0.1-2%)。在一实施例中,铁电层220可包括斜方晶相(orthorhombic phase)。在一实施例中,铁电层220的次要结晶方向可包括(002)、(100)、(110)、(020)、(211)、(022)、(220)、(202)、(113)、或(311)。

[0039] 在一实施例中,应力层260可包括半导体材料、介电材料、导电介电材料、或金属材料。在一实施例中,应力层260可包括但不限于下列材料,例如,锆(Zr)、铪(Hf)、氮化钛(TiN)、钛(Ti)、钽(Ta)、氮化钽(TaN)、钽化硅(TaSi)、碳氮化钽(TaCN)、氮化铝钛(TiAlN)、锌(Zn)、镍(Ni)、硅化镍(NiSi)、钌(Ru)、碳(C)、硅(Si)、氮化硅(SiN_x)、锗(Ge)、铂(Pt)、铝(Al)、氮化铝(AlN)、钇(Y)、钆(Gd)、锶(Sr)、钨(W)、硅化钨(WSi)、氮化钨(WN)、镓(Ga)、或氮化镓(GaN)等金属或半导体材料。在一实施例中,应力层260可包括但不限于下列材料,例如,氧化锌(ZnO)、氧化钛(TiO_x)、氮氧化钛(TiON)、氮氧化钽(TaON)、氧化硅(SiO_x)、氮氧化硅(SiON_x)、氧化钌(RuO)、氧化钌锶(SrRuO)、氧化钪锶(SrHfO₃)、氧化锗(GeO)、氧化钽(TaO)、或五氧化二钽(Ta₂O₅)等介电或导电介电材料。

[0040] 请参阅图3A-图3E,根据本发明的一实施例,提供一种铁电记忆体的制造方法。图3A-图3E为铁电记忆体制造方法的剖面示意图。

[0041] 首先,如图3A所示,提供基板120,其上形成有第一导电层140。在一实施例中,可利用电浆增强化学气相沉积法(plasma-enhanced CVD,PECVD)、化学气相沉积法(CVD)、或原子层沉积法(atomic layer deposition,ALD)沉积第一导电层140。

[0042] 之后,如图3B所示,形成图案化氧化层160于第一导电层140与基板120上,露出部分的第一导电层140。之后,形成第二导电层180于露出的第一导电层140与图案化氧化层160上。在一实施例中,根据图案化氧化层160开口的不同深宽比,可利用不同的沉积制程将第二导电层180沉积于第一导电层140与图案化氧化层160上。例如,当开口的深宽比小于3时,可利用电浆增强化学气相沉积法(plasma-enhanced CVD,PECVD)沉积第二导电层180,当开口的深宽比介于3至10时,可利用化学气相沉积法(CVD)沉积第二导电层180,而当开口的深宽比大于10时,则可利用原子层沉积法(atomic layer deposition,ALD)沉积第二导电层180。

[0043] 之后,如图3C所示,形成第一电极层200于露出的第一导电层140与第二导电层180上。在一实施例中,可利用物理气相沉积法(PVD)或化学气相沉积法(CVD)或原子层沉积法(ALD)沉积第一电极层200。之后,形成铁电层220于第一电极层200上。在一实施例中,可利用原子层沉积法(atomic layer deposition,ALD)沉积铁电层220。之后,形成第二电极层240于铁电层220上。在一实施例中,可利用物理气相沉积法(PVD)或化学气相沉积法(CVD)或原子层沉积法(ALD)沉积第二电极层240。

[0044] 之后,如图3D所示,填入应力层260于第二电极层240之间。在一实施例中,可利用例如化学气相沉积法(CVD)或原子层沉积法(atomic layer deposition,ALD)进行应力层260的沉积。

[0045] 之后,如图3E所示,形成第三导电层280于应力层260与第二电极层240上。在一实施例中,可利用电浆增强化学气相沉积法(plasma-enhanced CVD,PECVD)、化学气相沉积法(CVD)、或原子层沉积法(atomic layer deposition,ALD)沉积第三导电层280。之后,实施退火制程300。在一实施例中,退火制程300的温度大约介于摄氏350至600度。至此,即完成本实施例铁电记忆体的制作。

[0046] 实施例1

[0047] 于特定条件下铁电层中不同晶相所占容积百分比(volume percentage)

[0048] 在本实施例中,于特定条件下,针对提供的铁电记忆体I、铁电记忆体II、以及铁电记忆体III其铁电层中不同晶相(包括单斜晶相(monoclinic phase,M-phase)、斜方晶相(orthorhombic phase,O-phase)、以及正方晶相(tetragonal phase,T-phase))所占的容积百分比进行验证,其中单斜晶相(M-phase)对应产生介电性质,斜方晶相(O-phase)对应产生铁电(ferroelectric)性质,正方晶相(T-phase)对应产生反铁电(antiferroelectric)性质。铁电记忆体I、铁电记忆体II、以及铁电记忆体III的元件装置结构如图1所示。铁电记忆体I的铁电层由氧化锆铪(HfZrO_x)所构成,第一与第二电极层由氮化钛(TiN)所构成,且第一与第二电极层的主要结晶方向为(100)。铁电记忆体II的铁电层由氧化锆铪(HfZrO_x)所构成,第一与第二电极层由氮化钛(TiN)所构成,且第一与第二电极层的主要结晶方向为(111)。铁电记忆体III的铁电层由氧化锆铪(HfZrO_x)所构成,第一与第二电极层由氮化钛(TiN)所构成,且第一与第二电极层的主要结晶方向为(110)。于上述所配置具有特定结晶方向的电极层、以及施加2.5MV/cm电场强度、施加1GPa应力的条件

下,各铁电层中的结晶颗粒产生结晶行为上的变化,而获得铁电记忆体I、铁电记忆体II、以及铁电记忆体III其铁电层中不同晶相所占的容积百分比,数值如表1所示。

[0049] 表1

铁电层中的晶相	铁电记忆体 I	铁电记忆体 II	铁电记忆体 III
	电极层(结晶方向)		
	TiN (100)	TiN (111)	TiN (110)
[0050]	容积百分比(%)		
M-phase	80	70	13
O-phase	13	23	81
T-phase	7	7	6

[0051] 由表1可知,在上述测试条件下,铁电记忆体I(氮化钛(TiN)电极层的主要结晶方向为(100))其铁电层中以单斜晶相(M-phase)所占的容积百分比最高(达80%),斜方晶相(O-phase)占13%,表示此时铁电记忆体I的铁电层具备较多介电性质。铁电记忆体II(氮化钛(TiN)电极层的主要结晶方向为(111))其铁电层中同样以单斜晶相(M-phase)所占的容积百分比最高(达70%),斜方晶相(O-phase)占23%,表示此时铁电记忆体II的铁电层亦具备较多介电性质。然而,本发明铁电记忆体III(氮化钛(TiN)电极层的主要结晶方向为(110))其铁电层中以斜方晶相(O-phase)所占的容积百分比最高(达81%),表示此时铁电记忆体III的铁电层具备较多铁电性质,有利于元件装置的操作。

[0052] 实施例2

[0053] 铁电记忆体其操作次数与残余极化量(remanent polarization,Pr)的关系

[0054] 在本实施例中,根据实施例1所示元件装置的结构配置,在施加2.5MV/cm电场强度、施加1GPa应力的条件下,对铁电记忆体I以及铁电记忆体III进行其残余极化量(remanent polarization,Pr)随操作次数(cycle)变化的测试,结果如图4所示。

[0055] 由图4可看出,在上述测试条件下,当操作次数逐步增加时,铁电记忆体I(氮化钛(TiN)电极层的主要结晶方向为(100))的残余极化量(Pr)随操作次数增加的变化,已看出有明显的苏醒现象(wake-up behavior),且当操作次数增加至 10^4 时,即开始产生疲劳效应(fatigue effect)。然而,对于本发明铁电记忆体III(氮化钛(TiN)电极层的主要结晶方向为(110)),在整个元件装置的操作过程中,其残余极化量(Pr)不但较铁电记忆体I高出许多,即便操作次数增加达 10^6 时,其残余极化量(Pr)的数值变化仍可维持平缓,呈现所谓的近乎无苏醒现象(nearly wake-up free behavior)的特性,而此特性将相当有助于提升元件装置的操作次数达 10^{10} 或更多。

[0056] 本发明通过元件结构中环境应力的设计(即应力层的配置),使铁电层周围产生高强度的环境应力。另一方面,通过配置在铁电层两侧的电极层使其具备特定材料及特定结晶方向的设计(例如电极层由氮化钛(TiN)所构成,其主要结晶方向为(110)),使得本发明铁电记忆体其铁电层中相较于其他晶相(单斜晶相(M-phase)、正方晶相(T-phase)),是以斜方晶相(O-phase)所占的容积百分比最高,促使铁电层获得较多且稳定的铁电性质,有利

于元件装置的操作,例如可有效提升元件的操作次数达 10^{10} 或更多,减缓操作劣化的情况。

[0057] 上述实施例的特征有利于本技术领域中具有通常知识者理解本发明。本技术领域中具有通常知识者应理解可采用本发明作基础,设计并变化其他制程与结构以完成上述实施例的相同目的及/或相同优点。本技术领域中具有通常知识者亦应理解,这些等效置换并未脱离本发明精神与范畴,并可在未脱离本发明的精神与范畴的前提下进行改变、替换、或更动。

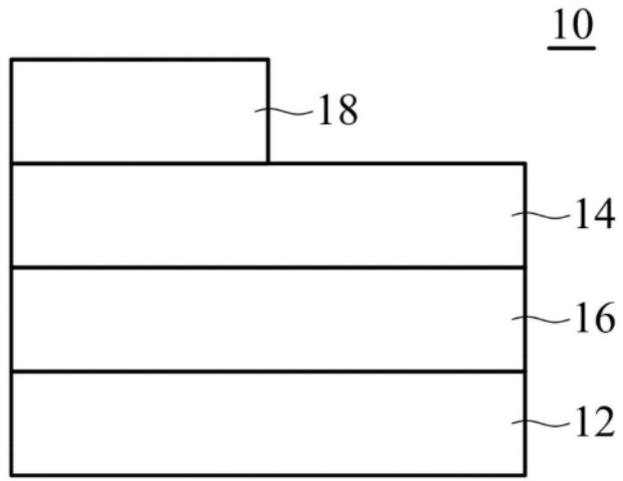


图1

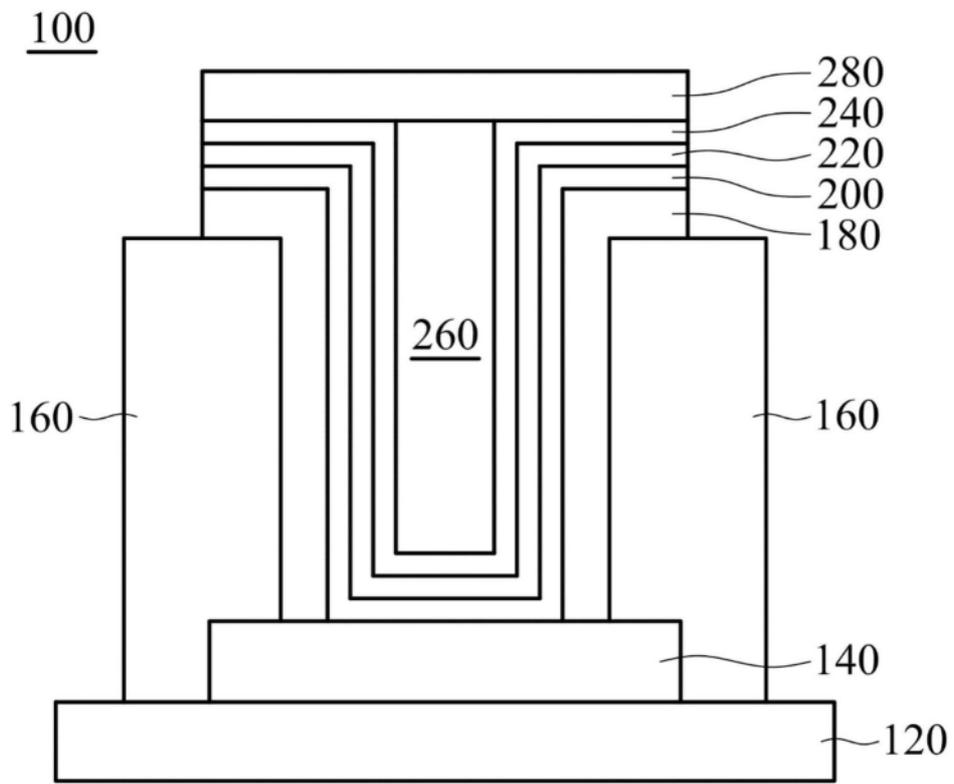


图2

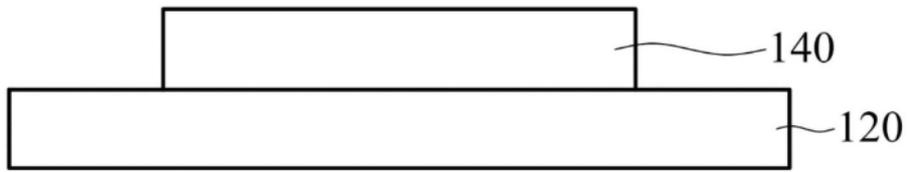


图3A

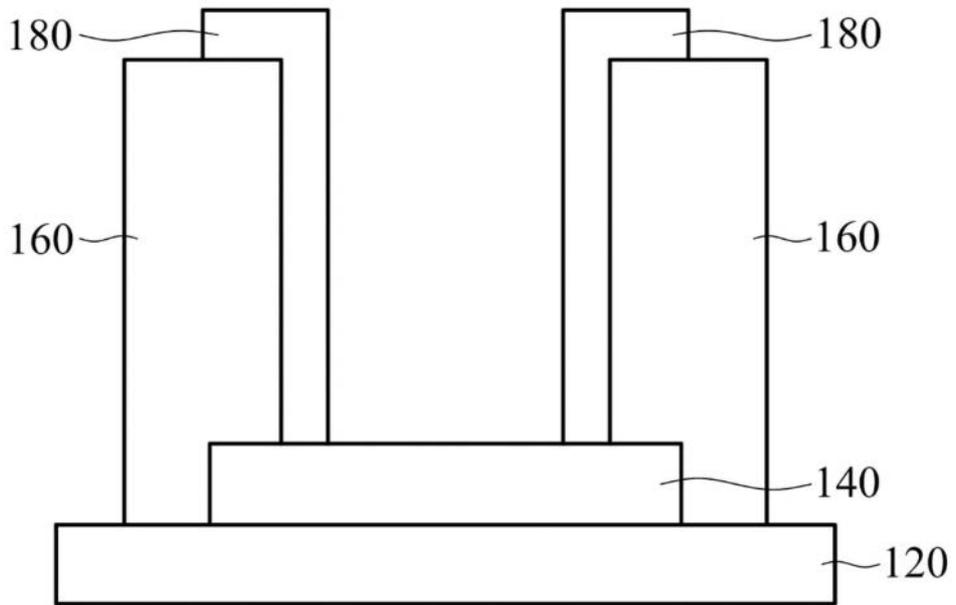


图3B

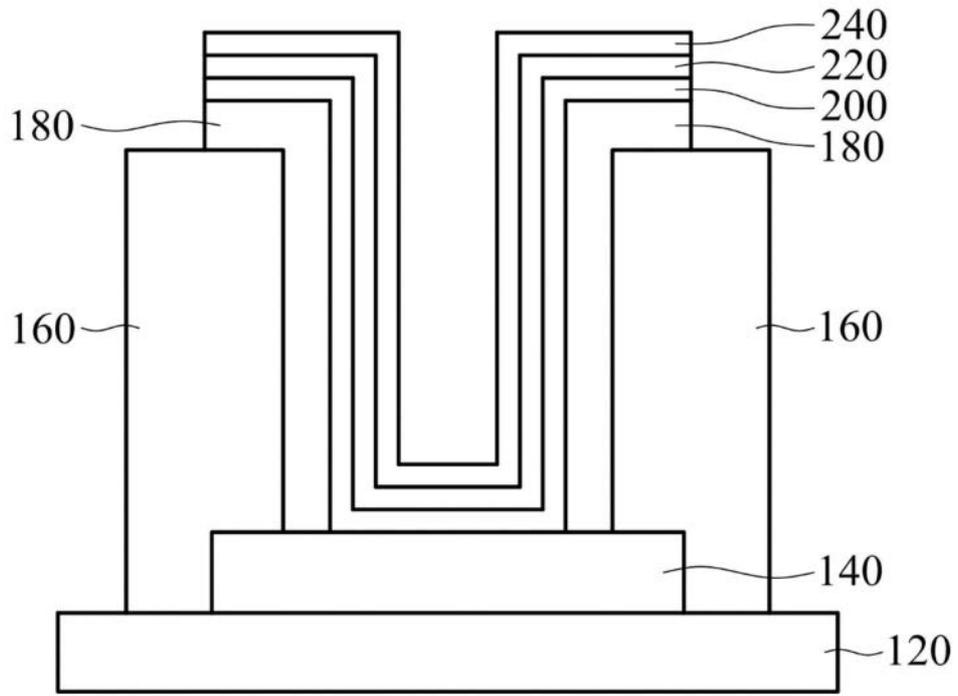


图3C

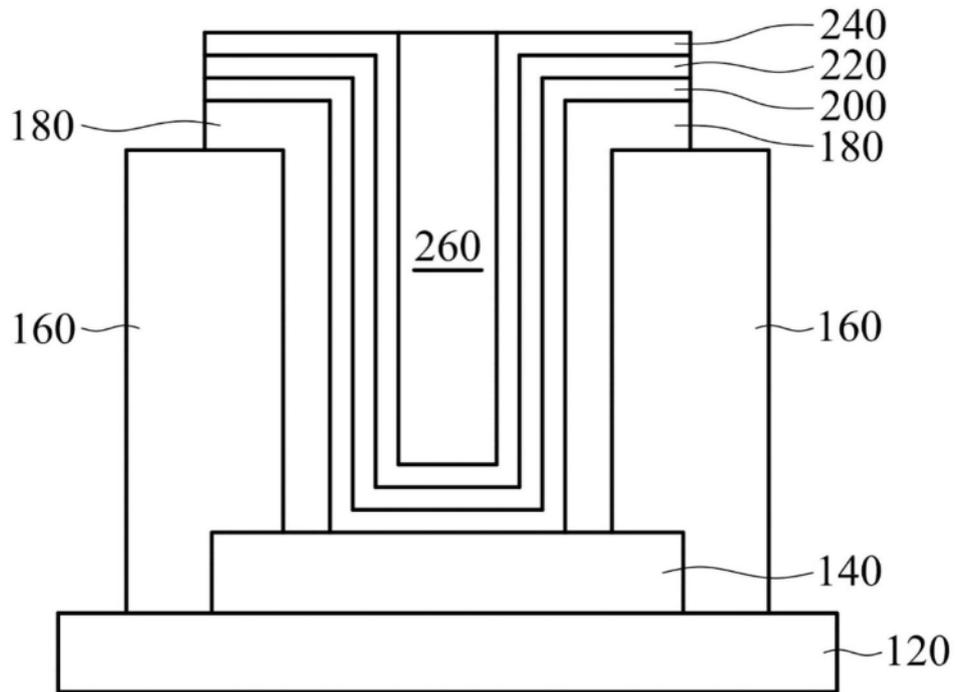


图3D

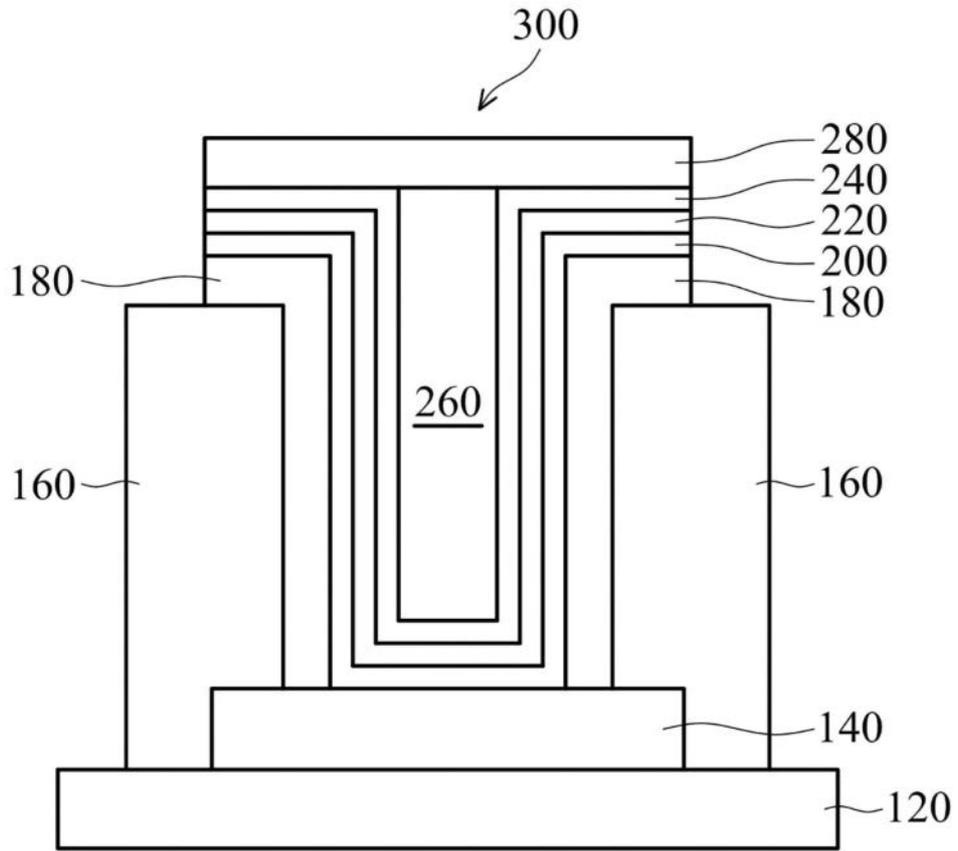


图3E

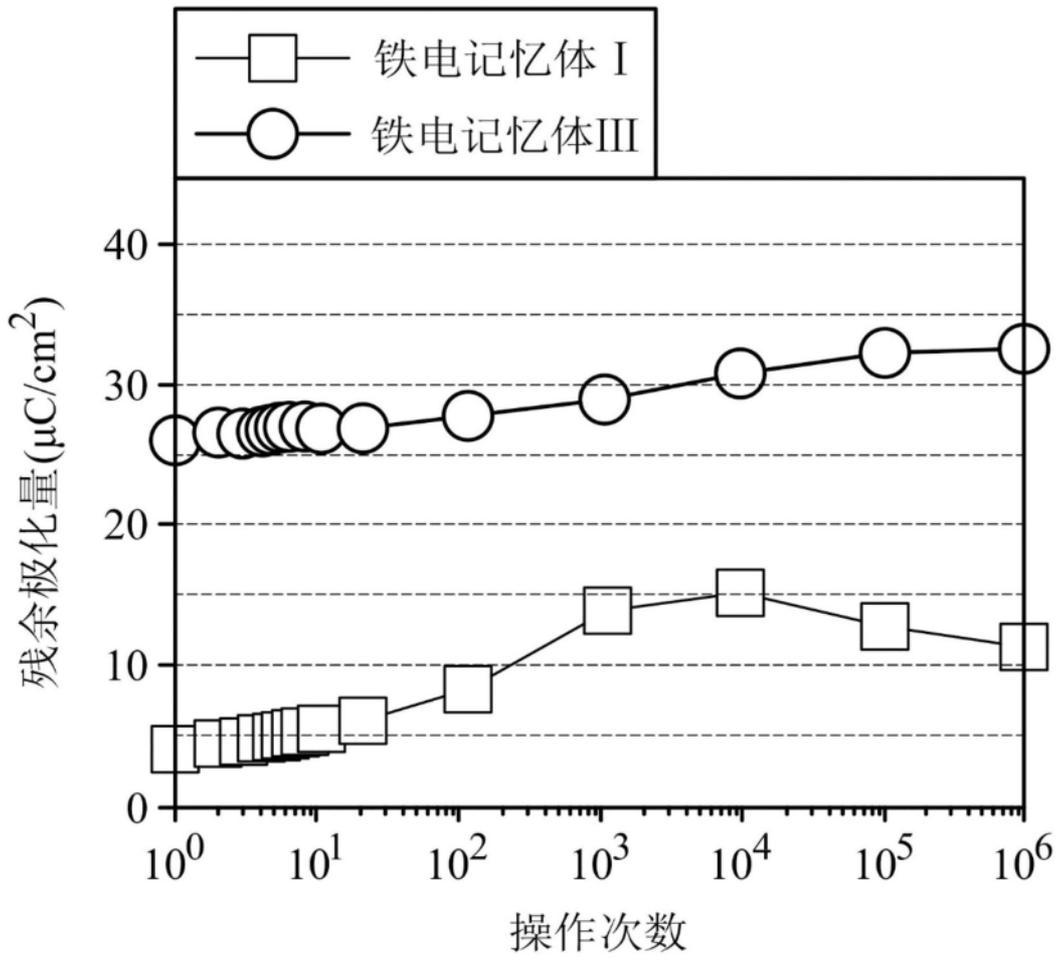


图4