



(12) 发明专利申请

(10) 申请公布号 CN 105390539 A

(43) 申请公布日 2016. 03. 09

(21) 申请号 201510524932. 0

(22) 申请日 2015. 08. 25

(30) 优先权数据

2014-170330 2014. 08. 25 JP

(71) 申请人 瑞萨电子株式会社

地址 日本东京

(72) 发明人 川口宏

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 李兰 孙志湧

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 21/335(2006. 01)

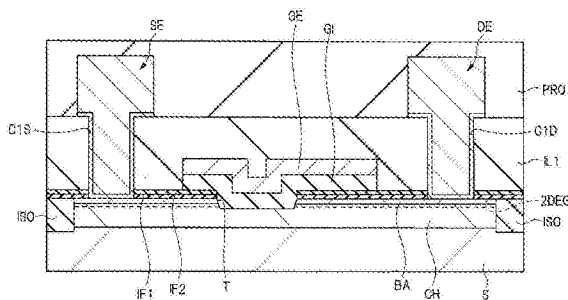
权利要求书2页 说明书14页 附图25页

(54) 发明名称

半导体器件

(57) 摘要

本发明涉及一种半导体器件。半导体器件包括：每个均形成在衬底上方的沟道层、阻挡层、第一绝缘膜和第二绝缘膜；穿透第二绝缘膜、第一绝缘膜和阻挡层到达沟道层的中间的沟槽；和经由栅绝缘膜布置在沟槽中和第二绝缘膜上的栅电极。第二绝缘膜的带隙小于第一绝缘膜的带隙，且第二绝缘膜的带隙小于栅绝缘膜 GI 的带隙。因此，能够在第二（上）绝缘膜中积累电荷（电子），从而能够增强在沟槽的角部处的电场强度。结果，甚至在沟槽的角部处也完全形成沟道，从而能够减小导通电阻，并增加导通电流。



1. 一种半导体器件,包括:
 - 第一氮化物半导体层,所述第一氮化物半导体层形成在衬底上方;
 - 第二氮化物半导体层,所述第二氮化物半导体层形成在所述第一氮化物半导体层上并且具有比所述第一氮化物半导体层的带隙宽的带隙;
 - 绝缘膜,所述绝缘膜形成在所述第二氮化物半导体层上方;
 - 沟槽,所述沟槽穿透所述绝缘膜和所述第二氮化物半导体层以到达所述第一氮化物半导体层的中间;以及
 - 栅电极,所述栅电极经由栅绝缘膜形成在所述沟槽中和所述绝缘膜上,其中,所述绝缘膜具有第一膜和形成在所述第一膜上的第二膜,并且其中,所述第二膜的带隙小于所述第一膜的带隙。
2. 根据权利要求 1 所述的半导体器件,其中,所述第二膜的带隙小于所述栅绝缘膜的带隙。
3. 根据权利要求 2 所述的半导体器件,其中,所述第一膜是氧化物膜,所述第二膜是氮化物膜。
4. 根据权利要求 3 所述的半导体器件,其中,所述第一膜是氧化硅膜,所述第二膜是氮化硅膜。
5. 根据权利要求 4 所述的半导体器件,其中,所述栅绝缘膜是氧化硅膜或氧化铝膜。
6. 根据权利要求 1 所述的半导体器件,其中,所述栅绝缘膜的厚度大于所述第二氮化物半导体层的表面和所述沟槽的底部表面之间的高度差。
7. 根据权利要求 1 所述的半导体器件,其中,所述栅绝缘膜的厚度大于所述第二膜的表面和所述沟槽的底部表面之间的高度差。
8. 根据权利要求 1 所述的半导体器件,其中,在所述第二膜中积累电荷。
9. 根据权利要求 8 所述的半导体器件,其中,通过向所述栅电极施加第一电位,将所述电荷注入到所述第二膜中。
10. 根据权利要求 9 所述的半导体器件,其中,通过向所述栅电极施加第二电位,在所述沟槽的底部中形成沟道,并且其中,所述第一电位大于所述第二电位。
11. 根据权利要求 10 所述的半导体器件,其中,将所述第一电位施加到所述栅电极的时段长于将所述第二电位施加到所述栅电极的时段。
12. 一种半导体器件,包括:
 - 第一氮化物半导体层,所述第一氮化物半导体层形成在衬底上方;
 - 第二氮化物半导体层,所述第二氮化物半导体层形成在所述第一氮化物半导体层上并且具有比所述第一氮化物半导体层的带隙宽的带隙;
 - 绝缘膜,所述绝缘膜形成在所述第二氮化物半导体层上方;

- 导电膜,所述导电膜形成在所述绝缘膜上;
- 沟槽,所述沟槽穿透所述导电膜、所述绝缘膜和所述第二氮化物半导体层到达所述第一氮化物半导体层的中间;以及
- 栅电极,所述栅电极经由栅绝缘膜形成在所述沟槽中和所述导电膜上,其中,所述绝缘膜具有第一膜和形成在所述第一膜上的第二膜,并且其中,所述第二膜的带隙小于所述第一膜的带隙。
13. 根据权利要求 12 所述的半导体器件,其中,所述第二膜的带隙小于所述栅绝缘膜的带隙。
14. 根据权利要求 13 所述的半导体器件,其中,所述第一膜是氧化硅膜,所述第二膜是氮化硅膜,并且其中,所述栅绝缘膜是氧化硅膜或氧化铝膜。
15. 根据权利要求 12 所述的半导体器件,其中,所述栅绝缘膜的厚度大于所述第二氮化物半导体层的表面和所述沟槽的底部表面之间的高度差。
16. 根据权利要求 12 所述的半导体器件,其中,所述栅绝缘膜的厚度大于所述导电膜的表面和所述沟槽的底部表面之间的高度差。
17. 根据权利要求 12 所述的半导体器件,其中,电荷积累在所述第二膜中。
18. 根据权利要求 17 所述的半导体器件,其中,通过向所述导电膜施加第一电位,将所述电荷注入到所述第二膜中。
19. 根据权利要求 18 所述的半导体器件,其中,通过向所述栅电极施加第二电位,在所述沟槽的底部中形成沟道,并且其中,所述第一电位大于所述第二电位。
20. 根据权利要求 19 所述的半导体器件,其中,将所述第一电位施加到所述导电膜的时段长于将所述第二电位施加到所述栅电极的时段。

半导体器件

[0001] 相关申请的交叉参考

[0002] 2014年8月25日提出的日本专利申请 No. 2014-170330 的公开包括说明书、附图和摘要,通过参考的方式将其作为整体合并于此。

技术领域

[0003] 本发明涉及一种半导体器件和制造半导体器件的方法,并且能够优选在使用例如氮化物半导体及其制造方法的半导体器件中。

背景技术

[0004] 近年来,采用每个都具有大于 Si 的带隙的 III-V 族化合物的半导体器件已经引起了人们的关注。在它们之中,正在开发采用氮化镓 (GaN) 的半导体器件,因为氮化镓是一种具有如下优势的材料:1) 击穿电场大;2) 电子饱和速度大;3) 热导率大;4) 可在 AlGaN 和 GaN 之间形成良好的异质结;5) 氮化镓无毒且安全性高;等。

[0005] 而且,因为氮化镓的高耐压和高速开关特性,正在开发每个都是采用氮化镓的功率 MOSFET (金属绝缘体半导体场效应晶体管) 并且可在每个中执行常关操作的半导体器件。

[0006] 例如,日本未审查专利申请公开 No. 2013-118343 公开了一种采用栅极凹槽结构的 MIS 型化合物半导体器件。在该半导体器件中,用于栅电极的凹槽形成在层间绝缘膜、钝化膜和化合物半导体层叠中。

发明内容

[0007] 本发明人对使用上述氮化物半导体的半导体器件进行了研究和开发,并正在进行深入研究,以改善常关状态型半导体器件的特性。在研究和发展的过程中,揭示了存在进一步改善使用氮化物半导体的半导体器件的特性的空间。

[0008] 从本说明书的描述和附图,其他问题和新的特征将变得明显。

[0009] 在本申请公开的优选实施例中,将如下简要描述其典型实施例的概述。

[0010] 根据本申请公开的一个实施例的半导体器件具有穿透上绝缘膜、下绝缘膜和阻挡层到达沟道层的中间的沟槽,和经由栅绝缘膜布置在沟槽中和上绝缘膜上的栅电极。上绝缘膜的带隙小于下绝缘膜的带隙。此外,上绝缘膜的带隙小于栅绝缘膜的带隙。

[0011] 在根据本申请公开的且如下所述的典型实施例的半导体器件中,能够提高半导体器件的特性。

附图说明

[0012] 图 1 是示出根据第一实施例的半导体器件的构造的截面图;

[0013] 图 2 是示出根据第一实施例的半导体器件的构造的平面图;

[0014] 图 3 是示出根据第一实施例的半导体器件的制造步骤的截面图;

[0015] 图 4 是示出根据第一实施例的半导体器件的制造步骤的、图 3 之后的制造步骤的截面图；

[0016] 图 5 是示出根据第一实施例的半导体器件的制造步骤的、图 4 之后的制造步骤的截面图；

[0017] 图 6 是示出根据第一实施例的半导体器件的制造步骤的、图 5 之后的制造步骤的截面图；

[0018] 图 7 是示出根据第一实施例的半导体器件的制造步骤的、图 6 之后的制造步骤的截面图；

[0019] 图 8 是示出根据第一实施例的半导体器件的制造步骤的、图 7 之后的制造步骤的截面图；

[0020] 图 9 是示出根据第一实施例的半导体器件的制造步骤的、图 8 之后的制造步骤的截面图；

[0021] 图 10 是示出根据第一实施例的半导体器件的制造步骤的、图 9 之后的制造步骤的截面图；

[0022] 图 11 是示出根据第一实施例的半导体器件的制造步骤的、图 10 之后的制造步骤的截面图；

[0023] 图 12 是示出根据第一实施例的半导体器件的制造步骤的、图 11 之后的制造步骤的截面图；

[0024] 图 13 是示出根据第一实施例的半导体器件的制造步骤的、图 12 之后的制造步骤的截面图；

[0025] 图 14A 至 14D 是沟槽的底部表面的端部附近的示意图,用于说明第一实施例的效果；

[0026] 图 15A 至 15D 是示出电荷注入状态的能带图。

[0027] 图 16 是示出将电荷注入到晶体管中的上绝缘膜中的步骤和晶体管的驱动步骤的时序图；

[0028] 图 17 是示出根据第二实施例的半导体器件的构造的截面图；

[0029] 图 18 是示出根据第二实施例的半导体器件的构造的平面图；

[0030] 图 19 是示出根据第二实施例的半导体器件的构造的截面图；

[0031] 图 20 是示出根据第二实施例的半导体器件的制造步骤的截面图；

[0032] 图 21 是示出根据第二实施例的半导体器件的制造步骤的、图 20 之后的制造步骤的截面图；

[0033] 图 22 是示出根据第二实施例的半导体器件的制造步骤的、图 21 之后的制造步骤的截面图；

[0034] 图 23 是示出根据第二实施例的半导体器件的制造步骤的、图 22 之后的制造步骤的截面图；

[0035] 图 24 是示出根据第二实施例的半导体器件的制造步骤的、图 23 之后的制造步骤的截面图；

[0036] 图 25 是示出根据第二实施例的半导体器件的制造步骤的截面图；

[0037] 图 26 是示出根据第二实施例的半导体器件的制造步骤的平面图；

[0038] 图 27 是示出根据第二实施例的半导体器件的制造步骤的、图 24 之后的制造步骤的截面图；

[0039] 图 28 是示出根据第二实施例的半导体器件的制造步骤的、且与图 18 指定的线 B 一致的截面图；

[0040] 图 29 是示出根据第二实施例的半导体器件的制造步骤的平面图；

[0041] 图 30 是示出根据第二实施例的半导体器件的制造步骤的、图 27 之后的制造步骤的截面图；

[0042] 图 31 是示出根据第二实施例的半导体器件的制造步骤的、且与图 18 指定的线 B 一致的截面图；

[0043] 图 32A 和 32B 是沟槽的底部表面的端部附近的示意图，用于说明第二实施例的效果；和

[0044] 图 33 是示出将电荷注入到晶体管的上绝缘膜中的步骤和晶体管的驱动步骤的时序图。

具体实施方式

[0045] 如果需要为方便起见，通过将下面的实施例中的每个分成多个部分或实施例来描述它们；然而，多个部分或实施例不是彼此不相关的，而是它们存在着其中一个是其他的部分的或全部的变形、应用实例、详细的描述或补充说明的关系，除非另有说明。当在下面的实施例中提到要素的数字等时（包括个数、数值、量、范围等），该数字不限制于特定的数字，而可以大于或小于该特定的数字，除非另有说明或除原则上该数字明显限制于特定数字以外。

[0046] 而且，在下面的实施例中，构成部分（也包括要素步骤等）不一定是必要的，除非另有说明或原则上显然是必要的。类似地，当在下面的实施例中提到构成部分等的形状和位置关系等时，也应当包括基本上与该形状等相同或类似的那些形状等，除非另有说明或除原则上认为明显不同以外。这与上述数字等（包括个数、数值、数和范围等）是相同的。

[0047] 在下文中，将参考附图详细描述优选实施例。在用于说明实施例的全部图中，彼此具有相同功能的部件将用相同或相关的参考数字表示，并将省略重复描述。当存在多个类似的部件（部分）时，个体或特定部分可通过对共同参考数字增加符号来表示。在下面的实施例中，原则上将不重复相同或相似部分的描述，除非特别必要。

[0048] 在实施例所使用的图中，为了使它们更易于观看，即使在截面图中也省略了影线。

[0049] 在截面图或平面图中，每个部分的大小与实际器件的大小是不对应的，并且可以显示相对较大的特定部分，以便使视图更容易理解。这与截面图和平面图彼此对应的情况是相同的。

[0050] （第一实施例）

[0051] 在下文中，将参考附图详细描述根据本实施例的半导体器件。

[0052] [结构描述]

[0053] 图 1 是示出根据本实施例的半导体器件的构造的截面图。图 2 是示出根据本实施例的半导体器件的构造的平面图。图 1 的截面图例如对应于图 2 的 A-A 截面。

[0054] 根据本实施例的半导体器件是采用氮化物半导体的 MIS（金属绝缘体半导体）型

FET(场效应晶体管)。该半导体器件也被称为HEMT(高电子迁移率晶体管)或功率晶体管。根据本实施例的半导体器件是一种所谓的凹槽栅极型半导体器件。

[0055] 在根据本实施例的半导体器件中,沟道层CH和阻挡层BA依次形成在衬底S上,如图1所示。其中将形成晶体管的有源区AC被元件隔离区ISO分开(见图2)。

[0056] 绝缘膜(IF1、IF2)形成在阻挡层BA上。该绝缘膜包括两层绝缘膜。下绝缘膜IF1形成在阻挡层BA上,且上绝缘膜IF2形成在下绝缘膜IF1上。

[0057] 在图案化栅电极GE时,该绝缘膜(IF1、IF2)具有蚀刻停止层的作用。上绝缘膜IF2是带隙比下绝缘膜IF1的带隙小的膜。此外,上绝缘膜IF2是带隙比后述的栅绝缘膜GI的带隙小的膜(见图15)。

[0058] 经由栅绝缘膜GI,在穿透绝缘膜(IF1、IF2)和阻挡层BA到达沟道层CH的中间的沟槽T中,形成栅电极GE。沟道层CH和阻挡层BA包括氮化物半导体,并且阻挡层BA是一种带隙宽于沟道层CH的带隙的氮化物半导体层。

[0059] 二维电子气2DEG产生在沟道层CH和阻挡层BA之间的界面附近,靠近沟道层CH。当将阈值电位(电位 $V_2 > 0$,也称为驱动电位)施加到栅电极GE时,沟道形成在栅绝缘膜GI和沟道层CH之间的界面附近。

[0060] 二维电子气2DEG通过下面的机理形成。形成沟道层CH和阻挡层BA的氮化物半导体(在这里,氮化镓基半导体)在带隙和电子亲和势方面彼此是不相同的。因此,方形阱势产生在这些半导体之间的接合面。通过在方形阱势中积累电子,二维电子气2DEG产生在沟道层CH和阻挡层BA之间的界面附近。

[0061] 在这里,形成在沟道层CH和阻挡层BA之间的界面附近的二维电子气2DEG,被其中形成栅电极GE的沟槽T分开。因此,在根据本实施例的半导体器件中,在不将阈值电位施加到栅电极GE时,可保持截止状态,且在将阈值电位施加到栅电极GE时,在形成沟道的情况下可保持导通状态。因此,可执行常关状态操作。

[0062] 将进一步详细描述根据本实施例的半导体器件的构造。在根据该实施例的半导体器件中,包括氮化物半导体的沟道层CH形成在衬底S上,且包括氮化物半导体的阻挡层BA形成在沟道层CH上,如图1所示。替代地,成核层、应变缓和层和缓冲层等,可从衬底S侧依次设置在衬底S和沟道层CH之间。这些层包括氮化物半导体。形成成核层是为了当生长形成在上方的层、诸如应变缓和层时产生晶核。此外,形成成核层是为了防止衬底随着形成在上方的层的构成元素(例如,Ga等)从这些层扩散到衬底S而劣化。形成应变缓和层是为了通过缓和施加到衬底S的压力来抑制衬底S发生弯曲或断裂。缓冲层是位于沟道层CH和应变缓和层之间的中间层。

[0063] 经由栅绝缘膜GI,在穿透绝缘膜(IF1、IF2)和阻挡层BA并挖掘到沟道层CH的中间的沟槽(也称为凹槽)T中,形成栅电极GE。

[0064] 绝缘膜(IF1、IF2)在开口区(OA1)具有开口(见图5)。对应该开口形成沟槽T。

[0065] 栅绝缘膜GI形成在沟槽T中和绝缘膜(IF1、IF2)上。栅电极GE形成在栅绝缘膜GI上。从上面看时得到的栅电极GE的形状(在下文中称为平面形状)是例如矩形(见图2)。在这里,栅绝缘膜GI和栅电极GE的平面形状是彼此相同的。

[0066] 栅电极GE具有在一个方向上(向右侧,即在图1中的漏电极DE侧)突出的形状。突出部分被称为场板电极(也被称为法拉第屏蔽电极)。场板电极是从靠近漏电极DE的沟

槽 T 的端部向漏电极 DE 延伸的栅电极的 GE 的部分区域。

[0067] 栅电极 GE 还从靠近源电极 SE 的沟槽 T 的端部向源电极 SE 延伸。绝缘膜 (IF1、IF2) 布置在向漏电极 DE 或源电极 SE 突出 (延伸) 的栅电极的下面。

[0068] 此外,源电极 SE 和漏电极 DE 形成在栅电极 GE 两侧上的阻挡层 BA 上。阻挡层 BA 和源电极 SE 经由欧姆层欧姆耦合在一起。阻挡层 BA 和漏电极 DE 经由欧姆层欧姆耦合在一起。源电极 SE 包括位于在层间绝缘膜 IL1 中形成的接触孔 C1S 中的耦合部分 (插塞),和位于耦合部分上的布线部分。漏电极 DE 包括位于在层间绝缘膜 IL1 中形成的接触孔 C1D 中的耦合部分 (插塞),和位于耦合部分上的布线部分。源电极 SE 和漏电极 DE 用保护绝缘膜 PRO 覆盖。源电极 SE 和漏电极 DE 中的每一个的平面形状都是例如矩形 (见图 2)。

[0069] 经由位于在层间绝缘膜 IL1 中形成的接触孔 C1G 中的耦合部分 (插塞),上述栅电极 GE 耦合到栅极布线 GL (见图 2)。

[0070] 通过如此形成具有小于下绝缘膜 IF1 的带隙的膜的上绝缘膜 IF2,能够在在上绝缘膜 IF2 中积累电荷 (在这里,电子),如后来所描述的,从而能够提高在沟槽角部处的电场强度。结果,甚至在沟槽的角部处也充分形成了沟道,从而能够减小导通电阻,并增加导通电流。因此,能够提高晶体管的驱动能力。

[0071] [制造方法的描述]

[0072] 随后,参考图 3 至 13,将描述根据本实施例的半导体器件的制造方法,使得半导体器件的构造更加清晰。图 3 至 13 是示出根据该实施例的半导体器件的制造步骤的截面图。

[0073] 在衬底 S 上形成沟道层 CH,如图 3 所示。例如,使用包括硅 (Si) 的半导体衬底作为衬底 S,包括硅 (Si) 的半导体衬底具有 $1 \Omega \cdot \text{cm}$ 的电阻率并暴露了其 (111) 面,并通过使用 MOCVD (金属有机化学气相沉积) 方法等在衬底 S 上异质外延生长氮化镓 (GaN) 层作为沟道层 CH。沟道层 CH 的厚度为例如约 $1 \mu\text{m}$ 。替代地,可使用包括不同于硅的 SiC 或蓝宝石的衬底作为衬底 S。此外,成核层、应变缓和层和缓冲层可从衬底 S 侧依次设置在衬底 S 和沟道层 CH 之间。例如,使用氮化铝 (AlN) 层作为成核层;使用氮化镓 (GaN) 层和氮化铝 (AlN) 层的层叠膜 (AlN/GaN 膜) 作为应变缓和层;以及使用 AlGaIn 层等作为缓冲层。这些层可通过使用 MOCVD 方法等形成。在这种情况下,从衬底 S 的表面到沟道层 CH 的表面的一部分的厚度约为 3 至 $5 \mu\text{m}$ 。

[0074] 随后,例如,通过使用 MOCVD 方法等,在沟道层 CH 上异质外延生长 AlGaIn ($\text{Al}_x\text{Ga}_{(1-x)}\text{In}$) 层作为阻挡层 BA。AlGaIn 层的厚度为例如约 $0.03 \mu\text{m}$ 。

[0075] 因此,形成沟道层 CH 和阻挡层 BA 的层叠体。层叠体通过上述的异质外延生长形成,即通过其中在 [0001] 晶轴 (C 轴) 方向上执行层叠的 III 族面生长形成。换句话说,层叠体通过 (0001)Ga 面生长形成。在层叠体中,二维电子气 2DEG 产生在沟道层 CH 和阻挡层 BA 之间的界面附近。

[0076] 随后,在阻挡层 BA 上形成绝缘膜 (IF1、IF2) 作为覆盖膜。例如,在阻挡层 BA 上通过使用 CVD (化学气相沉积) 方法等,沉积氧化硅膜 (SiO_2 膜,包括氧化硅的膜) 作为绝缘膜 IF1,使得其具有约 $0.02 \mu\text{m}$ 的厚度。随后,在绝缘膜 IF1 上通过使用 CVD 方法等,沉积氮化硅膜 (Si_3N_4 膜,包括氮化硅的膜) 作为绝缘膜 IF2,使得其具有约 $0.02 \mu\text{m}$ 的厚度。下氧化硅膜的带隙约为 8.9eV ,而上氮化硅膜的带隙约为 4.5eV 。因此,上氮化硅膜的带隙小于下氧化硅膜的带隙 (见图 15)。

[0077] 随后,通过使用光刻技术,在绝缘膜(IF1、IF2)上形成用于开口元件隔离区的光致抗蚀膜PR1,如图4所示。随后,通过使用光致抗蚀膜PR1作为掩膜掺杂硼(B)或氮(N)。经由绝缘膜(IF1、IF2)将硼(B)或氮(N)注入到沟道层CH和的阻挡层BA中。通过如此将离子种类,诸如硼(B)、氮(N)等,掺杂到沟道层CH和阻挡层BA中,使晶体状态改变为具有更高的电阻。从而形成元件隔离区ISO。此后,移除光致抗蚀膜PR1。被元件隔离区ISO包围的区域将充当为有源区AC(见图2)。

[0078] 随后,通过使用光刻技术,在绝缘膜IF2上形成在开口区域OA1中具有开口的光致抗蚀膜PR2,如图5所示。随后,通过使用光致抗蚀膜PR2作为掩膜蚀刻绝缘膜(IF1、IF2)。在这里,将其中通过使用由光刻(曝光、显影)加工成所需形状的光致抗蚀膜或硬掩膜作为掩膜执行蚀刻,来将下层材料加工成所需形状的过程称为图案化。使用诸如例如 CF_4 或 CHF_3 的气体,作为用于氮化硅膜和氧化硅膜的蚀刻气体。因此,在阻挡层BA上形成在开口区域OA1中具有开口的绝缘膜(IF1、IF2)。换句话说,在开口区域OA1中暴露阻挡层BA(图5)。

[0079] 接下来,通过使用光致抗蚀膜PR2作为掩膜蚀刻阻挡层BA和沟道层CH,形成穿透绝缘膜(IF1、IF2)和阻挡层BA到达沟道层CH的中间的沟槽T,如图6所示。通过使用例如卤素基气体(Cl_2 、HBr、 BCl_3 ,等)作为蚀刻气体,在等离子体气氛下执行干法蚀刻。例如,可使用ICP(电感耦合等离子体)等作为等离子体源。当使用厚度为 $0.03\mu m$ 的阻挡层(AlGaN)BA时,为了确保移除在开口区域OA1中的二维电子气2DEG,执行蚀刻到从阻挡层(AlGaN)BA的表面约 $0.04\mu m$ 的深度。换句话说,阻挡层(AlGaN)BA的底部表面和沟槽T的底部表面之间的高度差约为 $0.01\mu m$ 。因此,移除在开口区域OA1中的阻挡层(AlGaN)BA和沟道层(GaN)CH的表面部分,使得沟道层(GaN)CH从开口区域OA1暴露。随后,移除光致抗蚀膜PR2。

[0080] 随后,在沟槽T中和在绝缘膜(IF1、IF2)上形成栅绝缘膜的GI,如图7所示。例如,在沟槽T中和在绝缘膜(IF1、IF2)上通过使用ALD(原子层沉积)方法等,沉积厚度约为 $0.1\mu m$ 的氧化铝膜(氧化铝, Al_2O_3)作为栅绝缘膜GI。栅绝缘膜GI的带隙大于位于其下面的绝缘膜(氮化硅膜)IF2的带隙(见图15)。氧化铝膜的带隙约为 $6eV$,而位于其下面的氮化硅膜的带隙约为 $4.5eV$ 。

[0081] 作为栅绝缘膜GI,例如,可以使用上述氧化铝膜以外的氧化硅膜或介电常数高于氧化硅膜的高介电常数膜。作为高介电常数膜,可以使用其他铅基绝缘膜,诸如氧化铪膜(HfO_2 膜)、铝酸铪膜、HfON膜(氮氧化铪膜)、HfSiO膜(硅酸铪膜)、HfSiON膜(氮氧化铪硅膜),和HfAlO膜。每种铅基绝缘膜的带隙都大于氮化硅膜的带隙。

[0082] 考虑到操作电压、可靠性和击穿电压等,设计栅绝缘膜GI的类型和厚度,据说在电路操作中是必要的。例如,当使用氧化铝膜或氧化硅膜作为栅绝缘膜GI时,通过将它设计为在2至 $4MV/cm$ 的电场中使用,得到了几乎充分的长期可靠性。因此,当设计在约20至40V操作的晶体管时,栅绝缘膜(氧化铝膜或氧化硅膜)GI的厚度需要为约 $0.1\mu m$ 。

[0083] 栅绝缘膜GI的厚度($0.1\mu m$)在大部分情况下大于沟槽T的深度。在这里,由阻挡层BA的表面和沟槽CH的底部表面之间的高度差(在本实施例中为 $0.04\mu m$),将沟槽的深度定义为第一深度。此外,由上绝缘膜IF2的表面和沟槽T的底部表面之间的高度差(在该实施例中为 $0.08\mu m$),将沟槽的深度定义为第二深度。当在该实施例中栅绝缘膜GI的厚度为 $0.1\mu m$,栅绝缘膜的厚度大于第一深度的第二深度。

[0084] 随后,在栅绝缘膜 GI 上形成充当栅电极 GE 的导电膜。例如,通过使用溅射法等,在栅绝缘膜 GI 上沉积包括例如镍 (Ni) 膜和位于其上面的金 (Au) 膜的层叠膜 (也称为 Au/Ni 膜) 作为导电膜。

[0085] 随后,通过使用光刻技术和蚀刻技术图案化栅电极 GE 和栅绝缘膜 GI,形成栅电极 GE,如图 8 所示。通过使用例如光刻技术,形成覆盖其中形成栅电极 GE 的区域的光致抗蚀膜 PR3,使得通过使用光致抗蚀膜 PR3 作为掩膜蚀刻栅电极 GE 和栅绝缘膜 GI。通过使用例如卤素基气体 (Cl_2 、HBr,或其混合气体) 作为蚀刻气体,在等离子体气氛下执行干法蚀刻。例如,可以使用 ICP(电感耦合等离子体) 等作等离子体源。然后,移除光致抗蚀膜 PR3。

[0086] 在蚀刻期间绝缘膜 (IF1、IF2) 充当蚀刻停止层。如果通过使用光致抗蚀膜 PR3 作为掩膜,对在未形成绝缘膜 (IF1、IF2) 的情况下直接形成在阻挡层 BA 上的栅电极 GE 和栅绝缘膜 GI 执行干法蚀刻,则可能会损坏阻挡层 BA。特别是,如果在等离子体气氛下执行处理,则可能会造成等离子体损伤。由于这种损坏,将不会很好地形成二维电子气。而且,例如,如果阻挡层 BA 的厚度大,则结晶特性可能会劣化,且可能会显著地产生器件操作所不优选的重排,反之,当其厚度小时,则二维电子气的浓度会下降。因此,优选形成具有适当厚度(例如,约 0.02 至 0.04 μm 的厚度)的阻挡层 BA。如果阻挡层 BA 的厚度因此小,则担心当暴露于蚀刻气氛时可能部分蚀刻阻挡层 BA,这会导致厚度变大,进一步地可能会部分失去阻挡层。在这种情况下,不会很好地形成二维电子气,且例如,二维电子气的电阻会增加。因此,使晶体管的操作性能劣化。

[0087] 另一方面,在本实施例中,绝缘膜 (IF1、IF2) 起蚀刻停止层的作用,因此会很好地形成二维电子气,并能够改善晶体管的性能。

[0088] 由于绝缘膜 (IF1、IF2) 起蚀刻停止层的作用,所以可使暴露在栅电极 GE 两侧的绝缘膜 (IF1、IF2) 的表面后退。由此可使暴露在那的绝缘膜 (IF1、IF2) 的表面后退。然而,当蚀刻终止时,优选保留上绝缘膜 IF2。例如,当使用氧化硅膜作为栅绝缘膜 GI 时且当暴露下绝缘膜(氧化硅膜) IF2 时,下绝缘膜 IF2 会被迅速蚀刻且会使阻挡层 BA 暴露在蚀刻气氛,这可能导致阻挡层 BA 会被蚀刻损坏。因此,优选在保留上绝缘膜的状态下停止蚀刻。用于起蚀刻停止层的作用的绝缘膜 (IF1、IF2) 的优选厚度,可根据蚀刻条件和绝缘膜的类型来改变;然而,在本实施例中,优选使绝缘膜 IF1 和 IF2 的总厚度为例如约 0.03 至 0.1 μm 。此外,为了在蚀刻终止时留下尽可能多的绝缘膜 IF2,优选上绝缘膜 IF2 的厚度为约 0.02 至 0.07 μm 。此外,考虑到可能产生的后面描述的隧穿现象,优选使绝缘膜 IF1 的厚度为约 0.01 至 0.03 μm 。

[0089] 图案化栅电极 GE 以使其在一个方向上(向右侧,即在图 8 中的漏电极 DE 侧)具有突出的形状。换句话说,执行图案化,使得将场板电极提供为栅电极 GE 的一部分。场板电极是栅电极 GE 的部分区域,是指从靠近漏电极 DE 的沟槽 T 的端部向漏电极 DE 延伸的电极部分。栅电极 GE 也在另一个方向上(向左侧,即,在图 8 中的源电极 SE 侧)突出。然而,向漏电极 DE 侧突出的量大于向源电极 SE 侧突出的量。

[0090] 随后,在栅电极 GE 上形成层间绝缘膜 IL1,如图 9 所示。例如,通过使用 CVD 方法等,在栅电极 GE 和绝缘膜 (IF1、IF2) 上沉积氧化硅膜作为层间绝缘膜 IL1,使其具有约 0.7 μm 的厚度。

[0091] 随后,通过使用光刻技术和蚀刻技术,在层间绝缘膜 IL1 中形成接触孔 C1S 和 C1D,

如图 10 所示。通过使用例如未示出的光致抗蚀膜作为掩膜,蚀刻其中形成源电极 SE 的区域中的层间绝缘膜 IL1,形成接触孔 C1S,并通过蚀刻其中形成漏电极 DE 的区域中的层间绝缘膜 IL1,形成接触孔 C1D。在蚀刻中,还移除位于层间绝缘膜 IL1 下面的绝缘膜 (IF1、IF2)。因此,阻挡层 BA 从每个接触孔 C1S 和 C1D 的底部暴露。每个接触孔 C1S 和 C1D 由此布置在栅电极 GE 两侧的阻挡层 BA 上。当形成接触孔 C1S 和 C1D 时,也在栅电极 GE 上形成接触孔 (C1G) (见图 2)。

[0092] 随后,在包括接触孔 C1S 和 C1D 等内部的层间绝缘膜 IL1 上形成导电膜 CL,如图 11 所示。在包括接触孔 C1S 和 C1D 内部的层间绝缘膜 IL1 上首先形成欧姆层。例如,通过使用溅射法等,在包括接触孔 C1S 和 C1D 内部的层间绝缘膜 IL1 上沉积钛 (Ti) 膜,使其具有约 $0.05\ \mu\text{m}$ 的厚度。随后,通过使用溅射法等,在欧姆层上沉积铝膜作为金属膜,使其具有约 $0.6\ \mu\text{m}$ 的厚度。随后,执行热处理以降低阻挡层 BA 和欧姆层之间的耦合电阻。例如,在氮气氛下以 650°C 的温度执行热处理大约 30 秒。替代地,可使用铝以外的铝合金作为金属膜。例如,可使用 Al 和 Si 的合金 (Al-Si)、Al 和 Cu (铜) 的合金 (Al-Cu)、和 Al、Si 和 Cu 的合金 (Al-Si-Cu) 等作为铝合金。

[0093] 随后,通过使用光刻技术和蚀刻技术图案化 Ti/Al 膜,在接触孔 C1S 和 C1D 中和在接触孔 C1S 和 C1D 上,形成源电极 SE 和漏电极 DE,如图 12 所示。通过使用例如光刻技术,在导电膜 CL 上形成覆盖其中形成源电极 SE 的区域和其中形成漏电极 DE 的区域的光致抗蚀膜 PR4,以便使用光致抗蚀膜 PR4 作为掩膜蚀刻导电膜 CL。由此形成源电极 SE 和漏电极 DE。在这种情况下,也可将导电膜 CL 嵌入在栅电极 GE 上的接触孔 C1G 中,并在其上形成栅极布线 GL (见图 2)。然后,移除光致抗蚀膜 PR4。

[0094] 随后,在绝缘膜 IL1 上、包括源电极 SE 和漏电极 DE 上,形成保护绝缘膜 (也称为表面保护膜) PRO,如图 13 所示。例如,通过使用 CVD 方法等,在绝缘膜 IL1 上、包括源电极 SE 和漏电极 DE 上,沉积氮氧化硅 (SiON) 膜作为保护绝缘膜。

[0095] 通过以上步骤,可形成图 1 示出的半导体器件。在这里,上述步骤是一个实例,并且可通过上述步骤以外的步骤,制造根据本实施例的半导体器件。

[0096] 在本实施例中,如上所述,通过形成具有小于下绝缘膜 IF1 的带隙的膜的上绝缘膜 IF2,可以在上绝缘膜 IF2 中积累电荷 (在这里,电子),从而能够提高在沟槽的角部处的电场强度。结果,即使在沟槽的角部处也会完全形成沟道,从而能够减小导通电阻并增加导通电流。因此,可以提高晶体管的驱动能力。

[0097] 图 14A 至 14D 是用于说明本实施例的效果的、沟槽底部表面的端部附近的示意图。当使用单层绝缘膜 (例如,氧化硅膜) IF 作为覆盖膜时,位于绝缘膜 IF 的底部表面和栅电极 GE 的底部表面之间的等电位曲线之间的间隙变大,如图 14A 所示。另一方面,当在上绝缘膜 IF2 中积累电荷 (在这里,电子) 时,如在本实施例中,位于绝缘膜 IF2 的底部表面和栅电极 GE 的底部表面之间的等电位曲线之间的间隙变小,如图 14B 所示。通过这样在源端增强电场能使导通电流变大,从而能够提高晶体管的驱动能力。

[0098] 特别是,在沟槽 T 的底部表面的端部 (角部) 处,栅绝缘膜 GI 的厚度变大,从而可能会产生其中施加到栅电极 GE 的电压被缓和且不太可能形成通道的情况。此外,当栅绝缘膜 GI 的厚度大到以致于大于沟槽 T 的深度 (第一深度、第二深度) 时,如图 14C 所示,会产生其中进一步不太可能形成沟道的情况。例如,当栅绝缘膜 GI 的厚度大到以致于大于沟槽

T 的深度（第一深度、第二深度）时，如图 14C 所示，与其厚度小到以致于小于沟槽 T 的深度相比，在沟槽 T 的底部表面的端部（角部）处栅绝缘膜 GI 的厚度可能比较大，从而可能会产生其中进一步不太可能形成沟道的情况。在这里，CP 表示电流路径。

[0099] 当考虑到晶体管的承受电压打算用例如约 20V 或更大的电压驱动晶体管时，如上所述，即使选择具有良好耐受电压的绝缘材料（例如，氧化铝或氧化硅），栅绝缘膜 GI 的厚度也需要在 $0.1\ \mu\text{m}$ (1000Å) 或更大。另一方面，如果沟槽 T 的深度被制造得太大，则担心可能会产生如下所述的故障。如果沟槽 T 的深度被制造得太大，则沟槽 T 的蚀刻就会变得困难。此外，如果深挖沟道层 CH，则当晶体管在操作时由沟槽 T 的侧壁占用电流路径（见图 14C 中的 CP）的比率变大，从而使电阻增加。因此，优选沟槽 T 的底部位于从阻挡层 BA 和沟道层 CH 之间的边界（二维电子气 2DEG）深约 0.01 至 $0.02\ \mu\text{m}$ 的位置（在本实施例中约为 $0.01\ \mu\text{m}$ ）。使阻挡层 BA 的厚度和沟槽 T 的深度两者都大是可能的；然而在这种情况下，很难将源电极 SE 欧姆耦合到阻挡层 BA 和将漏电极 DE 欧姆耦合到阻挡层 BA，从而导致它们之间电阻的增加。另外，为了形成具有良好结晶特性的阻挡层 (AlGaN) BA，优选在 0.02 至 $0.04\ \mu\text{m}$ (200 至 400Å) 的范围内调整其厚度。

[0100] 如上所述，存在着使栅绝缘膜 GI 的厚度变大且沟槽 T 的深度变小的趋势，这使得解决不太可能形成沟道的上述问题更加重要。

[0101] 另一方面，根据本实施例，通过形成具有小于下绝缘膜 IF1 的带隙的膜的上绝缘膜 IF2，可以在上绝缘膜 IF2 中积累电荷（在这里，电子），从而能够提高在沟槽的角部处的电场强度。因此，也可以在源端增强电场，使得能够有效形成沟道。

[0102] 随后，参考图 15A-16，将描述在上绝缘膜 IF2 积累电荷（在这里，电子）的原因，和积累电荷的方法。15A 至 15D 是示出电荷注入的情况的能带图。图 16 是示出将电荷注入到晶体管的上绝缘膜中的步骤和晶体管的驱动步骤的时序图。

[0103] 通过向栅电极 GE 提供使隧穿电流流过上绝缘膜 IF1 的程度的高电压（电位 V_1 ），可执行将电荷注入到上绝缘膜 IF2 中。例如，当使用已在本实施例中描述的且具有约 $0.02\ \mu\text{m}$ 的厚度的绝缘膜 IF1 时，通过向栅电极 GE 施加约 30 至 50V 的电位，可经由上绝缘膜 IF1 从二维电子气 2DEG 将电荷注入到上绝缘膜 IF2 中。替代地，当绝缘层 IF1 的厚度约为 0.01 至 $0.02\ \mu\text{m}$ 时，用约 30 至 50V 的电位可将电荷注入到绝缘膜 IF2 中。

[0104] 当施加到栅电极 GE 的电位小时（例如，约 10V），不产生隧穿现象，如图 15A 所示。另一方面，当将高电位（例如，约 40V）施加到栅电极 GE 时，会产生隧穿现象并经由绝缘膜 IF1 将电荷注入到上绝缘膜 IF2 中，如图 15B 所示。由于上绝缘膜 (SiN) IF2 的带隙小于下绝缘膜 (SiO₂) IF1 的带隙，所以在上绝缘膜 (SiN) IF2 中积累隧穿注入电子 (e)。而且，栅绝缘膜 (Al₂O₃) 的带隙大于上绝缘膜 (SiN) IF2 的带隙，注入的电子 (e) 在被保持在上绝缘膜 (SiN) IF2 中。当完全注入电荷时，如图 15C 所示，由于电荷的注入，箭头之间的电位差变小了。在不向栅电极 GE 施加电位的情况下，也保持注入的电荷。此外，当晶体管操作时，即，当通过向栅电极施加阈值电位（例如，约 10V）使晶体管处于导通状态时，不会产生隧穿现象，如图 15D 所示，因此不会注入新的电荷，并在上绝缘膜 (SiN) IF2 中仍然保持注入的电子 (e)，从而使晶体管的导通操作没有问题。

[0105] 例如，在待机时段 S_t 中将电位（电子注入电位） V_1 施加到栅电极 GE 达时段 t_1 ，如图 16 所示。在这种状态下，源极电位和漏极电位中的每一个都为例如 0V。因此，电荷会积

累在上绝缘膜 IF2 中。然后,在使晶体管导通 / 截止操作的切换时段 S_w 中,通过向栅电极 GE 施加电位 (阈值电位) V_2 达时段 t_2 ,使晶体管处于导通状态。在这种状态下,源极电位为例如 0V 且漏极电位为例如 0 至 10V。电位 V_1 大于电位 V_2 。电位 V_1 为 30 至 50V,且电位 V_2 为 5 至 15V。时段 t_1 为约 1 至 10 秒,而时段 t_2 约为 10^{-8} 至 10^{-4} 秒。

[0106] 因此,能够在上绝缘膜 IF2 中积累电荷,并能在源端使等电位曲线之间的间隙变小。而且,通过在源端增强电场可使导通电流变大,从而能够提高晶体管的驱动能力。

[0107] (第二实施例)

[0108] 在第一实施例中,通过使用栅电极 GE 并通过向栅电极 GE 施加高电位,在上绝缘膜 IF2 中积累电荷;然而,通过提供和使用电荷注入电极 CIE,也会在上绝缘膜 IF2 中积累电荷。

[0109] 在下文中,将参考附图详细描述根据本实施例的半导体器件。在该实施例中,除电荷注入电极 CIE 以外的部分的构造与根据第一实施例的半导体器件的构造相同。因此,将简要说明与第一实施例相同的结构和制造步骤。

[0110] [结构描述]

[0111] 图 17 和 19 是示出根据本实施例的半导体器件的构造的截面图。图 18 是示出根据本实施例的半导体器件的构造的平面图。图 17 的截面图对应于例如图 18 中的 A-A 截面,且图 19 的截面图对应于例如图 18 中的 B-B 截面。

[0112] 与第一实施例类似,根据本实施例的半导体器件也是使用氮化物半导体的 MIS 型场效应晶体管。根据本实施例的半导体器件也是所谓的凹槽栅型半导体器件。

[0113] 在根据本实施例的半导体器件中,沟道层 CH 和阻挡层 BA 依次形成在衬底 S 上,如图 17 所示。其中形成晶体管的有源区 AC 被元件隔离区 ISO 分开 (见图 18)。

[0114] 绝缘膜 (IF1、IF2) 形成在阻挡层 BA 上。该绝缘膜包括两层绝缘膜。下绝缘膜 IF1 形成在阻挡层 BA 上,且上绝缘膜 IF2 形成在下绝缘膜 IF1 上。

[0115] 在图案化栅电极 GE 时,该绝缘膜 (IF1、IF2) 具有蚀刻停止层的作用。上绝缘膜 IF2 是带隙比下绝缘膜 IF1 的带隙小的膜。此外,上绝缘膜 IF2 是带隙比后述的栅绝缘膜 GI 的带隙小的膜。

[0116] 在本实施例中,电荷注入电极 CIE 进一步形成在绝缘膜 IF2 上。

[0117] 经由栅绝缘膜 GI,在穿透电荷注入电极 CIE、绝缘膜 (IF1、IF2) 和阻挡层 BA 到达沟道层 CH 的中间的沟槽中,形成栅电极 GE。沟道层 CH 和阻挡层 BA 包括氮化物半导体,阻挡层 BA 是带隙宽于 (具有更小的电子亲和势) 沟道层 CH 的带隙的氮化物半导体。电荷注入电极 CIE 包括导电膜。

[0118] 二维电子气 2DEG 产生在沟道层 CH 和阻挡层 BA 之间的界面附近,靠近沟道层 CH。当将阈值电位 (电位 $V_2 > 0$) 施加到栅电极 GE 时,沟道形成在栅绝缘膜 GI 和沟道层 CH 之间的界面附近。

[0119] 将进一步详细描述根据本实施例的半导体器件的构造。在根据本实施例的半导体器件中,包括氮化物半导体的沟道层 CH 形成在衬底 S 上,且包括氮化物半导体的阻挡层 BA 形成在沟道层 CH 上,如图 17 所示。替代地,成核层、应变缓和层和缓冲层等,可从衬底 S 侧依次设置在衬底 S 和沟道层 CH 之间。

[0120] 经由栅绝缘膜的 GI,在穿透电荷注入电极 CIE、绝缘膜 (IF1、IF2) 和阻挡层 BA 并

挖到通道层的中间沟槽 T 中,形成栅电极 GE。

[0121] 电荷注入电极 CIE 和绝缘膜 (IF1、IF2) 中的每一个在开口区域 OA1 中具有开口 (见图 21)。对应该开口形成沟槽 T。

[0122] 栅绝缘膜 GI 形成在沟槽 T 中且形成在电荷注入电极 CIE 和绝缘膜 (IF1、IF2) 上。栅电极 GE 形成在栅绝缘膜 GI 上。栅电极 GE 的平面形状是例如矩形 (见图 18)。在这里,栅绝缘膜 GI 和栅电极 GE 的平面形状是彼此相同的。电荷注入电极 CIE 具有位于栅电极 GE 下面的矩形部分和如下所述的从该部分拉出的接触部分 (也称为拉出部分)。然而,在沟槽 T 的部分中,没有形成电荷注入电极 CIE (见图 29)。

[0123] 栅电极 GE 具有在一个方向上 (向右侧,即在图 1 中的漏电极 DE 侧) 突出的形状。该突出部分被称为场板电极。栅电极 GE 还从靠近源电极 SE 的沟槽 T 的端部向源电极 SE 延伸。电荷注入电极 CIE 布置在向漏电极 DE 或源电极 SE 突出 (延伸) 的栅电极部分的下面,绝缘膜 (IF1、IF2) 进一步布置在电荷注入电极 CIE 的下面。

[0124] 此外,源电极 SE 和漏电极 DE 形成在位于栅电极 GE 两侧上的阻挡层 BA 上。阻挡层 BA 与源电极 SE 或者漏电极 DE 中的任一个经由欧姆层欧姆耦合在一起。源电极 SE 包括位于在层间绝缘膜 IL1 中形成的接触孔 C1S 中的耦合部分 (插塞),和位于耦合部分上的布线部分。漏电极 DE 包括位于在层间绝缘膜 IL1 中形成的接触孔 C1D 中的耦合部分 (插塞),和位于耦合部分上的布线部分。源电极 SE 和漏电极 DE 用保护绝缘膜 PRO 覆盖。源电极 SE 和漏电极 DE 中的每一个的平面形状都是例如矩形 (见图 18)。

[0125] 经由位于在层间绝缘膜 IL1 中形成的接触孔 C1G 中的耦合部分 (插塞),上述栅电极 GE 耦合到栅极布线 GL (见图 18)。经由位于在层间绝缘膜 IL1 中形成的接触孔 C1CI 中的耦合部分 (插塞),使电荷注入电极 CIE 从栅电极 GE 的下部拉出,以耦合到电荷注入布线 CIL (见图 18 和 19)。

[0126] 与第一实施例类似,通过形成具有小于下绝缘膜 IF1 的带隙的膜的上绝缘膜 IF2,如上所述,能够在在上绝缘膜 IF2 中积累电荷 (在这里,电子),从而能够提高在沟槽的角部处的电场强度。结果,甚至在沟槽的角部处也充分形成了沟道,从而能够减小导通电阻,并增加导通电流。因此,能够提高晶体管的驱动能力。

[0127] 由于电荷注入电极 CIE 设置在上绝缘膜 IF2 上,所以能够以比第一实施例更低的电压将电荷注入到绝缘膜 IF2 中。此外,栅电极 GE 和电荷注入电极 CIE 可被单独控制,因此可单独执行电荷注入步骤和晶体管的驱动步骤。

[0128] [制造方法的描述]

[0129] 随后,参考图 20 至 31,将描述根据本实施例的半导体器件的制造方法,使得半导体器件的构造更加清晰。图 20 至 31 是示出根据该实施例的半导体器件的制造步骤的截面图。

[0130] 如图 20 所示,以与第一实施例相同的方式,在与第一实施例相同的衬底 S 上依次形成沟道层 (GaN) CH、阻挡层 (AlGaN) BA、绝缘膜 (氧化硅膜) IF1 和绝缘膜 (氮化硅) IF2。下氧化硅膜的带隙为 8.9eV,而上氮化硅膜为 4.5eV。因此,上氮化硅膜的带隙小于下氧化硅膜的带隙。

[0131] 随后,在绝缘膜 IF2 上形成电荷注入电极 CIE。例如,通过使用溅射法等,在绝缘膜 IF2 上沉积钨 (W) 膜作为导电膜。替代地,可使用 W 以外的金属,诸如 TiN (氮化钛) 和

其化合物（然而，导电的化合物）作为电荷注入电极 CIE。

[0132] 随后，通过使用光刻技术，在电荷注入电极 CIE 上形成用于开口元件隔离区的光致抗蚀膜 PR1。随后，与第一实施例类似，通过使用光致抗蚀膜 PR1 作为掩膜掺杂硼 (B) 或氮 (N)，形成元件隔离区 ISO。然后，移除光致抗蚀膜 PR1。被元件隔离区 ISO 包围的区域将充当为有源区 AC（见图 18）。

[0133] 随后，通过使用光刻技术，在电荷注入电极 CIE 上形成在开口区域 OA1 中具有开口的光致抗蚀膜 PR2，如图 21 所示。随后，通过使用光致抗蚀膜 PR2 作为掩膜蚀刻电荷注入电极 CIE 和绝缘膜 (IF1、IF2)。可使用气体诸如例如 Cl_2 或 CF_4 作为用于电荷注入电极 CIE 的蚀刻气体。可使用气体诸如例如 CF_4 或 CHF_3 作为用于氮化硅膜和氧化硅膜的蚀刻气体。因此，在阻挡层 BA 上，形成在开口区域 OA1 中具有开口的电荷注入电极 CIE 和绝缘膜 (IF1、IF2) 的层叠膜。换句话说，在开口区域 OA1 暴露阻挡层 BA（图 21）。

[0134] 接下来，通过使用光致抗蚀膜 PR2 作为掩膜蚀刻阻挡层 BA 和沟道层 CH，形成穿透电荷注入电极 CIE、绝缘膜 (IF1、IF2) 和阻挡层 BA 到达沟道层 CH 的中间的沟槽 T，如图 22 所示。通过使用例如卤素基气体 (Cl_2 、HBr、 BCl_3 ，等) 作为蚀刻气体，在等离子体气氛下执行干法蚀刻。例如，可使用 ICP（电感耦合等离子体）等作为等离子体源。当使用厚度为 $0.03 \mu\text{m}$ 的阻挡层 (AlGaN) BA 时，为了确保移除在开口区域 OA1 中的二维电子气 2DEG，执行蚀刻到从阻挡层 (AlGaN) BA 的表面约 $0.04 \mu\text{m}$ 的深度。因此，移除在开口区域 OA1 中的阻挡层 (AlGaN) BA 和沟道层 (GaN) CH 的表面部分，使得暴露沟道层 (GaN) CH。随后，移除光致抗蚀膜 PR2。

[0135] 随后，在沟槽 T 中和在电荷注入电极 CIE 上形成栅绝缘膜 GI，如图 23 所示。例如，与第一实施例类似，通过使用 ALD 方法等，在沟槽 T 中和在绝缘膜 (IF1、IF2) 上，沉积厚度约 $0.1 \mu\text{m}$ 的氧化铝膜（氧化铝、 Al_2O_3 ）作为栅绝缘膜 GI。栅绝缘膜 GI 的带隙大于位于其下面的绝缘膜（氮化硅膜）IF2 的带隙。氧化铝膜的带隙为 6eV ，而位于其下面的氮化硅膜的带隙为 4.5eV 。

[0136] 替代地，可以使用第一实施例中描述的氧化硅膜或介电常数高于氧化硅膜的高介电常数膜作为栅绝缘膜 GI。在这里，与第一实施例类似，栅绝缘膜（氧化硅膜）GI 的厚度 ($0.1 \mu\text{m}$) 大于沟槽 T 的深度（第一深度和第二深度）。

[0137] 随后，在栅绝缘膜 GI 上形成栅电极 GE。例如，与第一实施例类似，通过使用溅射法等，在栅绝缘膜 GI 上沉积包括例如镍 (Ni) 膜和位于其上面的金 (Au) 膜的层叠膜（也称为 Au/Ni 膜）作为导电膜。

[0138] 随后，通过使用光刻技术和蚀刻技术图案化栅电极 GE 和栅绝缘膜 GI，形成栅电极 GE，如图 24 至 26 所示。通过使用例如光刻技术，形成覆盖其中形成栅电极 GE 的区域的光致抗蚀膜 PR3，使得通过使用光致抗蚀膜 PR3 作为掩膜蚀刻栅电极 GE 和栅绝缘膜 GI。通过使用例如卤素基气体 (Cl_2 、HBr、 BCl_3 等，或其混合气体) 作为蚀刻气体，在等离子体气氛下执行干法蚀刻。例如，可以使用 ICP（电感耦合等离子体）等作等离子体源。然后，移除光致抗蚀膜 PR3。因此，能够形成矩形的栅电极 GE，如图 26 所示。使电荷注入电极 CIE 暴露在栅电极 GE 的周围（图 24 至 26）。

[0139] 随后，通过使用光刻技术和蚀刻技术，图案化电荷注入电极 CIE，如图 27 至 29 所示。通过使用例如光刻技术，形成覆盖其中形成电荷注入电极 CIE 的区域的光致抗蚀膜

PR32,使得通过使用光致抗蚀膜 PR32 作为掩膜蚀刻电荷注入电极 CIE。通过使用例如 Cl_2 或 HBr、作为蚀刻气体,在等离子体气氛下执行干法蚀刻。例如,可以使用 ICP(电感耦合等离子体)等作等离子体源。然后,移除光致抗蚀膜 PR32。因此,能够形成具有位于栅电极 GE 下面的矩形部分和从该部分拉出的接触部分(也称为拉出部分,拉出部分在图 29 的左侧)的电荷注入电极 CIE,如图 29 所示。在沟槽 T 的部分中,在形成沟槽 T 的步骤中移除电荷注入电极 CIE。因此,图 29 示出的阴影部分充当为其中形成电荷注入电极 CIE 的区域。

[0140] 当蚀刻电荷注入电极 CIE 时,绝缘膜(IF1、IF2)充当为蚀刻停止层。与第一实施例类似,如果通过使用光致抗蚀膜 PR32 作为掩膜,对在没有形成绝缘膜(IF1、IF2)的情况下直接形成在阻挡层 BA 上的电荷注入电极 CIE 执行干法蚀刻,则阻挡层 BA 可能会损坏,且晶体管的操作性能可能会劣化。

[0141] 另一方面,在本实施例中,绝缘膜(IF1、IF2)起蚀刻停止层的作用,从而能够改善晶体管的性能。

[0142] 可使暴露在栅电极 GE 的两侧的绝缘膜(IF1、IF2)的表面后退。然而,当蚀刻终止时,优选保留上绝缘膜 IF2。例如,当使用氧化硅膜作为栅绝缘膜 GI 时且当暴露下绝缘膜(氧化硅膜)IF2 时,下绝缘膜 IF2 会被迅速蚀刻且会使阻挡层 BA 暴露到蚀刻气氛,这可能导致阻挡层 BA 会被蚀刻损坏。因为如上所述阻挡层 BA 的厚度小,所以当阻挡层 BA 损坏时很可能会影响二维电子气。因此,优选在保留上绝缘膜的状态下停止蚀刻。

[0143] 图案化栅电极 GE 以使其具有在一个方向上(向右侧,即在图 24 中的漏电极 DE 侧)突出的形状。换句话说,执行图案化,使得将场板电极提供为栅电极 GE 的一部分。场板电极是栅电极 GE 的部分区域,是指从靠近漏电极 DE 的沟槽 T 的端部向漏电极 DE 延伸的电极部分。栅电极 GE 也在另一个方向上(向左侧,即,在图 24 中的源电极 SE 侧)突出。然而,向漏电极 DE 侧的突出的量大于向源电极 SE 侧突出的量。

[0144] 随后,栅电极 GE 上形成层间绝缘膜 IL1、源电极 SE 和漏电极 DE,如图 30 和 31 所示。在形成层间绝缘膜 IL1 之后,例如,以与第一实施例相同的方式,形成接触孔的 C1S 和 C1D。在这种情况下,在栅电极 GE 上形成接触孔(C1G),而在电荷注入电极 CIE 上形成接触孔 C1CI(见图 18 和 31)。

[0145] 随后,以与第一实施例相同的方式,在包括接触孔 C1S 和 C1D 的内部的层间绝缘膜 IL1 上形成导电膜 CL,然后通过图案化导电膜 CL 形成源电极 SE 和漏电极 DE。在这种情况下,在栅电极 GE 上的接触孔 C1G 中和在其上面,形成栅极布线 GL,在电荷注入电极 CIE 上的接触孔 C1CI 中和在其上面,形成电荷注入布线 CIL(见图 18 和 31)。

[0146] 随后,以与第一实施例相同的方式,在包括源电极 SE 和漏电极 DE 的绝缘膜 IL1 上,形成保护绝缘膜 PRO(见图 17,等)。

[0147] 通过上述步骤能够形成图 17 示出的半导体器件。在这里,上述步骤是一个实例,并且可以通过上述步骤以外的步骤制造根据本实施例的半导体器件。

[0148] 因此,与第一实施例类似,在本实施例中,也用带隙小于下绝缘膜 IF1 的带隙的膜形成上层绝缘膜 IF2,因此能够在上绝缘膜 IF2 中积累电荷(在这里,电子),从而提高在沟槽的角部处的电场强度。结果,甚至在沟槽的角部处也完全形成沟道,从而能够减小导通电阻,并增加导通电流。因此,能够提高晶体管的驱动能力(见图 14 和 15)。

[0149] 图 32A 和 32B 是用于说明本实施例的效果的、沟槽底部表面的端部附近的示意图。

图 33 是示出在将电荷注入到晶体管的上绝缘膜中的步骤和晶体管的驱动步骤的时序图。

[0150] 当使用单层绝缘膜（例如，氧化硅膜）IF 作为覆盖膜时，位于绝缘膜 IF 的底部表面和栅电极 GE 的底部表面之间的等电位曲线之间的间隙变大，如图 32A 所示。另一方面，当在上绝缘膜 IF2 中积累电荷（在这里，电子）时，如在本实施例中，位于绝缘膜 IF2 的底部表面和栅电极 GE 的底部表面之间的等电位曲线之间的间隙变小，如图 32B 所示。通过这样在源端增强电场能使导通电流变大，从而能够提高晶体管的驱动能力。

[0151] 通过向电荷注入电极 CIE 提供使隧穿电流流过下绝缘膜 IF1 的程度的高电压（电位 V_1 ），可执行将电荷注入到上绝缘膜 IF2 中。例如，当使用已在本实施例中描述的且厚度约 $0.02\ \mu\text{m}$ 的绝缘膜 IF1 时，通过向电荷注入电极 CIE 施加约 30 至 50V 的电位，可经由上绝缘膜 IF1 从二维电子气 2DEG 将电荷注入到上绝缘膜 IF2 中。替代地，当绝缘层 IF1 的厚度约为 0.01 至 $0.03\ \mu\text{m}$ 时，用约 15 至 30V 的电位可将电荷注入到绝缘膜 IF2 中。

[0152] 例如，在待机时段 S_t 中将电位 V_1 施加到电荷注入电极 CIE 达时段 t_1 ，如图 33 所示。在这种状态下，源极电位和漏极电位中的每一个都为例如 0V。因此，电荷被积累在上绝缘膜 IF2 中。然后，在使晶体管导通 / 截止操作的切换时段 S_w 中，通过向电荷注入电极 CIE 施加电位（阈值电位） V_2 达时段 t_2 ，使晶体管处于导通状态。在这种状态下，源极电位为例如 0V 且漏极电位为例如 0 至 10V。电位 V_1 为 15 至 30V，且电位 V_2 为 5 至 15V。时段 t_1 为约 1 至 10 秒，而时段 t_2 为约 10^8 至 10^4 秒。

[0153] 因此，能够在上绝缘膜 IF2 中积累电荷，并能在源端使等电位曲线之间的间隙变小，并通过在源端增强电场可使导通电流变大，从而能够提高晶体管的驱动能力。

[0154] 上面已经基于优选实施例具体描述了本发明人提出的本发明；然而，不用说，本发明不应限制于优选实施例，且在不偏离本发明的主旨的范围内可以对本发明进行各种变更。

[0155] 在上述的第一实施例中（见图 15），已经描述了其中使用氧化硅膜、氮化硅膜和氧化铝膜作为绝缘膜 IF1、绝缘膜 IF2 和栅绝缘膜 GI 的组的实例。另一方面，可使用其他组合，其中这些膜的带隙（ $E_g(\text{IF1})$ 、 $E_g(\text{IF2})$ 和 $E_g(\text{GI})$ ）满足关系： $E_g(\text{IF1}) > E_g(\text{IF2})$ ；且 $E_g(\text{GI}) > E_g(\text{IF2})$ 。例如，可使用氧化硅膜、氮化硅膜和氧化硅膜的组合作为绝缘膜 IF1、绝缘膜 IF2 和栅绝缘膜 GI 的组合。

[0156] 此外，在待机时段 S_t 中注入电荷，并在随后的切换时段 S_w 中驱动晶体管（导通 / 截止操作）；然而，待机时段 S_t 可仅在最初阶段提供一次，或得在切换时段 S_w 中定期地（每预定时段）提供。替代地，可在每次导通 / 截止操作之前，将电荷注入到绝缘膜 IF2 中。

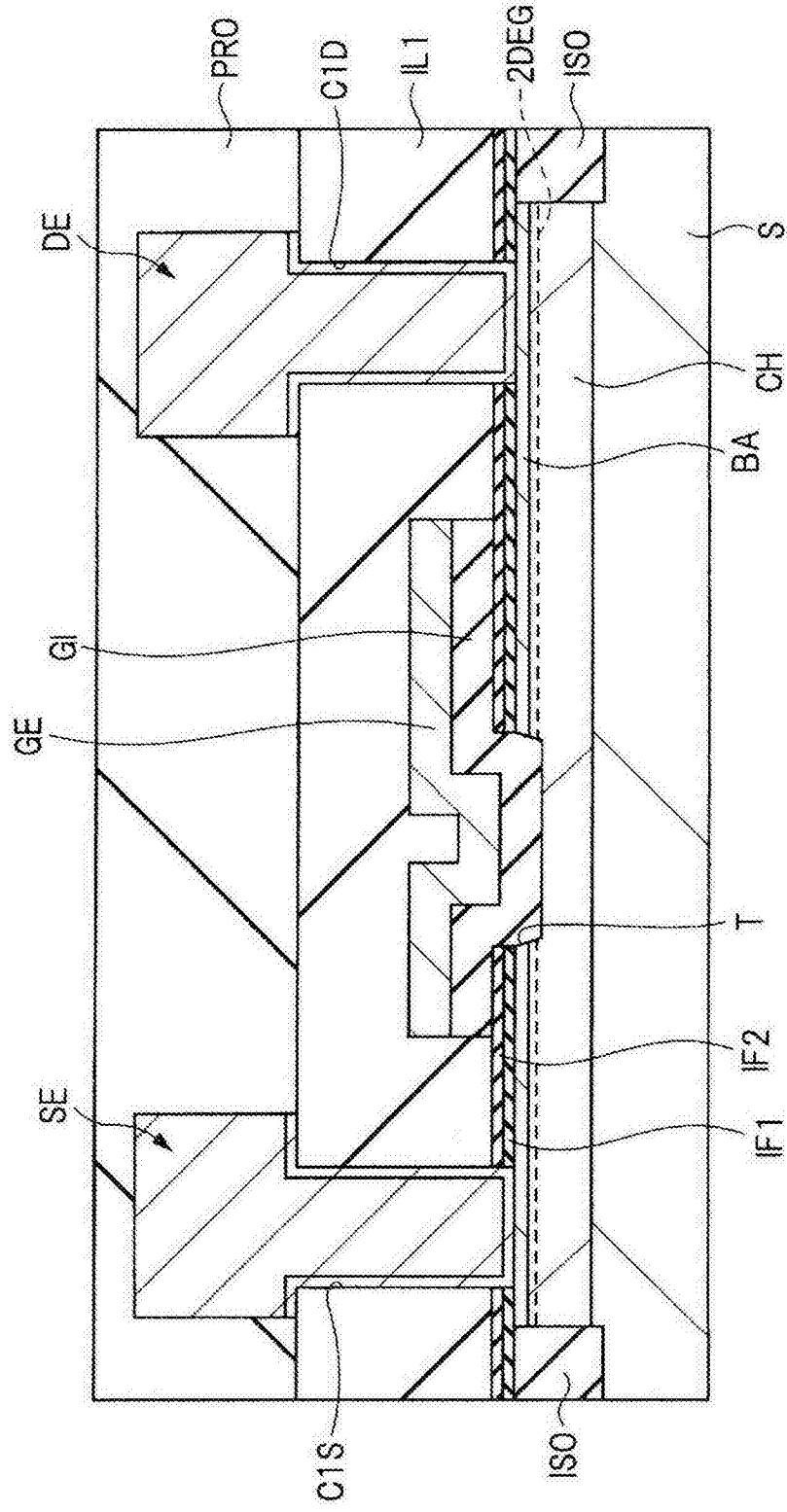


图 1

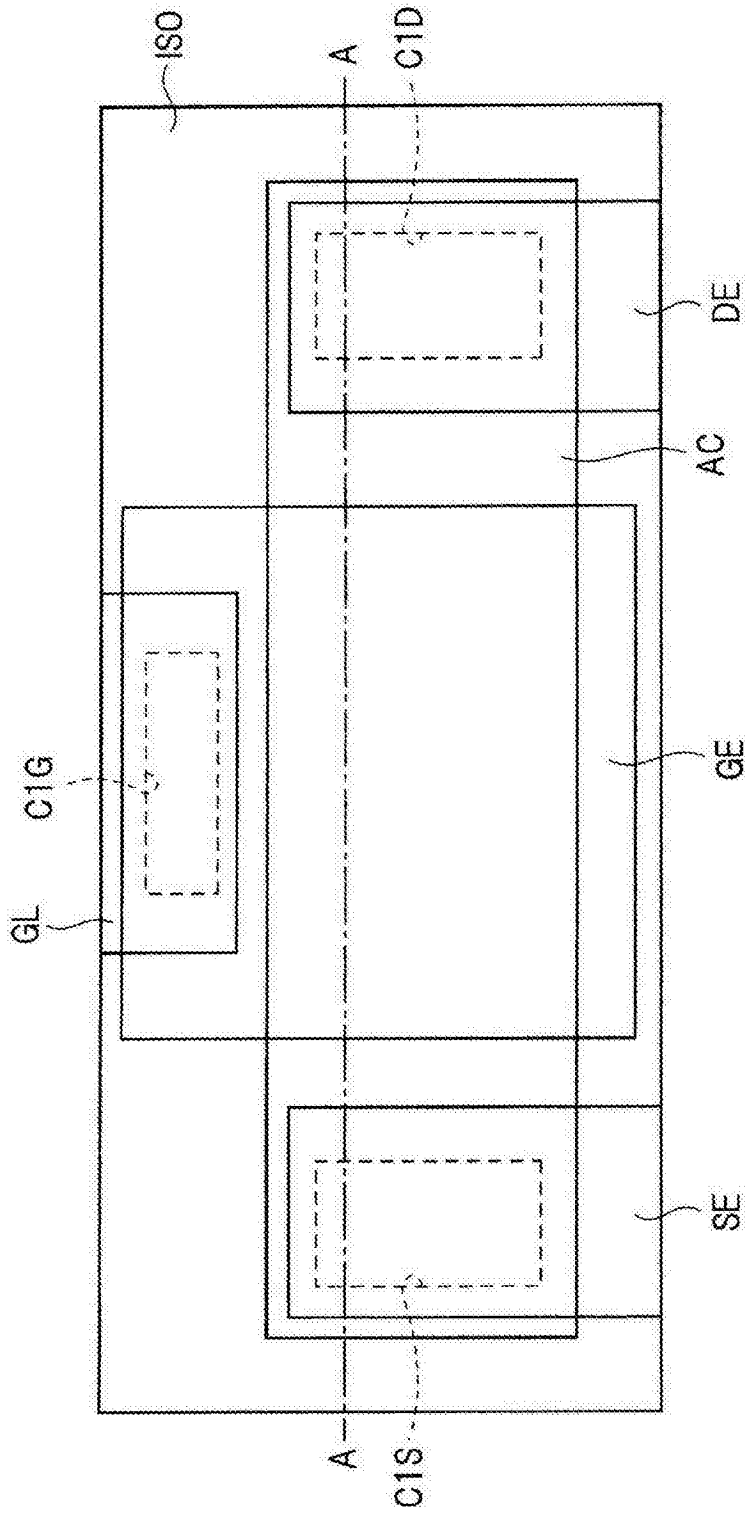


图 2

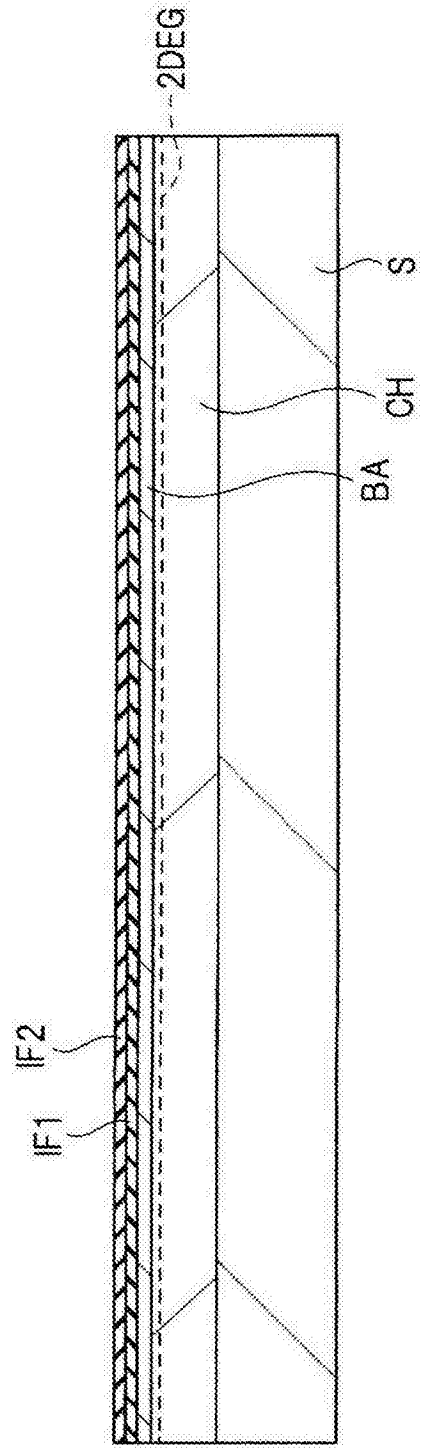


图 3

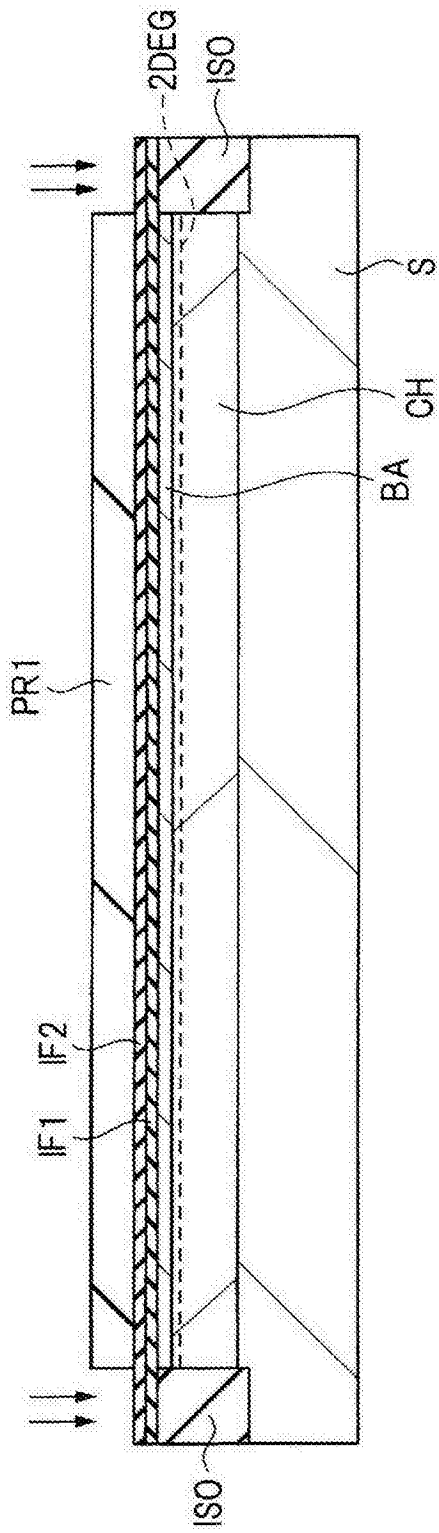


图 4

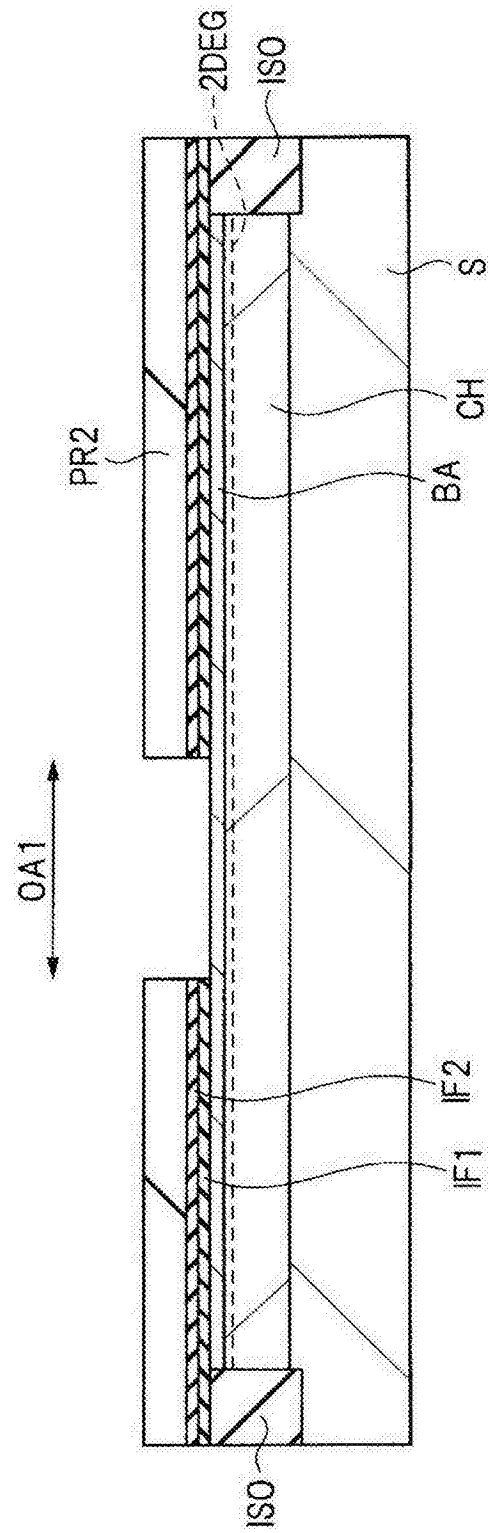


图 5

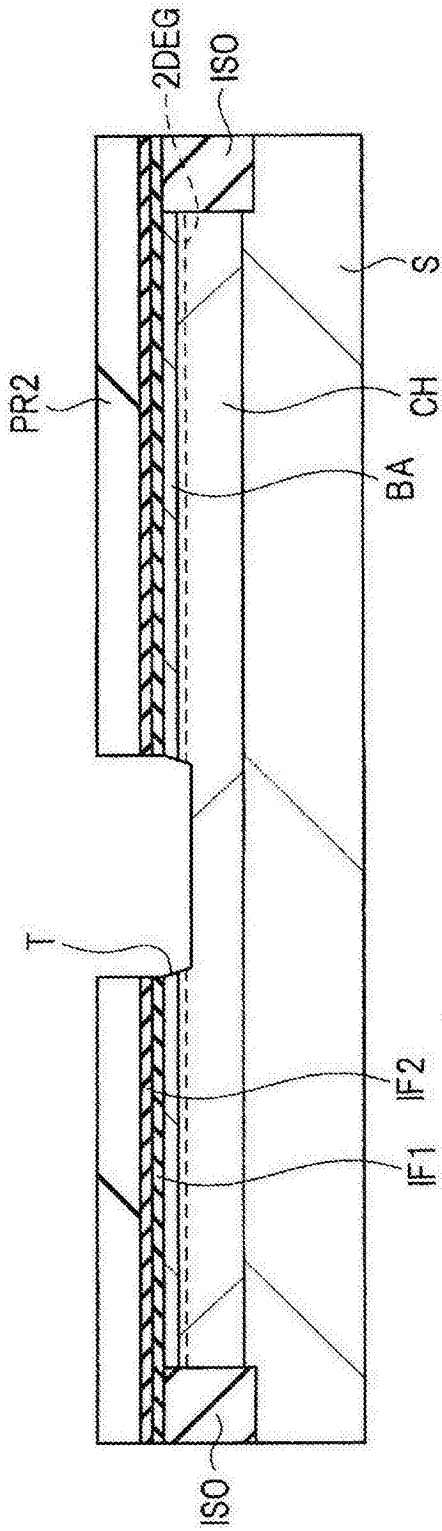


图 6

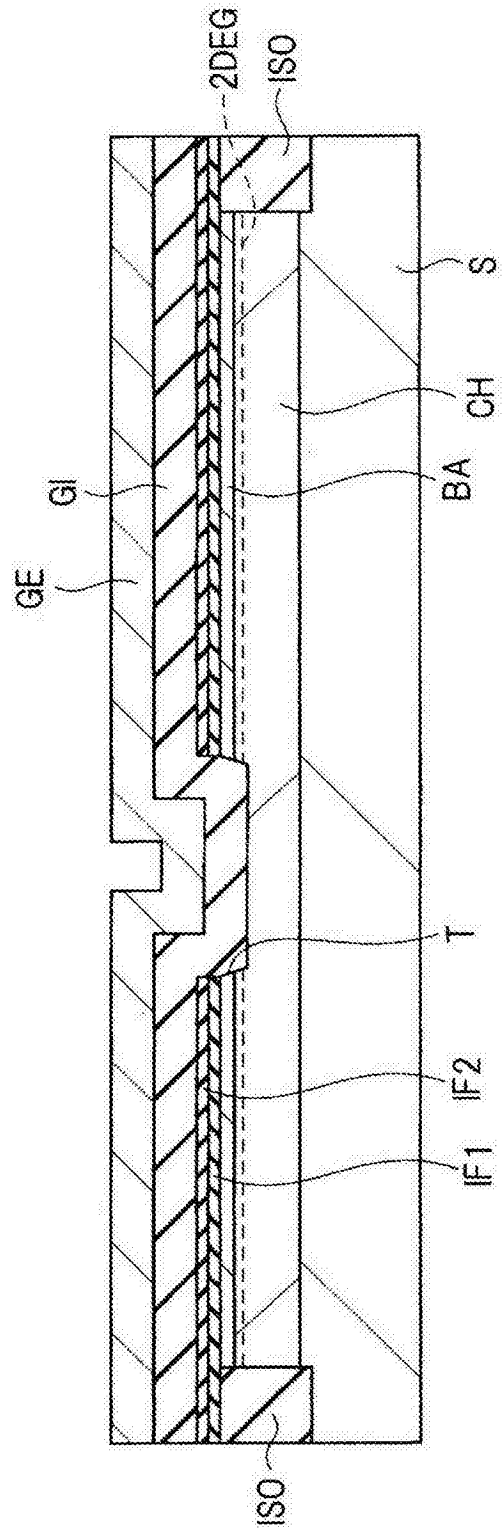


图 7

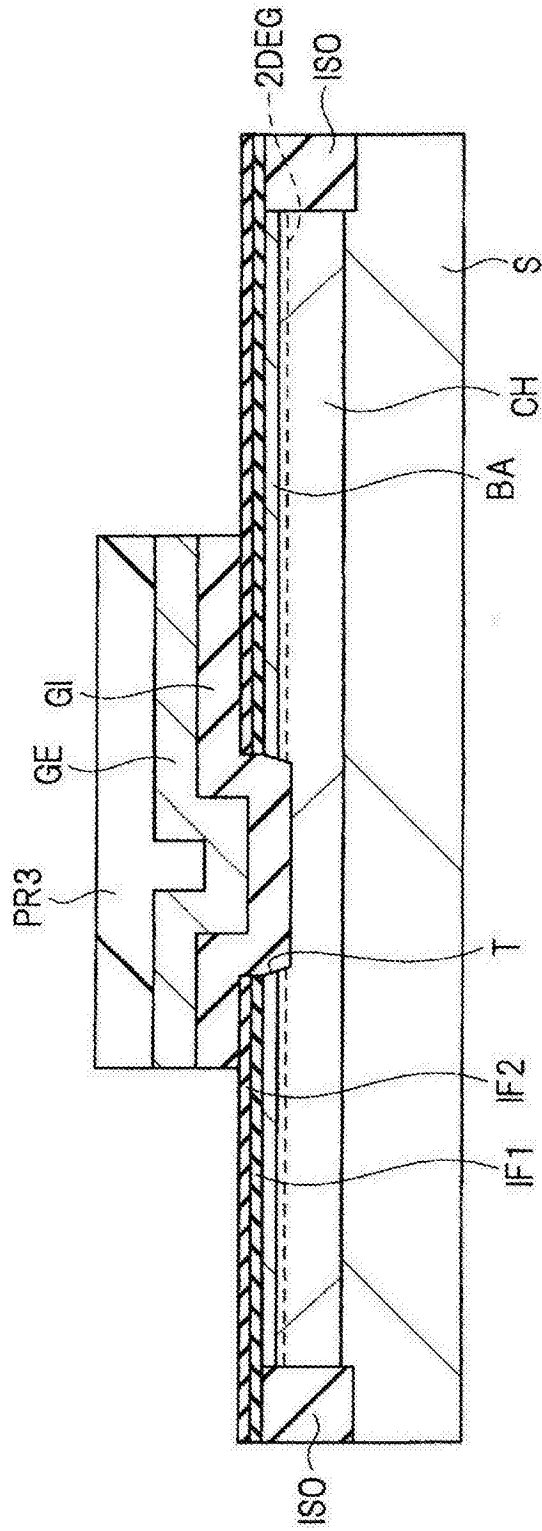


图 8

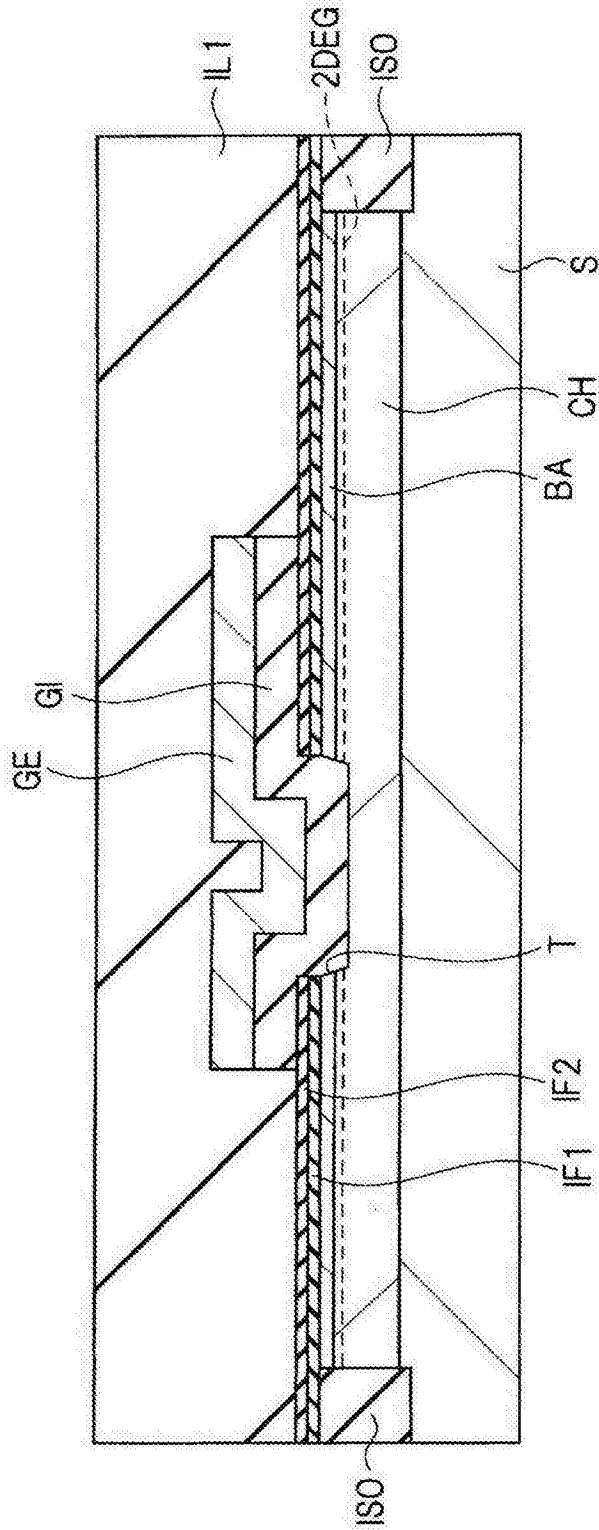


图 9

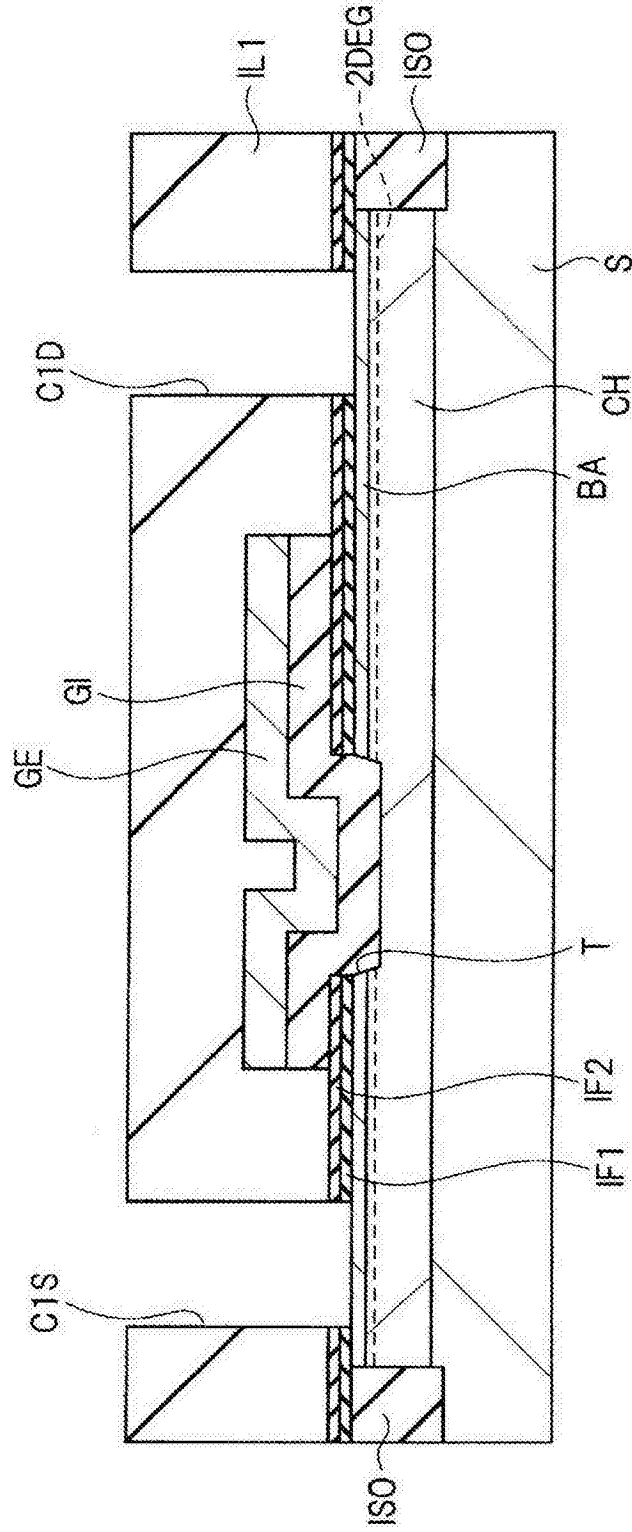


图 10

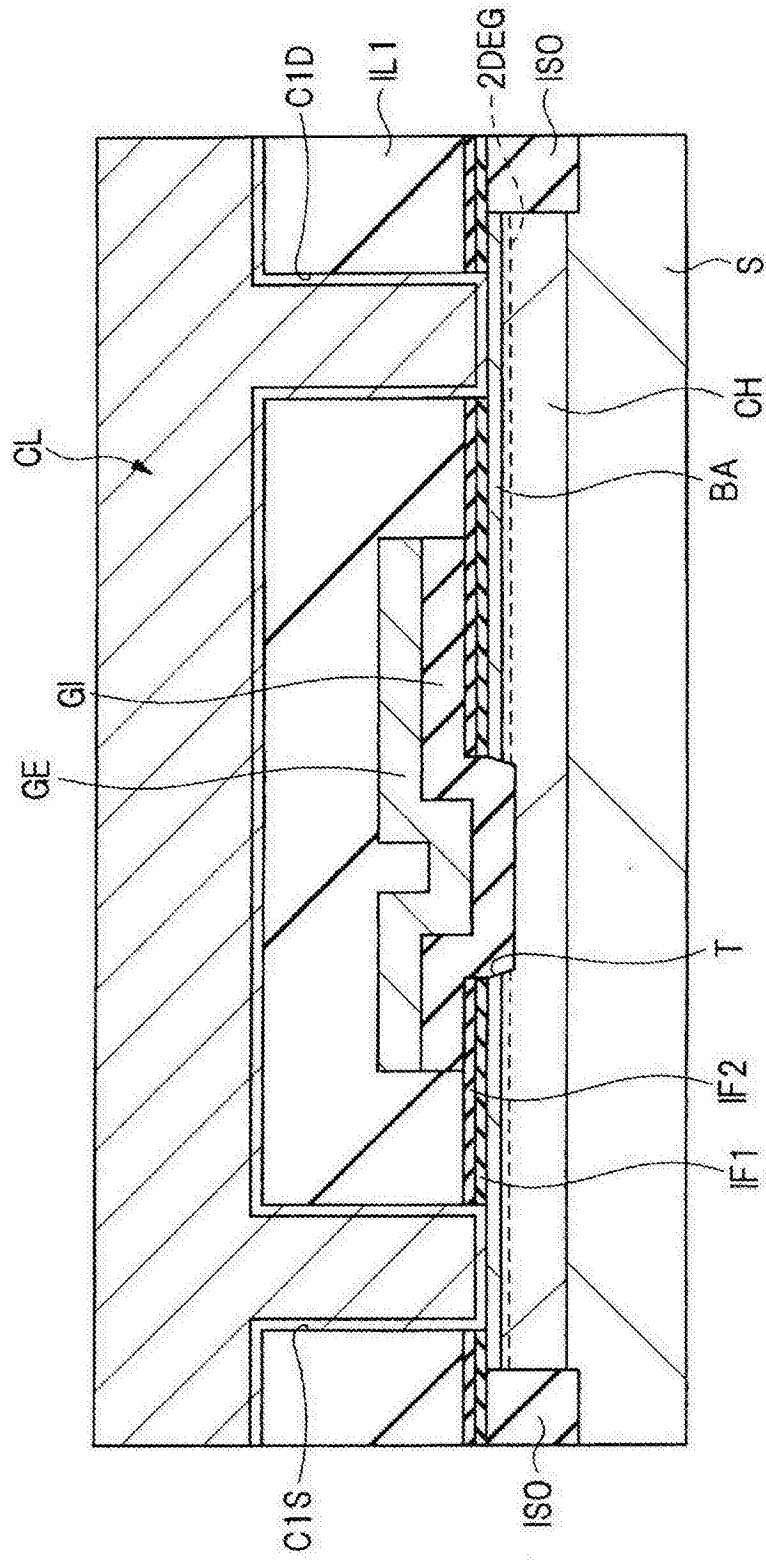


图 11

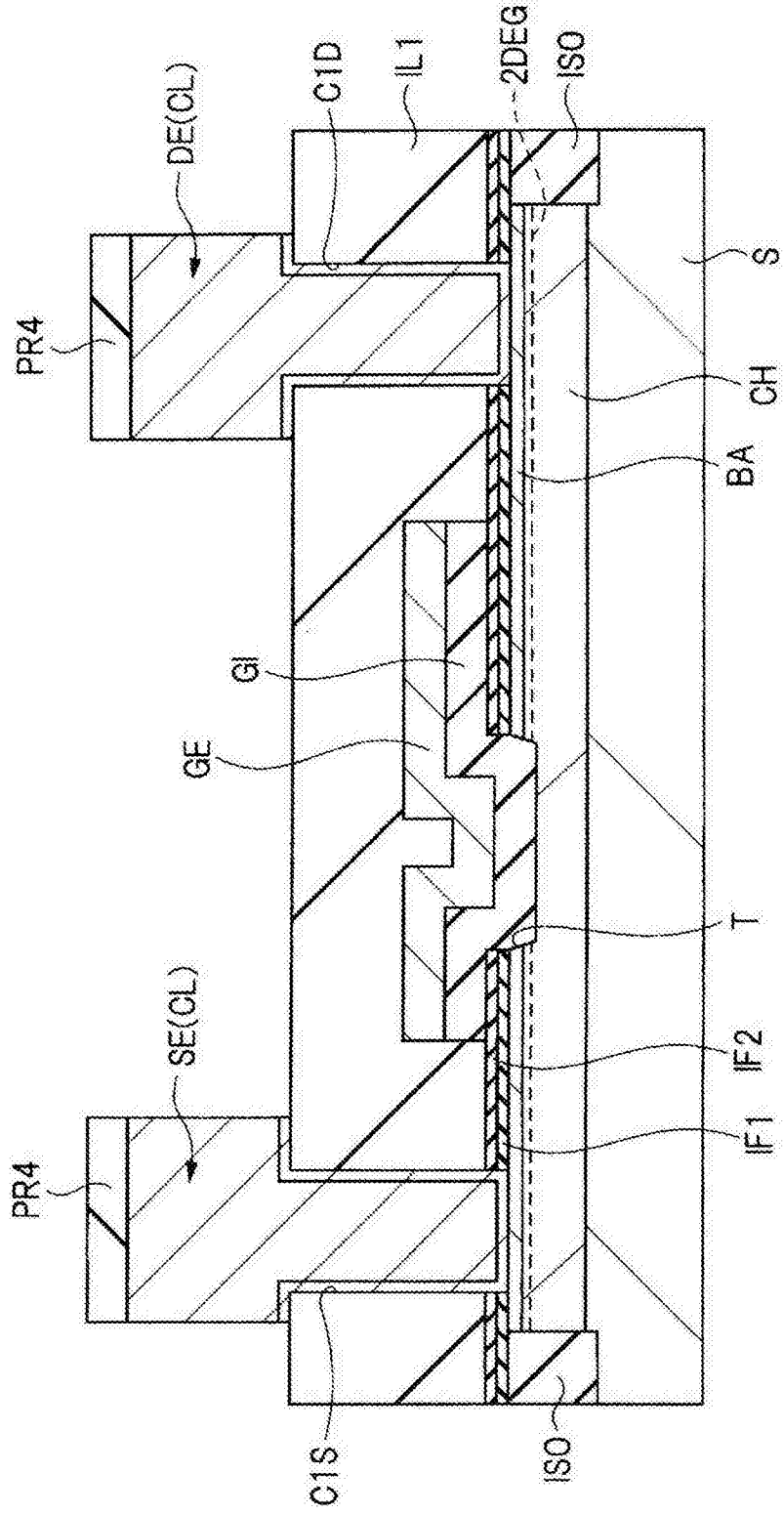


图 12

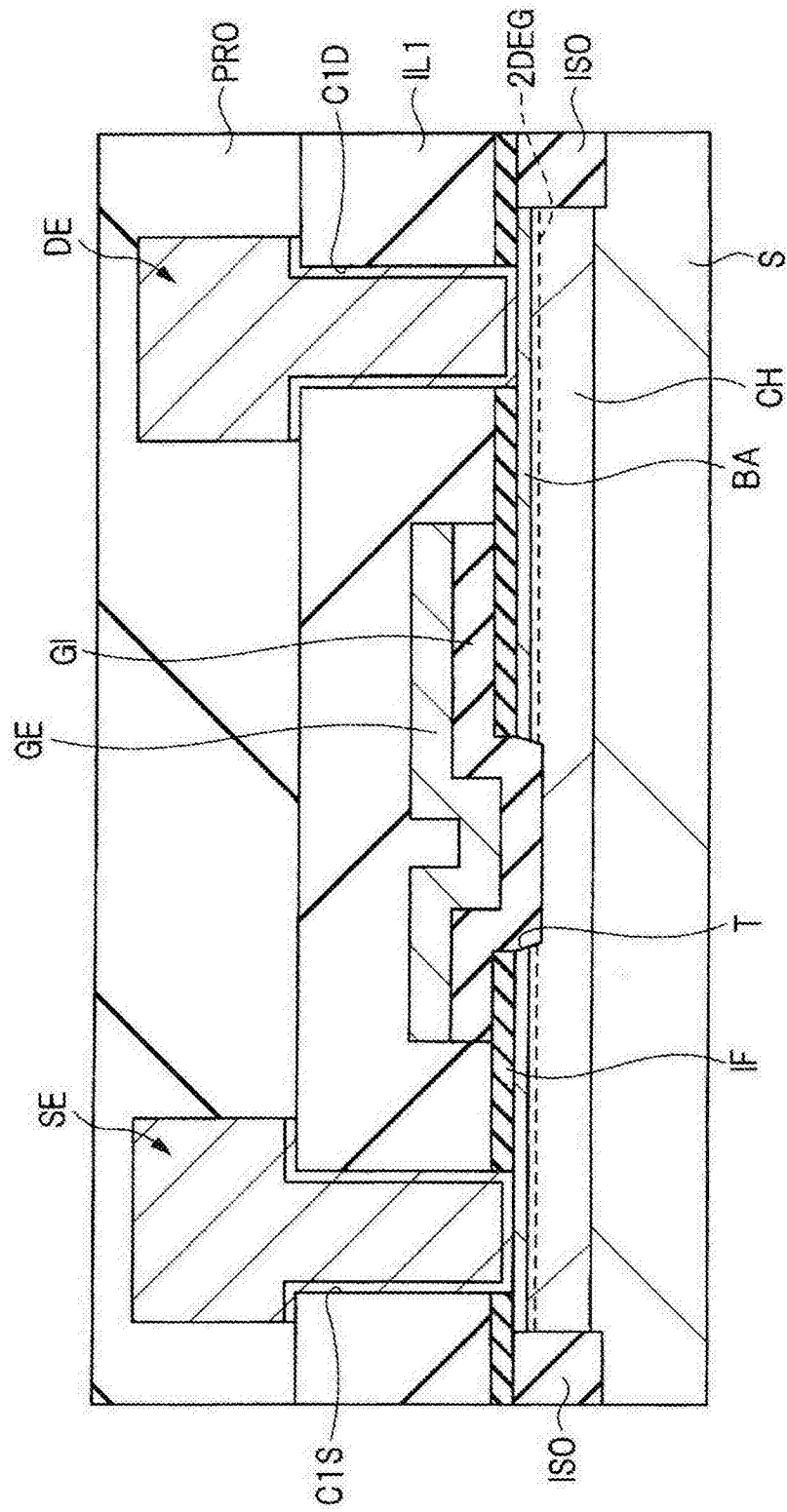


图 13

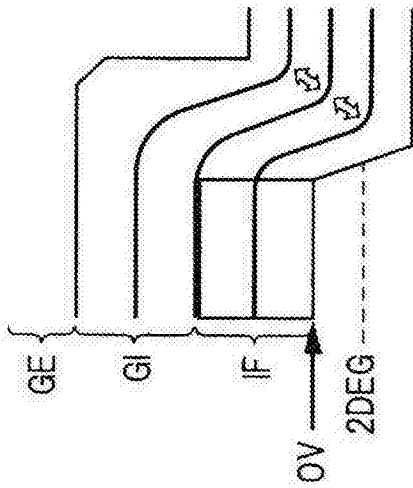


图 14A

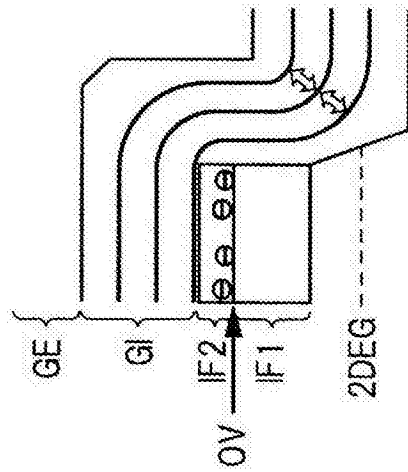


图 14B

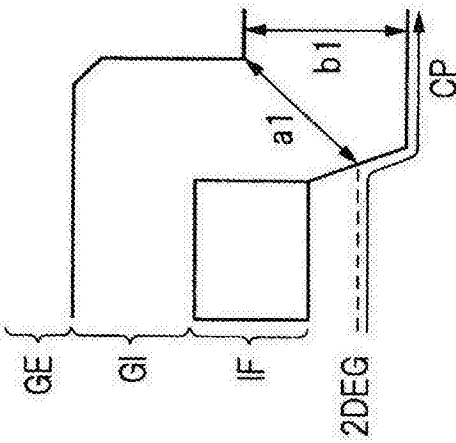


图 14C

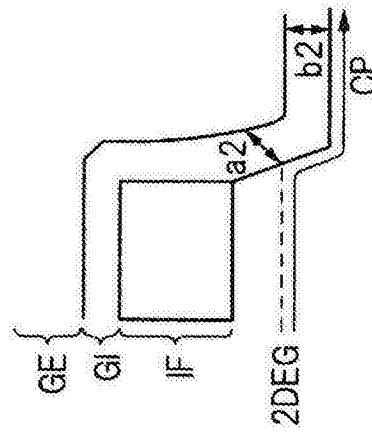


图 14D

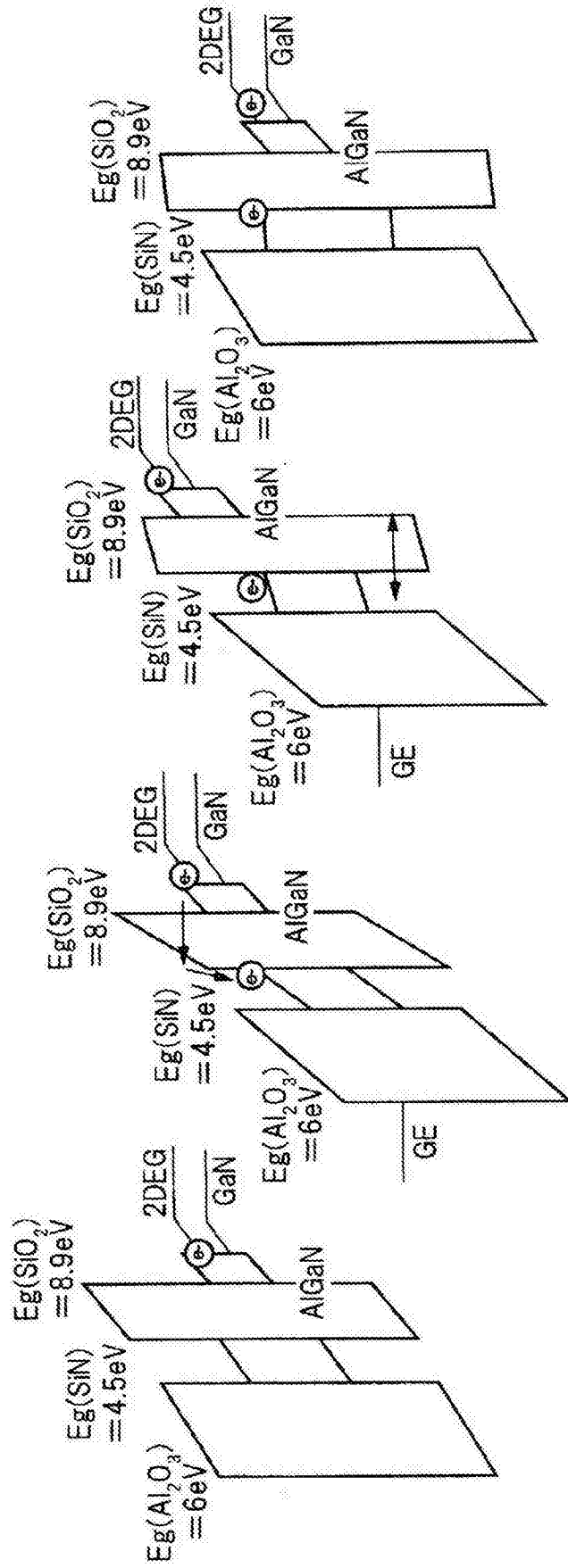


图15A

图15B

图15C

图15D

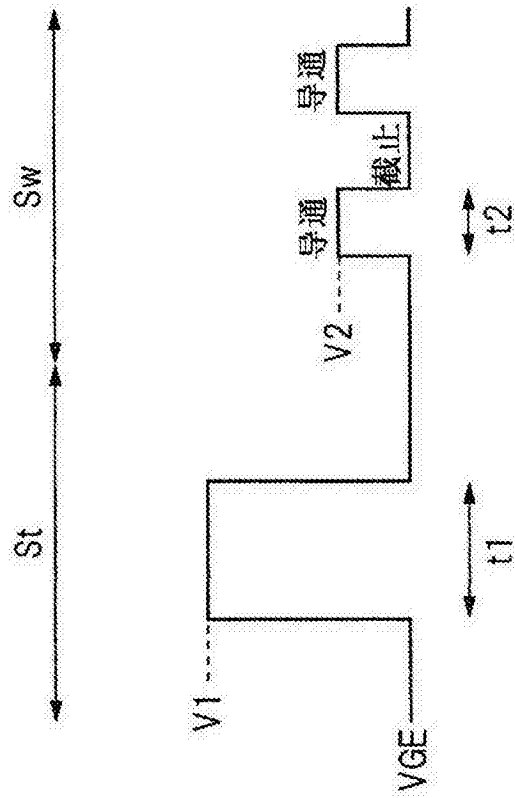


图 16

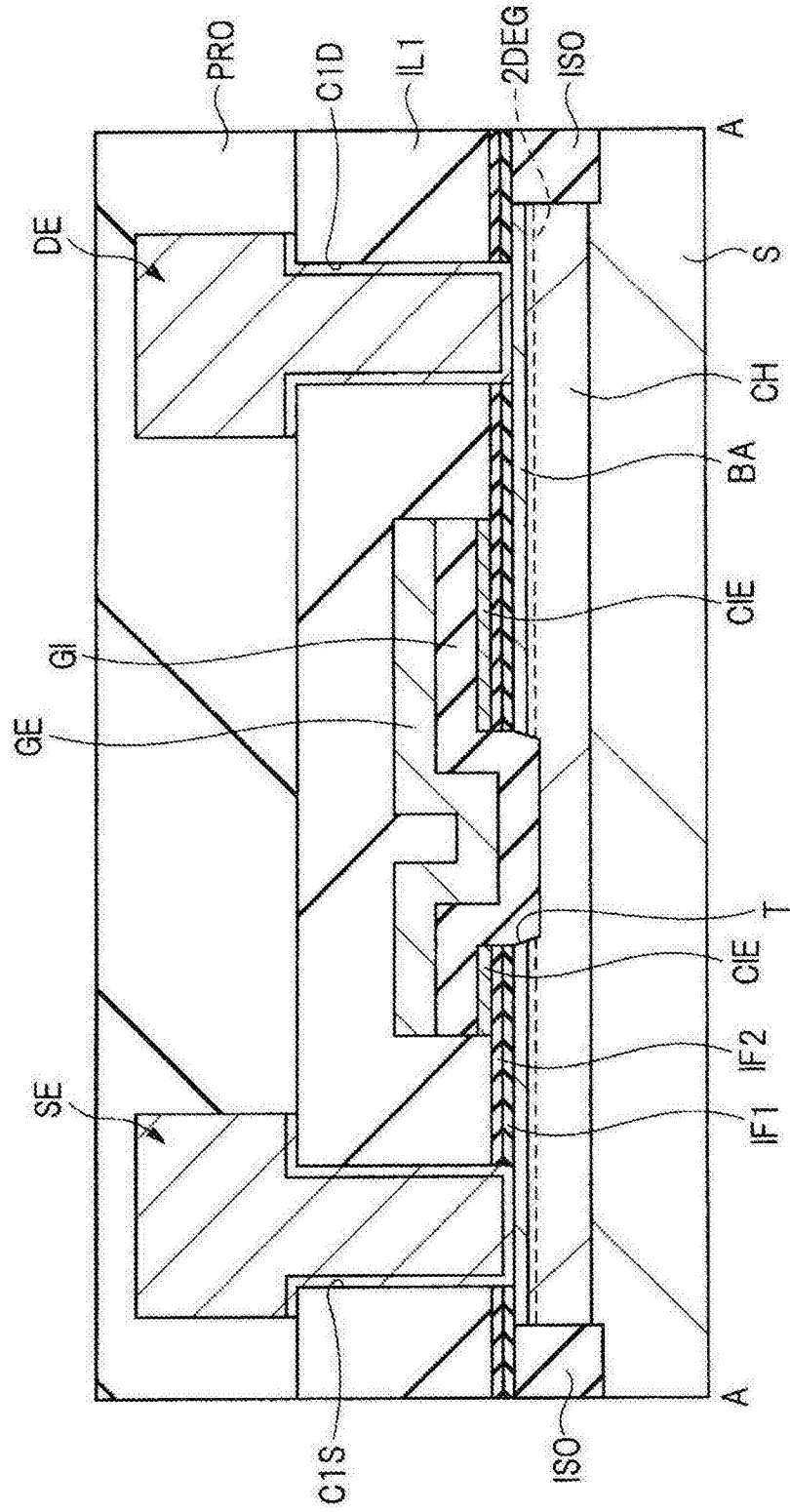


图 17

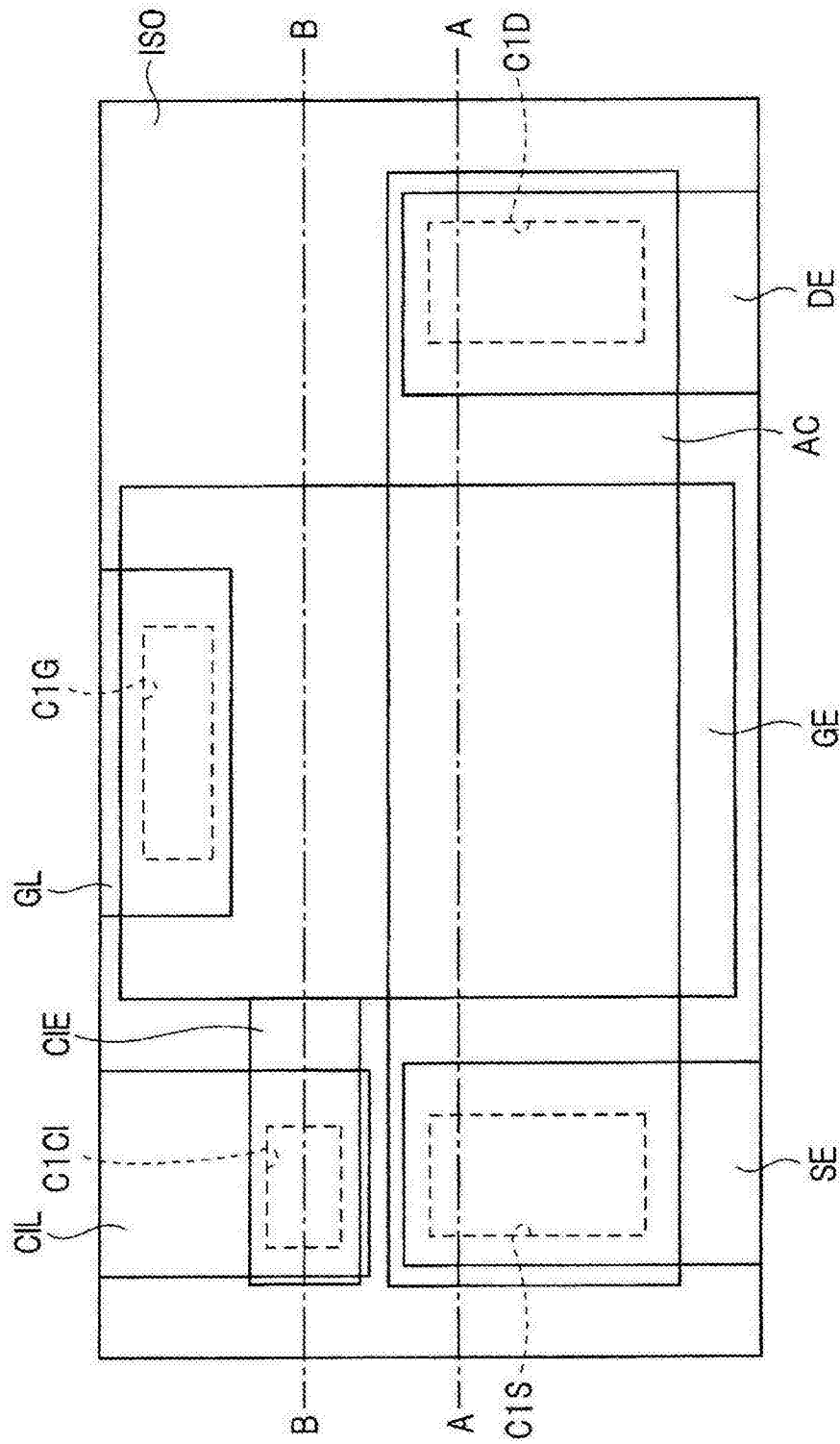


图 18

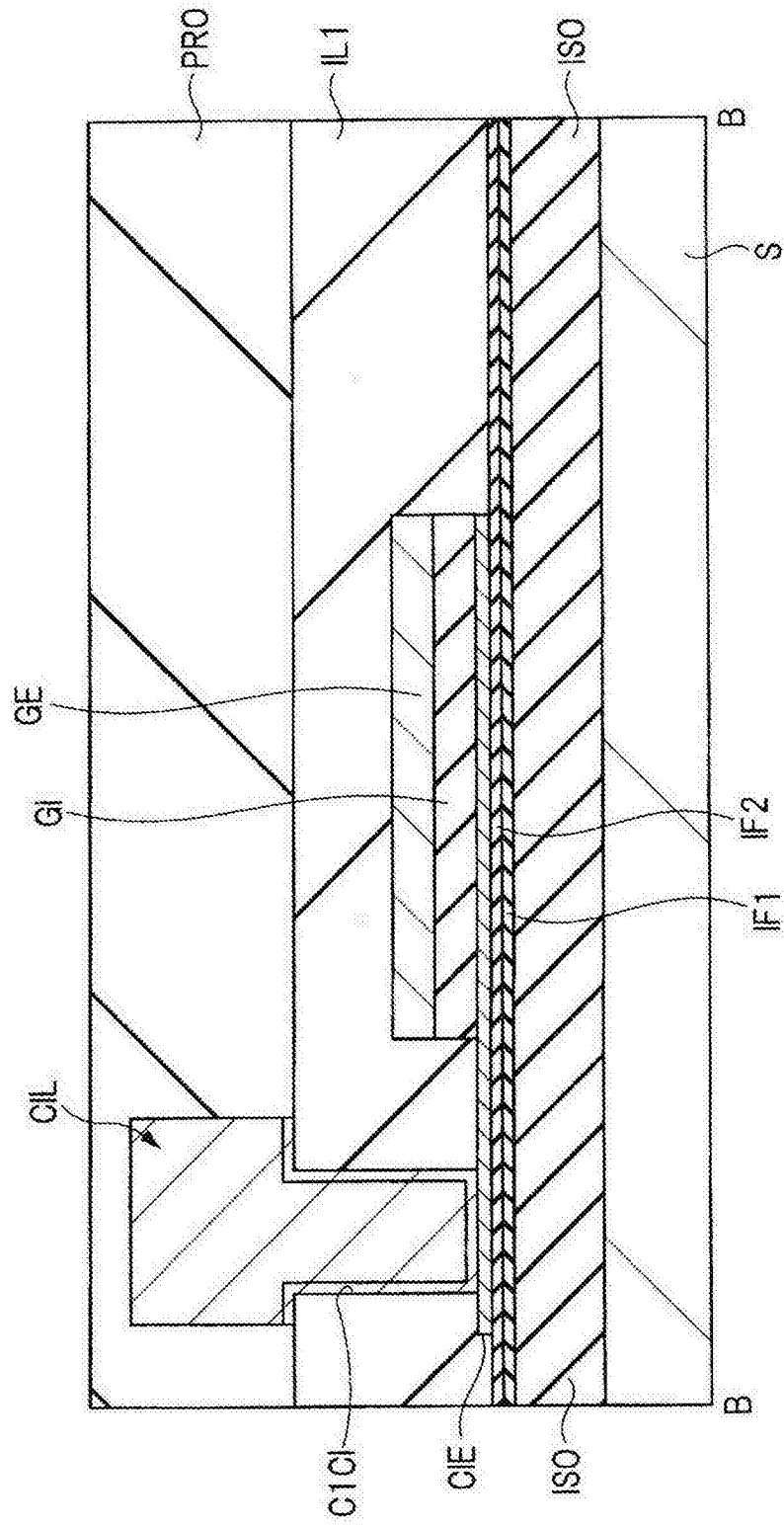


图 19

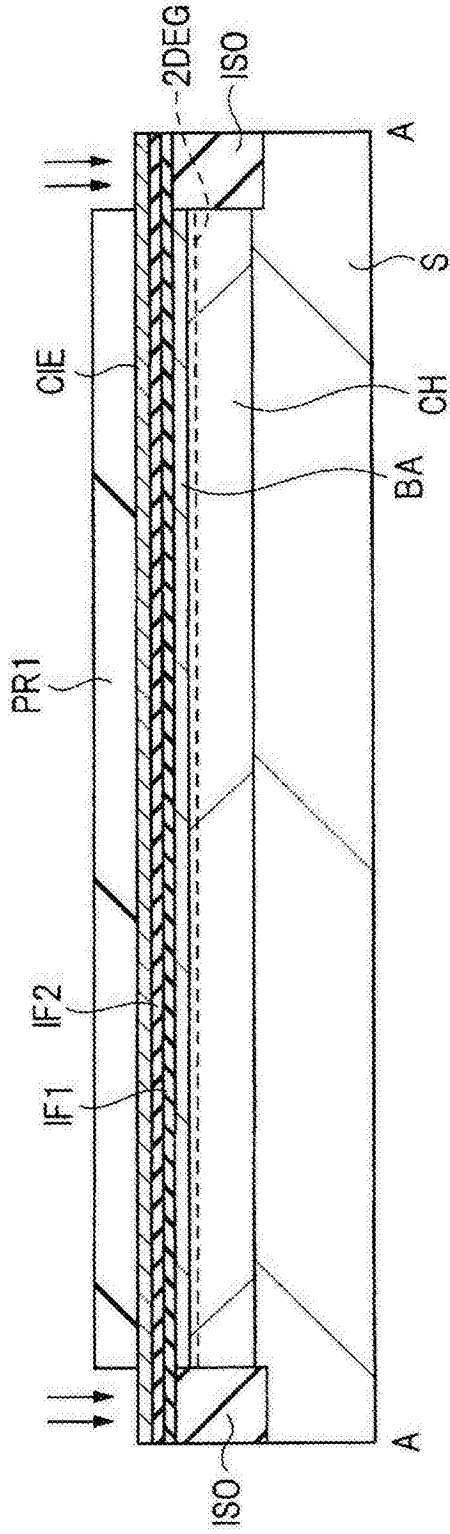


图 20

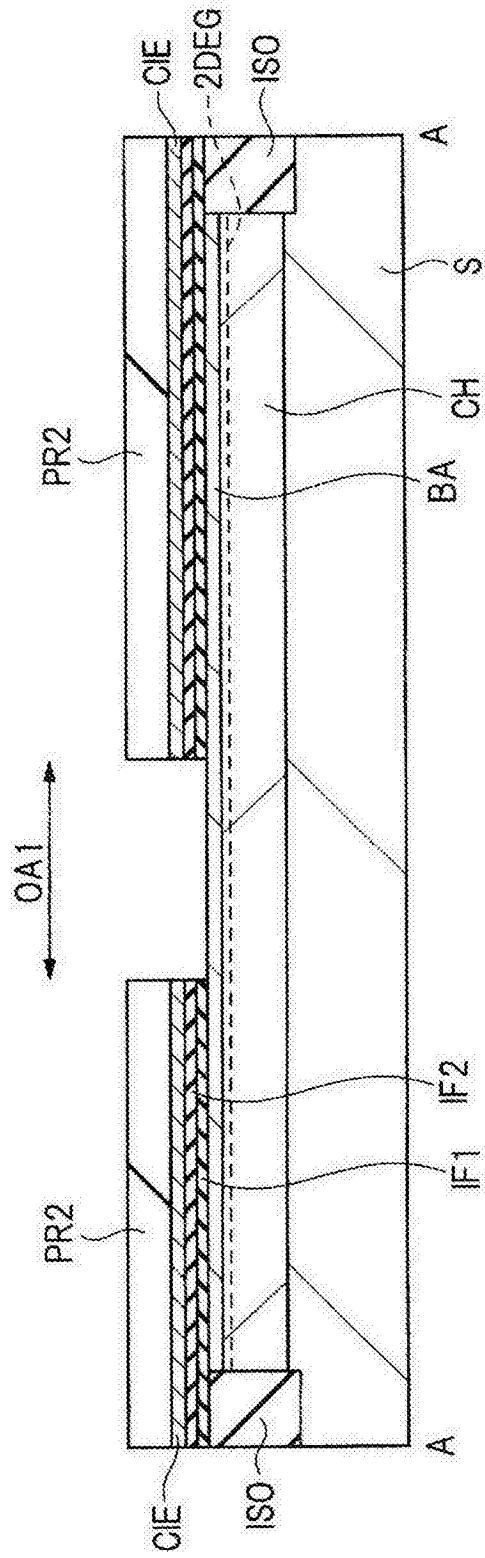


图 21

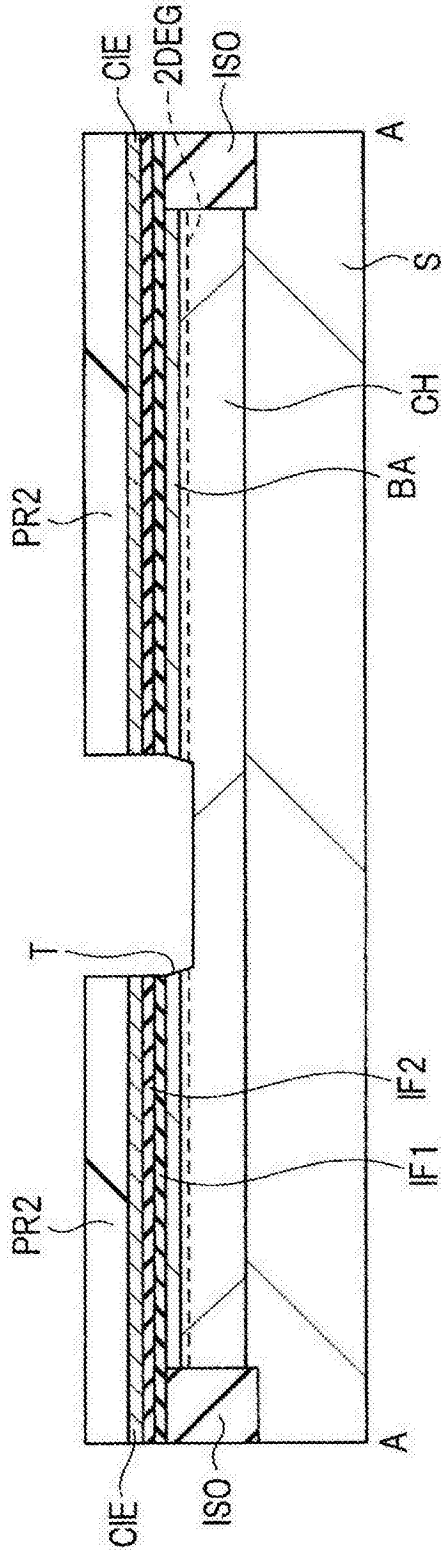


图 22

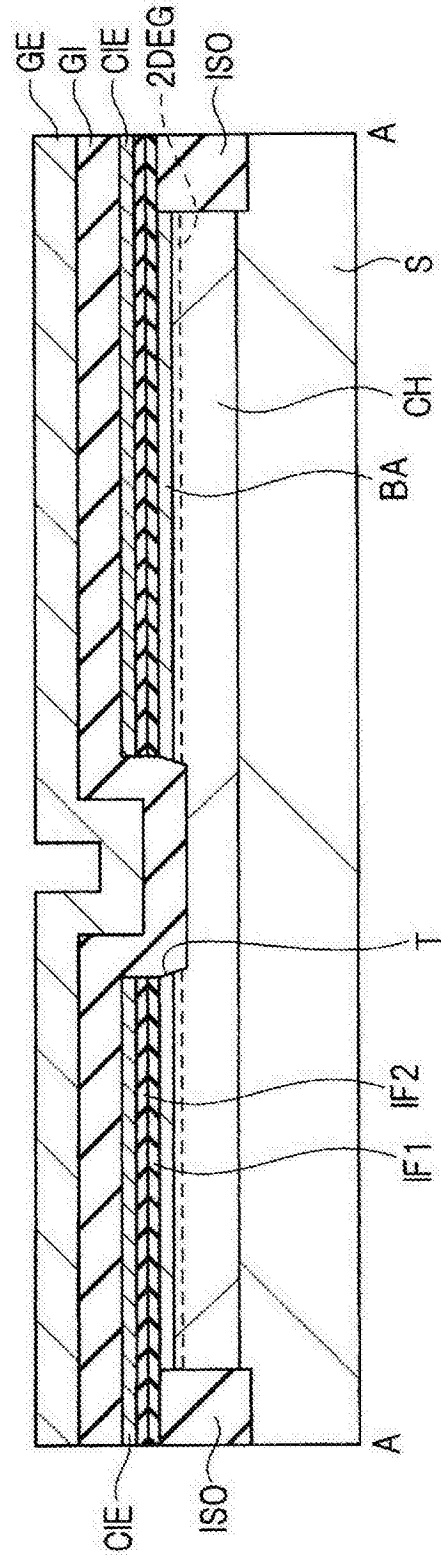


图 23

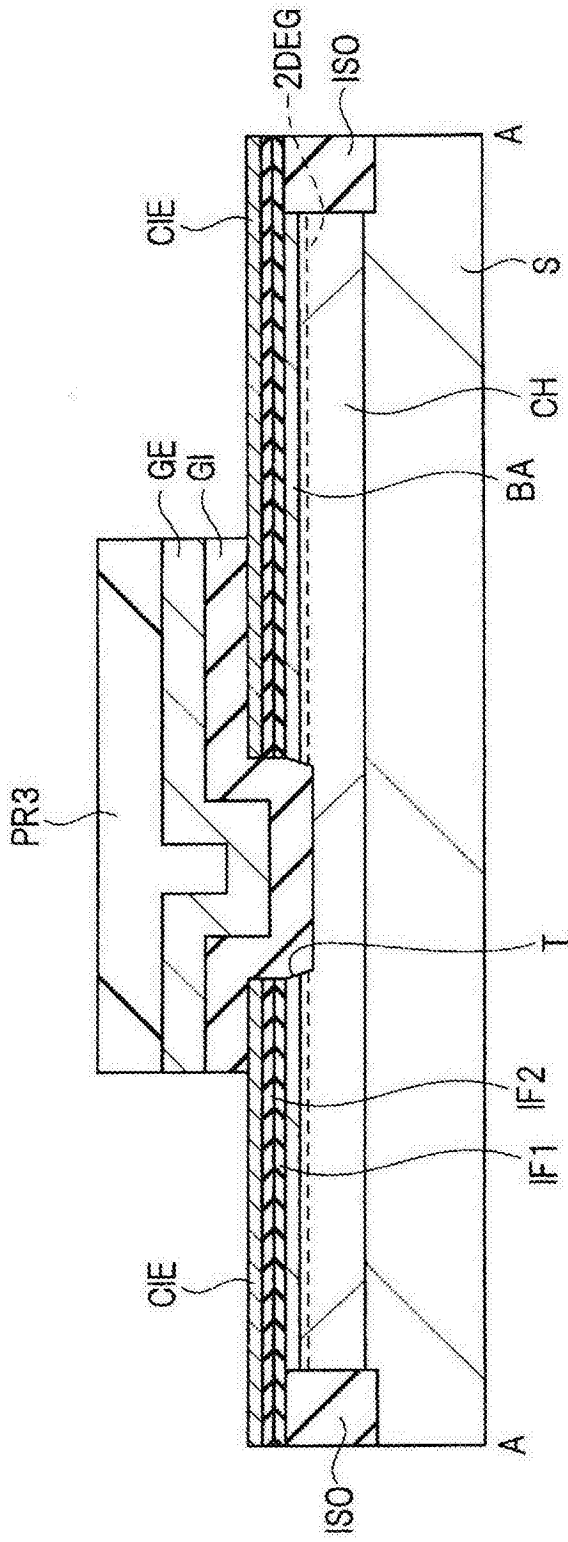


图 24

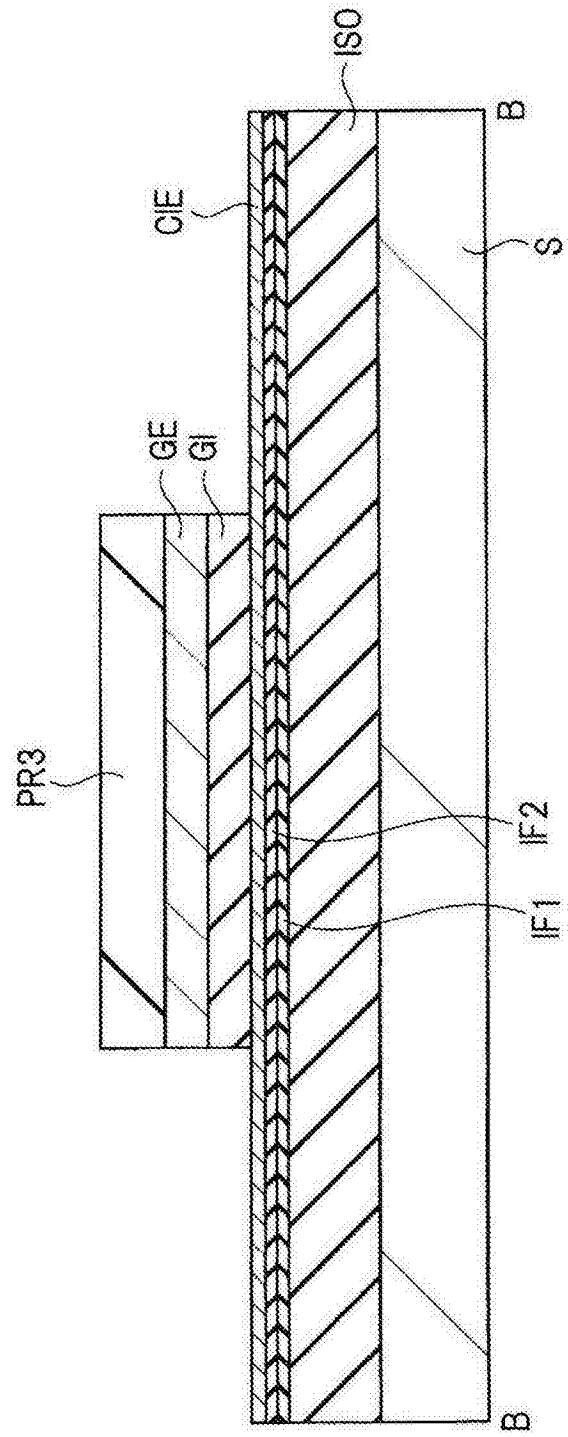


图 25

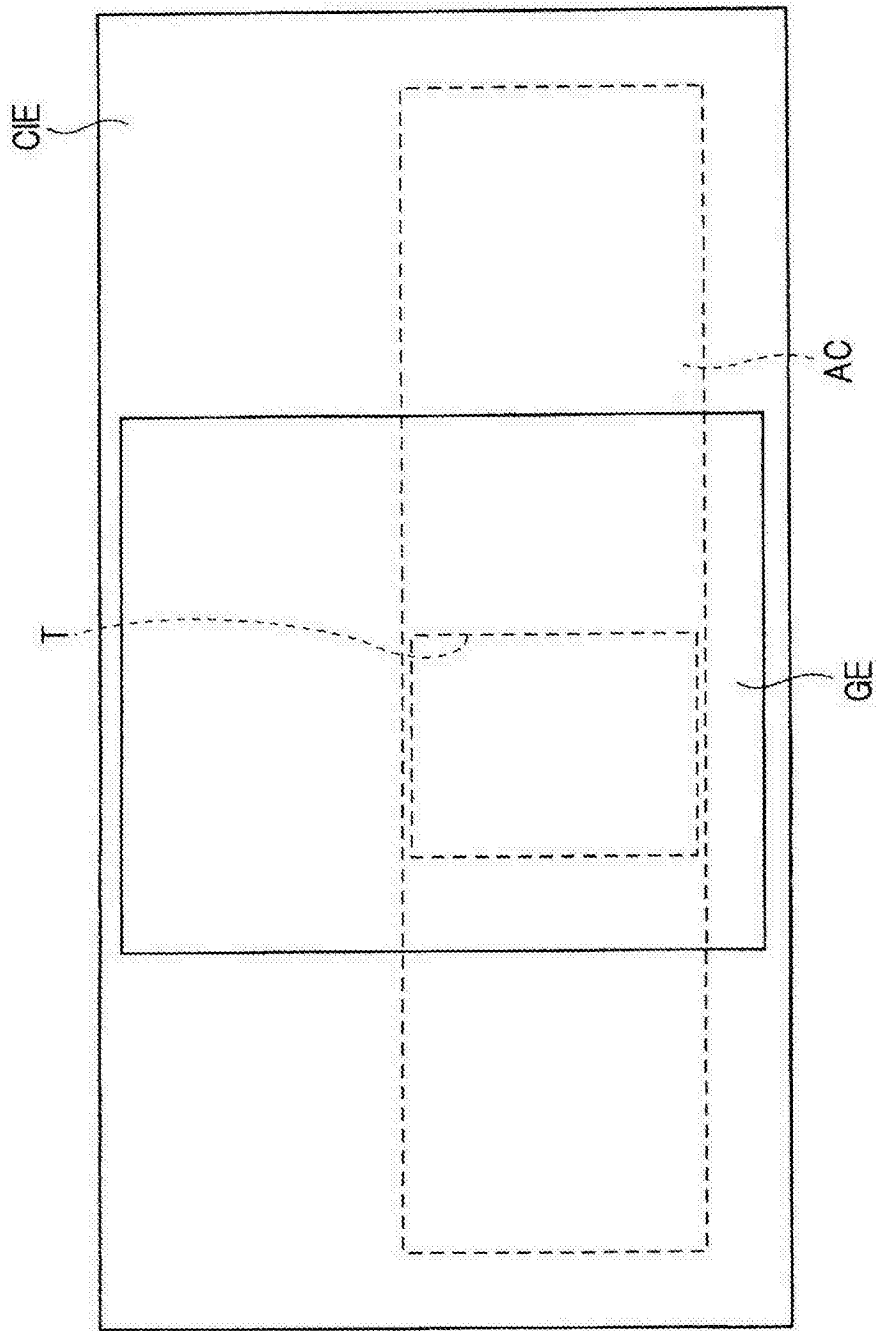


图 26

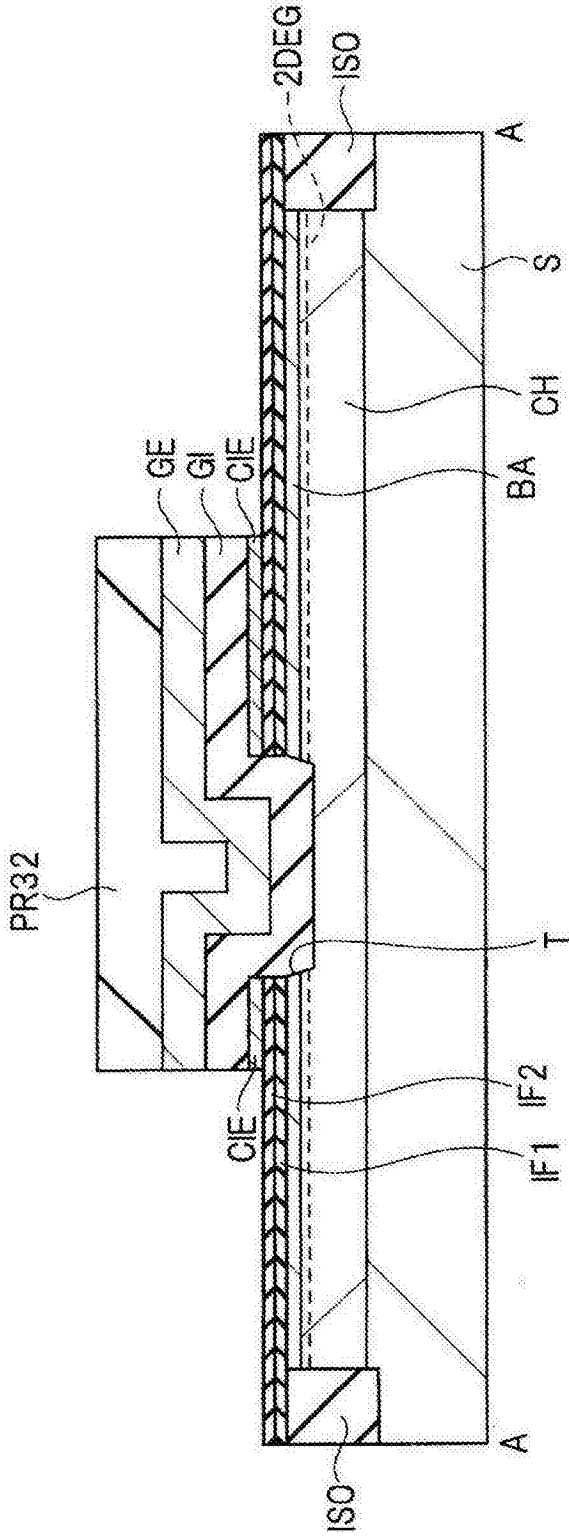


图 27

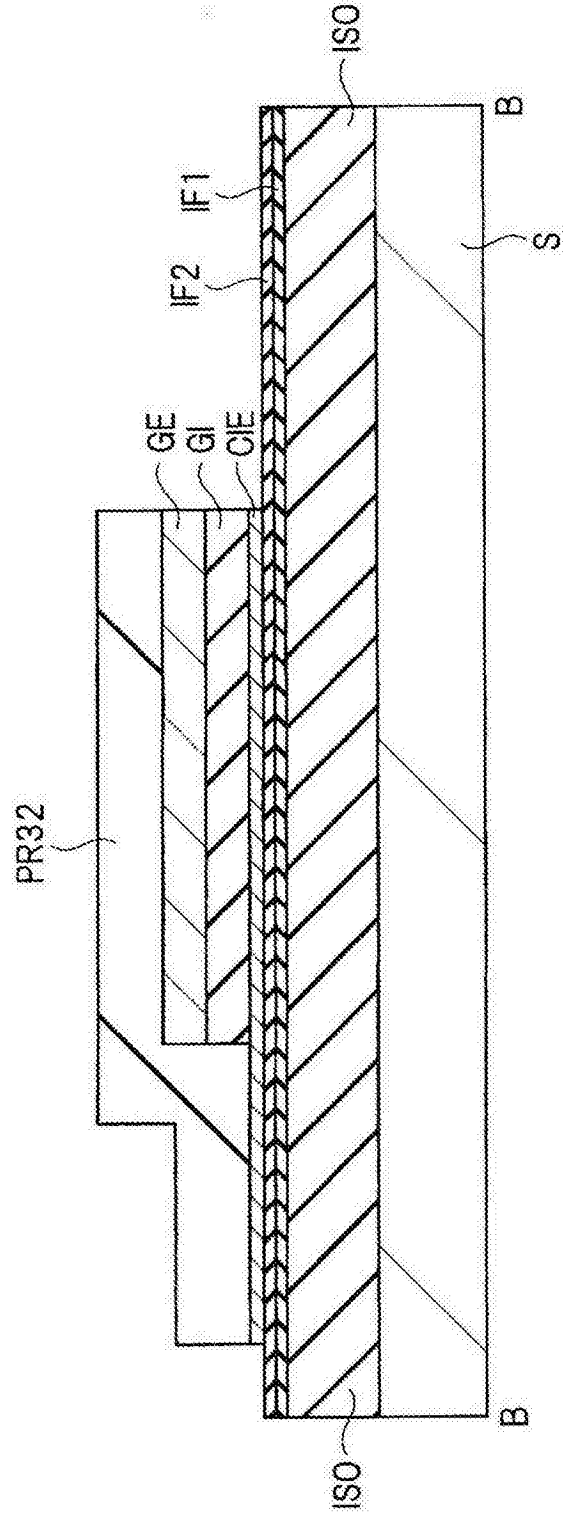


图 28

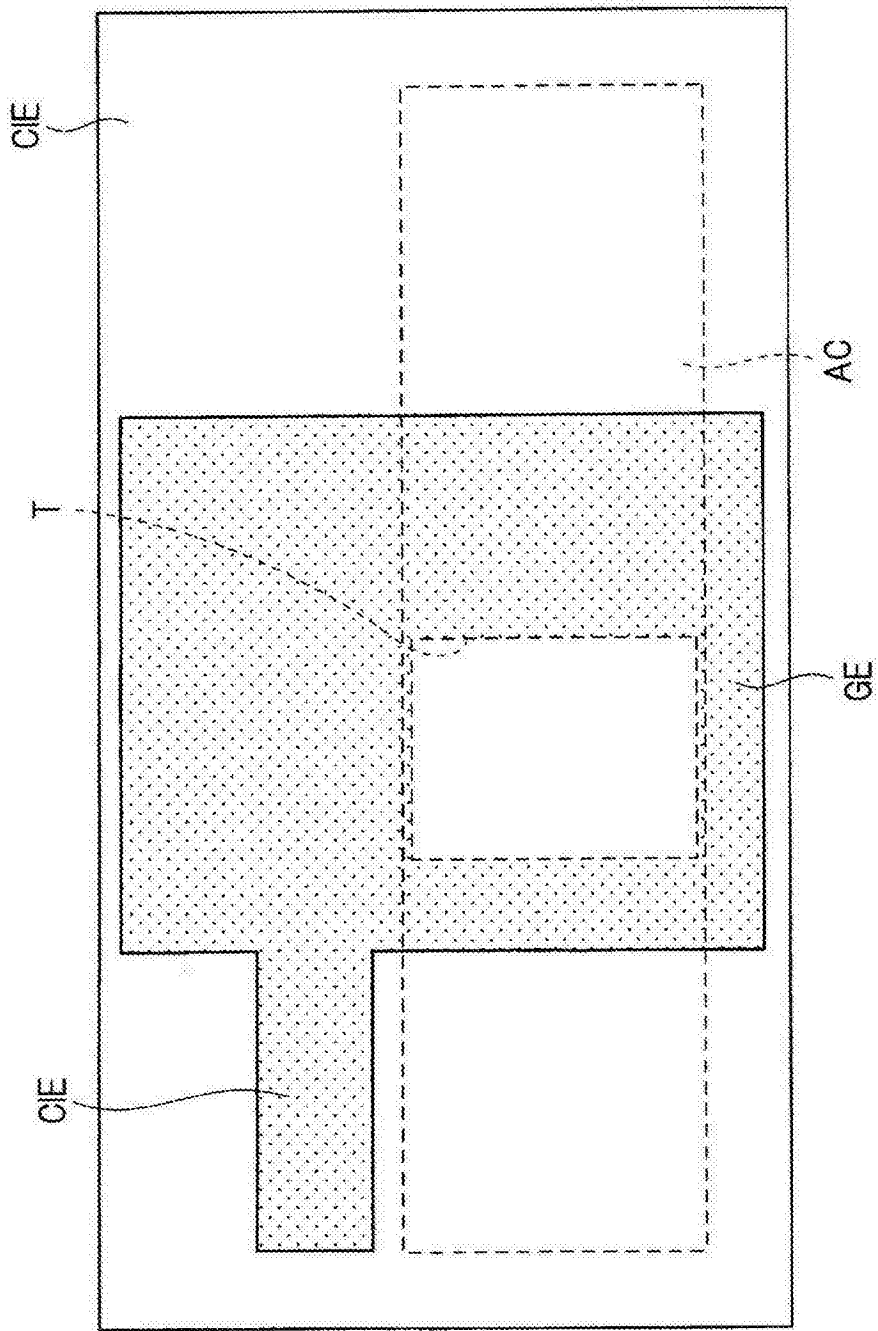


图 29

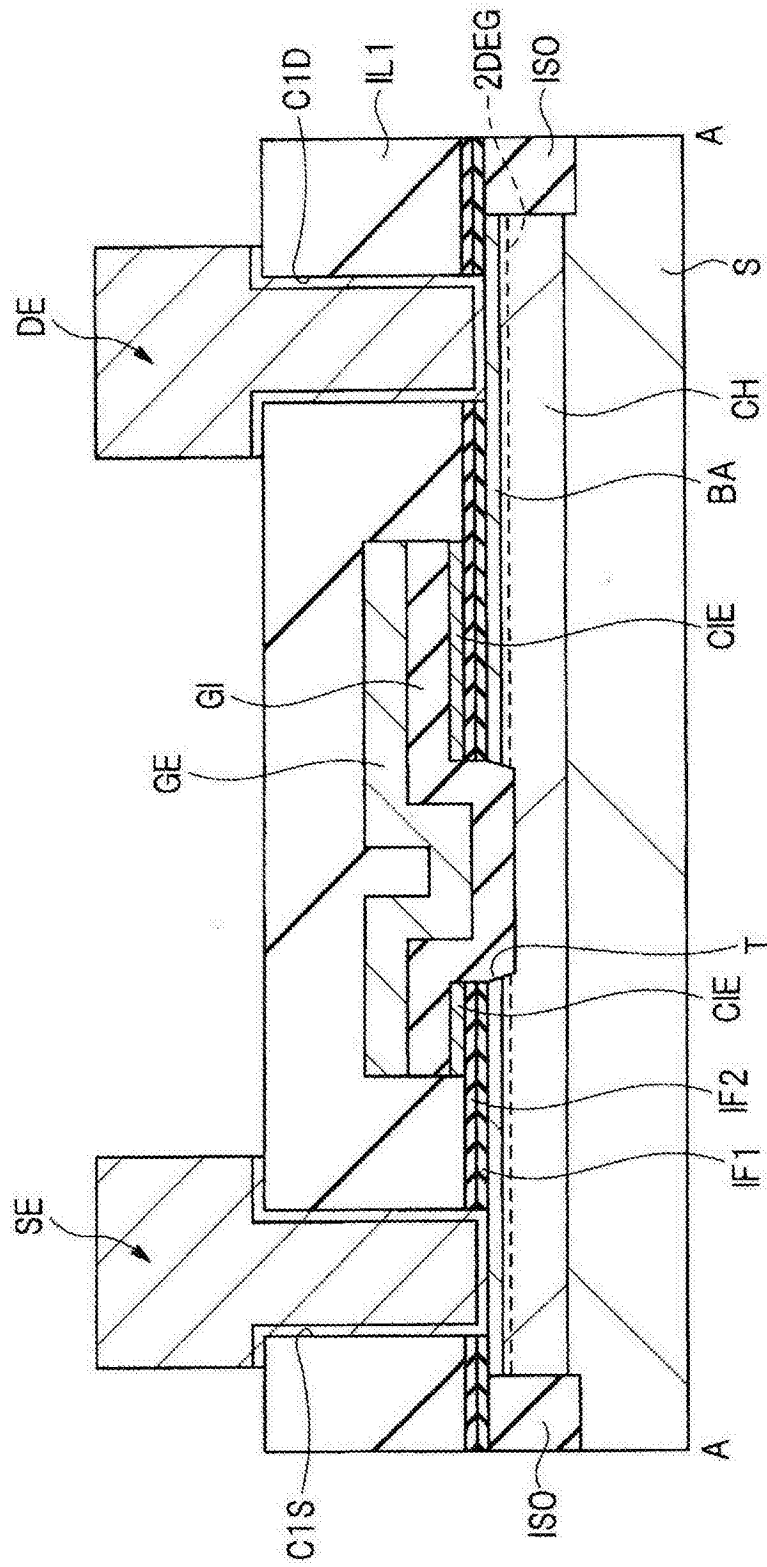


图 30

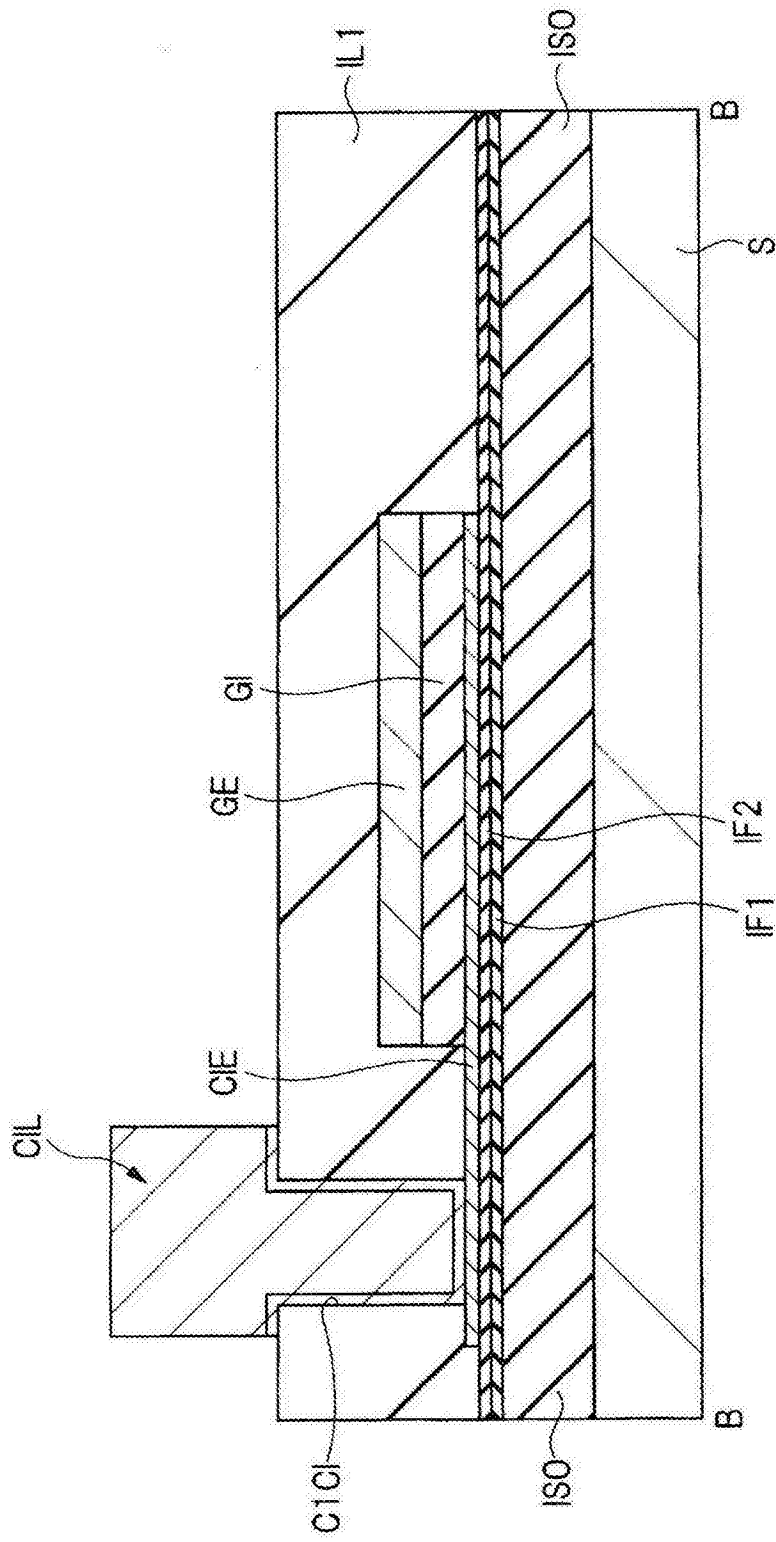


图 31

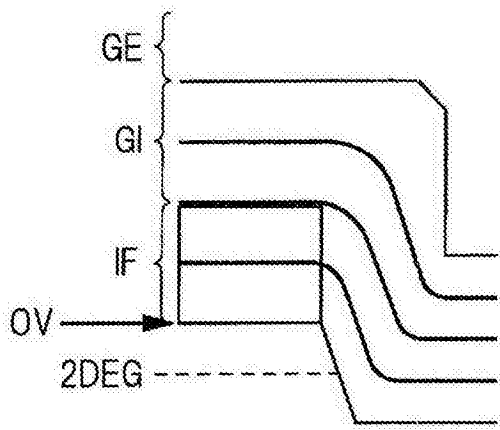


图 32A

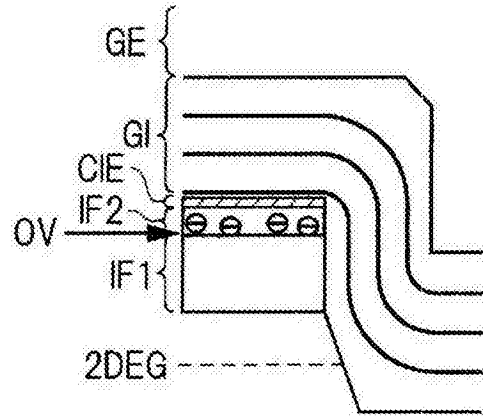


图 32B

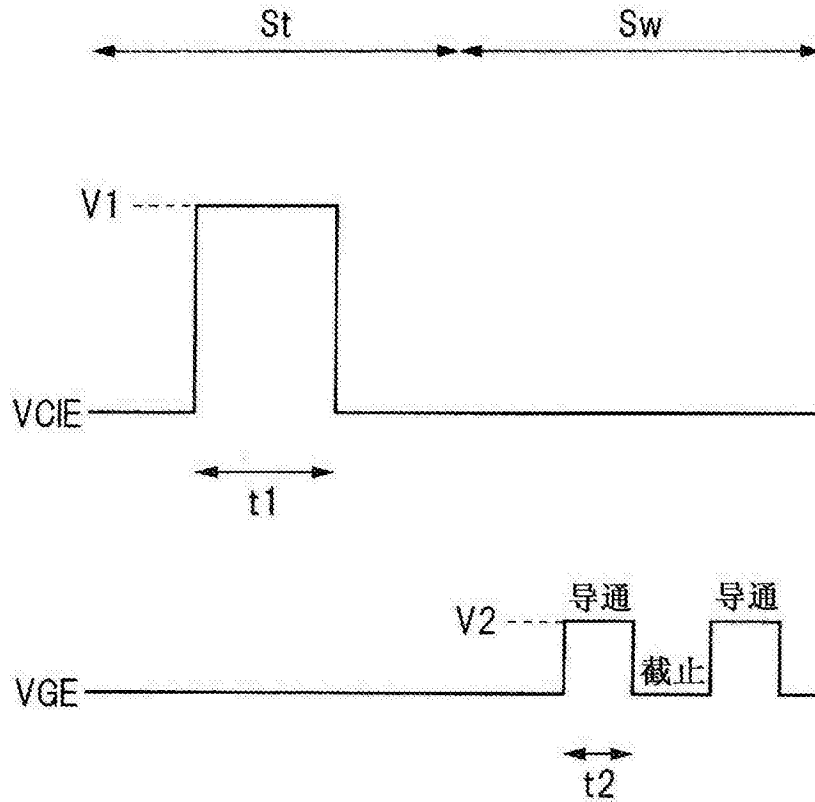


图 33