



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I580955 B

(45)公告日：中華民國 106 (2017) 年 05 月 01 日

(21)申請案號：105120243

(22)申請日：中華民國 100 (2011) 年 06 月 30 日

(51)Int. Cl. : G01N27/403 (2006.01)

(30)優先權：2010/06/30 美國 61/360,493

2010/07/01 美國 61/360,495

2010/07/03 美國 61/361,403

(71)申請人：生命技術公司(美國) LIFE TECHNOLOGIES CORPORATION (US)

美國

(72)發明人：費佛 基斯 FIFE, KEITH (US)

(74)代理人：陳長文

(56)參考文獻：

TW 201021160A

US 2007/0117253A1

審查人員：林佑霖

申請專利範圍項數：5 項 圖式數：11 共 45 頁

(54)名稱

離子感測電荷累積電路及方法

ION-SENSING CHARGE-ACCUMULATION CIRCUITS AND METHODS

(57)摘要

一種離子感測電路，其包括一電荷累積裝置以及至少一控制與讀取電晶體，其中，電荷累積裝置係依據一流體之離子濃度而累積複數電荷封包，控制與讀取電晶體係依據累積之電荷封包而產生一輸出信號，其係表示溶液之離子濃度；電荷累積裝置可包括一第一電荷控制電極、一電性浮動閘極結構、一第二電荷控制電極、及一汲極擴散區域，其中，第一電荷控制電極係設置在第一電極半導體區域上，電性浮動閘極結構係設置在一閘極半導體區域上並位於一離子感測鈍化保護表面下方，第二電荷控制電極係設置在第二電極半導體區域上，第一控制電極可以控制依據一第一控制信號而進入一閘極半導體區域的電荷輸入，離子感測鈍化保護表面可以用來接收流體，第二電荷控制電極可以依據第二控制信號控制電荷封包的穿透率，以穿出閘極半導體區域並進入汲極擴散區域，汲極擴散區域可以經由第二電極半導體區域而從閘極半導體區域接收電荷封包。

An ion-sensitive circuit can include a charge accumulation device, to accumulate a plurality of charge packets as a function of an ion concentration of a fluid, and at least one control and readout transistor, to generate an output signal as a function of the accumulated plurality of charge packets, the output signal representing the ion concentration of the solution. The charge accumulation device can include a first charge control electrode above a first electrode semiconductor region, an electrically floating gate structure above a gate semiconductor region and below an ion-sensitive passivation surface, a second charge control electrode above a second electrode semiconductor region, and a drain diffusion region. The first control electrode can control entry of charge into a gate semiconductor region in response to a first control signal. The ion-sensitive passivation surface can be configured to receive the fluid. The second charge control electrode can control transmission of the plurality of charge packets out of the gate semiconductor region and into the drain diffusion region in response to a second control signal. The drain diffusion region can

receive the plurality of charge packets from the gate semiconductor region via the second electrode semiconductor region.

指定代表圖：

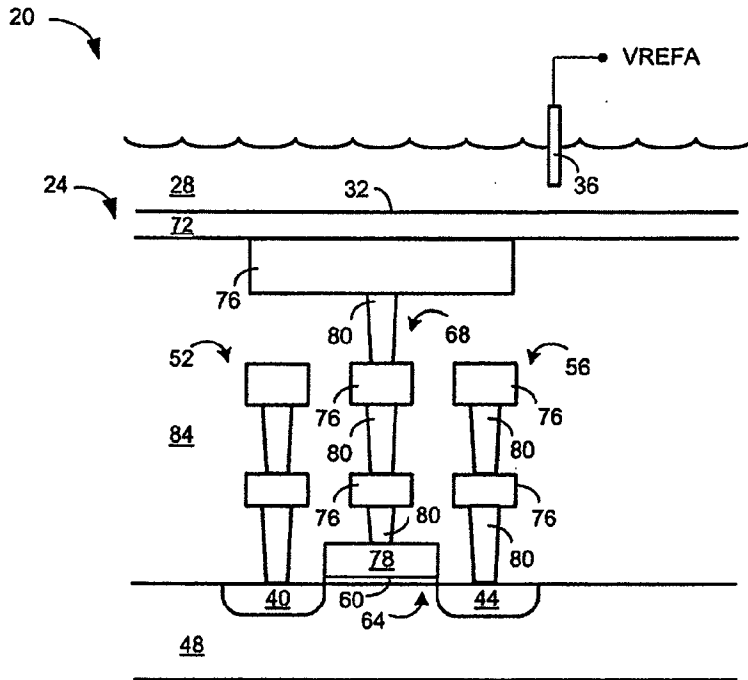


圖 1

符號簡單說明：

- 20 . . . 離子感測系統
- 24 . . . 離子感測場效電晶體
- 28 . . . 溶液
- 32 . . . 離子感測鈍化保護表面
- 36 . . . 電極
- 40 . . . 源極擴散區
- 44 . . . 汲極擴散區
- 48 . . . 基板
- 52 . . . 源極與汲極連接
- 56 . . . 源極與汲極連接
- 60 . . . 閘極氧化層
- 64 . . . 通道形成區
- 68 . . . 閘極結構
- 72 . . . 鈍化保護層
- 76 . . . 金屬層
- 78 . . . 閘極
- 80 . . . 通孔內連接
- 84 . . . 介電隔離層

發明摘要

※ 申請案號：

105120243 (由10012323分割)

※ 申請日：

100.6.30

※IPC 分類：H01L

【發明名稱】

離子感測電荷累積電路及方法

ION-SENSING CHARGE-ACCUMULATION CIRCUITS AND
METHODS

【中文】

一種離子感測電路，其包括一電荷累積裝置以及至少一控制與讀取電晶體，其中，電荷累積裝置係依據一流體之離子濃度而累積複數電荷封包，控制與讀取電晶體係依據累積之電荷封包而產生一輸出信號，其係表示溶液之離子濃度；電荷累積裝置可包括一第一電荷控制電極、一電性浮動閘極結構、一第二電荷控制電極、及一汲極擴散區域，其中，第一電荷控制電極係設置在第一電極半導體區域上，電性浮動閘極結構係設置在一閘極半導體區域上並位於一離子感測鈍化保護表面下方，第二電荷控制電極係設置在第二電極半導體區域上，第一控制電極可以控制依據一第一控制信號而進入一閘極半導體區域的電荷輸入，離子感測鈍化保護表面可以用來接收流體，第二電荷控制電極可以依據第二控制信號控制電荷封包的穿透率，以穿出閘極半導體區域並進入汲極擴散區域，汲極擴散區域可以經由第二電極半導體區域而從閘極半導體區域接收電荷封包。

【英文】

An ion-sensitive circuit can include a charge accumulation device, to accumulate a plurality of charge packets as a function of an ion concentration of a fluid, and at least one control and readout transistor, to generate an output signal as a function of the accumulated plurality of charge packets, the output signal representing the ion concentration of the solution. The charge accumulation device can include a first charge control electrode above a first electrode semiconductor region, an electrically floating gate structure above a gate semiconductor region and below an ion-sensitive passivation surface, a second charge control electrode above a second electrode semiconductor region, and a drain diffusion region. The first control electrode can control entry of charge into a gate semiconductor region in response to a first control signal. The ion-sensitive passivation surface can be configured to receive the fluid. The second charge control electrode can control transmission of the plurality of charge packets out of the gate semiconductor region and into the drain diffusion region in response to a second control signal. The drain diffusion region can receive the plurality of charge packets from the gate semiconductor region via the second electrode semiconductor region.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

20	離子感測系統
24	離子感測場效電晶體
28	溶液
32	離子感測鈍化保護表面
36	電極
40	源極擴散區
44	汲極擴散區
48	基板
52	源極與汲極連接
56	源極與汲極連接
60	閘極氧化層
64	通道形成區
68	閘極結構
72	鈍化保護層
76	金屬層
78	閘極
80	通孔內連接
84	介電隔離層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

離子感測電荷累積電路及方法

ION-SENSING CHARGE-ACCUMULATION CIRCUITS AND
METHODS

【技術領域】

本申請案主張 2010 年 6 月 30 日申請之美國臨時申請案第 61/360,493 號、2010 年 7 月 1 日申請之美國臨時申請案第 61/360,495 號及 2010 年 7 月 3 日申請之美國臨時申請案第 61/361,403 號的優先權，其內容係以全文引用方式併入本文中。

【先前技術】

依據目前的研究發現，電子裝置及元件在化學及生物學(通常稱為生命科學)上可以有許多種應用，特別是應用於偵測及測量各種生化反應及檢驗，以及偵測及測量各種化合物，其中之一是熟知的離子感測場效電晶體(ion-sensitive field effect transistor, ISFET，或稱 pHFET)，其通常被大專院校及研究單位使用於測量溶液中的氫離子濃度(即 pH 值)。本說明書所述之化學感測器可以是離子感測場效電晶體、或其他可以執行相同功能之電晶體裝置。

一般而言，離子感測場效電晶體是一種阻抗轉換裝置，其操作方式與金氧半場效電晶體(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)相似，且其通常係用以選擇性測量溶液中的離子活性，例如可以將溶液中的氫離子視為分析物，有關於離子感測場效電晶體之操作的詳細理論可以參照博夫德發表的論文(Thirty years of ISFETOLOGY: what happened in the past 30 years and what may happen

in the next 30 years,” P. Bergveld, *Sens. Actuators*, 88 (2003), pp. 1-20), 其係以全文納入本說明書之範圍。

另外，羅斯伯格等人在美國專利公開第2010/0301398號、第2010/0282617號及第2009/0026082號，亦揭露關於利用習知的互補式金氧半導體(Complementary Metal Oxide Semiconductor, CMOS)之製程來製造離子感測場效電晶體，其係以全文納入本說明書之範圍。除上述互補式金氧半導體之製程外，還可以使用雙載子金氧半導體(bipolar and CMOS, biCMOS)之製程，此製程會在一P型金氧半場效電晶體陣列的周圍形成雙載子結構。此外，當然可以應用其他科技，只要可以形成具有三端子裝置之感測元件即可，例如為銻砷及奈米碳管技術，其中，被感測之離子可以導致一信號，以便控制三個端子其中之一。

以互補式金氧半導體為例，一種p型離子感測場效電晶體的製程可以於一p型矽基板上進行，其中，一n型井係形成於p型矽基板，以形成電晶體之基體，並且在n型井中形成高度p型(p+)摻雜區域S及D，以分別構成離子感測場效電晶體之源極與汲極，另外，在n型井中形成一高度n型(n+)摻雜區域B，以形成與n型井連接之導電基體(或基極)。然後，在源極、汲極與基極連接區域分別形成一氧化層，藉以形成一開口以便提供電性連接(經由電導體)至該些區域。另外，在氧化層上相對於n型井的位置係形成有一多晶矽閘極，其係介於源極與汲極之間，由於此氧化層係設置於多晶矽閘極與電晶體基體(如n型井)之間，所以其通常可以作為一閘極氧化層。

與金氧半場效電晶體的操作相似，離子感測場效電晶體的操作是基於由一金氧半導體電容所形成之電荷濃度調變(及通道傳導性)，此電容是由一多晶矽閘極、一閘極氧化層及介於源極與汲極之間的一井區域(如n型井)所構成；當施加一負電壓於閘極區域與源極區域之

間時，可以消耗此區域中的電子以便在此區域與閘極氧化層之介面形成通道，以一n型井為例，所形成之通道為一p型通道，反之亦然。另外，在n型井中，所形成之p型通道係延伸於源極與汲極之間，因此當施加於閘極與源極之間的負電位差夠大時，可以吸引源極的電洞進入通道，藉以形成電流，此時，使得通道開始產生電流時的閘極與源極電位差係為電晶體之臨限電壓 V_{TH} (當閘極與源極電位差 V_{GS} 的絕對值大於臨限電壓 V_{TH} 時，電晶體會導電)，由於源極係作為通過通道之電荷載體(p型通道之電洞)的來源，所以被稱為源極，相同地，汲極係為電荷載體離開通道處。

依據羅斯伯格所述，離子感測場效電晶體可以具有一浮動閘極結構，其係利用連接多晶矽閘極與複數個金屬層而得，其中該等金屬層係設置於一個以上之設置在閘極氧化層之上的氧化層中；由於浮動閘極結構係與離子感測場效電晶體中的其他導體電性隔離，所以被稱為浮動閘極結構，另外，其係夾設於閘極氧化層與一鈍化保護層之間，其中，鈍化保護層係設置於浮動閘極之一金屬層(如上金屬層)上方。

另外，如羅斯伯格所揭露，離子感測場效電晶體之鈍化保護層可形成一離子感測膜，其係能夠提高裝置的離子靈敏度；若分析物與鈍化保護層接觸時，位於浮動閘極結構上方之一感測區域通常能夠改變離子感測場效電晶體之電性特性，因此可以調變通過離子感測場效電晶體之源極與汲極間之通道的電流，其中，分析物例如為分析物溶液中的離子，如一溶液中含有相關之分析物(含離子)，或一待測試溶液以測試是否存在相關之分析物。其中，鈍化保護層可包括任一種能夠對特定離子提高靈敏度之不同物質，例如鈍化保護層可包括氮化矽或氮氧化矽，或金屬氧化物如矽、鋁、或鉭氧化物，其通常能夠提高對分析物溶液中氫離子濃度(pH值)的靈敏度；相同地，若鈍化保護層

中包括聚氯乙烯，其含有顯氨黴素，能夠提高對分析物溶液中鉀離子濃度的靈敏度。目前已知可以利用其他適當之物質來形成鈍化保護層，藉以提高對其他離子的靈敏度，如鈉離子、銀離子、鐵離子、溴離子、碘離子、鈣離子、及硝酸鹽離子等，當然，鈍化保護層以可以包含其他物質，如金屬氧化物、金屬氮化物、金屬氮氧化物等。針對分析物溶液與鈍化保護層之介面所產生的化學反應而言，在離子感測場效電晶體之鈍化保護層中所加入之物質的表面可以具有化學基團，其可以用來提供質子給分析物溶液或接受分析物溶液所提供之質子，其可以在與分析物溶液相鄰之鈍化保護層的表面上，於任意時間提供負電荷、正電荷、或中性位置。

以離子靈敏度而言，在鈍化保護層與分析物溶液之間的固體/液體介面上會產生一電位差(通常稱為表面電位)，其係能夠利用其化學反應提供感測離子濃度之功能，其通常包含氧化物表面基團受到在感測區域附近之分析物溶液中的離子所影響而產生解離。此表面電位可依序影響離子感測場效電晶體之臨限電壓，因此，離子感測場效電晶體之臨限電壓會依據位在感測區域附近之分析物溶液中的離子變化而變動；如羅斯伯格所述，由於離子感測場效電晶體之臨限電壓 V_{TH} 對離子濃度敏感，所以其源極電壓 V_S 可以提供一信號，其係直接反應位在離子感測場效電晶體之感測區域附近之分析物溶液中的離子濃度。

化學感測場效電晶體(chemFET)陣列，或特別是離子感測場效電晶體陣列，可以用來監控反應，例如為核酸(如DNA)定序反應，其係利用監控在反應過程中分析物的出現、生成或消耗而達成；一般而言，此陣列(包括大陣列之化學感測場效電晶體)可以在各種化學及/或生物學製程(如生化反應、細胞或組織培養或監控、神經活性、核酸定序等)中，偵測並測量各種分析物之靜態及/或動態數量或濃度(如氫離子、其他離子、非離子分子或化合物等)，其可以依據分析物的各

種測量結果而得到有價值的資訊。上述之化學感測場效電晶體陣列可以藉由化學感測場效電晶體表面之電荷變化而應用於各種分析物之偵測方法及/或生化製程之監控方法，其中，化學感測場效電晶體(或離子感測場效電晶體)陣列之應用可包括偵測溶液中之分析物，及/或偵測附著於化學感測場效電晶體表面(如離子感測場效電晶體之鈍化保護層)之電荷變化。

有關於製造離子感測場效電晶體陣列之研究係如米爾古羅與庫敏所揭露之內容(“A large transistor-based sensor array chip for direct extracellular imaging,” M. J. Milgrew, M. O. Riehle, and D. R. S. Cumming, *Sensors and Actuators, B: Chemical*, 111-112, (2005), pp. 347-353)及米爾古羅、哈蒙德與庫敏所揭露之內容(“The development of scalable sensor arrays using standard CMOS technology,” M. J. Milgrew, P. A. Hammond, and D. R. S. Cumming, *Sensors and Actuators, B: Chemical*, 103, (2004), pp. 37-42)，其係以全文納入本說明書之範圍，其中，化學感測場效電晶體陣列或離子感測場效電晶體陣列之製造與在化學偵測之應用(包含DNA定序相關之離子監測)的敘述係如羅斯伯格所述，詳言之，羅斯伯格係揭露利用化學感測場效電晶體陣列(特別是離子感測場效電晶體陣列)來定序一核酸，其包括在一反應腔室中將已知的核苷酸與複數核酸混合後接觸或連接至化學感測場效電晶體，其中，核酸係在反應腔室中連成一串；然後測量化學感測場效電晶體之一信號，其中，測量此信號表示將已知的三磷核苷酸形成合成核酸時，所釋出之一個以上之氫離子。

圖1為一離子感測系統20之示例性實體結構的剖面圖，其包括一離子感測場效電晶體24、一溶液28及一電極36，溶液係提供於離子感測場效電晶體24之一離子感測表面，電極36係設置於溶液28中以提供一參考電壓VREFA，離子感測場效電晶體24可以利用CMOS製程而製

造，其包括形成於一p型矽基板48中的n型源極與汲極擴散區40、44，源極與汲極連接52、56，形成在源極與汲極40、44之間的通道形成區64之上方的一閘極氧化層60，形成於閘極氧化層60上方的一浮動閘極結構68，以及形成於閘極結構68上方之鈍化保護層72，其中，浮動閘極結構68包括一多晶矽閘極78以及一個以上之金屬層76與通孔內連接80，源極與汲極連接52、54可包括一個以上之金屬層76與通孔內連接80，另外，可形成一介電隔離層84以隔離上述之不同結構。

操作上，參考電壓VREFA係施加於溶液28中的電極36，且離子感測場效電晶體24之源極與汲極40、44係經由源極與汲極連接52、56而電性連接於一讀取電路(圖未示)，離子感測場效電晶體24之閘極78未直接電性連接至其他電路，所以其可以形成一電性浮接結構，依據離子感測場效電晶體24之離子感測鈍化保護表面32與鄰近之溶液28中的離子之間的一電化學介面反應，可以得到離子濃度對應離子感測場效電晶體24之操作的關係模型，其係與離子感測場效電晶體24對應溶液28中的離子濃度之臨限電壓相關；因此，離子感測系統20可以依據臨限電壓之變化判斷離子濃度，其係藉由測量離子感測場效電晶體24之源極與汲極40、44的電流或電壓變化，取得一預設參考電壓VREFA，並讀出電路類型及操作而得。

然而，圖1所示之離子感測系統20在應用於檢測溶液28之離子濃度時存在有數個缺電，其中，由於離子感測場效電晶體24之源極與汲極40、44的電流或電壓產生變化，所以在讀取電路中，臨限電壓之變化的減少會非常小，且難以進行精確的測量。另外，臨限電壓本身可以是其他變數之一非線性函數，例如跨過離子感測場效電晶體24之源極40與基板48(如基極)的電壓，若源極至基極的電壓可以改變，則可以限制臨限電壓計算之直線性，若源極至基極的電壓係維持在相對固定以保持其直線性，則可以限制所能使用之讀取電路的類型。相同

地，必須同時考量在如圖1所示離子感測系統20的動態範圍及信號至雜訊效能。整體而言，這些考量迫使必須使用複雜、佔空間且高成本之讀取電路，或是限制上述離子感測系統20所能達到的效能因子。

因此，需要一種能夠在測量溶液之離子濃度時，改善速度、準確性、直線性及其他效能因子的方法，而且其仍然是可以利用CMOS製程以測量基體的裝置。

【圖式簡單說明】

圖1為包括一離子感測場效電晶體之離子感測系統的一剖面圖；

圖2為包括一離子感測電荷累積裝置之離子感測系統的部分剖面圖及部分簡圖之示意圖；

圖3A至3D為一實施例之離子感測電荷累積裝置之操作循環的剖面圖、電位圖及電荷圖；

圖4為用以控制電荷累積裝置之操作的一實施例之控制信號的信號圖；

圖5為一實施例之具有複數個畫素電路之離子感測畫素陣列的一示意圖，其中，各畫素電路包括電荷累積裝置及控制與讀取電晶體；

圖6為一實施例之一畫素電路的部分剖面圖及部分簡圖之示意圖，其中，畫素電路包括電荷累積裝置及控制與讀取電晶體；

圖7為另一實施例之一畫素電路的部分剖面圖及部分簡圖之示意圖，其中，畫素電路包括電荷累積裝置及控制與讀取電晶體；

圖8A至8D為圖7所示之畫素電路之操作的剖面圖、電位圖及電荷圖；

圖9為另一實施例之一畫素電路的部分剖面圖及部分簡圖之示意圖，其中，畫素電路包括電荷累積裝置及控制與讀取電晶體；

圖10為另一實施例之一畫素電路的部分剖面圖及部分簡圖之示意圖，其中，畫素電路包括電荷累積裝置及控制與讀取電晶體；以及

圖11A至11D為圖10所示之畫素電路之操作的剖面圖、電位圖及電荷圖。

【實施方式】

以下列舉數個圖式以使本發明的各項特徵更容易瞭解，然而，這些圖式僅為說明本發明中特定的實施例，但並非用以限制本發明之範圍，因此本發明可以包括其他等效之實施例。

一種離子感測電路，其包括一電荷累積裝置以及至少一控制與讀取電晶體，其中，電荷累積裝置係依據一流體之離子濃度而累積複數電荷封包，控制與讀取電晶體係依據累積之電荷封包而產生一輸出信號，其係表示溶液之離子濃度；電荷累積裝置可包括一第一電荷控制電極、一電性浮動閘極結構、一第二電荷控制電極、及一汲極擴散區域，其中，第一電荷控制電極係設置在第一電極半導體區域上，電性浮動閘極結構係設置在一閘極半導體區域上並位於一離子感測鈍化保護表面下方，第二電荷控制電極係設置在第二電極半導體區域上，第一控制電極可以控制依據一第一控制信號而進入一閘極半導體區域的電荷輸入，離子感測鈍化保護表面可以用來接收流體，第二電荷控制電極可以依據第二控制信號控制電荷封包的穿透率，以穿出閘極半導體區域並進入汲極擴散區域，汲極擴散區域可以經由第二電極半導體區域而從閘極半導體區域接收電荷封包。

離子感測電路可以依據一方法而操作，以便檢測流體之離子濃度，此方法包括(i)使具有離子濃度之流體通過電荷累積裝置之離子感測鈍化保護表面；(ii)依據流體之離子濃度，在電荷累積裝置之閘極半導體區域依序分別形成複數個電荷封包；(iii)輸入一控制信號至電荷累積裝置之第二控制電極，以便控制依序來自閘極半導體區域之電荷封包的穿透率；(iv)於一可選擇電荷封包累積頻率下，累積複數個電荷封包於電荷累積裝置之汲極擴散區域；以及(v)依據累積於汲極

區域之複數個電荷封包，利用至少一控制與讀取電晶體在一可選擇輸出信號產生頻率下產生一輸出信號，其中，輸出信號表示流體之離子濃度的測量結果。

圖2為本發明實施例之一離子感測系統100的部分剖面圖及部分簡圖之示意圖，其中，離子感測系統100包括一離子感測電荷累積裝置104，其可以檢測溶液108之離子濃度，以進行DNA定序及其他應用；離子感測系統100可包括一電荷累積裝置104、一控制與讀取電路112、一電極116、一溶液108及一微粒子120，如圖2所示，電荷累積裝置104、電極116、溶液108及微粒子120係表示於剖面圖部分，而控制與讀取電路112及其連接於電荷累積裝置104之端子係表示於簡圖部分，為方便說明，圖2的簡圖部分係以虛線表示。

電荷累積裝置104可以利用CMOS製程所製造，且其可以為一積體電路的一部份，此積體電路可以是包括電荷累積裝置104及控制與讀取電路112，N型源極與汲極擴散區域124、128可以形成於一p型矽基板136之一P型磊晶層132中，源極與汲極擴散區域124、128可以具有輕度摻雜部140、144，其摻雜係少於源極與汲極擴散區域124、128的其他部位；源極與汲極連接148、152可以包括一個以上之金屬層156及通孔內連接160，一閘極氧化層164可以形成於p型磊晶層132中介於源極與汲極124、128之間的一區域168的上方，一浮動閘極結構172及第一與第二控制電極結構176、180可以形成於閘極氧化層164上方，閘極氧化層164可包括一材料，如二氧化矽，浮動閘極結構172可包括一n型多晶矽閘極184及一個以上之金屬層156與通孔內連接160。控制電極結構176、180可分別包括第一及第二n型多晶矽電極186、188及一個以上之金屬層156與通孔內連接160。金屬層156及通孔160可分別包括一層以上之導電材料，如鎢、鋁、銅、鈦及其氮化物與矽化物；位於上述不同結構之間的介電隔離192可包括一層以上之氧化

矽、硼磷矽玻璃、或其組合，一鈍化保護層196係形成於閘極結構172及介電隔離192上，並包括一孔洞200，其具有一離子感測表面204，用以容置微粒120，其表面可以具有複數個複製之DNA之股。鈍化保護層196可包括一材料，如氮化矽、氮氧化矽及聚亞醯胺；一基板連接擴散區域208可具有對應之連接結構212，其係與汲極與源極之連接結構148、152相同。

為方便說明，以下敘述將源極與汲極擴散區域124、128稱為擴散區域124、128，然而，擴散區域124、128的所有特性並不一定要與一電晶體之源極與汲極完全相同，相反地，源極與汲極擴散區域124、128可以是簡單的擴散區域124、128，其不需要具有電晶體之源極與汲極的功能性，在部分範例中，如下所述的擴散區域124、128可以是具有類似電晶體之源極與汲極的特性。

離子感測系統100可以用來進行DNA定序或其他應用，例如可感測溶液108之離子，如圖2所示，一具有複數個電荷累積裝置104之積體電路的表面上，可以設置有承載複數個DNA股之微粒120，其中，微粒120設置於鈍化保護層196之孔洞200中，然後，可以依序將複數種不同溶液108導入至積體電路之具有設置於鈍化保護層196之孔洞200的表面，各溶液108可以具有不同的核苷酸或核基，各溶液或試劑可以與附著於微粒120之DNA股進行反應或不反應，其係依據溶液中的特定核苷酸或核基是否配對或符合於沿著DNA股之核基之序列的目前反應位置而定，若一序列之溶液中的某一特定溶液108可以與DNA股進行反應，則可以釋出許多離子，如質子(如氫離子 H^+)、焦磷酸鹽(如 PPi)、或兩者，此時，離子感測電荷累積裝置104可以依據下述之操作方式檢測溶液108中的離子濃度，以得到附著之DNA股之目前反應位置之核基的識別資料，進而取得定序此股的資料。

操作上，離子感測電荷累積裝置104可以依據提供至鈍化保護層

196之孔洞200之離子感測表面204的溶液108中的離子濃度，產生並累積複數個電荷封包216(如圖3A至3D所示)，其係藉由利用控制與讀取電路112提供控制信號至源極124、汲極128及第一與第二控制電極186、188，以產生電位能量阻障及梯度而得，圖3A至3D顯示電荷累積裝置104之複數個操作循環的實施例，其係對應溶液108之離子濃度產生並累積電荷封包，且圖3A至3D分別顯示電荷累積裝置104之一完整操作循環的實施例，圖3A至3D之上方分別顯示電荷累積裝置104之部分剖面圖與部分簡圖之示意圖，其僅顯示源極與汲極區域124、128、閘極氧化層164、浮動閘極184、及第一與第二控制電極186、188，為方便說明，電荷累積裝置104的其他元件係在此圖中被省略，但被省略之元件仍然可以在實際實施中存在。在個別圖式中，電荷累積裝置104的下方顯示四個圖表，其表示在電荷累積裝置104之操作循環的不同階段中，存在於電荷累積裝置104上的電位能及電荷，這些圖表係分別對應表示上方之電荷累積裝置104之特定區間的電位能及電荷，因此各圖表分別表示在控制電極186、188與浮動閘極184下方之n型源極與汲極區域124、128以及p型磊晶區域的電位能及電荷。

圖4為一信號圖，其係顯示本實施例之複數個控制信號，其可以用來控制如圖3A至3D所示之電荷累積裝置104的操作，如圖4所示，傳送至源極124、汲極128、及第二控制電極188之控制信號VS、VD、VC2可以是不同的電壓值，其分別表示邏輯低狀態及邏輯高狀態，且其例如為低及高電源供應電壓；另一控制信號VC1(圖未示)係傳送至第一控制電極186，其並非表示一邏輯狀態，而是可以為一中間電壓值，例如為介於低及高電源供應電壓之間的一電壓值。當然，亦可以利用其他控制信號，例如可以是不同組合之控制信號，其係表示邏輯低狀態及邏輯高狀態之電壓值(如低及高電源供應電壓)，或是非為表示邏輯狀態而可以為中間之電壓值(例如為介於低及高電源供

應電壓之間的一電壓值)的控制信號；不同的控制信號可以依據不同實施例之電荷累積裝置104之實體結構而定，例如，可以選擇位於第一控制電極186、浮動閘極184及第二控制電極188之間的閘極氧化層164之高度，並分別將設定之控制電壓傳送至第一控制電極186、浮動閘極184及第二控制電極188，以便控制施加於電荷累積裝置104之電位能量。

在圖3A所示之操作循環的第一相位之前為一循環前重置相位(未顯示於圖3A)，其係傳送適當之控制信號至源極124、汲極128及控制電極186、188，以便移除電荷累積裝置104中在前一個操作所殘留下來的電荷，如圖4所示之實施例，可以傳送一高電壓至汲極128與第二控制電極188，傳送一低電壓至源極124，並傳送一中間電位至第一控制電極186，以便清除電荷累積裝置104中在前一個操作所殘留下來的所有電荷。

如圖3A所示，在操作循環之第一相位220中，在浮動閘極184下方之半導體區域224(如p型磊晶區域224)所形成之任何電荷封包216可以被傳送至閘極擴散區域208，其可以藉由在第一控制電極186、閘極184及第二控制電極188下方之半導體區域228、224、232形成電位梯度而達成，其係能夠將閘極184下方之電荷移動至汲極擴散區域208，因此，可以在第一控制電極186下方之區域228形成一相對低電位，藉以形成電子流之一相對高阻障層，另外可以在第二控制電極188下方之區域232形成一相對高電位，藉以形成電子流之一相對低阻障層。

圖3A至3D所示之電位圖及本說明書所述之其他電位圖中，當電位能量增加時，其在圖中對應顯示向下之曲線，因此，相對較高之電位能量係在圖中以較低位置表示；另外，可以藉由提供相對較高電壓至控制電極186、188，以減少p型區域(或浮動閘極184)之相對較高之電位能量，以便對此累積或通過p型區域之電子形成一較低電位阻障

層；相反地，可以藉由提供相對較低電壓至控制電極186、188，以減少p型區域(或浮動閘極184)之相對較低之電位能量，以便對此累積或通過p型區域之電子形成一較高電位阻障層。

請再參考圖3A所示，假設閘極氧化層為均勻厚度，可以藉由增加傳送至第一控制電極186、浮動閘極184及第二控制電極188之電壓，以便在第一控制電極186、浮動閘極184及第二控制電極188之下方的區域228、224、232中形成第一階段電位能量梯度；當然，亦可以在提供其他電壓以及閘極氧化層為不均勻厚度的情況下，形成此電位能量梯度。在圖4所示之實施例中，於此第一相位中，可以傳送一高電壓至第二控制電極188與源極124，傳送一低電壓至汲極128，並傳送一中間電壓至第一控制電極186；當然，亦可以利用其他第一相位之控制信號進行。

需注意者，由於圖3A顯示電荷累積裝置104之最早的數個操作循環，其係在一循環前重置相位之後，且循環前重置相位已經移除前一個操作所殘留的所有電荷封包216，所以在閘極184下不會形成任何電荷封包216，故在第一相位220中，不會有任何電荷封包216被傳送至汲極128(如圖3A所示)；然而，在第一相位220中，電荷封包216從閘極184下方傳送至汲極128的情況，可以參照圖3B至3D所示之後續循環加以說明。

如圖3A所示，在操作循環之一第二相位236中，可以提高在第二控制電極188下方的電位阻障層，以便防止電荷封包從閘極184下方之區域224，經由第二電極188下方之區域232流至汲極區域128；圖4顯示第二相位之控制信號的實施例，其中，可以傳送一低電壓至第二控制電極188與汲極128，傳送一高電壓至源極124，並傳送一中間電壓至第一控制電極186；當然，亦可以利用其他第二相位之控制信號進行。

如圖3A所示，在操作循環之一第三相位240中，電荷(如電子)可以從n型源極區域124被注入浮動閘極184下方的p型區域224，由於在第二相位236中，位於第二電極188下方之電位阻障層提高至高於第一控制電極186及浮動閘極184之下方，因此，電荷242可以從源極124進入第一控制電極186及浮動電極184之下方(但未進入第二控制電極188)，以充滿電荷累積裝置104；電荷242可以透過不同方式經由源極124注入電荷累積裝置104，例如可以經由電流源或電荷泵，以選擇性將電荷注入源極124，或是利用施加一適當之電壓至源極124，進而提供電壓至電荷累積裝置104之第一控制電極186及浮動閘極184；圖4顯示控制信號的實施例，其中，可以傳送一低電壓至源極124，並將相對高電壓傳送至第一控制電極186與浮動閘極184，例如，傳送一中間電壓至第一控制電極186，並將由溶液108之離子濃度所感應之電位提供至浮動閘極184。

在第四相位244中，結束從源極124注入電荷至電荷累積裝置104，並移除源極124以及第一控制電極186下方之過多電荷，然而，由於第一控制電極186下方與浮動閘極184下方之間存在有電位差，所以一電荷封包216會保留在浮動閘極184下方，此電位差係為傳送至第一控制電極186之電壓 VC_1 ，以及由溶液108之離子濃度所形成於浮動閘極184之電壓的一函數；因此，在第四相位244中，保留在浮動閘極184下方之電荷封包216的大小可以是傳送至第一控制電極186之電壓 VC_1 ，以及由溶液108之離子濃度所形成於浮動閘極184之電壓的一函數，所以，若傳送至第一控制電極186之電壓 VC_1 為已知，則可以測量得到溶液108之離子濃度。

最後，在電荷累積裝置104之下一操作循環的第一相位220(如圖3B所示)，並參照如圖3A所示之第一個操作循環的第一相位220的相關說明，保留在浮動閘極184下方之電荷封包216，可以在第一個操作

循環的第四相位244之後，從浮動閘極184下方經由第二控制電極188下方之區域232，進入汲極擴散區域128，並保留於此處。因此，在某一操作循環之後，表示溶液108之離子濃度之一測量結果的一個電荷封包216可以被收集於電荷累積裝置104的汲極128中。

雖然電荷累積裝置104可以僅利用儲存於汲極128的一個電荷封包216來提供溶液108之離子濃度的測量結果，但是其仍然可以藉由進行電荷累積裝置104的複數個操作循環而儲存於汲極128的複數個電荷封包216，來檢測並提供溶液108之離子濃度的測量結果；其中，所儲存之複數個電荷封包216亦可以提供，溶液108之離子濃度的測量結果。圖3B至3D分別表示電荷累積裝置104的第二、第三及第四操作循環，其係依據如圖3A所示之第一操作循環而進行並依序執行於如圖3A所示之第一操作循環之後；在各循環之後，可以分別依據離子濃度將一個電荷封包216累積於汲極；如圖3B所示，在如圖3A所示之第一循環之後，在第二循環之第一相位220中，一第一電荷封包216係儲存於汲極128；如圖3C所示，在如圖3B所示之第二循環之後，在第三循環之第一相位220中，一第一及第二電荷封包216b係儲存於汲極128；如圖3D所示，在如圖3C所示之第三循環之後，在第四循環之第一相位220中，一第一、第二及第三電荷封包216c係儲存於汲極128。

與如圖1所示之習知技術相較，其係同時以單一電荷封包216並以臨限電壓變化的方式，提供離子濃度之測量結果，然而本發明利用累積複數個電荷封包216的方式以提供離子濃度的測量結果，其可以增加信號位準及信號雜訊比，改善複數個電荷累積裝置104之效能匹配，並減少閃頻雜訊，舉例而言，由於電荷(如電洞及電子)的熱活性，所產生之電荷封包通常伴隨有一定的雜訊，在一實施例中，單一電荷封包的累積可以伴隨一雜訊電荷誤差，其係與 $k \cdot T \cdot C$ 成正比，其中， k 係為波茲曼常數， T 係為絕對溫度， C 係為浮動閘極下方之電荷

收集區域的電容，當電荷為電子時，對儲存之每一封包的電壓雜訊誤差係等於 $((k \cdot T \cdot C)$ 之平方根) $/q$ ，其中， q 係為一電子之電荷， C 等於氧化電容 C_{ox} 與浮動閘極184之面積的乘積；然而，依據累積複數個電荷封包之輸出信號的信號雜訊比SNR可以與 $(2 \cdot n \cdot C/k \cdot T)$ 之平方根成正比，其中， n 係為累積之封包216的數量，其係例如為電荷累積裝置104之操作循環的次數，其分別提供單一離子濃度測量結果，因此，離子濃度測量結果的信號雜訊比可以隨著單一測量結果之封包216之數量的平方根，成正比地增加。

在累積於電荷累積裝置104之汲極128之後，複數個電荷封包216可以被轉換為一輸出信號，或是利用本實施例之控制與讀取電路112從電荷累積裝置輸出，控制與讀取電路112可以控制不同實施態樣之電荷累積裝置104之循環操作，並依據累積之電荷封包216產生一輸出信號。控制與讀取電路112可以提供控制信號至源極124、汲極128、第一控制電極186以及第二控制電極188，進而控制電荷累積裝置104；累積頻率可以是電荷累積裝置104的單一操作循環的操作頻率，累積頻率可以是依據溶液中離子濃度之預期變化速率、電荷累積裝置104之效能特性以及控制與讀取電路112或其組合而選定；控制與讀取電路112亦可以依據累積於電荷累積裝置104之電荷封包216，以控制一輸出信號的產生，其係提供一控制信號以產生一輸出信號，或是以一可選擇之輸出產生頻率將累積之複數個電荷封包216從電荷累積裝置104輸出，此輸出產生頻率可以是電荷累積裝置104之複數個電荷封包216的一單一輸出信號值的產生頻率，此輸出產生頻率可以依據溶液108中離子濃度之預期變化速率、電荷累積裝置104之效能特性以及控制與讀取電路112或其組合而選定，當輸出信號係依據複數個累積之電荷封包216時，輸出產生頻率可以是低於電荷封包累積頻率。

單一個電荷累積裝置104配合部分之控制與讀取電路112可以表示

一陣列250之複數個離子感測畫素246其中之一，圖5顯示一實施例之離子感測畫素陣列250，其包括複數個離子感測畫素246，各畫素電路246可包括一電荷累積裝置104以及一配合部份之控制與讀取電路112，此配合部份之控制與讀取電路112可以部分構成此畫素246，畫素陣列可以是呈複數個列及欄配置之畫素246，藉由複數個列與欄之控制、定址與資料線，可以對畫素陣列250進行控制、定址、及資料輸入與輸出，其包括一個以上之列的控制、定址與資料線R1-Rx(或稱為列線R1-Rx)，以及一個以上之欄的控制、定址與資料線C1-Cx(或稱為欄線C1-Cx)。

圖6顯示一實施例之離子感測畫素246a，其包括上述實施例之一電荷累積裝置104及配合部份之控制與讀取電路112，其中，圖6亦僅簡單表示電荷累積裝置104，但本實施例之離子感測畫素246a可以包括電荷累積裝置104以外的其他元件，如圖2所示之其他元件。圖6所示之實施例可以稱為一種三電晶體三電極畫素246，或稱3T3E畫素，控制與讀取電路112可包括三個電晶體，其包括一重置電晶體M1，及一對讀取電晶體M2、M3，電荷累積裝置104可具有三個電極，其包括第一及第二控制電極186、188、以及浮動閘極184，控制與讀取電路112可以連接複數個欄線以及複數個列線，複數個欄線包括第一及第二欄線C1A、C1B，複數個列線包括第一及第二列線R1A、R1B。

在以下說明中係提及源極與汲極等，其係假設圖6所示之畫素246a以及其他實施例中的控制與讀取電晶體M1、M2、M3，係為NMOS電晶體，然而，在其他實施例中，控制與讀取電晶體可以是NMOS或PMOS電晶體，或其組合。如圖6所示，第一讀取電晶體M2之閘極係連接至電荷累積裝置104之汲極區域128，其源極係連接至第二讀取電晶體M3之汲極，且其汲極係連接至第二欄線C1B，第二讀取電晶體M3之閘極係連接至第一列線R1A，其源極係連接至第一欄

線C1A，且其汲極係連接至第一讀取電晶體M2之源極，重置電晶體M1之源極係連接至電荷累積裝置104之汲極128，其閘極係連接至第二列線R1B，且其汲極係連接至第二欄線C1B。

如圖6所示，本實施例之控制與讀取電路112可以用來控制電荷累積裝置104，並配合如圖3A至3D與圖4所示之電荷累積裝置104的操作而產生一輸出信號；在一重置操作中，如前所述，可以在一循環前重置相位中，利用重置電晶體M1及第二列與欄線R1B、C1B來重置電荷累積裝置104，舉例而言，可以將一邏輯高信號或一高位準電壓(如一高電源供應電壓)傳送至第二列與欄線R1B、C1B，並將一邏輯低信號或一低位準電壓(如一低電源供應電壓)傳送至第一列線R1A，以便導通重置電晶體M1並關閉第二讀取電晶體M3，因此，可以將一高電壓值傳送至電荷累積裝置104之汲極區域128，進而清除累積於汲極128的任何電荷封包216，以便重置電荷累積裝置104。

在讀取操作中，在如前所述之裝置104的一個以上之循環之後，讀取電晶體M2、M3及第一列與欄線R1A、C1A可以用來依據累積於電荷累積裝置104之汲極區域128的電荷封包216，產生一輸出信號，舉例而言，可以將一邏輯高信號、或一高位準電壓(如一高電源供應電壓)、或一中間位準電壓(如介於高與低電源供應電壓之間的電壓)傳送至第一列線R1A，並將一邏輯低信號或一低位準電壓(如一低電源供應電壓)傳送至第二列線R1B，以便導通第一及第二讀取電晶體M2、M3並關閉重置電晶體M1，此時，第一及第二讀取電晶體M2、M3係作為放大器，以便將累積於電荷累積裝置104之汲極區域128的電荷封包216，轉變為第一欄線C1A之電壓輸出信號，第一讀取電晶體M2可以操作於一源極隨耦器配置，其係從電荷累積裝置104之汲極128接收一輸入電壓，並將第二讀取電晶體M3之源極的中間輸出電壓提供至其汲極，將累積於電荷累積裝置104之汲極區域128的電荷封包

216轉變為輸出電壓可以由汲極128之累積電荷所產生；第二讀取電晶體M3可以操作於一疊接配置，其係配合第一讀取電晶體之源極隨耦器配置，與單獨源極隨耦器配置比較，結合兩種電晶體可以提高其增益。第二讀取電晶體M3可以從源極隨耦器接收一中間輸出，並提供一輸出電壓至此源極之一第一欄線C1A。

圖7顯示另一實施例之離子感測畫素246b，其包括上述實施例之一電荷累積裝置104及配合部分之控制與讀取電路112，其中，圖7亦僅簡單表示電荷累積裝置104，但本實施例之離子感測畫素246b可以包括電荷累積裝置104以外的其他元件，如圖2所示之其他元件。圖7所示之實施例可以稱為一種雙電晶體三電極畫素，或稱2T3E畫素，控制與讀取電路112可包括兩個電晶體，其包括一重置電晶體M4，及一讀取電晶體M5，電荷累積裝置104可具有三個電極，其包括第一及第二控制電極186、188、以及浮動閘極184，控制與讀取電路112可以連接一列線R2A以及複數個欄線，複數個欄線包括第一及第二欄線C2A、C2B。

與圖6所示之畫素246a相比，如圖7所示之畫素246b可以減少讀取電晶體的數量，其係藉由管理電荷累積裝置104之汲極128的電壓，所以不需要利用圖6所示之畫素246a之第一列線R1A所提供的列選擇功能。在圖7與9中，汲極128亦稱為浮動擴散128，其具有電容的特性，所以當畫素246b未致能時，可以藉由管理浮動擴散電位，以省略列選擇裝置。如圖7之源極隨耦器M5的閘極與浮動擴散128可以皆保持在低位準，以便在未使用時失能源極隨耦器M5，因此，在畫素246b被讀取後，浮動擴散128可以在低電位下被取樣，並保持在此電位直到畫素246b再次被讀取；使其電位保持在低電位的原因在於浮動擴散128可以作用為一電容，其可以保持其取樣之低電壓。

如圖7所示，第一及第二控制電極186、188之空間配置係與前述

圖式所顯示者相反，其中，第一控制電極186係設置在右手側，而第二控制電極188係設置在左手側；相同地，在以下說明中係提及源極與汲極等，其係假設控制與讀取電晶體係為NMOS電晶體，然而，在其他實施例中，控制與讀取電晶體可以是NMOS或PMOS電晶體，或其組合。其中，重置電晶體M4之源極係連接至電荷累積裝置104之汲極128，其閘極係連接至列線R2A，且其汲極係連接至第二欄線C2B，讀取電晶體M5之閘極係連接至電荷累積裝置104之汲極區域128(同時連接至重置電晶體M4之源極)，其源極係連接至電荷累積裝置104之源極區域124及第一欄線C2A，且其汲極係連接至第二欄線C2B。

圖8A至8D顯示如圖7所示之畫素246b的操作，其係依據溶液離子濃度累積複數個電荷封包216，並依據累積之電荷封包216產生一輸出信號，圖8A至8D顯示電荷累積裝置104之複數個完整操作循環的實施例，與圖3A至3D相似，圖8A至8D之上方分別顯示畫素246之部分剖面圖與部分簡圖之示意圖，其包括電荷累積裝置104及控制與讀取電晶體M4、M5，為方便說明，電荷累積裝置104及控制與讀取電晶體M4、M5以外的其他元件係在此圖中被省略，但被省略之元件仍然可以在實際實施中存在。在個別圖式中，電荷累積裝置104及控制與讀取電晶體M4、M5的下方顯示四個圖表，其係對準上方之畫素，且表示在畫素246b之操作循環的不同相位中，存在於電荷累積裝置104及控制與讀取電晶體M4、M5上的電位能及累積之電荷。

在一重置相位254中，重置電晶體M4及列與第二欄線R2A、C2B可以用來重置電荷累積裝置104，將一邏輯高信號或高位準電壓(如一高電源供應電壓)傳送至列與第二欄線R2A，以便導通重置電晶體M4與讀取電晶體M5，此時，可以將一高電壓值同時傳送至電荷累積裝置104之汲極128與源極124，以便清除電荷累積裝置104之汲極128與

源極124中所殘留下來的所有電荷，進而完成裝置104之重置。

在操作循環之第一相位258中，可以關閉重置電晶體M4，並提高在第二電極188下方之一電位阻障(如一低電位)，以使得電荷累積裝置104在浮動閘極184下產生一電荷封包216，其中，可以藉由傳送一邏輯低或低電壓至列線R2A及第二控制電極188，而關閉重置電晶體M4，並提供低電位至第二電極188下方。需注意者，在第一相位258結束之前，一高電位及一低電位阻障係存在於重置電晶體M4之閘極。

在操作循環之一第二階段262中，電荷(如電子)可以從電荷累積裝置104之n型源極區域124被注入浮動閘極184下方的p型區域224，電荷264可以從源極124進入浮動電極184之下方(但未進入第二控制電極188下方)，以充滿電荷累積裝置104；電荷可以透過不同方式經由源極124注入電荷累積裝置104，例如可以經由電流源或電荷泵，以選擇性將電荷注入源極124，或是利用施加一適當之電壓至源極124，進而提供例如一邏輯低或低電壓至第一控制電極186及浮動閘極184；電荷可以利用第一欄線C2A並經過源極124而注入浮動閘極184下方，在操作循環之第一相位258之後，由於讀取電晶體M4之閘極下方為低電位阻障，因此，電荷265可以同時注入讀取電晶體M4，包括其源極與汲極區域及閘極下方。

在第三相位266中，結束注入電荷至電荷累積裝置及讀取電晶體，並移除其過多電荷，然而，由於第一控制電極186下方與浮動閘極184下方之間存在有電位差，所以一電荷封包216會保留在浮動閘極184下方，如前述之參照圖3A至3D的說明，在第三相位266中，保留在浮動閘極184下方之電荷封包216的大小可以是傳送至第一控制電極186之電壓，以及由溶液108之離子濃度所形成於浮動閘極184之電壓的一函數，所以，若傳送至第一控制電極186之電壓為已知，則可以

測量得到溶液108之離子濃度。

最後，在第一操作循環之最後一個相位270中，如圖8B所示，保留在浮動閘極184下方之電荷封包216，可以在此操作循環的第三階段266之後，從浮動閘極184下方經由第二控制電極188下方之區域232，進入汲極擴散區域128，並保留於此處，其係與前述參照圖3A至3D之關於操作循環之第一相位220的說明相似，藉由傳送一邏輯高或高位準電壓至第二控制電極188，可以降低第二控制電極188下方之電位阻障，以使得電荷封包216可以被傳送至汲極區域128，而傳送至電荷累積裝置104之汲極區域128之電荷封包216可以逐漸減少汲極區域128之電壓，由於讀取電晶體M5之閘極係連接於汲極128，所以此電荷封包216亦可以同時逐漸增加讀取電晶體M5之閘極的電壓，因此在操作循環之最後一個相位270的最後，讀取電晶體M5之閘極下方的電位阻障層272會逐漸減少；此時，讀取電晶體M5之閘極的電壓以及讀取電晶體M5之閘極下方的電位可以依據各操作循環之最後時，累積在電荷累積裝置104之汲極128的電荷封包216而定。

圖8B至8C表示一第二操作循環，其係如同在如圖8A至8B所示之第一循環以累積另一個電荷封包，並且依據讀取電晶體之閘極的電壓以及讀取電晶體之閘極下方的電位，並再次追蹤複數個累積之電荷封包216的大小；圖8C亦顯示在第二循環之後的另一個重置相位。

藉由對讀取電晶體M5之源極的電壓進行取樣，可以得到一輸出，其可以在一讀取相位274中進行，此外，亦可以利用一雙重取樣技術產生輸出，此時的輸出包括一第一輸出及一第二輸出，其中，第一輸出表示依據電荷累積裝置104之汲極128的電荷之背景位準所產生之輸出，第二輸出表示同時依據此電荷之背景位準以及累積於汲極128的複數個電荷封包216所產生之輸出，接著，以第二輸出減去第一輸出，可以得到對累積之電荷封包216的一個更精確之測量結果，以

便表示溶液108之離子濃度。在一實施例中，第一輸出可以是在操作循環之第一相位258中取得，而第二輸出可以是在讀取相位274中取得。

圖8D顯示如圖7所示之畫素246a之列的撤銷程序之實施例，在撤銷程序的第一相位278中，一邏輯低或低位準電壓係傳送至列線R2A，且一邏輯高或高位準電壓係傳送至第一欄線C2A；在撤銷程序的第二相位282中，一邏輯高或高位準電壓係傳送至列線R2A，且一邏輯低或低位準電壓係傳送至第一欄線C2A；在撤銷程序的第三相位286中，一邏輯低或低位準電壓係傳送至列線R2A，且一邏輯低或低位準電壓係傳送至第一欄線C2A；在撤銷程序的第四相位290中，一邏輯低或低位準電壓係傳送至列線R2A，且一邏輯高或高位準電壓係傳送至第一欄線C2A。

圖9顯示另一種實施例之畫素246c，其係為一種雙電晶體三電極畫素，或稱2T3E畫素，控制與讀取電路112可包括兩個電晶體，其包括一重置電晶體M6，及一讀取電晶體M7，電荷累積裝置104可具有三個電極，其包括第一及第二控制電極186、188、以及浮動閘極184，控制與讀取電路112可以連接一系列線R3A以及複數個欄線，複數個欄線包括第一及第二欄線C3A、C3B。其中，重置電晶體M6之源極係連接至電荷累積裝置104之汲極128，其閘極係連接至列線R3A，且其汲極係連接至第二欄線C3B，讀取電晶體M7之閘極係連接至電荷累積裝置104之汲極區域128(同時連接至重置電晶體M6之源極)，其源極係連接至第一欄線C3A，且其汲極係連接至第二欄線C3B。藉由導通重置電晶體M6以移除累積於電荷累積裝置104之汲極128的電荷封包216，以進行重置，其過程與前述之實施例的說明相同；然後，關閉重置電晶體M6，使得讀取電晶體M7操作於一源極隨耦器配置，以依據累積於電荷累積裝置104之汲極128的電荷封包216提供一輸出電

壓，或是操作於一共同源極配置，以依據累積於電荷累積裝置104之汲極128的電荷封包216提供一輸出電流。

電荷累積裝置104可以包括二個以上之控制電極，圖10顯示一實施例之一離子感測畫素246d，其包括兩個控制與讀取電晶體以及四個電荷累積裝置電極(包括三個控制電極與一個浮動閘極)，其中，圖10雖僅簡單表示電荷累積裝置104b，但本實施例可以包括電荷累積裝置以外的其他元件，如圖2所示之其他元件。電荷累積裝置104b之電極可包括設置於浮動閘極184一側之第一及第二電極186、294，以及設置於浮動閘極184另一側之第三電極188，如圖10所示之電荷累積裝置104b可以不具有源極區域，但可以具有一汲極區域128，其係鄰設於第三電極188下方之區域，控制與讀取電路112係如圖9所述，可包括兩個電晶體，其包括一重置電晶體M8及一讀取電晶體M9，其中，讀取電晶體M9可以連接一列線R4A以及複數個欄線，複數個欄線包括第一及第二欄線C4A、C4B。其中，重置電晶體M8之源極係連接至電荷累積裝置104b之汲極128，其閘極係連接至列線R4A，且其汲極係連接至第二欄線C4B，讀取電晶體M9之閘極係連接至電荷累積裝置104b之汲極區域128(同時連接至重置電晶體M8之源極)，其源極係連接至第一欄線C4A，且其汲極係連接至第二欄線C4B。重置電晶體M8及讀取電晶體M9的操作係如同圖9所示之實施例。

圖11A至11D顯示如圖10所示之畫素246d的操作，其係依據溶液離子濃度累積複數個電荷封包216，並依據累積之電荷封包216產生一輸出信號，圖11A至11D顯示電荷累積裝置104b之複數個完整操作循環的實施例，圖11A至11D之上方分別顯示圖10所示之電荷累積裝置104b及控制與讀取電晶體M8、M9之部分剖面圖與部分簡圖之示意圖，為方便說明，電荷累積裝置104b及控制與讀取電晶體M8、M9以外的其他元件係在此圖中被省略，但被省略之元件仍然可以在實際實

施中存在。在個別圖式中，電荷累積裝置104b及控制與讀取電晶體M8、M9的下方顯示四個圖表，其係對準上方之畫素，且表示在畫素246d之操作循環的不同相位中，存在於電荷累積裝置104b及控制與讀取電晶體M8、M9上的電位能及電荷累積。

在圖11A所示之一重置相位298中，可以在第一電極294、第二電極186、浮動閘極184及第三電極188下方，由左至右形成一電位梯度，並且將一邏輯高或高位準電壓傳送至重置電晶體M8之閘極以清除電荷累積裝置104b中從先前操作所殘留下來的所有電荷。

在畫素246d之操作循環之第一相位302中，可以提高在第三電極188下方之一電位阻障，使其高於重置相位298中存在於浮動閘極184之電位；在畫素操作循環之第二相位306中，可以經由汲極擴散節點128將電荷注入電荷累積裝置104b；在第三相位310中，可以從電荷累積裝置104b中移除所注入之電荷，並依據在第二相位306中所形成之浮動閘極184與第三電極188之間的電位阻障電位差，使一電荷封包216殘留於浮動閘極184下方；最後，在畫素操作循環之第四相位314中，可以在第三電極188、浮動閘極184、第二電極186、及第一電極294上，由右至左形成一電位梯度，以便將電荷封包216從浮動閘極184下方移至第一電極294下方。

接著，如圖11B至11C所示，可以重複數次上述之累積循環，以便在第一電極294下方累積複數個電荷封包216。

圖11D顯示一讀取程序，以依據累積於第一電極294下方之電荷封包216的大小而產生一輸出信號，此讀取程序可以配合一雙重取樣技術進行，此時的輸出包括一第一輸出及一第二輸出，其中，第一輸出表示依據電荷累積裝置104b之汲極128的電荷之背景位準所產生之輸出，第二輸出表示同時依據此電荷之背景位準以及累積於第一電極294被傳送至電荷累積裝置104b之汲極128後的複數個電荷封包216所

產生之輸出，接著，以第二輸出減去第一輸出，可以得到對累積之電荷封包216的一個更精確之測量結果，以便表示溶液離子濃度。在讀取程序之第一相位318中，讀取電晶體M9係提供第一輸出，且複數個電荷封包216係仍然累積於第一電極294下方；在讀取程序之第二相位322中，可以在第一電極294、第二電極186、浮動閘極184及第三電極188下方，由左至右形成一電位梯度，以便將複數個電荷封包216從第一電極294下方移至電荷累積裝置104b之汲極128下方；在第二相位322之後，在讀取程序之第三相位326中，由讀取電晶體M8提供第二輸出。

圖11D顯示如圖10所示之畫素246d之列的撤銷程序之實施例，其包括兩個相位330及334。

另外，亦可以進行上述實施例的各種變化，雖然在上述之電荷累積裝置之實施例中，係包括n型源極與汲極，並在浮動閘極與控制電極下方形成p型區域，但是在其他實施例中可以利用相反的結構，亦即電荷累積裝置可以包括p型源極與汲極，並在浮動閘極與控制電極下方形成n型區域；雖然圖2顯示在控制電極與浮動閘極下方形成磊晶p型區域，但是在其他實施例中，在控制電極與浮動閘極下方形成之p型或n型區域可以是擴散區域或其他形式之p型或n型區域，而非前述之磊晶區域；雖然上述的各種控制與讀取電晶體可以是NMOS電晶體，但是在其他實施例中，控制與讀取電晶體可以是NMOS電晶體、PMOS電晶體，或其組合；在部分實施例中，畫素陣列之畫素中的列及欄可以分享部分或全部之列及欄線，雖然在前述之實施例中，電荷載體及電荷封包係假設為電子，但在其他實施例中，電荷載體及電荷封包可以包括電洞；雖然在上述之實施例中，電荷累積裝置之操作循環的各階段係以一定順序進行並具有特定之命名(如第一相位、第二相位等)，但是在其他實施例中，操作循環之命名或階段可以改變、

重新排列、增加、或刪減等；雖然在上述之實施例中，電荷累積裝置具有兩個或三個控制電極，但是在其他實施例中，電荷累積裝置可以具有更多或更少數量之控制電極；雖然在上述之實施例中說明數種控制信號，但是在其他實施例中，可以採用不同形式之控制信號。

另外，亦可以使用其他實施例之電荷累積裝置104及離子感測畫素246，例如，其他實施例之電荷累積裝置104及離子感測畫素246可以選擇性具有任一種上述實施例之電荷累積裝置104及離子感測畫素246的任一特徵，且其他實施例之電荷累積裝置104及離子感測畫素246可以選擇性具有任一種上述實施例之電荷累積裝置104及離子感測畫素246的任一子元件或特徵。

雖然本發明所揭露之內容可參照前述的數個實施例，但本發明的範圍並非限制於這些實施例及其參照圖式所顯示之配置中，而且其操作製程亦不限制於上述之範例中，熟悉該項技術者可以在不違反本發明之精神與實質特徵的情況下，利用其他方式實現本發明之內容，因此，上述之實施例僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

以上說明係揭露本發明之數種實施例，然而，所揭露之內容應可涵蓋本發明之修飾及變化，另外，雖然部分操作、元件及電路並未詳細說明，但並非用以限制本實施例之範圍，而且雖然本說明書詳細說明特定結構及功能，但其並非用以限制本實施例之範圍。

熟悉該項技術者可以藉由上述之說明，對本發明進行各種變化，請可以單獨或合併實施上述之所有實施例，因此，雖然上述之說明僅列舉部分特定之實施例，但是本發明之實施例及/或方法並非限制於此，熟悉該項技術者可以藉由本說明書之內容、圖示及申請專利範圍而進行任意的修飾及改變。

上述之各種實施例可以藉由硬體元件、軟體元件或其組合加以實現，其中，硬體元件係例如為處理器、微處理器、電路、電路元件(如電晶體、電阻器、電容器、電感器等)、積體電路、特定應用積體電路(ASIC)、可程式邏輯裝置(PLD)、數位訊號處理器(DSP)、現場可編程閘陣列(FPGA)、邏輯閘、暫存器、半導體裝置、晶片、微晶片、晶片組等等；軟體元件係例如為程式、應用程式、電腦程式、系統程式、機械程式、作業系統程式、中介軟體、韌體、軟體模組、例行程序、子程式、功能、方法、程序、軟體介面、應用程式介面(API)、指令集、計算碼、計算機碼、程式碼片段、計算機程式碼片段、文字、數值、符號、或其組合；可以藉由數種分析因子判斷執行一實施例係採用不同之硬體元件及/或軟體元件，例如為預期之計算機速度、功率等級、熱耐受度、程序循環預算、資料輸入速度、資料輸出速度、記憶體來源、資料匯流排速度、及其他設計或效能限制。

例如，部分實施例可以藉由電腦可讀取媒體而實現，其係儲存有一指令或一組指令，以便在一機器上執行時，可以使得此機器實現本實施例之方法及/或操作，此機器可例如包括任一種適用之處理平台、計算平台、計算裝置、處理裝置、計算系統、處理系統、計算機、處理器等等，且其亦可以藉由硬體及/或軟體之任一種適用之組合而實現，其中，電腦可讀取媒體包括任一種適當形式之記憶單元、記憶裝置、記憶物品、記憶媒體、儲存裝置、儲存物品、儲存媒體及/或儲存單元例如為記憶體、可移動式或不可移動式媒體、可抹除式或不可抹除式媒體、可寫入式或可複寫式媒體、數位或類比式媒體、硬碟、軟碟、唯讀記憶光碟、寫入式光碟、可複寫式光碟、光碟、磁式媒體、磁光媒體、卸除式記憶卡或記憶碟、各種數位多功能光碟(DVD)、磁帶、卡帶等等，另外，指令可包括任一種適用之程式碼，如原始碼、編譯碼、直譯碼、可執行碼、靜態程式碼、動態程式碼、

加密程式碼等等，其可以利用任一種適用之高階、低階、物件導向、虛擬、編譯及/或直譯之程式語言而實現。

【符號說明】

20	離子感測系統
24	離子感測場效電晶體
28	溶液
32	離子感測鈍化保護表面
36	電極
40	源極擴散區
44	汲極擴散區
48	基板
52	源極與汲極連接
54	源極與汲極連接
56	源極與汲極連接
60	閘極氧化層
64	通道形成區
68	閘極結構
72	鈍化保護層
76	金屬層
78	閘極
80	通孔內連接
84	介電隔離層
100	離子感測系統
104	裝置
104b	電荷累積裝置
108	溶液

112	控制與讀取電路
116	電極
120	微粒子
120	微粒
124	源極
128	汲極
132	磊晶層
136	矽基板
140	輕度摻雜部
144	輕度摻雜部
148	連接結構
152	連接結構
156	金屬層
160	通孔內連接
160	通孔
164	閘極氧化層
168	區域
172	閘極結構
176	控制電極結構
180	控制電極結構
184	閘極
186	電極
188	電極
192	介電隔離
196	鈍化保護層
200	孔洞

204	離子感測表面
208	擴散區域
212	連接結構
216	電荷封包
216b	電荷封包
216c	電荷封包
220	第一相位
224	區域
228	區域
232	區域
236	第二相位
240	第三相位
242	電荷
244	第四相位
246	畫素
246a	畫素
246b	畫素
246c	畫素
246d	畫素
250	陣列
254	重置相位
258	第一相位
262	第二階段
264	電荷
265	電荷
266	第三階段

266	在第三相位
270	操作循環之最後一個相位
272	電位阻障層
274	讀取相位
278	第一相位
282	第二相位
286	第三相位
290	第四相位
294	第一電極
298	重置相位
302	第一相位
306	第二相位
310	第三相位
314	第四相位
318	第一相位
322	第二相位
326	第三相位
330	相位
334	相位
C1-Cx	欄線
C1A	第一欄線
C1B	第二欄線
C2A	第一欄線
C2B	第二欄線
C3A	第一欄線
C3B	第二欄線

C4A	第一欄線
C4B	第二欄線
M1	重置電晶體
M2	讀取電晶體
M3	讀取電晶體
M4	重置電晶體
M5	讀取電晶體
M6	重置電晶體
M7	讀取電晶體
M8	讀取晶體
M9	讀取電晶體
R1-Rx	列線
R1A	第一列線
R1B	第二列線
R2A	列線
R3A	列線
R4A	列線
VC1	控制信號
VS、VD、VC2	控制信號

申請專利範圍

1. 一種製造化學感測器之方法，其包含：

以一第一導電類型之摻雜物形成一基板；

使用與用於形成該基板相同導電類型之摻雜物建立一磊晶層 (epitaxial layer)，但使該磊晶層摻雜物之密度小於該基板上摻雜物之密度；

在該磊晶層上形成一電極層，該電極層使用與用於形成該基板之該第一導電類型之摻雜物不同的一第二導電類型之摻雜物形成，其中在該電極層與該基板兩者上之摻雜物密度係相似的；

遮罩並蝕刻該電極層以產生複數個閘極與相對應之電極對；

使用一多向植入技術鄰近於該等電極對之每一者中之一電極建立一第一輕度摻雜區，其中該第一輕度摻雜區係由與該磊晶層之摻雜物相反之一導電類型之摻雜物形成；

產生與該等電極對自對齊 (self-aligned) 之擴散節點，該等擴散節點中之一第一擴散節點與該第一輕度摻雜區鄰接，該等擴散節點係使用與該等閘極、該等電極對及該輕度摻雜區相似之一導電類型之摻雜物形成；及

藉由交替配置 (alternating) 絕緣層、介電層、導電層及金屬層以形成一浮動閘極電極及用於該等電極對之複數個接點。

2. 如請求項1之方法，其進一步包含：

使用一多向植入技術鄰近於該等電極對之每一者中之另一電極建立一第二輕度摻雜區，其中該第二輕度摻雜區係由與該磊晶層之摻雜物相反之一導電類型之摻雜物形成。

3. 如請求項2之方法，其中該等擴散節點中之一第二擴散節點與該第二輕度摻雜區鄰接。
4. 如請求項1之方法，其進一步包含：
在該等擴散節點上形成一額外電極。
5. 如請求項1之方法，其進一步包含：
在該浮動閘極之上形成一微型井(microwell)以持有一樣本。

圖式

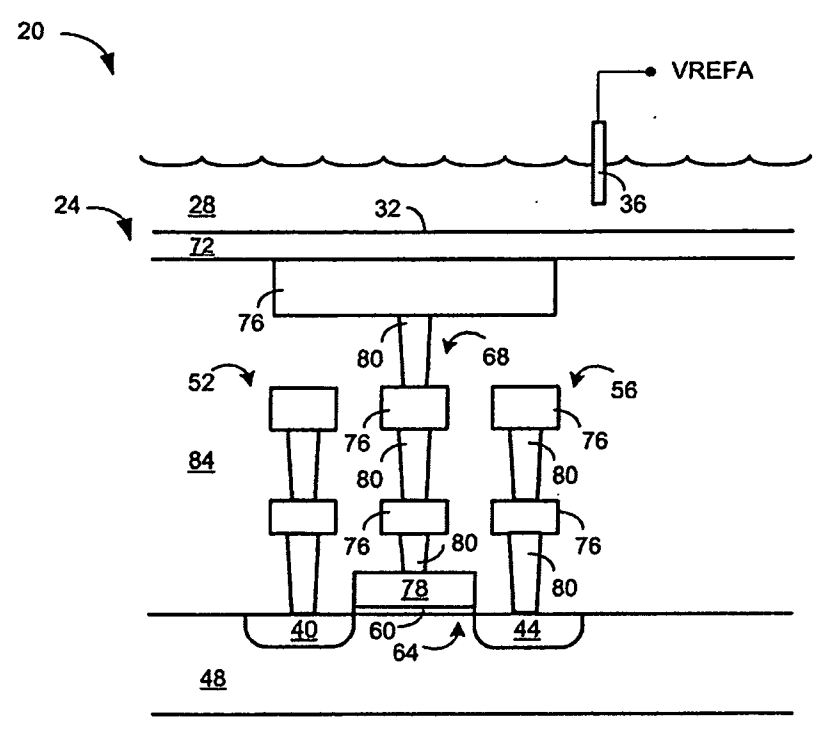


圖 1

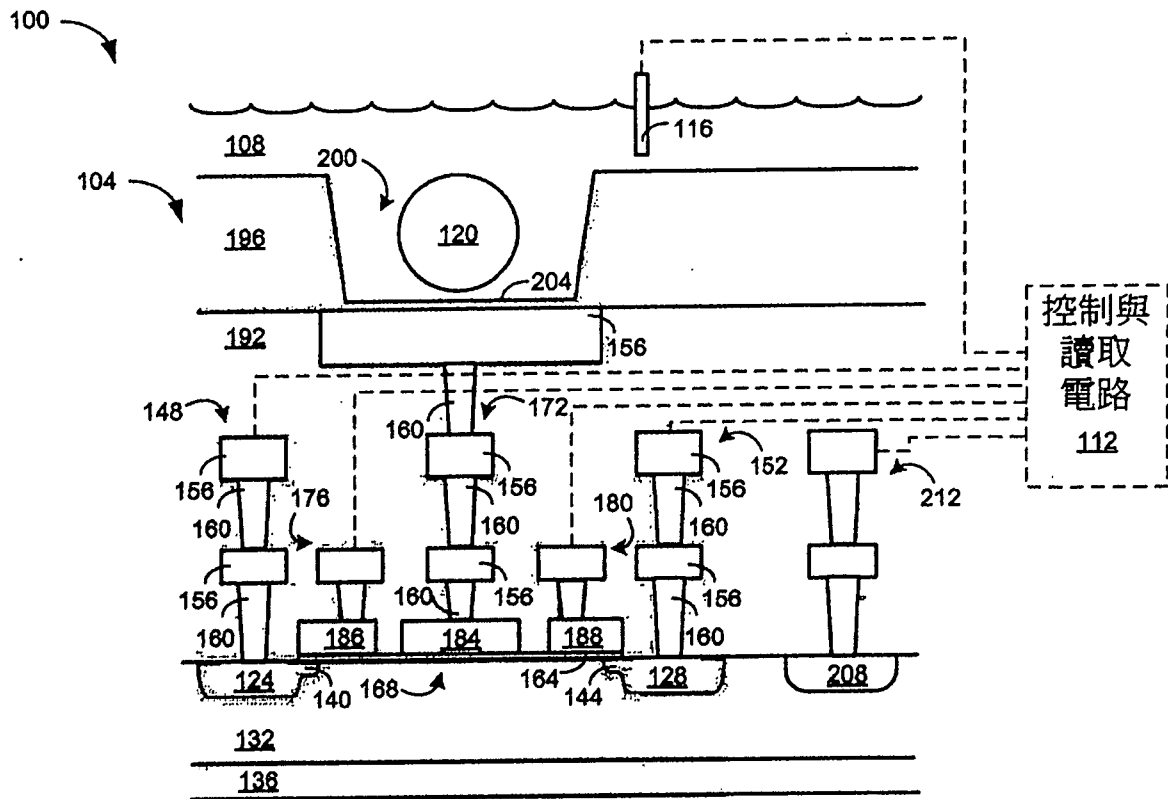


圖2

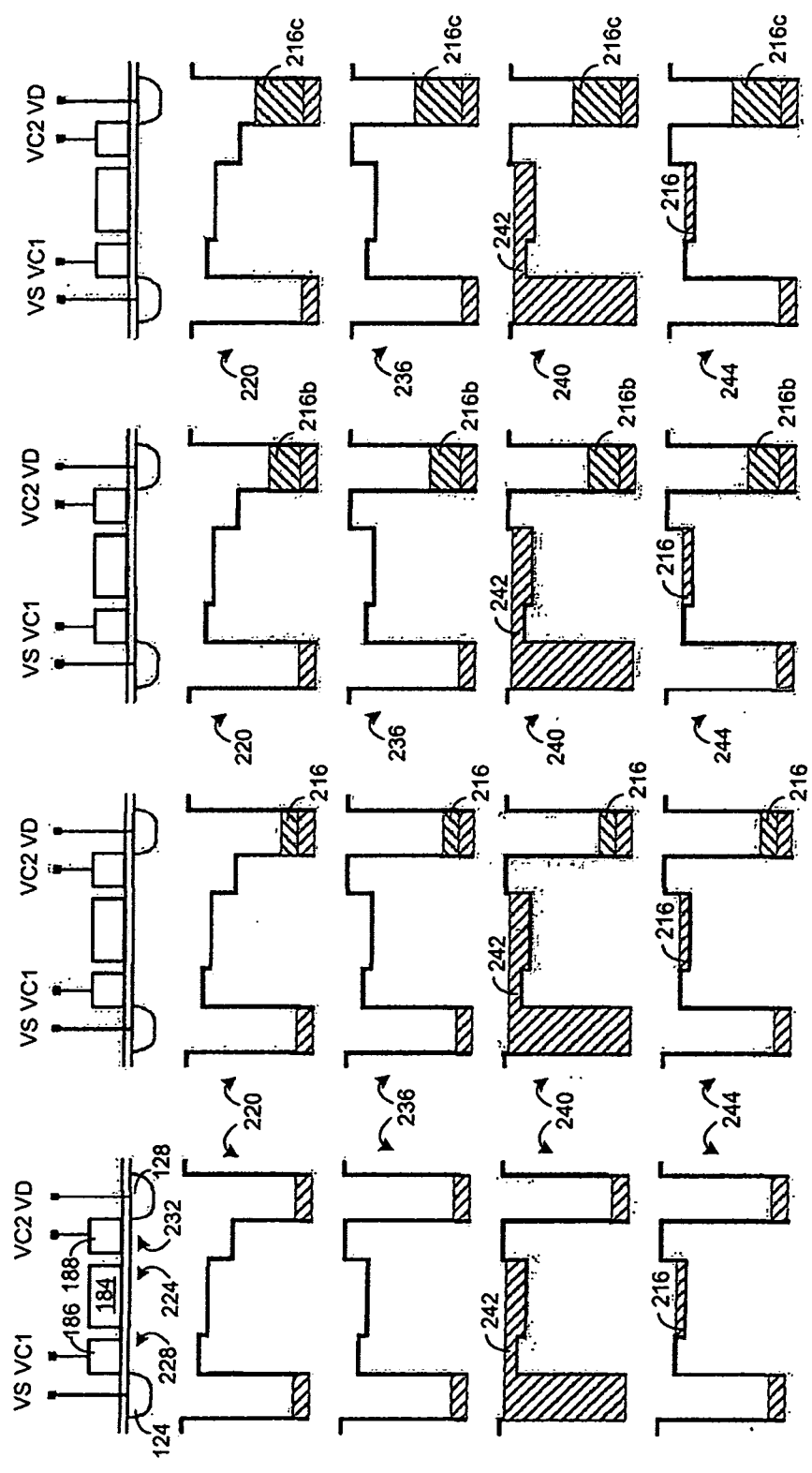


圖 3A

圖 3B

圖 3C

圖 3D

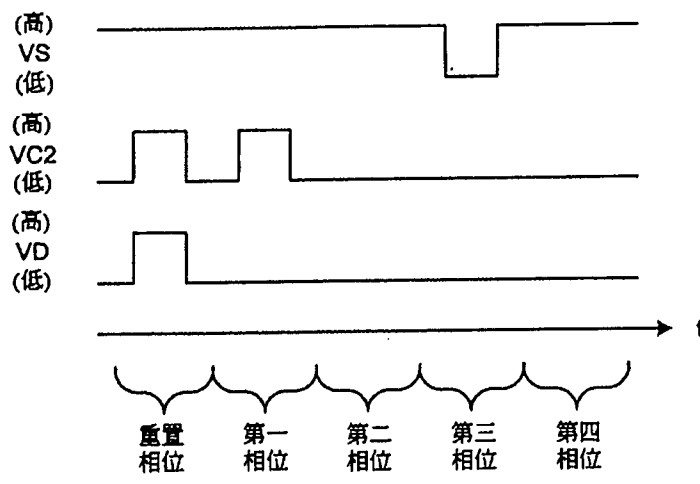


圖4

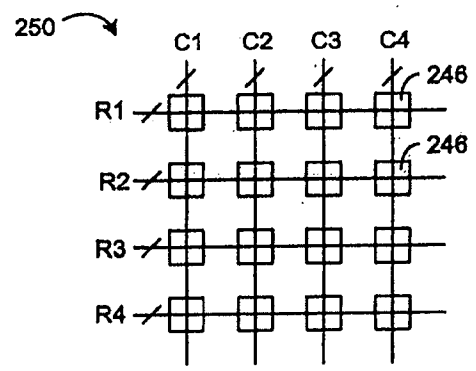


圖5

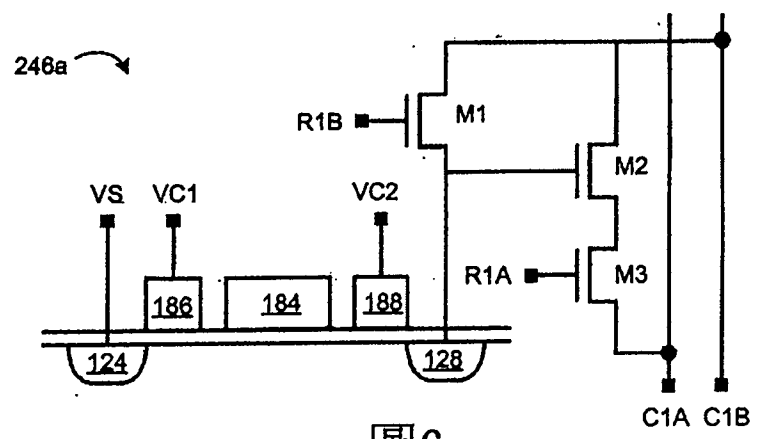


圖6

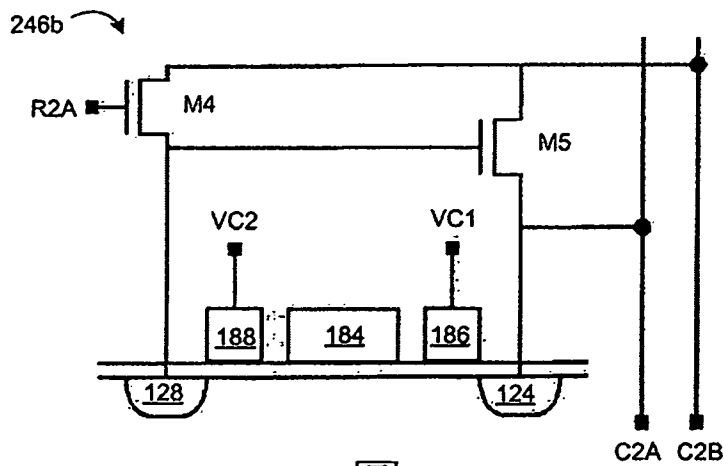


圖 7

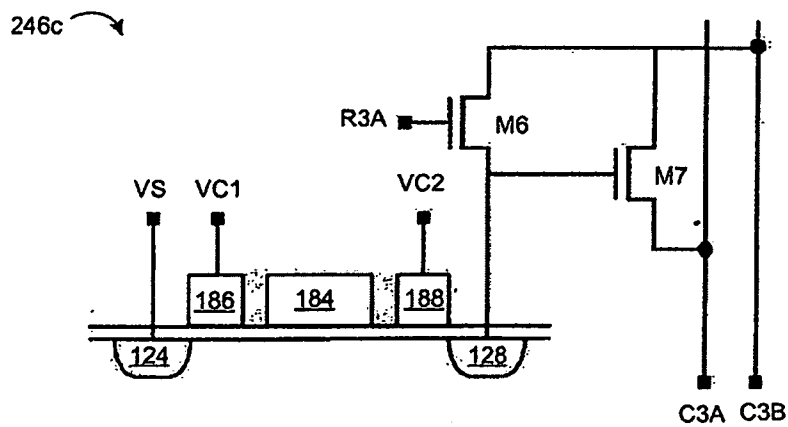


圖 9

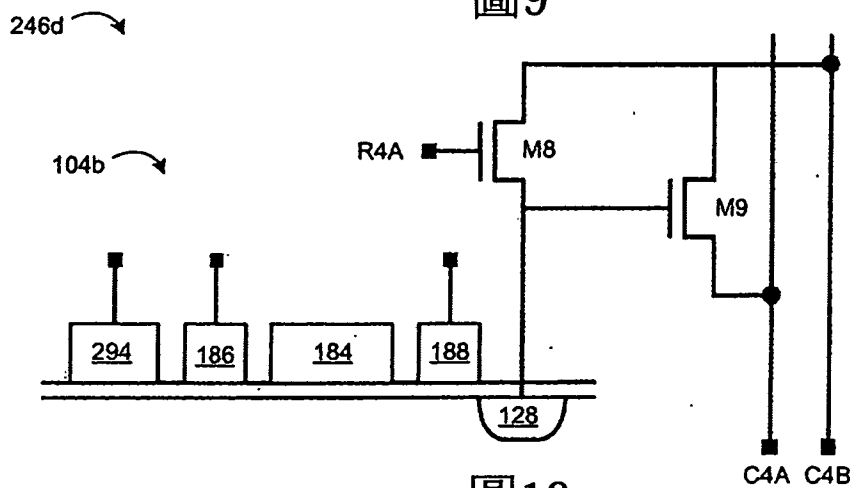


圖 10

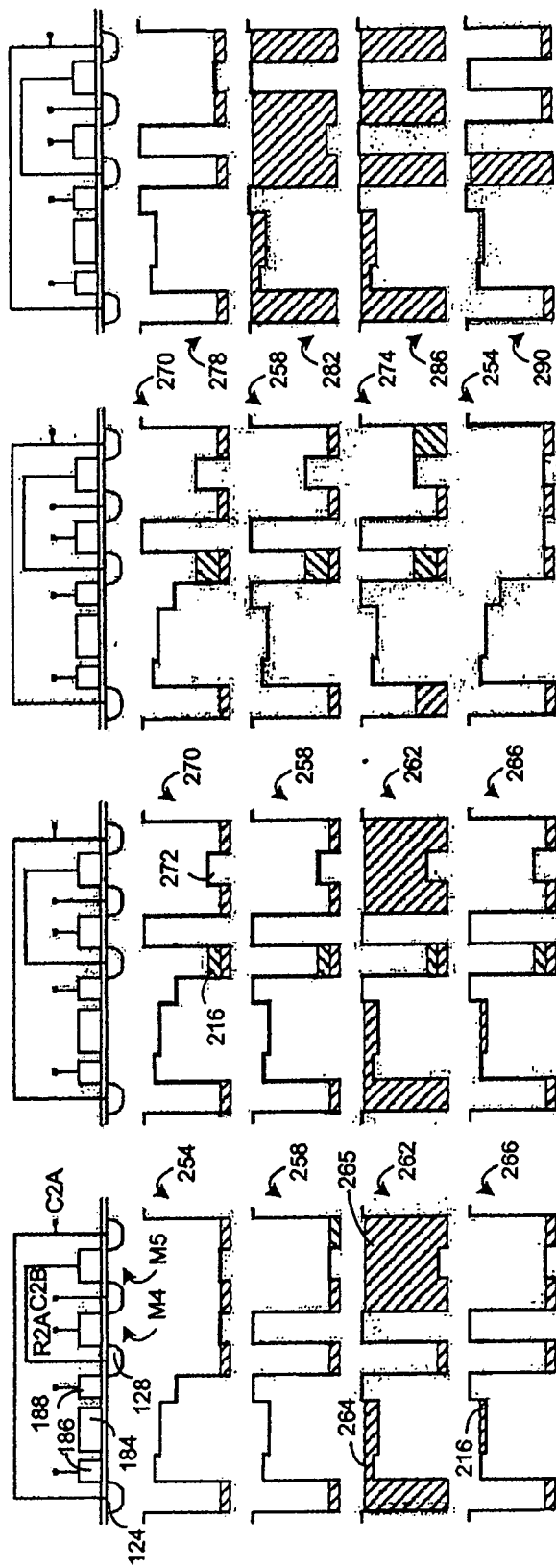


圖 8D

圖 8C

圖 8B

圖 8A

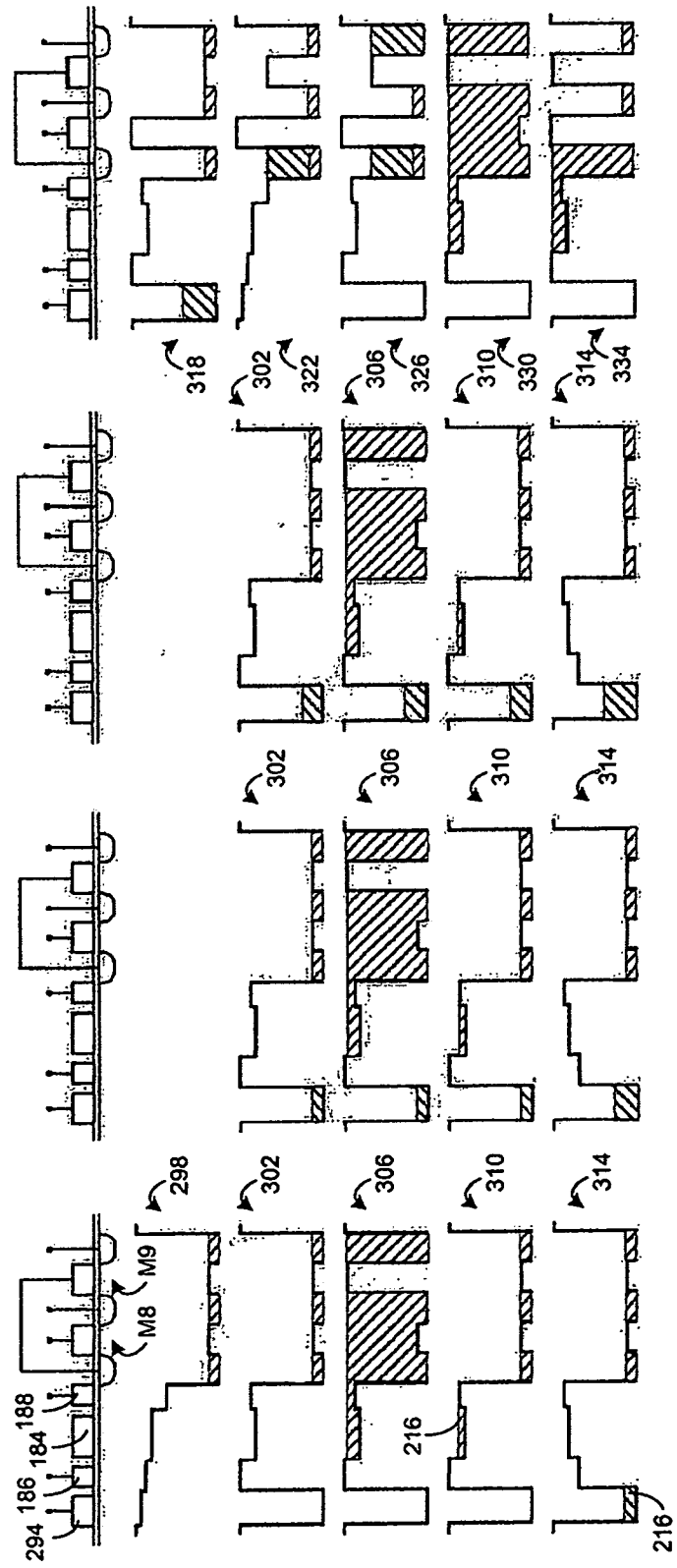


圖 11D

圖 11C

圖 11B

圖 11A