



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0065666
(43) 공개일자 2008년07월14일

- | | |
|---|---|
| <p>(51) Int. Cl.
<i>H01L 33/00</i> (2008.05)</p> <p>(21) 출원번호 10-2008-7012226</p> <p>(22) 출원일자 2008년05월22일
심사청구일자 없음
번역문제출일자 2008년05월22일</p> <p>(86) 국제출원번호 PCT/JP2006/322175
국제출원일자 2006년11월07일</p> <p>(87) 국제공개번호 WO 2007/055202
국제공개일자 2007년05월18일</p> <p>(30) 우선권주장
JP-P-2005-00324000 2005년11월08일 일본(JP)</p> | <p>(71) 출원인
로무 가부시키키가이샤
일본 교토후 교토시 우쿄구 사이잉 미조사키쵸 21</p> <p>(72) 발명자
나카하라 겐
일본 교토후 교토시 우쿄구 사이인 미조사키쵸 21
로무가부시키키가이샤 내
야마구치 아츠시
일본 교토후 교토시 우쿄구 사이인 미조사키쵸 21
로무가부시키키가이샤 내</p> <p>(74) 대리인
김창세</p> |
|---|---|

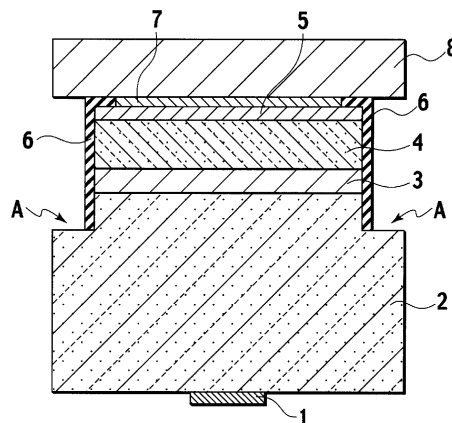
전체 청구항 수 : 총 5 항

(54) 질화물 반도체 발광 소자 및 질화물 반도체 발광 소자 제조방법

(57) 요약

전극이 대향하여 마련됨과 아울러, 칩 분리용이나 레이저 리프트오프용의 분리홈이 에칭에 의해 형성된 질화물 반도체 발광 소자이더라도, 발광 영역에 손상이 가해지지 않고, 열화가 없는 고휘도의 질화물 반도체 발광 소자 및 그 제조 방법을 제공한다. n형 질화물 반도체층(2)에는, p측으로부터 보아서 활성층(3) 위의 영역에 단차 A가 형성되어 있다. 이 단차 A의 부분까지, 보호 절연막(6)에 의해 n형 질화물 반도체층(2)의 일부, 활성층(3), p형 질화물 반도체층(4), p전극(5)의 측면과 p전극(5)의 상측일부에 걸쳐서 덮여져 있다. 칩 측면을 보호 절연막(6)으로 피복하는 구조로 함으로써 칩 분리용이나 레이저 리프트오프용의 분리홈을 에칭에 의해 형성하는 경우, 활성층(3) 등이, 장시간 에칭 가스에 노출되는 일이 없다.

대표도



특허청구의 범위

청구항 1

적어도 n층전극, n형 질화물 반도체층, 발광 영역, p형 질화물 반도체층, p층 전극을 순서대로 구비한 질화물 반도체 발광 소자에 있어서,

상기 발광 영역보다 n층 전극 쪽에 단차를 갖고, 상기 p층 전극으로부터 단차위치까지 적층 방향을 따라서 제 1 보호절연막이 형성되어 있는 것을 특징으로 하는 질화물 반도체 발광 소자.

청구항 2

제 1 항에 있어서,

상기 제 1 보호 절연막은, 상기 n형 질화물 반도체층 및 p형 질화물 반도체층보다 작은 굴절률을 갖는 것을 특징으로 하는 질화물 반도체 발광 소자.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 보호 절연막의 외측에, 이 제 1 보호 절연막보다 굴절률이 작은 제 2 보호 절연막이 형성되어 있는 것을 특징으로 하는 질화물 반도체 발광 소자.

청구항 4

성장용 기판 상에 적어도 n형 질화물 반도체층, 발광 영역, p형 질화물 반도체층을 순서대로 구비하고, 이들 반도체층을 분리하는 분리홈을 p형 질화물 반도체층으로부터 성장용 기판에 도달할 때까지 에칭에 의해 형성하는 질화물 반도체 발광 소자 제조 방법에 있어서,

상기 발광 영역을 넘은 위치까지 에칭을 행하여 제 1 분리홈을 형성한 후 에칭을 정지하고, 상기 제 1 분리홈의 깊이까지 적층 방향으로 제 1 보호 절연막을 형성한 후, 에칭에 의해 상기 제 1 분리홈을 더욱 연장하여 상기 성장용 기판에 도달하는 제 2 분리홈을 형성하는 것을 특징으로 하는 질화물 반도체 발광 소자 제조 방법.

청구항 5

제 4 항에 있어서,

상기 제 2 분리홈을 형성한 후에, 상기 성장용 기판과 대향하도록 지지 기판을 성장층의 상측과 접합하고, 그 후 상기 성장용 기판을 분리하는 것을 특징으로 하는 질화물 반도체 발광 소자 제조 방법.

명세서

기술분야

<1> 본 발명은 전극이 대향하여 마련되어 있는 질화물 반도체 발광 소자 및 질화물 반도체 발광 소자 제조 방법에 관한 것이다.

배경기술

<2> 질화물 반도체는, 조명, 백라이트등용의 광원으로서 사용되는 청색 LED, 다색화에 사용되는 LED, LD 등에 이용되고 있다. 질화물 반도체는 대량 단결정의 제조가 곤란하기 때문에, 사파이어, SiC 등의 이종 기판 위에 MOCVD(유기 금속 기상 성장법)를 이용하여 GaN을 성장시키는 것이 행하여지고 있다. 사파이어 기판은 에피택셜 성장 공정의 고온 암모니아 분위기중의 안정성이 뛰어나기 때문에, 성장용 기판으로서 특히 이용된다. 그러나, 사파이어 기판은 절연성 기판이며, 도통이 이루어지지 않아, 사파이어 기판을 사이에 두고 전극을 마련할 수 없다.

<3> 따라서, 사파이어 기판상의 질화물 반도체는 에피택셜 성장 후에 n형 질화물 갈륨층이 노출할 때까지 에칭하고, 에칭된 면에 n형 콘택트를 형성하여, 동일면 쪽에 p형과 n형의 두개 전극을 마련하는 구조가 일반적이다.

- <4> 그런데, 상기한 바와 같이 동일면 쪽에 p형과 n형 두개의 전극을 마련하는 구성으로 하면, n형 전극에 근접한 mesa 부분에 전류가 집중하기 쉬운 것에 의해, ESD(정전 파괴) 전압을 상승시킬 수 없다. 또한, 활성층에 균일하게 전류 주입하는 것이 어렵고, 활성층을 균등하게 발광시키는 것이 곤란해진다. 또한, 동일면 쪽에서, p전극과 n전극의 양쪽에 와이어 본딩용 전극을 필요로 하기 때문에, 어느 한쪽에 와이어 본딩용 전극을 마련하면 되는 도전성 기관상의 질화물 반도체보다 유효 발광 면적이 좁아져 버림과 아울러, 칩(소자) 면적이 커져서, 동일 웨이퍼로부터 얻어지는 칩수가 감소한다. 또한, 사파이어는 경도가 높고, 육방정(六方晶)의 결정 구조이기 때문에, 사파이어를 성장용 기관으로서 이용한 경우, 사파이어 기관을 스크라이브에 의해 칩분리해야 하여, 제조 공정이 번잡하게 되고 제품 수율이 나쁘다.
- <5> 한편, 사파이어 기관을 이용한 질화물 반도체 소자에 있어서, 광의 추출 효율을 향상시키는 구조로서, 플립칩 방식이 제안되어 있다. 이것은 p형층을 아래로 하여, 사파이어 기관으로부터 광이 사출되도록 한 것이다. 사파이어와 공기 사이의 굴절률차는 GaN과 공기 사이의 굴절률차보다 작기 때문에, 이스케이프콘(escape cone)이 커지고, 연마 등으로 얇아지긴 하지만 사파이어의 잔존 두께는 60~80 μ m이고, 이 때문에 가로 방향으로부터 사출되는 광도 많아지고, 이러한 효과에 의해 밝아진다고 하는 이점이 있다. 그러나, 이 플립칩 방식에서도, 동일면 쪽에 p형과 n형의 양쪽 전극이 존재하고 있기 때문에, 상기한 어느 문제도 해결할 수 없다.
- <6> 다른 한편, 도전성 기관 등을 이용하여 질화물 반도체층에 전극을 대향하도록 마련하면, 상기한 문제점은 해소되지만, 현재 질화 갈륨용으로 이용할 수 있는 도전성 기관인 SiC는 가격이 비싸고, 도전성을 갖게 하기 위해서 기관에 불순물을 도핑하면 광흡수가 커져 버린다.
- <7> 이러한 문제점들을 해결하기 위해서, 사파이어 기관을 박리하여, n형 질화 갈륨층을 노출시키고, 그 부분에 n형 전극을 형성하는 방법이 이용되고 있다. 예컨대, 사파이어 기관에 GaN 버퍼층을 사이에 두고 질화물 반도체로서의 화합물 결정층을 형성한 후, 일반적으로 300nm 이하 정도의 엑시머 레이저광을 수백 mJ/cm²로 사파이어 기관측으로부터 조사하여, GaN 버퍼층을 분해시켜, 사파이어 기관을 박리하는 레이저 리프트-오프(Laser Lift Off: 이하 'LLO'라 한다)법이 있다. 이 방법은 GaN 기관을 사용했지만 같은 칩을 제조할 수 있기 때문에, 전극을 대향하여 마련할 수 있어, 상기한 문제는 기술적으로 해결할 수 있다.
- <8> 그러나, LLO를 행하면, GaN 버퍼층이 분해하여, N₂ 가스가 발생하기 때문에, GaN 버퍼층 및 질화물 반도체에 전단 응력이 가해지고, 레이저광의 조사 영역의 경계 부분에서부터 깨어져 버리는 경우가 많다. 이 N₂가스 발생에 기인한 크랙을 방지하기 위해서, 예컨대, 도 13에 도시하는 바와 같이, 사파이어 기관(21) 상에 형성되어, 분리층으로서의 역할도 갖는 GaN 버퍼층(22)과, 이 위에 성장시킨 발광 영역을 갖는 질화물 반도체(23)를, 소자마다 분리가능한 크기에 맞춰 사파이어 기관(21)에 달할 때까지 분리홈(24)을 드라이 에칭에 의해 형성해 놓는다.
- <9> 다음에, 사파이어 기관(21)의 후방으로부터 레이저광을 조사하면, GaN 버퍼층(22)이 레이저광을 흡수해서 Ga와 N으로 분해하여, N₂ 가스가 발생하지만, 분리홈(24)으로부터 N₂가스가 배기되기 때문에, N₂ 가스에 의한 과잉의 응력이 질화물 반도체(23)의 결정층에 가해지는 것을 방지할 수 있다.
- <10> [특허 문헌 1] 일본 특허 공개 제 2003-168820 호 공보
- <11> 발명의 개시
- <12> 발명이 해결하고자 하는 과제
- <13> 그러나, 상기 종래의 방법에서는, 레이저 리프트오프(LL0)시의 N₂ 가스에 의한 전단 응력은 완화되어 질화물 반도체(23)의 크랙은 방지할 수 있지만, N₂가스를 배기하기 위한 분리홈(24)을 사파이어 기관(21)에 도달할 때까지 형성해야 하기 때문에, 드라이 에칭 시간이 길어지고, 질화물 반도체(23)의 발광 영역쪽 면이 에칭가스(플라즈마)에 노출되는 시간이 길어지므로, 발광 영역에 손상이 가해져, 리크 전류의 증가와 이것에 의한 ESD 열화, 휘도 열화가 발생한다.
- <14> 또한, LLO를 이용하지 않고, 사파이어 기관을 연삭에 의해 제거하는 경우에도, 질화물 반도체층의 깨어짐 방지나 칩 분리를 쉽게 하기 위해서, 분리홈(24)을 에칭에 의해 사파이어 기관(21)에 도달할 때까지 형성하는 경우가 있고, 이러한 때에도, 상기와 마찬가지로 발광 영역쪽 면이 플라즈마에 노출되는 시간이 길어지기 때문에, 발광 영역에 손상이 가해져, 리크 전류의 증가나 이것에 의한 ESD 열화, 휘도 열화가 발생한다.
- <15> 본 발명은, 상술한 과제를 해결하기 위해서 창안된 것으로, 전극이 대향하여 마련됨과 아울러, 칩 분리용이나 레이저 리프트오프용의 분리홈을 에칭에 의해 형성하는 질화물 반도체 발광 소자이더라도, 발광 영역에 손상이

가해지지 않고, 열화가 없는 고휘도의 질화물 반도체 발광 소자 및 질화물 반도체 발광 소자 제조 방법을 제공하는 것을 목적으로 하고 있다.

발명의 상세한 설명

- <16> 상기한 목적을 달성하기 위해, 본원의 제 1 측면의 발명은 적어도 n층 전극, n형 질화물 반도체층, 발광 영역, p형 질화물 반도체층, p층 전극을 순서대로 구비한 질화물 반도체 발광 소자에 있어서, 상기 발광 영역보다 n층 전극 쪽에 단차를 갖고, 상기 p층 전극으로부터 단차 위치까지 적층 방향을 따라서 제 1 보호 절연막이 형성되어 있는 것을 특징으로 하는 질화물 반도체 발광 소자이다.
- <17> 또한, 제 2 측면의 발명은, 제 1 측면의 질화물 반도체 발광 소자에 있어서, 상기 제 1 보호 절연막이, 상기 n형 질화물 반도체층 및 p형 질화물 반도체층보다 작은 굴절률을 갖는 것을 특징으로 하는 것이다.
- <18> 또한, 제 3 측면의 발명은, 제 1 또는 제 2 측면의 질화물 반도체 발광 소자에 있어서, 상기 제 1 보호 절연막의 외측에, 그 제 1 보호 절연막보다 굴절률이 작은 제 2 보호 절연막이 형성되어 있는 것을 특징으로 하는 것이다.
- <19> 또한, 제 4 측면의 발명은, 성장용 기관 상에 적어도 n형 질화물 반도체층, 발광 영역, p형 질화물 반도체층을 순서대로 구비하고, 이들 반도체층을 분리하는 분리홈을 p형 질화물 반도체층으로부터 성장용 기관에 도달할 때까지 에칭에 의해 형성하는 질화물 반도체 발광 소자 제조 방법에 있어서, 상기 발광 영역을 넘은 위치까지 에칭을 행하여 제 1 분리홈을 형성한 후 에칭을 정지하고, 상기 제 1 분리홈의 깊이까지 적층 방향으로 제 1 보호 절연막을 형성한 후, 에칭에 의해 상기 제 1 분리홈을 더욱 연장하여 상기 성장용 기관에 도달하는 제 2 분리홈을 형성하는 것을 특징으로 하는 질화물 반도체 발광 소자 제조 방법이다.
- <20> 또한, 제 5 측면의 발명은, 제 4 측면의 질화물 반도체 발광 소자 제조 방법에 있어서, 상기 제 2 분리홈을 형성한 후에, 상기 성장용 기관과 대향하도록 지지 기관을 성장층의 상측과 접합하고, 그 후 상기 성장용 기관을 분리하는 것을 특징으로 하는 것이다.
- <21> 발명의 효과
- <22> 본 발명에 의하면, 질화물 반도체층에 n전극과 p전극이 대향하여 마련되고, 칩분리용 또는 레이저 리프트오프용의 분리홈이 에칭에 의해 형성되는 질화물 반도체 발광 소자이더라도, p전극으로부터 발광 영역을 넘어서 n형 질화물 반도체층 상에 마련된 단차 위치까지의 측면을 보호 절연막으로 피복하는 구성으로 하고 있기 때문에, 발광 영역 등이 장시간 에칭 가스에 노출되는 일이 없고, 발광 영역 등을 보호할 수 있다.
- <23> 또한, 제 1 보호 절연막의 외측에 제 2 보호 절연막을 겹쳐 형성한 경우, 제 1 보호 절연막의 굴절률보다 제 2 보호 절연막의 굴절률을 작게 하는 것으로, 측면에 방사된 광의 일부를 전반사에 의해 반사시켜 출력할 수 있어, 광의 추출 효율을 높일 수 있다.

실시 예

- <47> 이하, 도면을 참조하여 본 발명의 일 실시형태를 설명한다. 도 1은 본 발명에 따른 제 1 질화물 반도체 발광 소자의 단면 구조를 나타낸다.
- <48> III-V족 반도체로서도 알려진 질화물 반도체는, 주기표의 III족으로부터 선택되는 Al, Ga 및 In 등의 원소와, V족의 원소 N을 갖는다. 질화물 반도체는 질화갈륨(GaN) 등의 2원소 혼합 결정이어도 좋고, 질화갈륨알루미늄(AIGaN) 또는 질화알루미늄인듐(InGaN) 등의 3원소 혼합 결정, 및 질화알루미늄갈륨인듐(AlGaInN) 등의 4원소 혼합 결정이어도 좋다. 이들 재료를 기관상에 부착시켜, 광 전자 디바이스 용도의 발광 소자로서 사용가능한 적층 반도체 구조를 제조한다. 질화물 반도체는 녹-청-자-자의 스펙트럼의 단파장의 가시광 발광에 필요한 넓은 밴드갭을 갖는다.
- <49> 본 실시예에서는, InGaN의 3원소 혼합 결정계를 이용하고 있지만, 상술한 바와 같이 InGa에 한정되는 것이 아니다. 발광 영역으로서의 활성층(3)을 사이에 두고 n형 질화물 반도체층(2)과 p형 질화물 반도체층(4)이 형성되어 있고, 더블헤테로 구조를 갖는다. 활성층(3)은, 예컨대, InGaN/GaN로 구성된 다중 양자우물 구조를 갖는 것으로, 우물층으로서 InGaN, 배리어층(장벽층)으로서 언도프 GaN을 교대로 적층하고 있지만, 배리어층은 0.5~2%의 In 조성으로 이루어지는 InGaN을 이용하는 것도 가능하다. 그런데, 발광 영역으로서 활성층(3)을 마련하도록 하고 있지만, 이 활성층(3)을 마련하지 않고서, n형 질화물 반도체층(2)과 p형 질화물 반도체층(4)을 직접

pn접합하도록 하여도 좋다. 이 경우, 발광 영역은 pn 접합 계면부분이 된다.

- <50> n형 질화물 반도체층(2)은, 예컨대, n형 불순물 Si 도프된 GaN 콘택트층과 이 위에 적층된 n형 불순물 Si 도프된 InGaN/GaN 초격자층으로 구성된다. 이 초격자층은 격자 정수차가 큰 InGaN과 GaN의 응력을 완화하여, 활성층의 InGaN을 성장시키기 쉽게 하는 것이다. 한편, p형 질화물 반도체층(4)은, 예컨대, p형 불순물 Mg 도프된 GaN 콘택트층으로 구성된다. n형 질화물 반도체층(2)의 하측에는 n전극(1)이 형성되고, p형 질화물 반도체층(4)의 위에는 p전극(5)이 형성되어 있다. n전극(1)은 Ti와 Al의 적층체 또는 Al 등으로 구성되어 있고, n형 질화물 반도체층(2)에 오염접촉하고 있다. p전극(5)은 Ni와 Au의 적층체 등을 이용할 수 있지만, 광의 추출 효율을 고려한 구조로 하는 경우에는, 투명 전극으로 하는 것이 바람직하고, 예컨대, ZnO를 이용하여 오염접촉시킨 전극으로 할 수 있다.
- <51> 도전성 용착층(7)은, p전극(5)과 지지 기판(8)을 접합하는 것으로, 땀납 등의 납재료가어도 좋고, 열압착의 경우에는 Ti와 Au의 다층 금속막 또는 Au만, Au 및 Sn의 합금과 Ti와의 다층 금속막 등이 이용된다. 도전성 용착층(7)에 의해서 p전극(5)과 지지 기판(8)이 전기적으로 접속된다. 지지 기판(8)은 사파이어 기판 상에 성장시킨 질화물 반도체를 바꿔 붙이는데 이용되는 것으로, 도전성 기판이 이용되는 경우가 많고, 도전성 기판으로서, GaN, 실리콘, SiC 등의 재료가 이용되며, 또한, 고 열전도 서브마운트로서 Cu나 AlN 등도 이용된다. AlN을 지지 기판으로 한 경우는, 절연성 기판으로 되지만, 프린트 기판 등의 회로상에 칩을 탑재할 때에 유리해진다. 지지 기판(8)을 도전성 기판으로 한 경우에는, 지지 기판(8)에 형성된 도전성 용착층(7)과 반대쪽에 외부 접속 단자 등이 마련되어, 외부의 전기단자와 접속된다.
- <52> 그런데, n형 질화물 반도체층(2)에는, p측으로부터 보아서 활성층(3)을 넘은 영역에 단차 A가 형성되어 있다. 이 단차 A의 부분까지, 제 1 보호 절연막으로서의 보호 절연막(6)에 의해 n형 질화물 반도체층(2)의 일부, 활성층(3), p형 질화물 반도체층(4), p전극(5)의 측면과 p전극(5)의 상측 일부(콘택트 홀을 제외한 부분)에 걸쳐서 덮여져 있고, 예컨대, 발광 다이오드 소자의 경우, 보호 절연막(6)은 칩의 주연부에 환상(環狀)으로 형성되고, 반도체 레이저의 경우에는, 공진기 구조를 얻기 위해서 칩의 양측면에 형성된다. 보호 절연막(6)에는, SiN이나 SOG(Spin On Glass) 등이 이용된다.
- <53> 이와 같이, 단차 A의 위치로부터 위쪽의 칩 측면을 보호 절연막(6)으로 피복하는 구조로 함으로써 소자마다 분리하기 위한 분리홈을 에칭으로 형성하는 경우나, LL0에 의해서 발생하는 N₂가스를 배기하기 위한 분리홈을 에칭으로 형성하는 경우에, n형 질화물 반도체층(2)의 일부, 발광 영역인 활성층(3), p형 질화물 반도체층(4)이 보호 절연막(6)에 의해 보호되기 때문에, 장시간 에칭 가스(플라즈마)에 노출되는 일이 없고, 소자의 열화를 방지할 수 있다.
- <54> 도 1의 구성에 의한 질화물 반도체 발광 소자의 활성층(3)에서 발생한 광은, n전극(1)의 방향(도면중 아래쪽 방향)으로 출사되지만, 보호 절연막(6)의 굴절률을 n형 질화물 반도체층(2), 활성층(3), p형 질화물 반도체층(4)의 어느것의 굴절률보다 작게 함으로써, 소자 내부에서 측면으로 향해 방사되는 광의 일부가 각 반도체층과 보호 절연막(6)과의 경계면에서 전반사하기 때문에, 광의 추출 효율이 향상한다. 상술한 바와 같이, 보호 절연막(6)을 SiN이나 SOG로 하면, GaN을 포함하는 각 반도체층보다 보호 절연막(6)의 굴절률이 작아진다.
- <55> 이하, 도 6~도 12를 이용하여, 본 발명의 질화물 반도체 발광 소자 제조 방법을 설명한다. 먼저, 도 6을 참조하면서 설명하면, 우선, 성장용 기판으로서 사파이어 기판(11)을 MOCVD(유기 금속 화학 기상 성장) 장치에 넣고, 수소 가스를 흘리면서, 1050℃ 정도까지 온도를 올려, 사파이어 기판(11)을 열세척한다. 온도를 600℃ 정도까지 내려, 저온에서 분리층이 되는 GaN 버퍼층(12)을 성장시킨다.
- <56> 상기 처음 공정에서는, 이하와 같이 행하는 것도 가능하다. 예컨대, 사파이어 기판(11)을 PLD(Pulsed Laser Deposition) 장치에 넣고, 가스를 도입하지 않은 채로, 600~800℃에서 사파이어 기판(11)을 세척한다. GaN을 타겟으로 해서 KrF 레이저로 연마하여 GaN 단결정으로 이루어지는 GaN 버퍼층(12)을 성장시키도록 하여도 좋다. 그 후는, MOCVD 장치에 반입하여, 이하 마찬가지로 성막을 행한다.
- <57> MOCVD 장치내의 온도를 다시 1000℃ 정도까지 올리고, GaN 버퍼층(12) 위에, n형 질화물 반도체층(2)을 적층한다. n형 질화물 반도체층(2)은, 예컨대, n형 불순물 Si 도프된 GaN 콘택트층과 n형 불순물 Si 도프된 InGaN/GaN 초격자층으로 구성된다. 따라서, 우선, GaN 버퍼층(12) 위에, n형 불순물 Si 도프된 GaN 콘택트층을 성장시키고, 또한 그 위에 n형 불순물 Si 도프된 InGaN/GaN 초격자층을 성장시킨다.
- <58> 다음에, 활성층(3)을 형성한다. 활성층(3)은, 일례로서, InGaN/GaN에 의한 MQW층(다중 양자우물 구조층)을 이

용하고, 우물층으로서 $In_{0.17}GaN$ 을 20~40Å, 바람직하게는 25~35Å, 배리어층으로서 도핑되지 않은 GaN 층 또는 1% 정도의 In 조성을 갖는 InGaN 층을 50~300Å 바람직하게는 100~200Å으로 교대로 적층하여, 예컨대, 3~10주기, 바람직하게는 5~8주기의 다층 구조로 성장시킨다. 그런데, In 조성 비율이 높은 InGaN 우물층은, 고온이 되면 In이 승화하여 깨지기 쉽게 되기 때문에, 캡층의 역할을 갖는 도핑되지 않은 GaN 층 또는 1% 정도의 In 조성의 InGaN 층을 활성층(3)의 위에 적층한다. 그 후, 승온하여, p형 질화물 반도체층(4)을 성장시킨다. p형 질화물 반도체층(4)은, 예컨대, p형 불순물 Mg 도핑된 GaN 콘택트층 등으로 구성된다.

<59> 다음에, p전극(5)으로서, 예컨대, Ga 도핑된 ZnO 전극을 이용하는 경우는, 분자선 에피택시(epitaxy)법을 이용하여, $2e^{-4}\Omega cm$ 정도의 낮은 저항율을 가지는 Ga 도핑된 ZnO 전극을 적층하고, 칩의 형상에 맞춰 에칭한다. SiO_2 과 같은 유도체막이나 레지스트에 의해 마스크(13)를 칩 형상에 맞춰 형성한다.

<60> 다음에, 도 7에 도시하는 바와 같이, ICP 등을 이용하여 메사 에칭을 행하여 제 1 분리홈을 형성한다. 메사 에칭은 활성층(3)을 통과하여 n형 질화물 반도체층(2) 중의 n형 GaN 콘택트층이 노출하는 곳까지 행하고, 일단 에칭을 정지한다.

<61> 마스크(13)를 들어낸 후, 도 8에 도시하는 바와 같이 P-CVD나 스퍼터링으로 보호 절연막(6)을 p전극(5) 상면으로부터 제 1 분리홈의 하단까지 전부 피복하도록 형성하고, 제 1 분리홈내를 완전히 매우지 않도록, 인접하는 소자 사이의 극간은 충분히 열어 놓는다. 보호 절연막(6)은, 발광 다이오드 소자의 경우, 칩의 주변부에 환상으로 형성되고, 반도체 레이저의 경우에는 공진기 구조를 얻기 위해서 칩의 양측면에 형성된다. 그리고, 도 9에 도시하는 바와 같이 SiO_2 와 같은 유도체막이나 레지스트에 의해 마스크(14)의 패터닝을 콘택트 홀 형상에 맞춰 행하여 형성한다.

<62> 다음에, 도 10에 도시하는 바와 같이 CF_4 계 드라이 에칭으로 콘택트 홀(17)의 영역에 해당하는 보호 절연막(6)을 제거하고, p전극(5)에 대한 콘택트 홀(17)을 형성한다. 본 실시예에서는, p전극(5)에 ZnO 전극을 이용하고 있지만, CF_4 계의 드라이 에칭에서는 ZnO의 에칭 레이트는 보호 절연막(6)보다 느리기 때문에, ZnO 자신이 에칭 스톱퍼로서 기능한다.

<63> 콘택트 홀(17)을 형성하고, 마스크(14)를 들어낸 후, 도전성 용착층(7)을 증착법으로 형성하며, 도 11에 도시하는 바와 같이 도 7의 프로세스에서 중단하고 있었던 에칭을 재개하고, 사파이어 기판(11)이 노출할 때까지 에칭을 행하여 제 2 분리홈을 형성한다. 이러한 에칭시에, 발광 영역으로서의 활성층(3), p형 질화물 반도체층(4) 등의 이미 보호 절연막(6)이 마련되어 있는 영역은, 에칭 가스(플라즈마)에 노출되는 일이 없어, 열화를 방지할 수 있다. 제 2 분리홈의 홈 폭은, 도 7에 표시된 제 1 분리홈보다 작아진다.

<64> 에칭이 종료한 후, 도 12에 도시하는 바와 같이 지지 기판(8)을 성장용 기판(사파이어 기판(11)) 위의 성장층의 최상부에 배치하고, 도전성 용착층(7)에 의해 열압착 등을 이용하여, 도 11에 표시되는 적층체에 붙인다. 여기서, 분리홈C = 제 1 분리홈 + 제 2 분리홈을 나타낸다. 이 분리홈 C는 사파이어 기판(11)을 제거하기 위해서, LLO를 이용한 경우, GaN 버퍼층(12)이 분해하여 발생하는 N_2 가스를 배기하여 질화물 반도체층의 크랙을 방지하는 역할과, 각 소자(각 칩)로 분리하는 소자 분리홈으로서의 역할을 갖는다.

<65> 다음에, LLO에 의해 사파이어 기판(11)을 제거하는 경우는, 248nm에서 발진하는 KrF 레이저를 사파이어 기판(11)측으로부터 GaN 버퍼층(12)으로 향해 조사하여 사파이어 기판(11)을 박리한다. 레이저는 KrF 이외에, ArF:193nm, XeCl:308nm, YAG 3배파:355nm, 사파이어:Ti 3배파:360nm, He-Cd:325nm 등이 사용가능하다.

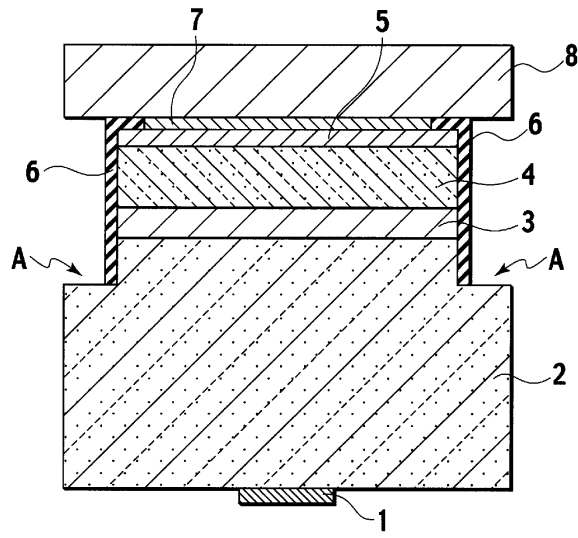
<66> KrF의 경우, 필요 조사 에너지는 $50\sim 500mJ/cm^2$, 바람직하게는 $100\sim 400mJ/cm^2$ 이다. 248nm의 광은 사파이어 기판(11)을 거의 완전히 투과하고, GaN 버퍼층(12)에서는 거의 100% 흡수되기 때문에, 사파이어 기판(11)과 GaN 버퍼층(12)의 계면에서 급속하게 온도 상승이 일어나고, GaN 버퍼층(12)의 GaN을 분해한다. 이 때, 발생하는 N_2 는 분리홈 C의 공극으로 달아나기 때문에, 질화물 반도체층에 압력이 가해지지 않아, 효과적으로 크랙을 방지할 수 있다. 사파이어 기판(11)의 박리 후, 산에칭 등으로 여분의 Ga를 흘려, n전극(1)을 형성한다. n전극(1)은, 다층 금속막으로 형성되어 있고, Al/Ni/Au나 Al/Pd/Au, 또는 Ti/AlNi/Au나 Ti/AlTi/Au 등으로 구성된다.

<67> 그 후, 다이싱 등에 의해 지지 기판(8)을 절단하여 칩 형상으로 분리하면 도 1의 질화물 반도체 발광 소자가 완성된다. 보호 절연막(6)으로 n형 질화물 반도체층(2)의 일부, 활성층(3), p형 질화물 반도체층(4) 등이 덮여 있기 때문에, 칩화할 때의 다이싱 등에 의한 절단시의 쇼트를 방지할 수 있다.

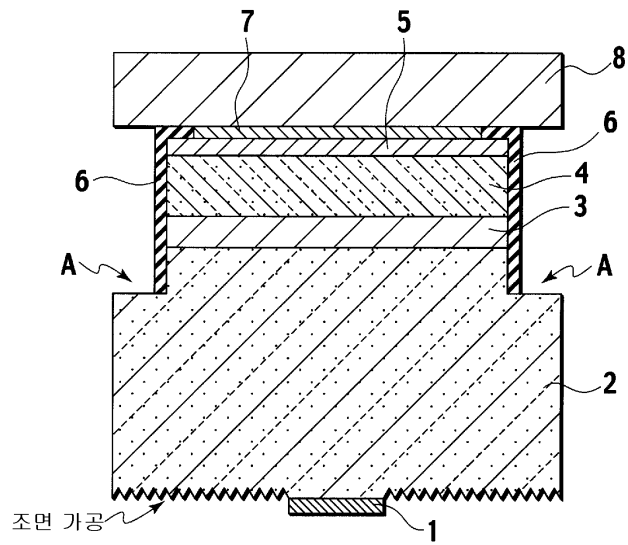
- <68> n형 질화물 반도체층(2)의 광 추출면(n전극(1)쪽 면)은, 도 1과 같이 경면으로 마무리되어 있어도 좋지만, 광의 추출 효율을 높이기 위해서, 도 2에 도시하는 바와 같이 조면가공한 표면(요철이 형성된 표면)으로 해도 좋다. n형 질화물 반도체층(2)과 대기와 굴절률 차에 의해 임계각이 존재하고, 임계각보다 큰 입사각을 갖는 출사광은, 전반사해서 외부로 출사될 수 없기 때문에, 요철을 형성함으로써, 입사각이 임계각보다 작아지는 비율을 늘려, 광의 추출 효율을 향상시키는 것이다.
- <69> 조면 가공은, 도 12의 제조 공정에 있어서, n전극(1)을 형성하기 전에, n전극(1)을 적층하는 영역 부분을 SOG, SiN 등의 마스크로 덮고, KOH와 파장 365nm을 포함하는 UV 광을 이용하여 에칭을 행하여, n형 질화물 반도체층(2)의 노출면에 요철을 형성한다. 다음에, 마스크를 박리하여 n전극(1)을 형성한다.
- <70> 도 3은 제 2 질화물 반도체 발광 소자의 단면 구조를 나타낸다. 각 도면에서 동일 부호를 부여하고 있는 것은 동일 구성을 나타낸다. 도 2와 달리, 보호 절연막을 2중으로 한 구조로 되어 있다. 보호 절연막(6)의 외측에 제 2 보호 절연막으로서 보호 절연막(9)이 마련되어 있고, 보호 절연막(6)과 마찬가지로, 발광 다이오드 소자의 경우, 칩의 주연부에 환상으로 형성되며, 반도체 레이저의 경우에는, 공진기 구조를 얻기 위해서 칩의 양측면에 형성된다.
- <71> 보호 절연막(9)의 굴절률은, 보호 절연막(6)의 굴절률보다 작게 구성되어 있다. 질화물 반도체 발광 소자의 광의 추출은, 칩 내부로부터 n전극(1) 방향으로 향해 출사되지만, 활성층(3)에서 발광한 광은, 상하좌우 360도 방향으로 방사되기 때문에 광의 추출 효율이 나빠진다.
- <72> 보호 절연막(9)의 굴절률을 보호 절연막(6)의 굴절률보다 작게 하는 것으로, 칩 측면으로 방사된 광의 일부가, 보호 절연막(6)과 보호 절연막(9)의 경계면에서 전반사를 일으켜 칩 내부로 반사되게 되기 때문에, 도 2의 질화물 반도체 발광 소자보다 더욱 광의 추출 효율이 향상한다. 예컨대, 보호 절연막(6)을 SiN이나 ZrO로 하고, 보호 절연막(9)을 알루미늄(AlO)나 SOG로 하면, GaN을 포함하는 각 반도체층, 보호 절연막(6), 보호 절연막(9)의 순서로 굴절률이 작아진다.
- <73> 도 4는, 도 3과 마찬가지로 보호 절연막을 2중으로 하고 있지만, 도 3과 다른 것은, 외측의 보호 절연막(91)이 단차 A의 위치까지밖에 형성되어 있는 것이 아니라, n형 질화물 반도체층(2)의 하단까지 형성되어 있고, 질화물 반도체층의 측면 전체를 피복하도록 마련되어 있다. 이와 같이, 외측의 보호 절연막(91)을 형성하고, 또한, 보호 절연막(91)의 굴절률을 n형 질화물 반도체층(2), 활성층(3), p형 질화물 반도체층(4) 및 보호 절연막(6)보다 작게 하는 것으로, n형 질화물 반도체층(2)과 보호 절연막(91)과의 경계면에서의 전반사 광과, p형 질화물 반도체층(4) 또는 활성층(3)과 보호 절연막(6)과의 경계면에서의 전반사 광 및 보호 절연막(6)과 보호 절연막(91)의 경계에서의 전반사 광에 의해, 많은 광을 n전극(1) 방향으로 인도할 수 있어, 도 3보다 더욱 광 추출 효율이 향상한다.
- <74> 도 5는 2중으로 보호 절연막을 마련한 경우에, 더욱 광의 추출 효율을 높인 구성을 나타낸다. 도 3과 마찬가지로, 굴절률이 다른 2중의 보호 절연막이 마련되어 있지만, 반사막(10)이 마련되어 있고, 측면의 보호 절연막으로부터의 전반사뿐만 아니라, 이 반사막(10)에 의해 위방향으로 향한 광을 반사시켜 n전극(1)의 방향으로 출사력하도록 하는 것이다. 이 경우, p전극(5)은 투명 전극이 아니면 안되고, 상술한 Ga 도프된 ZnO 전극을 이용한다.
- <75> p형 질화물 반도체층에 p형 GaN 콘택트층을 이용한 경우, Ga를 도프한 ZnO는, GaN과 격자 정수가 근사하고 있어, 사후 어닐을 행하지 않고, p형 GaN 콘택트층과의 사이에 양호한 오음 접촉을 형성한다. 또한, 반사막(10)에는, Al나 Ag 등의 은백색계의 반사 미러로서 작용하는 금속이 이용된다. 보호 절연막(61)으로서는 투명 절연막인 SiN이나 ZrO₂가, 보호 절연막(92)으로서는 투명 절연막인 알루미늄(Al₂O₃)가 이용된다.
- <76> 보호 절연막(92)에 이용되는 알루미늄은 반사막(10)과 보호 절연막(61)간의 밀착성을 높여 반사막(10)의 박리층을 접착층으로서 작용함과 아울러, 굴절률이 GaN을 포함하는 반도체층, 보호 절연막(61), 보호 절연막(92)의 순서로 작아지기 때문에, 전반사에 의한 광의 추출 효율을 높이는 작용을 한다. 형성 방법은, 보호 절연막(61)을 형성한 후, 보호 절연막(92)(알루미늄)을 스퍼터에 의해 적층하여, 에칭에 의해 콘택트 홀(18A, 18B)를 개구한 후, 반사막(10)을 증착법으로 성막한다.
- <77> 반사막(10)은, p전극(5) 상에 직접 모든 면에 적층되어 있지 않고, 작은 콘택트 홀(18A, 18B)을 거쳐서 반사막(10)의 일부가 p전극(5)에 직접 접촉하도록 형성되고, 그 밖의 영역에는 보호 절연막(61, 92)을 사이에 두고 반사막(10)이 형성되어 있다. 이것은, p전극(5)과 반사막(10)을 거의 전면에서 접하도록 하면, p전극(5)과 반사막(10)간에 광의 흡수가 발생하여 반사율이 저하하기 때문이다. Al나 Ag 등의 은백색계 금속은, Ga 도프된 ZnO

도면

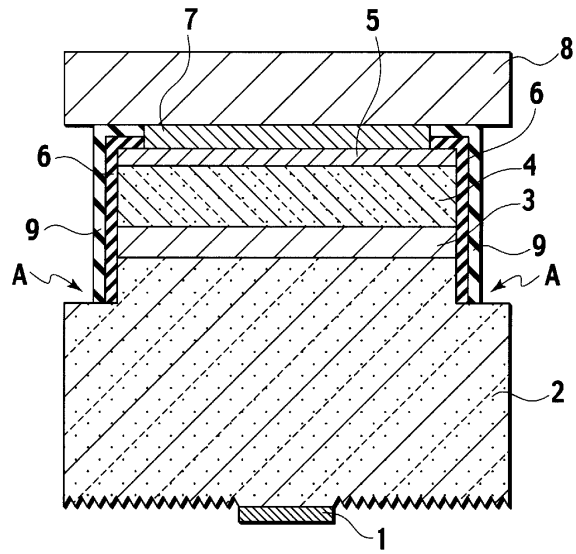
도면1



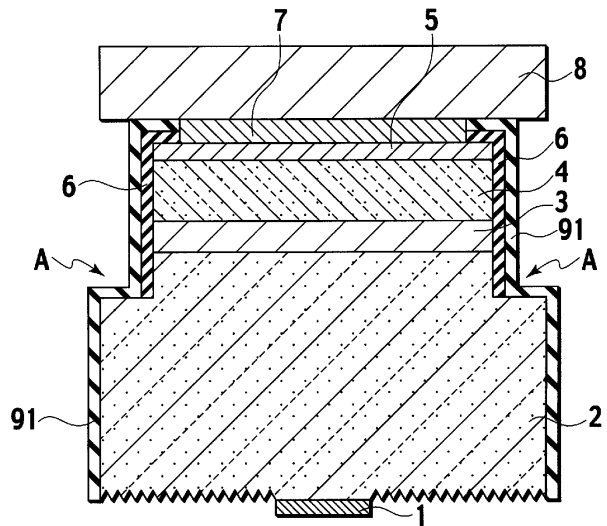
도면2



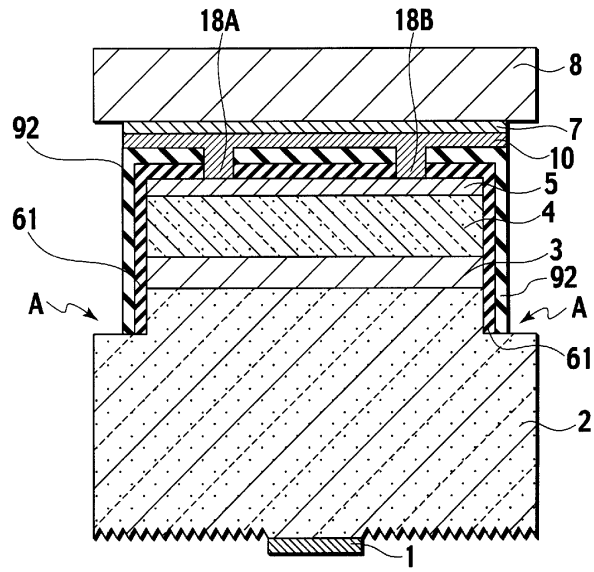
도면3



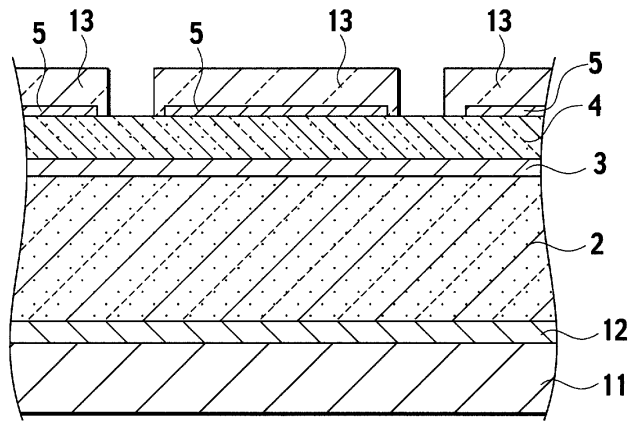
도면4



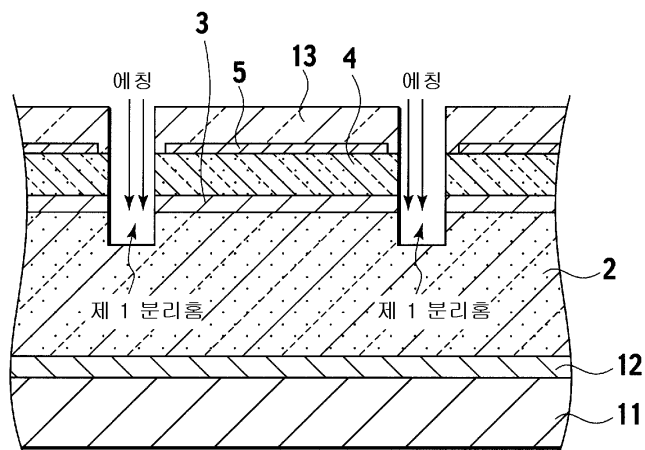
도면5



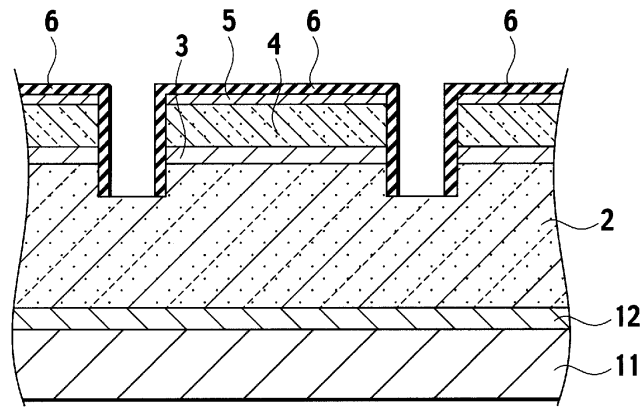
도면6



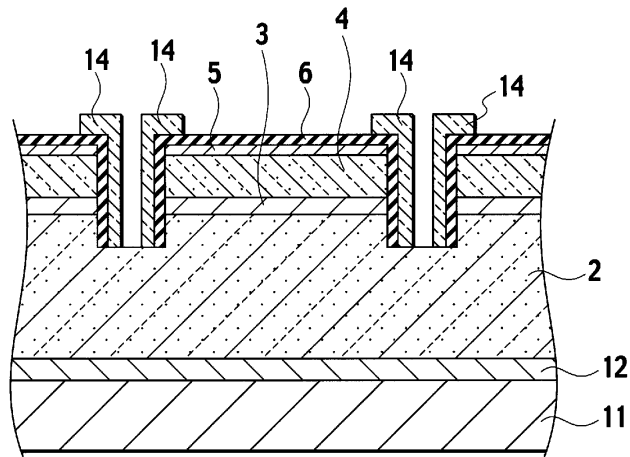
도면7



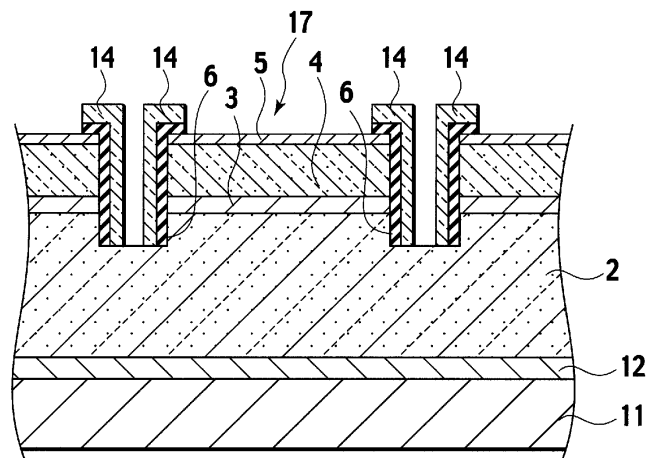
도면8



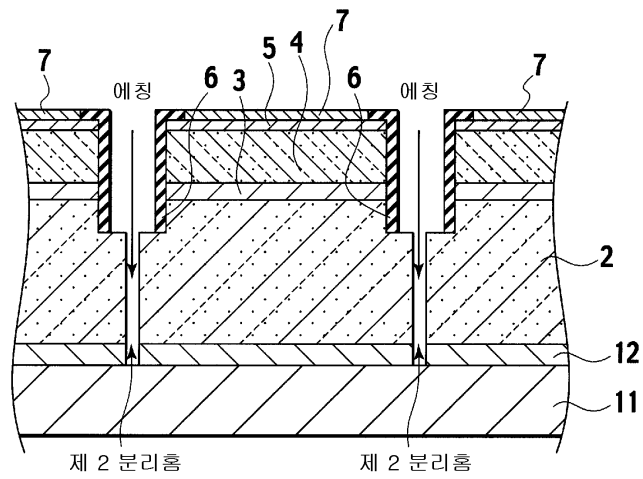
도면9



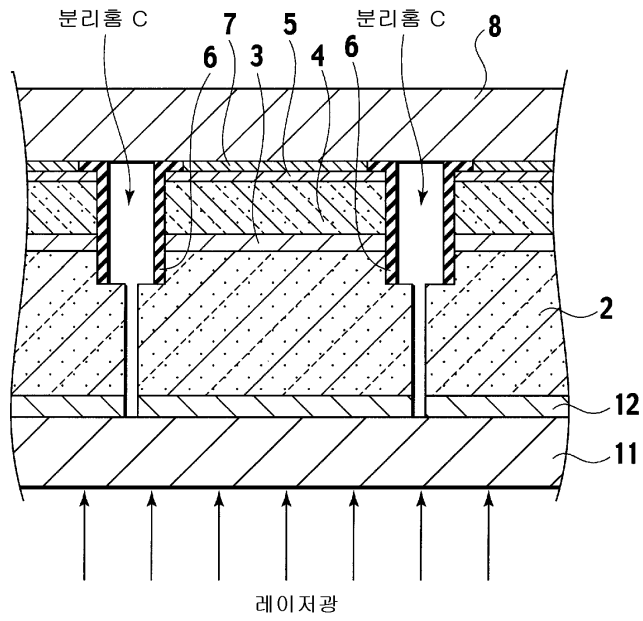
도면10



도면11



도면12



도면13

