

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年4月3日(03.04.2014)



(10) 国際公開番号  
WO 2014/050482 A1

- (51) 国際特許分類:  
H01Q 1/50 (2006.01) H01F 27/42 (2006.01)
- (21) 国際出願番号: PCT/JP2013/073893
- (22) 国際出願日: 2013年9月5日(05.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2012-217709 2012年9月28日(28.09.2012) JP  
特願 2012-288936 2012年12月28日(28.12.2012) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 石塚健一(ISHIZUKA, Kenichi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 中磯俊幸(NAKAI, Toshiyuki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

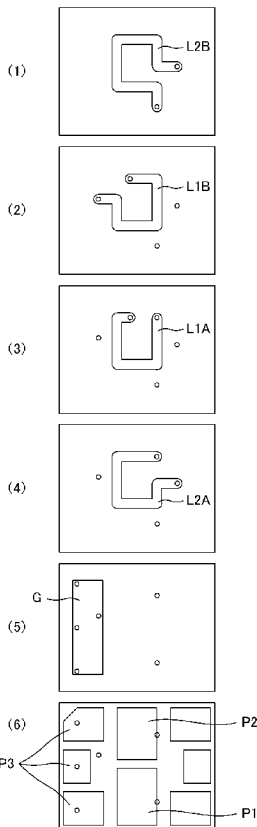
Kyoto (JP). 西田浩(NISHIDA, Hiroshi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

- (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: METHOD FOR DESIGNING IMPEDANCE CONVERSION CIRCUITS

(54) 発明の名称: インピーダンス変換回路の設計方法



(57) Abstract: The present invention involves designing impedance conversion circuits in the following order. [1] A transformer ratio required for a transformer circuit is determined according to an impedance ratio. [2] The coupling coefficients between first inductance elements (loop-shaped conductors (L1A, L1B)) and second inductance elements (loop-shaped conductors (L2A, L2B)), and the inductances of the first inductance elements and the inductances of the second inductance elements are each determined. [3] The shapes of the second inductance elements are determined in such a manner that each of the first inductance elements is constituted by at least a two-layer loop conductor, and the interlayer distance between each loop conductor is determined in such a manner that the inductance value of each first inductance element attains a desired value.

(57) 要約: インピーダンス変換回路は次の手順で設計する。[1] インピーダンス比に応じてトランス回路の必要なトランス比を決定する。[2] 第1インダクタンス素子(ループ状導体(L1A, L1B))と第2インダクタンス素子(ループ状導体(L2A, L2B))との結合係数、第1インダクタンス素子のインダクタンスおよび第2インダクタンス素子のインダクタンスをそれぞれ決定する。[3] 第2インダクタンス素子の形状を決定する。[4] 第1インダクタンス素子を少なくとも2層のループ導体で構成するように、第1インダクタンス素子の形状を決定するとともに、第1インダクタンス素子のインダクタンス値が所望の値となるように、各ループ導体間の層間距離を定める。



WO 2014/050482 A1



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ  
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッ  
パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,  
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,  
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,  
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：インピーダンス変換回路の設計方法

### 技術分野

[0001] 本発明は、マルチバンド対応セルラー端末用のアンテナ装置等に適用するインピーダンス変換回路の設計方法に関する。

### 背景技術

[0002] 近年のマルチバンド対応携帯通信端末は、LowBand(例えば824~960MHz)とHighBand(例えば1710~2170MHz)との両方の周波数帯に対応することが求められており、そのアンテナ装置には非常に広帯域な周波数特性が求められている。同時に、携帯通信端末の小型化も進められており、一つのアンテナ素子でLowBandとHighBandとの両方に対応可能なアンテナ装置が求められている。このようなアンテナ装置では、一つのアンテナ素子に周波数帯域に応じて異なる動作モードが割り当てられている。通常は、基本波モードでLowBandに対応し、高調波モードでHighBandに対応するように設計されている。そして、アンテナ素子の入力インピーダンスは、そのモード(共振点)に応じて異なっている。携帯電話端末用のアンテナ素子は、そのサイズが小さいため、入力インピーダンスは例えばLowBandで8Ω程度、HighBandで15Ω程度である。

[0003] 一方、例えば特許文献1に開示された構成のインピーダンス変換回路が利用されることがある。このインピーダンス変換回路は、トランス回路を利用した整合回路であって、広い周波数帯にてインピーダンスの整合が可能である。しかしながら、周波数帯に応じて入力インピーダンスの異なるアンテナ素子を給電回路に整合させるために特許文献1のインピーダンス変換回路を用いると、各周波数帯においてトランス回路のトランス比が一定であるため、どちらかの周波数帯域で整合がとれると、他方の周波数帯域で整合が外れてしまう。つまり、トランス回路を利用するマルチバンドに対応可能なアンテナ装置では、周波数帯に応じてインピーダンス変換比が異なるインピーダ

ンス変換回路が必要になる。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特許第4900515号

## 発明の概要

### 発明が解決しようとする課題

[0005] 一方、後に詳述するように、トランス回路を構成する1次コイルおよび2次コイルの各インダクタンスが小さくなるほど、トランス回路自体のインピーダンス変換比に周波数依存性が生じる。

[0006] また、所望の周波数帯域で整合する、周波数特性のあるトランスは、そのアンテナポート側のインピーダンスが周波数帯域ごとのアンテナ素子のインピーダンスと同等であるといえる。

[0007] トランス回路を利用したインピーダンス変換回路を利用する場合、アンテナポート側のインピーダンスをLowBandとHighBandのアンテナのインピーダンスに合わせる際、実際の構造でとり得る結合係数を仮定した時、結合に用いる1次コイルのインダクタンスL1及び2次コイルのインダクタンスL2の組み合わせは二通りに限定される。

[0008] これらインダクタンスL1,L2の値は非常に小さく、次に述べるような要因で結合係数が非常にとりにくい構造となる。

[0009] ・2nH程度のインダクタを結合させる際、十分なコイルの巻き数が確保できない（磁束が集中しない）。

[0010] ・トランス回路の結合に寄与しない入出力部のインダクタンスの割合が大きくなり、結合係数の実効値が小さくなる。

[0011] つまり、小さなインダクタンスのコイルでありながらも所定の（大きな）結合係数を得るためには、1次コイルと2次コイルの形状を同一形状（合同に近い形状）にして互いに重なるように配置する必要がある。

[0012] しかし、1次コイルと2次コイルを同一形状にすると、1次コイルおよび

2次コイルそれぞれについて所望の（異なる）インダクタンスを得ることは非常に難しい。

[0013] そこで、本発明の目的は、小さなパターンでありながらも所定の（大きな）結合係数を得ることができ、所定のインピーダンス変換比を得るようにしたインピーダンス変換回路の設計方法を提供することにある。

### 課題を解決するための手段

[0014] (1) 第1高周波回路と第2高周波回路との間に接続され、互いに結合する第1インダクタンス素子および第2インダクタンス素子を備えたトランス回路を有し、前記第1インダクタンス素子および前記第2インダクタンス素子がそれぞれ層間で互いに結合し、前記第1インダクタンス素子が層方向に隣接し、前記第2インダクタンス素子が前記第1インダクタンス素子を層方向に挟むように配置されたインピーダンス変換回路の設計方法であって、

次の各ステップを順に実施することを特徴とするインピーダンス変換回路の設計方法。

[0015] [1] 前記第1高周波回路のインピーダンスおよび前記第2高周波回路のインピーダンスに基づいて、前記トランス回路の必要なトランス比を決定する。

[0016] [2] 前記第1インダクタンス素子と前記第2インダクタンス素子との結合係数、前記第1インダクタンス素子のインダクタンスおよび前記第2インダクタンス素子のインダクタンスをそれぞれ決定する。

[0017] [3] 前記第2インダクタンス素子の形状を決定する。

[0018] [4] 前記第1インダクタンス素子を少なくとも2層のループ導体で構成するように、第1インダクタンス素子の形状を決定するとともに、第1インダクタンス素子のインダクタンス値が所望の値となるように、各ループ導体間の層間距離を定める。

[0019] (2) 前記第1インダクタンス素子および前記第2インダクタンス素子は、平面視でほぼ同一位置を周回し、1層あたりそれぞれ1ターン未満のループ状に形成することが好ましい。

[0020] (3) 前記第1インダクタンス素子は、層方向に隣接する第1ループ状導体および第2ループ状導体で構成し、前記第2インダクタンス素子は、前記第1ループ状導体と前記第2ループ状導体とを層方向に挟み込むように配置した第3ループ状導体および第4ループ状導体で構成することが好ましい。

[0021] (4) 前記ステップ3で、前記第2インダクタンス素子のインダクタンスが前記ステップ2で決定した値となるように、前記第3ループ状導体および前記第4ループ状導体の形状を決定し、

前記ステップ4で、前記第3ループ状導体と前記第4ループ状導体の形状とがほぼ同じ形状となるように、前記第1ループ状導体および前記第2ループ状導体の形状を決定するとともに、前記第1インダクタンス素子のインダクタンスが前記ステップ2で決定した値となるように、前記第1ループ状導体と前記第2ループ状導体との層間距離を定め、さらに、前記第1インダクタンス素子と前記第2インダクタンス素子との結合係数が前記ステップ2で決定した値となるように、前記第1ループ状導体と前記第3ループ状導体との層間距離および前記第2ループ状導体と前記第4ループ状導体との層間距離をそれぞれ定めることが好ましい。

[0022] (5) 前記第1インダクタンス素子を相対的に小さなインダクタンスとするためには、第1ループ状導体と第2ループ状導体とを並列接続することが好ましい。

[0023] (6) 前記第1インダクタンス素子を相対的に大きなインダクタンスとするためには、第1ループ状導体と第2ループ状導体とを直列接続することが好ましい。

[0024] (7) 前記第1インダクタンス素子を中間的なインダクタンスとするためには、第1ループ状導体の一部と第2ループ状導体の一部とを並列接続することが好ましい。

[0025] (8) 前記第2インダクタンス素子を相対的に小さなインダクタンスとするためには、第3ループ状導体と第4ループ状導体とを並列接続することが好ましい。

- [0026] (9) 前記第2インダクタンス素子を相対的に大きなインダクタンスとするためには、第3ループ状導体と第4ループ状導体とを直列接続することが好ましい。
- [0027] (10) 前記第2インダクタンス素子を中間的なインダクタンスとするためには、第3ループ状導体の一部と第4ループ状導体の一部とを並列接続することが好ましい。
- [0028] (11) (1) ~ (10) に示した方法は、第1高周波回路が給電回路、第2高周波回路がアンテナ素子であって、例えば、第1インダクタンス素子は、第1端が給電回路に接続され、第2端がアンテナ素子に接続され、第2インダクタンス素子は、第1端がアンテナ素子に接続され、第2端がグラウンドに接続されたインピーダンス変換回路に適用することが好ましい。
- [0029] (12) (1) ~ (10) に示した方法は、第1高周波回路が給電回路、第2高周波回路がアンテナ素子であって、例えば、第1インダクタンス素子は、第1端がグラウンドに接続され、第2端がアンテナ素子に接続され、第2インダクタンス素子は、第1端が給電回路に接続され、第2端がアンテナ素子に接続されたインピーダンス変換回路に適用することが好ましい。

### 発明の効果

- [0030] 本発明によれば、第1インダクタンス素子は層方向に隣接して層間で互いに結合するので、自己誘導が大きくなって、層間で隣接していない場合に比べて高いインダクタンスが得られる。また、第2インダクタンス素子の層間は第1インダクタンス素子の層間より広いので、第1インダクタンス素子とほぼ同一形状（合同に近い形状）であり且つ直列接続・並列接続の接続方法が同じであれば、第1インダクタンス素子より低いインダクタンスが得られる。すなわち第1インダクタンス素子と第2インダクタンス素子は同一形状でありながらも異なるインダクタンス値をもつことができる。
- [0031] そして、小さなコイルでありながらも所定の（大きな）結合係数を得ることができ、所定のインピーダンス変換比を得るようにしたインピーダンス変換回路が構成できる。

[0032] 第1インダクタンス素子および第2インダクタンス素子は、各ループ状導体間の層間距離で、必要なインダクタンスを得ることができる。第1インダクタンス素子を層方向に隣接する第1ループ状導体および第2ループ状導体で構成し、第2インダクタンス素子を第1ループ状導体と第2ループ状導体とを層方向に挟み込むように配置した第3ループ状導体および第4ループ状導体で構成する場合、第1ループ状導体と第2ループ状導体との間の層間距離を狭くすることで、自己誘導により、第1インダクタンス素子のインダクタンスは大きくなる。他方、第3ループ状導体と第4ループ状導体との間の層間距離は第1ループ状導体と第2ループ状導体との間の層間距離より広いので、第1ループ状導体と第2ループ状導体とほぼ同一形状（合同に近い形状）であり且つ各ループ状導体の直列接続・並列接続の接続方法が同じであれば、第1インダクタンス素子より低いインダクタンスが得られる。すなわち、第1インダクタンス素子と第2インダクタンス素子とはほぼ同一形状でありながらも、第1インダクタンス素子および第2インダクタンス素子に任意のインダクタンス値を与えることが可能となる。

[0033] ゆえに、小さな導体パターンでありながらも、所定の結合係数、所定のインダクタンスを得ることができ、所定のインピーダンス変換比を持ったトランス回路を有するインピーダンス変換回路が構成できる。

### 図面の簡単な説明

[0034] [図1]図1(A)は第1の実施形態のインピーダンス変換回路25を備えたアンテナ装置101の回路図、図1(B)はその等価回路図である。

[図2]図2(A)はインピーダンス変換回路25の回路図、図2(B)はその等価回路図である。

[図3]図3(A)は、図2(B)に示したシャント接続のインダクタのインダクタンスが増大する際のインピーダンスの変化をスミスチャート上の軌跡で表した図、図3(B)は、図2(B)に示した理想トランスITのトランス比が増大する際のインピーダンスの変化をスミスチャート上の軌跡で表した図である。



[図4]図4は、LowBandでのインピーダンスが $10\Omega$ の場合の、第1インダクタンス素子および第2インダクタンス素子のインダクタンスに対するHighBandでのインピーダンスの例を示している。

[図5]図5は、第1の実施形態に係るインピーダンス変換回路25の、第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。

[図6]図6は第1の実施形態に係るインピーダンス変換回路25の、各種導体パターンの斜視図である。

[図7]図7はインピーダンス変換回路25の各誘電体層に形成されている導体パターンを示す図である。

[図8]図8はインピーダンス変換回路25のインピーダンスをスミスチャート上に示した図である。

[図9]図9は、第2の実施形態に係るインピーダンス変換回路25の、第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。

[図10]図10は、第2の実施形態に係る別のインピーダンス変換回路25の、第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。

[図11]図11は、第2の実施形態に係る更に別のインピーダンス変換回路25の、第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。

[図12]図12は、第3の実施形態に係るインピーダンス変換回路25の、積層素体内における第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。

[図13]図13は第3の実施形態に係るインピーダンス変換回路25の各種導体パターンの斜視図である。

[図14]図14はインピーダンス変換回路25の各基材層に形成されている導体パターンと電流経路を示す図である。

[図15]図15は、第4の実施形態に係るインピーダンス変換回路25の、第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。

[図16]図16は第4の実施形態に係るインピーダンス変換回路25の各種導体パターンの斜視図である。

[図17]図17は、第5の実施形態に係るインピーダンス変換回路25の、積層素体内における第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。

### 発明を実施するための形態

#### [0035] 《第1の実施形態》

図1(A)は第1の実施形態のインピーダンス変換回路25を備えたアンテナ装置101の回路図、図1(B)はその等価回路図である。このアンテナ装置は、LowBandとHighBandの2つの周波数帯に対応可能なマルチバンド対応型のアンテナ装置である。第1の実施形態において、LowBandは824~960MHzであり、HighBandは1710~2170MHzである。

[0036] 図1(A)に示すように、アンテナ装置101は、アンテナ素子11と、このアンテナ素子11に接続されたインピーダンス変換回路25とを備えている。アンテナ素子11は高周波信号の送受を担う放射体(Radiator)であり、例えばT分岐型のアンテナ素子で構成されていて、LowBandでは基本波モードで共振し、HighBandでは高調波モードで共振する。このアンテナ素子11の給電端にインピーダンス変換回路25が接続されている。インピーダンス変換回路25のうち第1インダクタンス素子L1はアンテナ素子11と給電回路30との間に挿入されている。給電回路30は高周波信号をアンテナ素子11に給電するための回路であり、高周波信号の生成や処理を行うが、高周波信号の合波や分波を行う回路を含んでいてもよい。

[0037] インピーダンス変換回路25は、給電回路30に接続された第1インダクタンス素子L1と、第1インダクタンス素子L1に結合した第2インダクタンス素子L2とを備えている。第1インダクタンス素子L1の第1端は給電

回路30に、第2端はアンテナ素子11にそれぞれ接続されていて、第2インダクタンス素子L2の第1端はアンテナ素子11に、第2端はグラウンドにそれぞれ接続されている。

[0038] このインピーダンス変換回路25は、第1インダクタンス素子L1と第2インダクタンス素子L2とを相互インダクタンスMを介して密結合したトランス回路を含む。このトランス回路は、図1(B)に示すように、三つのインダクタンス素子Z1、Z2、Z3によるT型回路に等価変換できる。すなわち、このT型回路は、給電回路30に接続される第1ポートP1、アンテナ素子11に接続される第2ポートP2、グラウンドに接続される第3ポートP3、第1ポートP1と分岐点Aとの間に接続されたインダクタンス素子Z1、第2ポートP2と分岐点Aとの間に接続されたインダクタンス素子Z2、および第3ポートP3と分岐点Aとの間に接続された第3インダクタンス素子Z3で構成される。

[0039] 図1(A)に示した第1インダクタンス素子L1のインダクタンスをL1、第2インダクタンス素子L2のインダクタンスをL2、相互インダクタンスをMで表すと、図1(B)のインダクタンス素子Z1のインダクタンスはL1+M、インダクタンス素子Z2のインダクタンスは-M、第3インダクタンス素子Z3のインダクタンスはL2+Mである。

[0040] 図1(B)に示したT型回路のうち、給電回路30に接続されるポートP1とグラウンドに接続されるポートP3との間に構成される部分(Z1およびZ3)がトランス比によるインピーダンス変換に寄与する部分である。すなわち、インピーダンス変換回路25のインピーダンス変換比は、 $(L1 + L2 + 2M) : L2$ である。

[0041] 図2(A)は前記インピーダンス変換回路25の回路図、図2(B)はその等価回路図である。ここで、説明を簡単化するために、インピーダンス変換回路25を構成する第1インダクタンス素子L1と第2インダクタンス素子L2との結合係数kを1と考えると、インピーダンス変換回路25は、シャントに接続されたインダクタンス(L1+L2+2M)のインダクタと理

想トランスITとで構成されたものと見なせる。ここで、 $M = k \cdot \sqrt{(L_1 \cdot L_2)}$  であり、インダクタンス  $(L_1 + L_2 + 2M)$  のインダクタは、図2(B)に示したとおり、ポートP1とグランドとの間に接続されているインダクタであり、理想トランスITは第1インダクタンス素子L1と第2インダクタンス素子L2との巻回数比  $n : 1$  のインピーダンス変換回路である。

[0042] 図3(A)は、図2(B)に示したシャント接続のインダクタのインダクタンスが増大する際のインピーダンスの変化をスミスチャート上の軌跡で表した図、図3(B)は、図2(B)に示した理想トランスITのトランス比が増大する際のインピーダンスの変化をスミスチャート上の軌跡で表した図である。シャント接続のインダクタのインダクタンスが十分に大きければ、図1(A)、図1(B)に示したインピーダンス変換回路25には周波数依存性がない。すなわち周波数に依らずにインピーダンス変換比は一定である。シャント接続のインダクタのインダクタンスがある程度小さな値であると、図3(A)に示すように誘導性で低インピーダンス側にシフトするので、LowBandとHighBandとでのインピーダンスに差が生じる。

[0043] このようにして、第1インダクタンス素子L1および第2インダクタンス素子L2のターン数が小さく、インダクタンスが小さいと、前記インピーダンス変換回路25は周波数依存性を持つことになる。そこで、第1インダクタンス素子と第2インダクタンス素子との結合係数、アンテナのLowBandでのインピーダンスおよびHighBandでのインピーダンスを規定した場合、それを実現する第1インダクタンス素子、第2インダクタンス素子のインダクタンスの組合せは2つ存在する。

[0044] 図4は、LowBandでのインピーダンスが $10\Omega$ の場合の、第1インダクタンス素子および第2インダクタンス素子のインダクタンスに対するHighBandでのインピーダンスの例を示している。ここで、第1インダクタンス素子のインダクタンスをL1、第2インダクタンス素子のインダクタンスをL2で表している。具体的には、回路シミュレータでL1およびL2の値を細かく振っ

て計算し、必要なインピーダンスとなるL 1とL 2をプロットした。また、結合係数 $k = 0.5$ とした。

[0045] この図4において、インダクタンスの大きい組合せである「組合せ2」は、インダクタンス値が大きく、含まれる抵抗成分も大きいので損失が大きい。そのため、損失の観点から、インダクタンス値が小さくなる組合せ「組合せ1」を採用する。

[0046] 図5は第1の実施形態に係るインピーダンス変換回路25の、第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。第1ループ状導体L 1 Aおよび第2ループ状導体L 1 Bで第1インダクタンス素子が構成され、第3ループ状導体L 2 Aおよび第4ループ状導体L 2 Bで第2インダクタンス素子が構成されている。第1インダクタンス素子を構成するループ状導体L 1 A, L 1 Bは層方向に隣接し、第2インダクタンス素子を構成するループ状導体L 2 A, L 2 Bは第1インダクタンス素子を構成するループ状導体L 1 A, L 1 Bを層方向に挟むように配置されている。

[0047] ループ状導体L 1 AとL 1 Bとの磁界結合（自己誘導）により、第1インダクタンス素子のインダクタンス値を大きくすることができる。これにより、コイル長あたりのインダクタンスが増大するので第1インダクタンス素子のQ値が向上する。インダクタンス値の大きい第1インダクタンス素子のQ値が増大することにより、損失の低減量は大きい。

[0048] 図6は第1の実施形態に係るインピーダンス変換回路25の、各種導体パターンの斜視図である。これらの導体パターンが形成されている基材層は除いて描いている。なお、各基材層の材料は、誘電体に限らず、磁性体であってもよい。磁性体を用いることによって結合係数を大きくすることができる。また、誘電体層と磁性体層の両方を用いて、詳細設計を行ってもよい。

[0049] 図7はインピーダンス変換回路25の各誘電体層に形成されている導体パターンを示す図である。図7において(3), (2)で示す層に形成されているループ状導体L 1 A, L 1 Bで第1インダクタンス素子が構成されてい

る。また、(4)、(1)で示す層に形成されているループ状導体L2A、L2Bで第2インダクタンス素子が構成されている。(5)で示す層にはグラウンド導体Gが形成されている。(6)で示す層には第1ポートP1、第2ポートP2、第3ポートP3に相当する端子、およびその他の実装用端子が形成されている。これらの端子は最下層の誘電体層の下面に形成されている。各層の導体パターンはビア導体により層間接続されている。

[0050] 図6、図7に表れているように、第1インダクタンス素子は内側の層に2層に亘って形成されているループ状導体L1A、L1Bで構成されている。第2インダクタンス素子は2層に亘って形成されているループ状導体L2A、L2Bで構成され、且つ第1インダクタンス素子を層方向に挟むように配置されている。第2インダクタンス素子は2層に亘るほぼ2ターンのコイルであり、第1インダクタンス素子も2層に亘るほぼ2ターンのコイルである。第1インダクタンス素子および第2インダクタンス素子は、平面視でほぼ同一位置を周回し、1層あたりそれぞれ1ターン未満のループ状に形成されている。そのため、ループ状導体L1A、L1B、L2A、L2Bの形成面積が小さく、且つ層方向に近接するので、ターン数が少ない割りに、大きな結合係数が得られる。

[0051] 図6、図7に示した構造により、インダクタンス4.0nHの第2インダクタンス素子L2、インダクタンス4.7nHの第1インダクタンス素子L1、結合係数 $k=0.48$ のインピーダンス変換回路25が得られる。

[0052] 図8は前記インピーダンス変換回路25のインピーダンスをスミスチャート上に示した図である。ここで、マーカーm8、m9は第2ポート（アンテナ側ポート）P2から見たインピーダンス、マーカーm7、m10は第1ポート（給電側ポート）P1から見たインピーダンスである。また、マーカーm7、m8は892MHz（LowBand）でのインピーダンス、マーカーm9、m10は1.94GHz（HighBand）でのインピーダンスである。マーカーm8で示すLowBandでの第2ポート（アンテナ側ポート）P2から見たインピーダンスは8.87Ω、マーカーm9で示すHighBandでの第2ポート（アン

テナ側ポート) P 2 から見たインピーダンスは  $15.4 \Omega$  である。

[0053] このように、LowBandで  $8 \Omega$  程度、HighBandで  $15 \Omega$  程度のアンテナに整合する。

[0054] 以上に示したインピーダンス変換回路 25 は次の手順で設計する。

[0055] [1] 給電回路のインピーダンスおよびアンテナ素子のインピーダンスに基づいて、トランス回路の必要なトランス比を決定する。

[0056] [2] 第1インダクタンス素子と第2インダクタンス素子との結合係数  $k$ 、第1インダクタンス素子のインダクタンス  $L1$  および第2インダクタンス素子のインダクタンス  $L2$  をそれぞれ決定する。アンテナのインピーダンスがLowBandとHighBandとで異なる場合には、図2(B)に示したシャント接続のインダクタのインダクタンス ( $L1 + L2 + 2M$ ) の値を考慮して、 $k$ 、 $L1$ 、 $L2$  を決定する。

[0057] [3] 外側に配置される第2インダクタンス素子 (図7に示す導体パターン  $L2A$ 、 $L2B$ ) の形状を決定する。より具体的には、第2インダクタンス素子のインダクタンスがステップ2で決定した値となるように、第3ループ状導体  $L2A$  および第4ループ状導体  $L2B$  の形状を決定する。

[0058] [4] 内側に配置される第1インダクタンス素子を少なくとも2層のループ導体 (図7に示す導体パターン  $L1A$ 、 $L1B$ ) で構成するように、第1インダクタンス素子の形状を決定するとともに、第1インダクタンス素子のインダクタンス値が所望の値となるように、各ループ導体間の層間距離を定める (調整する)。より具体的には、第3ループ状導体  $L2A$  と第4ループ状導体  $L2B$  の形状とがほぼ同じ形状となるように、第1ループ状導体  $L1A$  および第2ループ状導体  $L1B$  の形状を決定するとともに、第1インダクタンス素子のインダクタンスがステップ2で決定した値となるように、第1ループ状導体  $L1A$  と第2ループ状導体  $L1B$  との層間距離を定め、さらに、第1インダクタンス素子と第2インダクタンス素子との結合係数がステップ2で決定した値となるように、第1ループ状導体  $L1A$  と第3ループ状導体  $L2A$  との層間距離および第2ループ状導体  $L1B$  と第4ループ状導体  $L2B$

Aとの層間距離をそれぞれ定める。

[0059] 《第2の実施形態》

第2の実施形態では第1インダクタンス素子と第2インダクタンス素子の他の幾つかの接続関係について示す。

[0060] 図9に示す例では、第1ループ状導体L1Aおよび第2ループ状導体L1Bで第1インダクタンス素子が構成されていて、第3ループ状導体L2Aおよび第4ループ状導体L2Bで第2インダクタンス素子が構成されている。第1インダクタンス素子を構成するループ状導体L1A、L1Bは層方向に隣接し、直列接続されている。第2インダクタンス素子を構成するループ状導体L2A、L2Bはループ状導体L1A、L1Bを層方向に挟むように配置されていて、並列接続されている。

[0061] 図10に示す例では、第1ループ状導体L1Aおよび第2ループ状導体L1Bで第1インダクタンス素子が構成されていて、第3ループ状導体L2Aおよび第4ループ状導体L2Bで第2インダクタンス素子が構成されている。第1インダクタンス素子を構成するループ状導体L1A、L1Bは層方向に隣接し、並列接続されている。第2インダクタンス素子を構成するループ状導体L2A、L2Bはループ状導体L1A、L1Bを層方向に挟むように配置されていて、並列接続されている。

[0062] 図11に示す例では、第1ループ状導体L1Aおよび第2ループ状導体L1Bで第1インダクタンス素子が構成されていて、第3ループ状導体L2Aおよび第4ループ状導体L2Bで第2インダクタンス素子が構成されている。第1インダクタンス素子を構成するループ状導体L1A、L1Bは層方向に隣接し、並列接続されている。第2インダクタンス素子を構成するループ状導体L2A、L2Bはループ状導体L1A、L1Bを層方向に挟むように配置されていて、直列接続されている。

[0063] このように、第1インダクタンス素子および第2インダクタンス素子について、それぞれ直列接続または並列接続のいずれの構成にすることもできる。1つのインダクタンス素子を2つのループ状導体で構成する場合に、1つ



のループ状導体のインダクタンスを $L_u$ で表すと、直列接続すれば、インダクタンス素子のインダクタンスは $L_u \times 2$ となり、並列接続すれば、インダクタンス素子のインダクタンスは $L_u / 2$ となる。そして、ループ状導体を外側の層に配置した場合に比べ、内側の層に配置すれば自己誘導が向上し、インダクタンスは増大する。

[0064] したがって、第1インダクタンス素子と第2インダクタンス素子との結合係数 $k$ 、第1インダクタンス素子のインダクタンス $L_1$ および第2インダクタンス素子のインダクタンス $L_2$ の値に応じて、第1インダクタンス素子と第2インダクタンス素子との接続形態および内側外側の配置関係を決定すればよい。

[0065] 《第3の実施形態》

図12は第3の実施形態に係るインピーダンス変換回路25の、積層素体内における第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。図13はインピーダンス変換回路25の各種導体パターンの斜視図である。これらの導体パターンが形成されている誘電体の基材層は除いて描いている。

[0066] 図13に表れているように、第1ループ状導体 $L_{1A}$ および第2ループ状導体 $L_{1B}$ により第1インダクタンス素子が構成されていて、第3ループ状導体 $L_{2A}$ および第4ループ状導体 $L_{2B}$ により第2インダクタンス素子が構成されている。第1ループ状導体 $L_{1A}$ は導体パターン $L_{1A1}$ 、 $L_{1A2}$ で構成されていて、第2ループ状導体 $L_{1B}$ は導体パターン $L_{1B1}$ 、 $L_{1B2}$ で構成されている。各層のループ状導体（導体パターン）はビア導体により層間接続されている。

[0067] 最下層の基材層の下面には第1ポート（給電ポート） $P_1$ 、第2ポート（アンテナポート） $P_2$ 、第3ポート（グランドポート） $P_3$ に相当する端子およびその他の実装用端子（空き端子 $NC$ ）が形成されている。これらの端子は最下層の基材層の下面に形成されている。

[0068] 第1ループ状導体 $L_{1A}$ の一部である導体パターン $L_{1A2}$ および第2ルー

プ状導体L 1 Bの一部である導体パターンL 1 B 2は並列接続されている。そして、第1ループ状導体L 1 Aの残余部である導体パターンL 1 A 1および第2ループ状導体L 1 Bの残余部である導体パターンL 1 B 1が前記並列回路に対してそれぞれ直列接続されている。

[0069] 第3ループ状導体L 2 Aおよび第4ループ状導体L 2 Bは直列接続されている。

[0070] 図12に示すように、導体パターンL 1 A 1とL 1 B 1との強い磁界結合（自己誘導S 1）および導体パターンL 1 A 2とL 1 B 2との強い磁界結合（自己誘導S 1）により、第1インダクタンス素子の大きなインダクタンス値を得ている。これにより、ループ状導体のループ長あたりのインダクタンスは大きく、第1インダクタンス素子のQ値が向上するので損失が低減される。

[0071] また、導体パターンL 1 A 1、L 1 A 2と第4ループ状導体L 2 Bとの磁界結合（相互誘導M 1）および導体パターンL 1 B 1、L 1 B 2と第3ループ状導体L 2 Aとの磁界結合（相互誘導M 1）により、第1インダクタンス素子（L 1）と第2インダクタンス素子（L 2）との結合係数を高めている。

[0072] 図14はインピーダンス変換回路25の各基材層に形成されている導体パターンと電流経路を示す図である。図14において、第1ループ状導体L 1 Aおよび第2ループ状導体L 1 Bには、第1ポートP 1→導体パターンL 1 A 1→導体パターン（L 1 A 2 + L 1 B 2）→導体パターンL 1 B 1→第2ポートP 2の経路で電流が流れる。また、第3ループ状導体L 2 Aおよび第4ループ状導体L 2 Bには、第2ポートP 2→第3ループ状導体L 2 A→第4ループ状導体L 2 B→第3ポートP 3の経路で電流が流れる。すなわち、第1インダクタンス素子は導体パターンL 1 A 2、L 1 B 2の並列部と導体パターンL 1 A 1、L 1 B 1の直列部とで構成されている。また、第2インダクタンス素子はループ状導体L 2 A、L 2 Bの直列部で構成されている。

[0073] 《第4の実施形態》

図15は第4の実施形態に係るインピーダンス変換回路25の、第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。図16はインピーダンス変換回路25の各種導体パターンの斜視図である。これらの導体パターンが形成されている誘電体の基材層は除いて描いている。

[0074] 図15・図16に表れているように、第1ループ状導体L1Aは導体パターンL1A1, L1A2で構成されていて、第2ループ状導体L1Bは導体パターンL1B2で構成されている。各層のループ状導体(導体パターン)はビア導体により層間接続されている。第3ループ状導体はL2Aおよび導体パターンL2A2で構成されている。

[0075] この構成により、第2インダクタンス素子のターン数およびインダクタンスを稼ぐことができ、インピーダンス変換比の設定幅を拡げることができる。

[0076] 《第5の実施形態》

図17は第5の実施形態に係るインピーダンス変換回路25の、積層素体内における第1インダクタンス素子および第2インダクタンス素子の配置関係を考慮して表した回路図である。

[0077] 図17に表れているように、第1ループ状導体L1Aおよび第2ループ状導体L1Bは直列接続されている。導体パターンL2A1, L2A2によって第3ループ状導体が構成されていて、導体パターンL2B1, L2B2によって第4ループ状導体が構成されている。そして、導体パターンL2A2とL2B2とは並列接続されている。この並列接続された導体パターンL1A2, L2B2に対して導体パターンL2A1, L2B1が直列接続されている。

[0078] なお、以上に示した各実施形態では、第1インダクタンス素子の第1端に給電回路を接続し、第2端にアンテナ素子を接続し、第2インダクタンス素子の第1端にアンテナ素子を接続し、第2端を接地した例を示したが、第1インダクタンス素子の第1端を接地し、第2端をアンテナ素子に接続し、第

2 インダクタンス素子の第1端を給電回路に接続し、第2端をアンテナ素子に接続してもよい。

[0079] また、以上に示した各実施形態では、第1高周波回路が給電回路、第2高周波回路がアンテナ素子である例を示したが、本発明はこれに限られるものではなく、一般的に第1高周波回路と第2高周波回路との間に接続されるインピーダンス変換回路の設計に適用できるものである。

### 符号の説明

- [0080] G…グランド導体  
I T…理想トランス  
L 1…第1インダクタンス素子  
L 2…第2インダクタンス素子  
L 1 A…第1ループ状導体  
L 1 B…第2ループ状導体  
L 2 A…第3ループ状導体  
L 2 B…第4ループ状導体  
L 1 A 1, L 1 A 2…導体パターン  
L 1 B 1, L 1 B 2…導体パターン  
L 2 A 1, L 2 A 2…導体パターン  
L 2 B 1, L 2 B 2…導体パターン  
P 1…第1ポート  
P 2…第2ポート  
P 3…第3ポート  
1 1…アンテナ素子  
2 5…インピーダンス変換回路  
3 0…給電回路  
1 0 1…アンテナ装置

## 請求の範囲

[請求項1] 第1高周波回路と第2高周波回路との間に接続され、互いに結合する第1インダクタンス素子および第2インダクタンス素子を備えたトランス回路を有し、前記第1インダクタンス素子および前記第2インダクタンス素子がそれぞれ層間で互いに結合し、前記第1インダクタンス素子が層方向に隣接し、前記第2インダクタンス素子が前記第1インダクタンス素子を層方向に挟むように配置されたインピーダンス変換回路の設計方法であって、

次の各ステップを順に実施することを特徴とするインピーダンス変換回路の設計方法。

[1] 前記第1高周波回路のインピーダンスおよび前記第2高周波回路のインピーダンスに基づいて、前記トランス回路の必要なトランス比を決定する。

[2] 前記第1インダクタンス素子と前記第2インダクタンス素子との結合係数、前記第1インダクタンス素子のインダクタンスおよび前記第2インダクタンス素子のインダクタンスをそれぞれ決定する。

[3] 前記第2インダクタンス素子の形状を決定する。

[4] 前記第1インダクタンス素子を少なくとも2層のループ導体で構成するように、第1インダクタンス素子の形状を決定するとともに、第1インダクタンス素子のインダクタンス値が所望の値となるように、各ループ導体間の層間距離を定める。

[請求項2] 前記第1インダクタンス素子および前記第2インダクタンス素子は、平面視でほぼ同一位置を周回し、1層あたりそれぞれ1ターン未満のループ状に形成する、請求項1に記載のインピーダンス変換回路の設計方法。

[請求項3] 前記第1インダクタンス素子を、層方向に隣接する第1ループ状導体および第2ループ状導体で構成し、前記第2インダクタンス素子を、前記第1ループ状導体と前記第2ループ状導体とを層方向に挟み込

むように配置した第3ループ状導体および第4ループ状導体で構成する、請求項1または2に記載のインピーダンス変換回路の設計方法。

[請求項4] 前記ステップ3で、前記第2インダクタンス素子のインダクタンスが前記ステップ2で決定した値となるように、前記第3ループ状導体および前記第4ループ状導体の形状を決定し、

前記ステップ4で、前記第3ループ状導体と前記第4ループ状導体の形状とがほぼ同じ形状となるように、前記第1ループ状導体および前記第2ループ状導体の形状を決定するとともに、前記第1インダクタンス素子のインダクタンスが前記ステップ2で決定した値となるように、前記第1ループ状導体と前記第2ループ状導体との層間距離を定め、さらに、前記第1インダクタンス素子と前記第2インダクタンス素子との結合係数が前記ステップ2で決定した値となるように、前記第1ループ状導体と前記第3ループ状導体との層間距離および前記第2ループ状導体と前記第4ループ状導体との層間距離をそれぞれ定める、請求項3に記載のインピーダンス変換回路の設計方法。

[請求項5] 前記第1ループ状導体と前記第2ループ状導体とを並列接続する、請求項3または4に記載のインピーダンス変換回路の設計方法。

[請求項6] 前記第1ループ状導体と前記第2ループ状導体とを直列接続する、請求項3または4に記載のインピーダンス変換回路の設計方法。

[請求項7] 前記第1ループ状導体の一部と前記第2ループ状導体の一部とを並列接続する、請求項6に記載のインピーダンス変換回路の設計方法。

[請求項8] 前記第3ループ状導体と前記第4ループ状導体とを並列接続する、請求項3～7のいずれかに記載のインピーダンス変換回路の設計方法。

[請求項9] 前記第3ループ状導体と前記第4ループ状導体とを直列接続する、請求項3～7のいずれかに記載のインピーダンス変換回路の設計方法。

[請求項10] 前記第3ループ状導体の一部と前記第4ループ状導体の一部とを並

列接続する、請求項 9 に記載のインピーダンス変換回路の設計方法。

[請求項11] 前記第 1 高周波回路は給電回路、前記第 2 高周波回路はアンテナ素子であり、

前記第 1 インダクタンス素子の、第 1 端を前記給電回路に接続し、第 2 端を前記アンテナ素子に接続し、

前記第 2 インダクタンス素子の、第 1 端を前記アンテナ素子に接続し、第 2 端をグラウンドに接続する、請求項 1 ～ 10 のいずれかに記載のインピーダンス変換回路の設計方法。

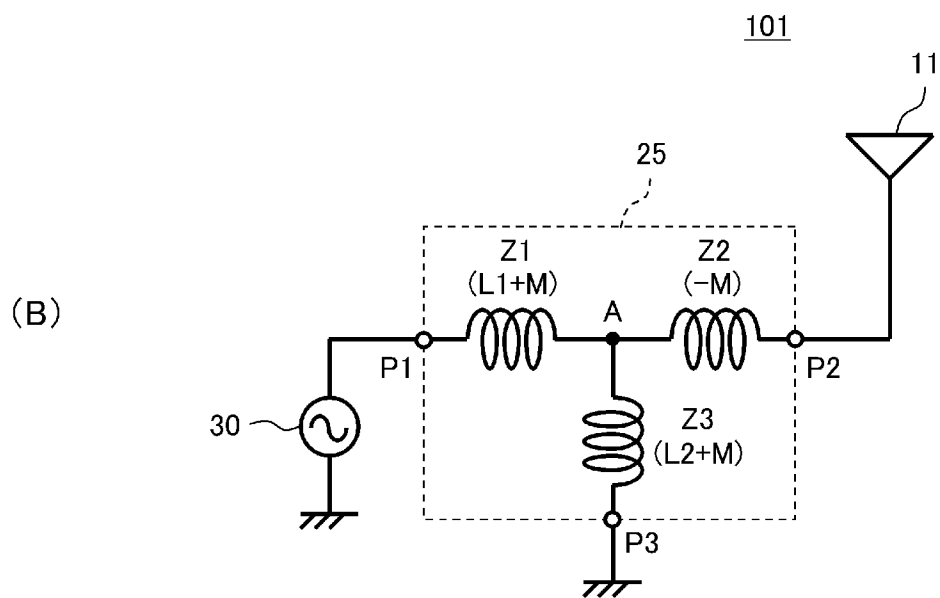
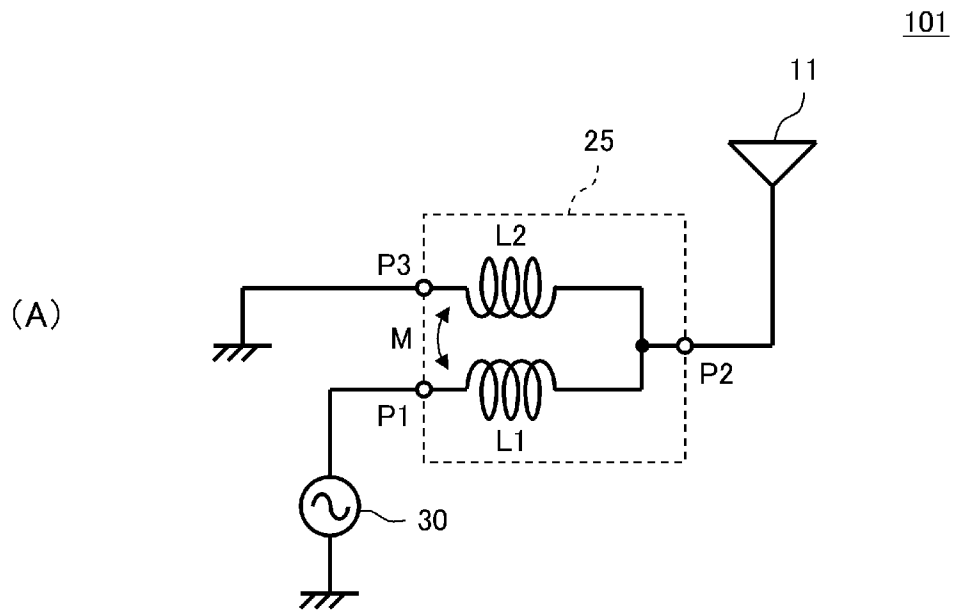
[請求項12] 前記第 1 高周波回路は給電回路、前記第 2 高周波回路はアンテナ素子であり、

前記第 1 インダクタンス素子の、第 1 端をグラウンドに接続し、第 2 端を前記アンテナ素子に接続し、

前記第 2 インダクタンス素子の、第 1 端を前記給電回路に接続し、第 2 端をアンテナ素子に接続する、請求項 1 ～ 10 のいずれかに記載のインピーダンス変換回路の設計方法。

[図1]

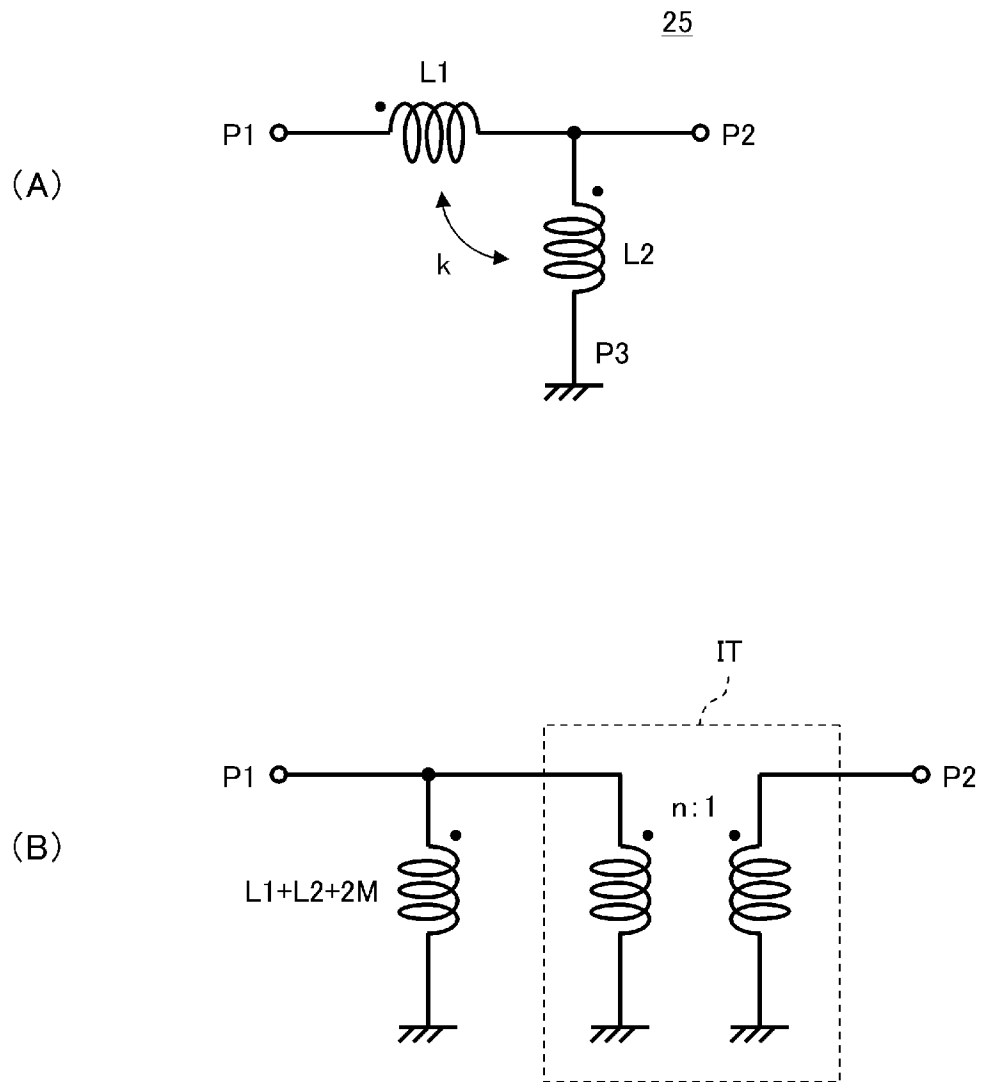
図1





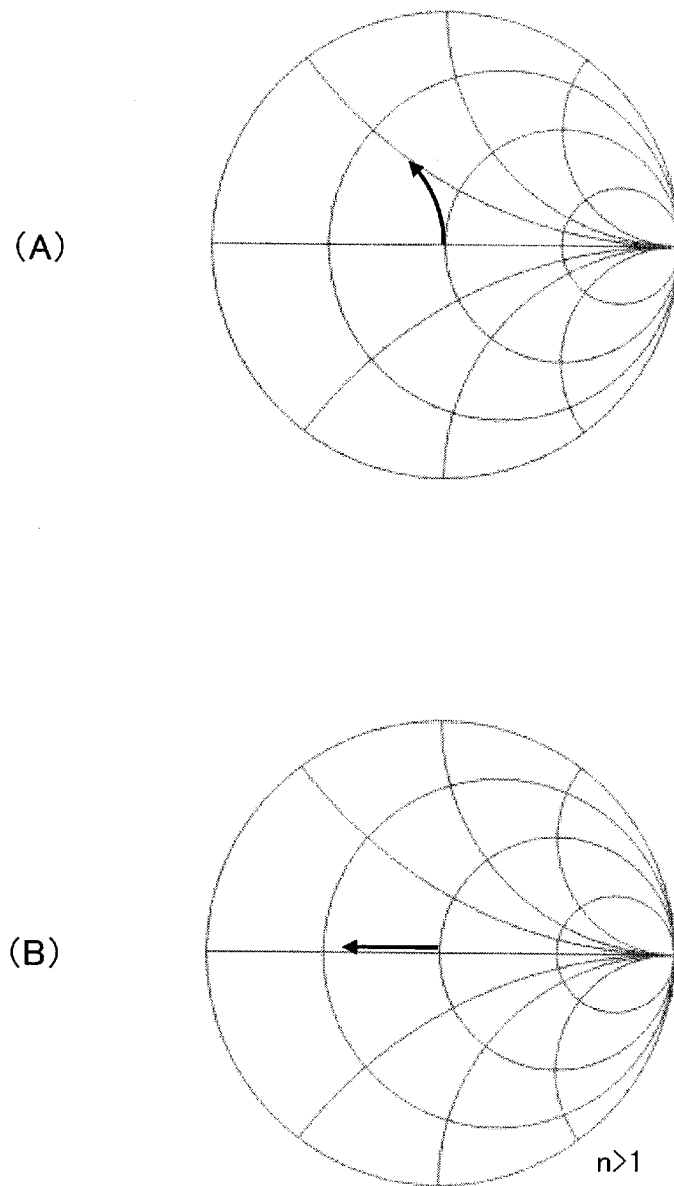
[図2]

図2



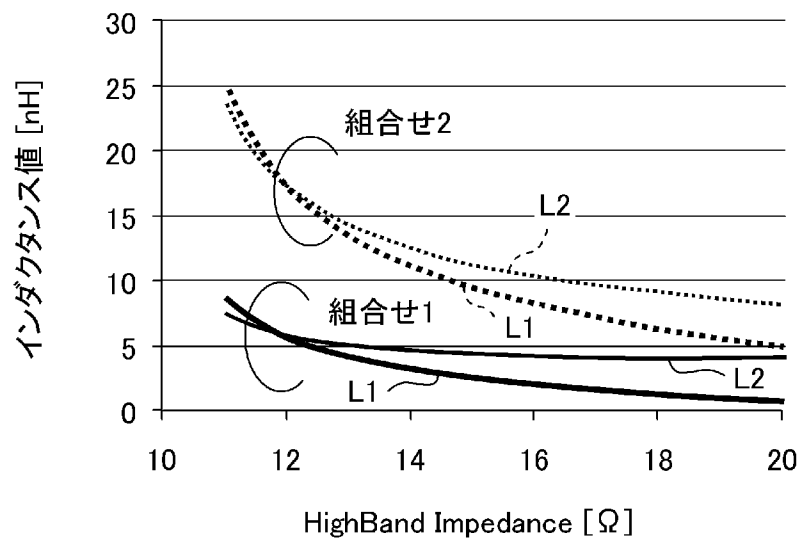
[図3]

図3



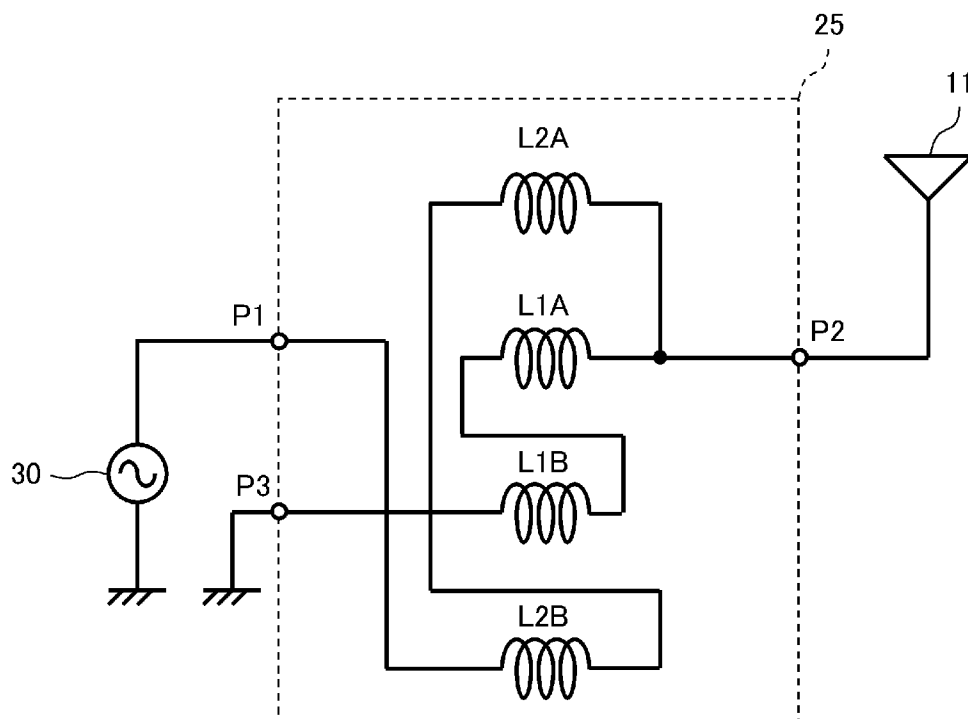
[図4]

図4



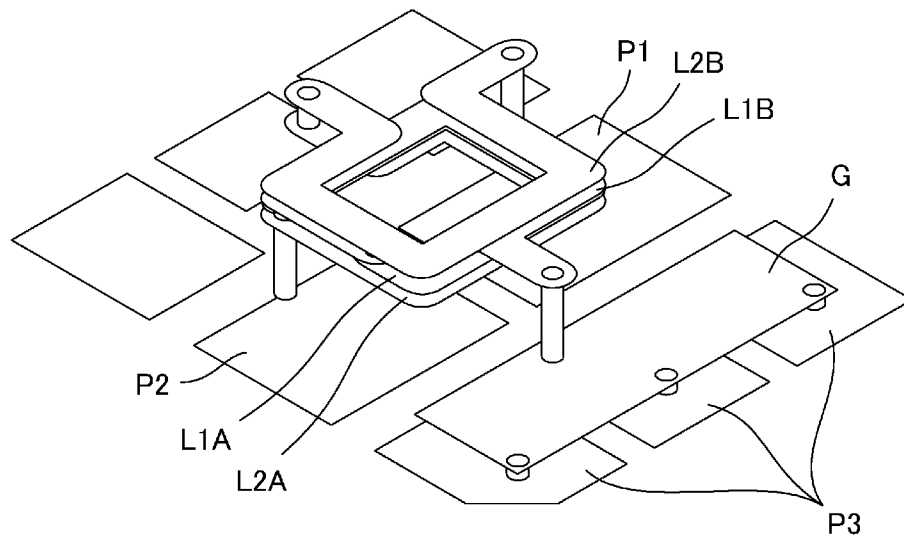
[図5]

図5



[図6]

図6



[図7]

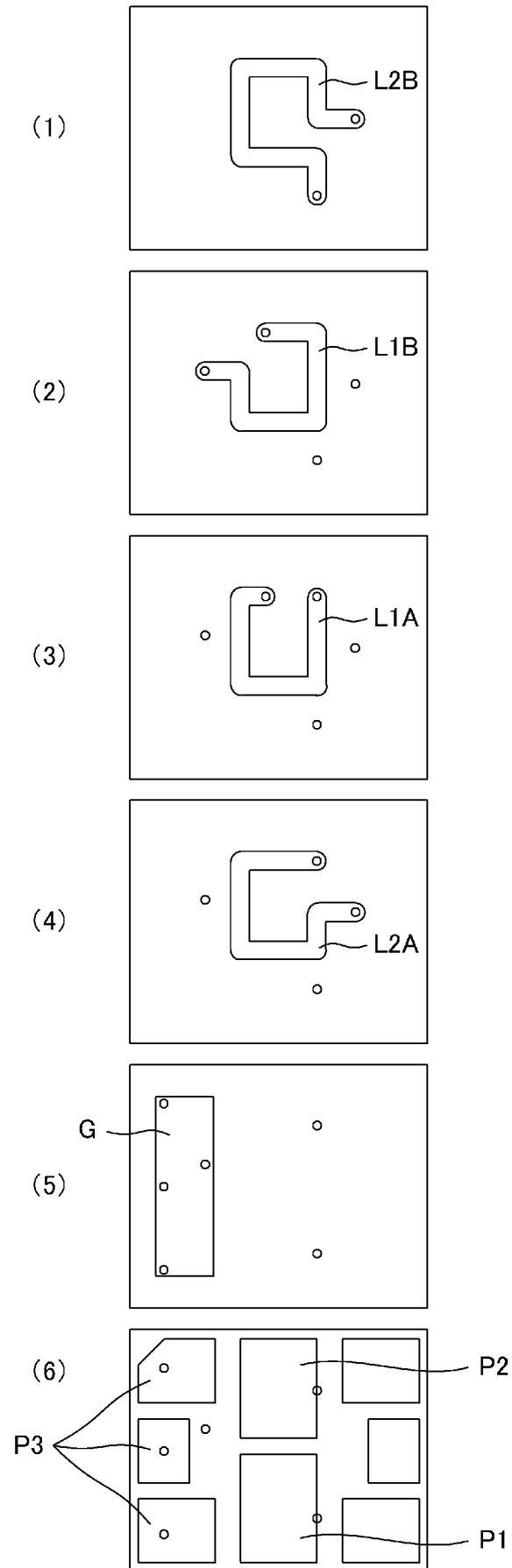
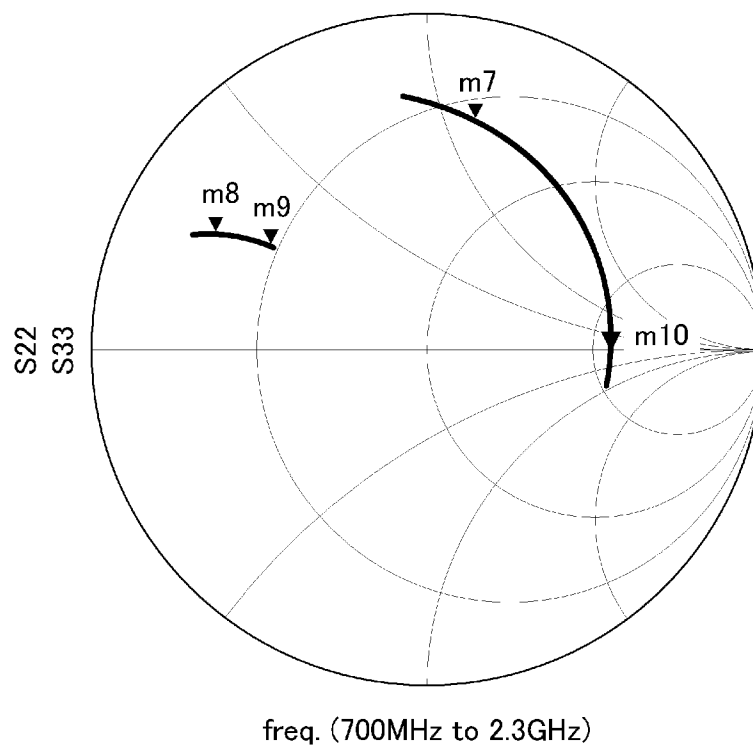


図7

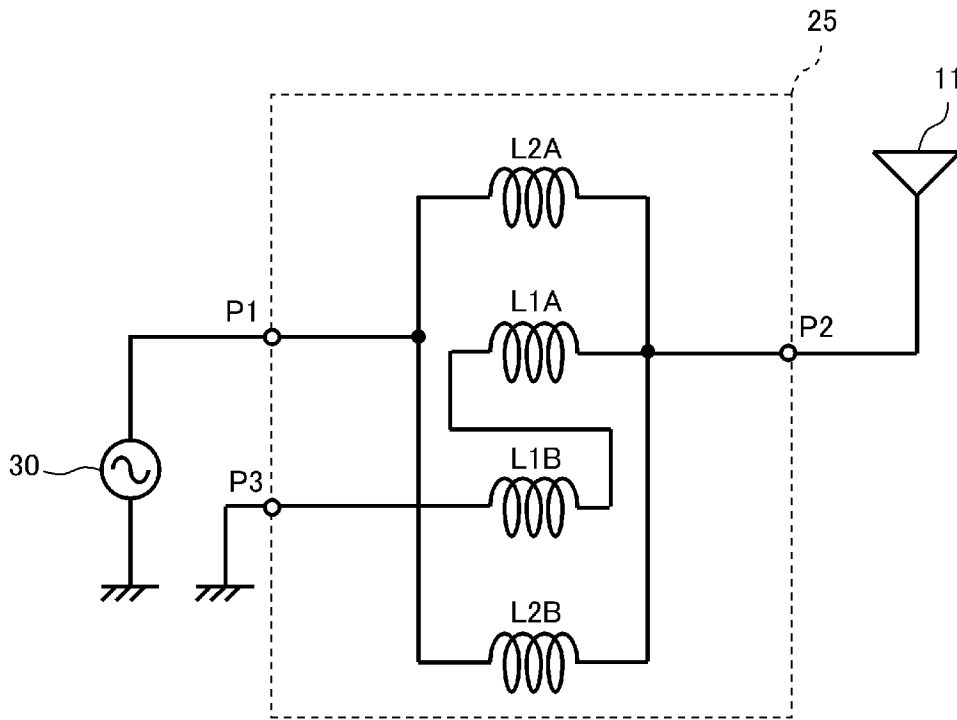
[図8]

図8



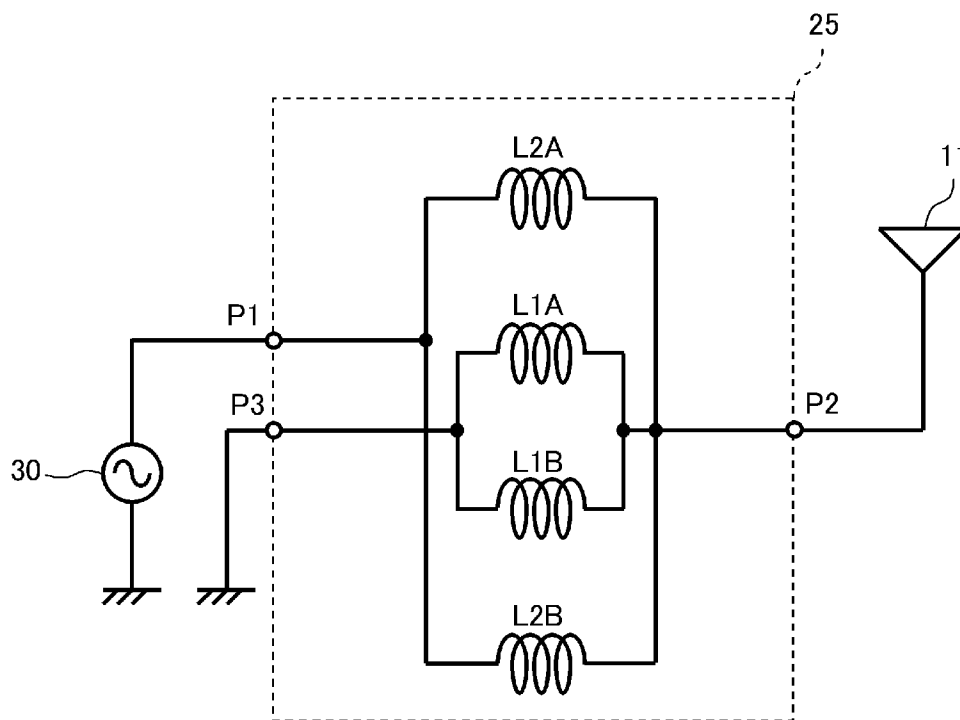
[図9]

図9



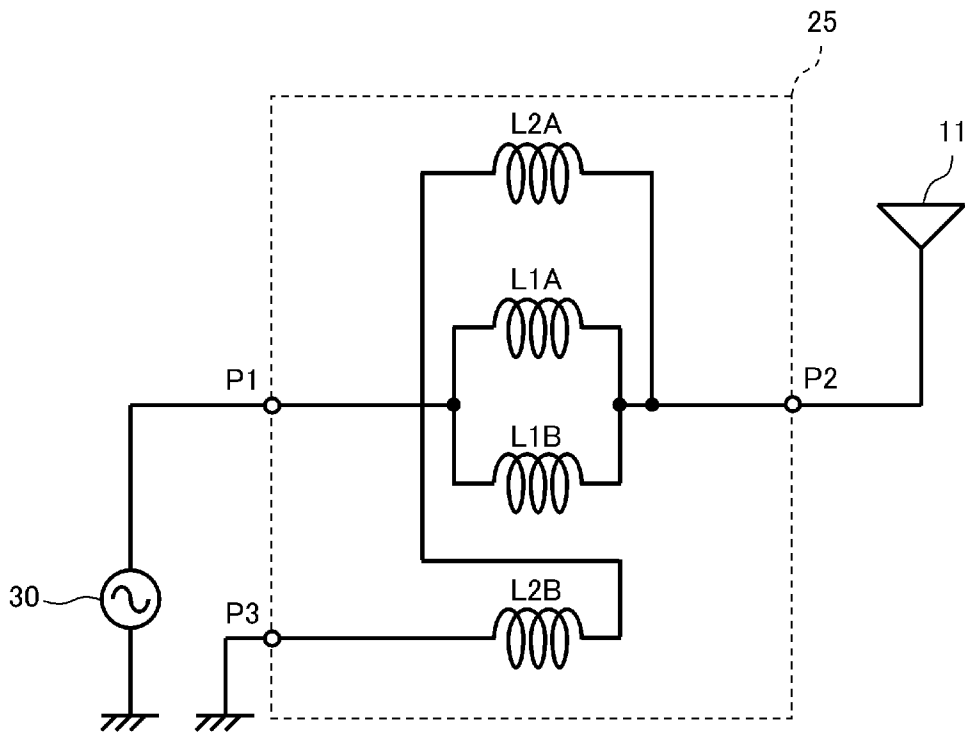
[図10]

図10



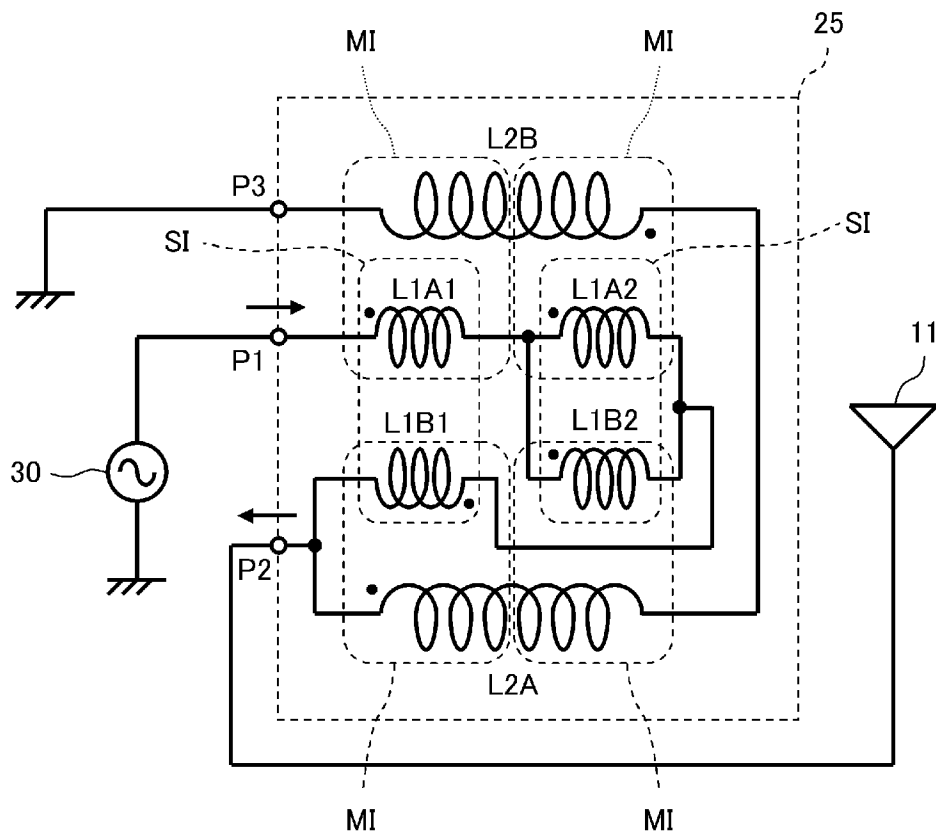
[圖11]

圖11



[圖12]

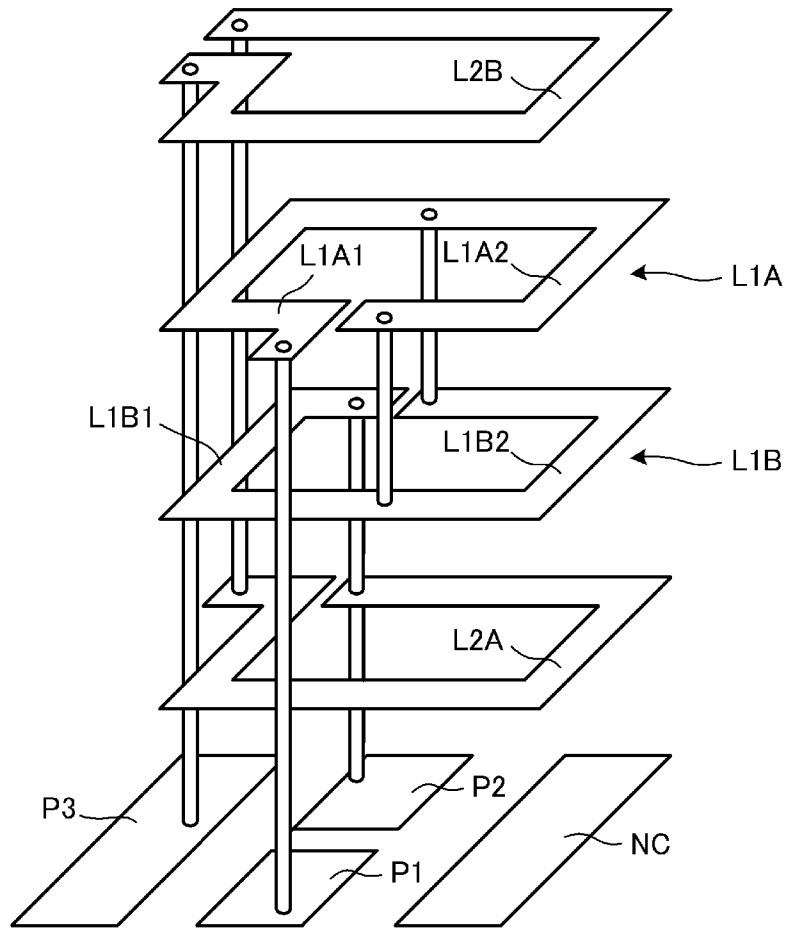
圖12





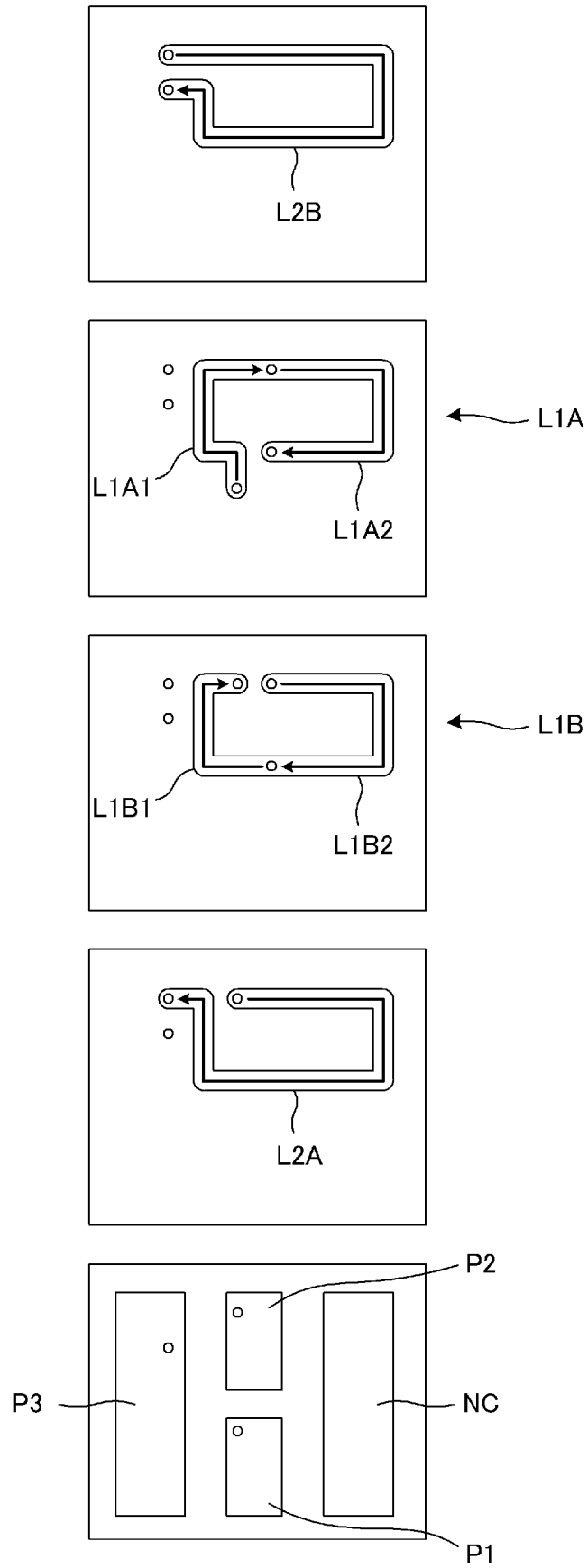
[図13]

図13



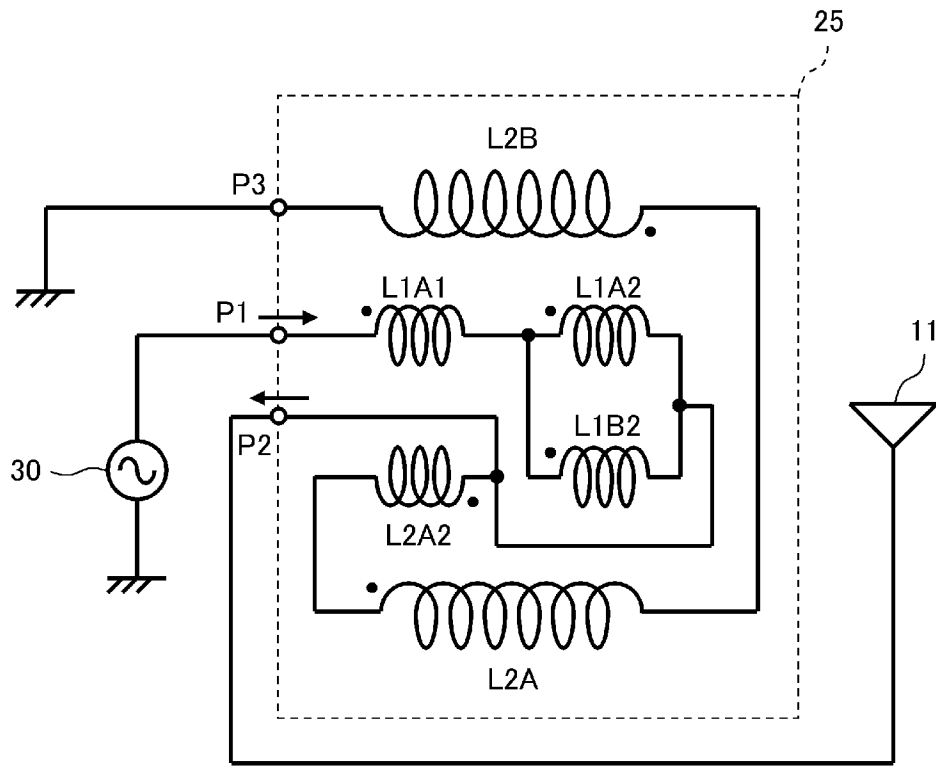
[図14]

図14



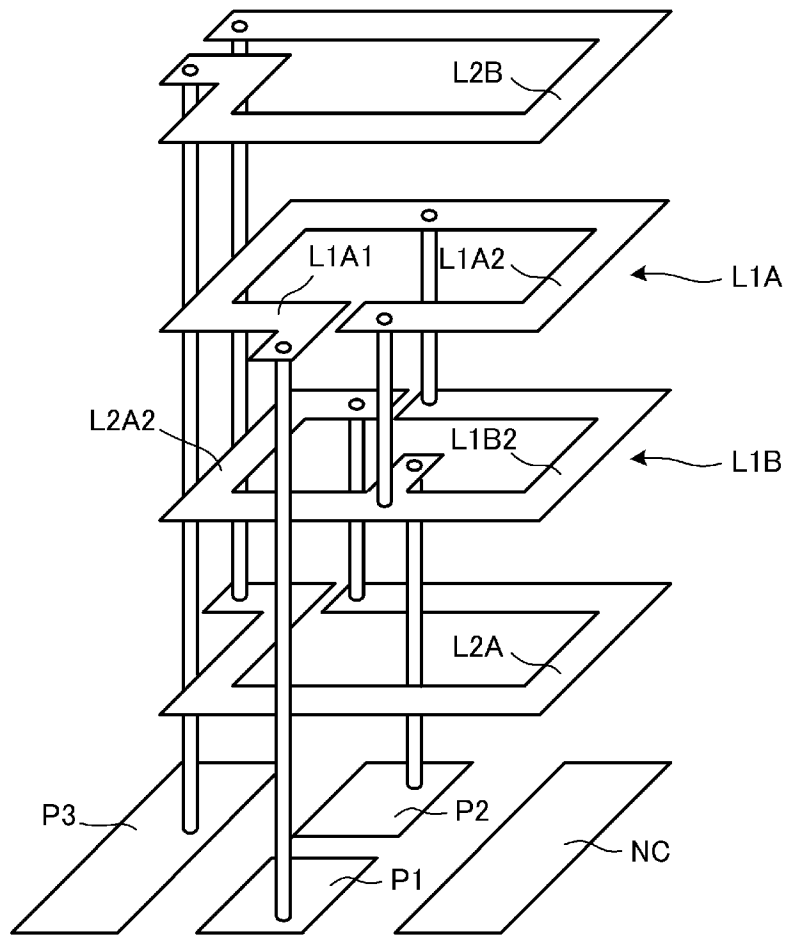
[図15]

図15



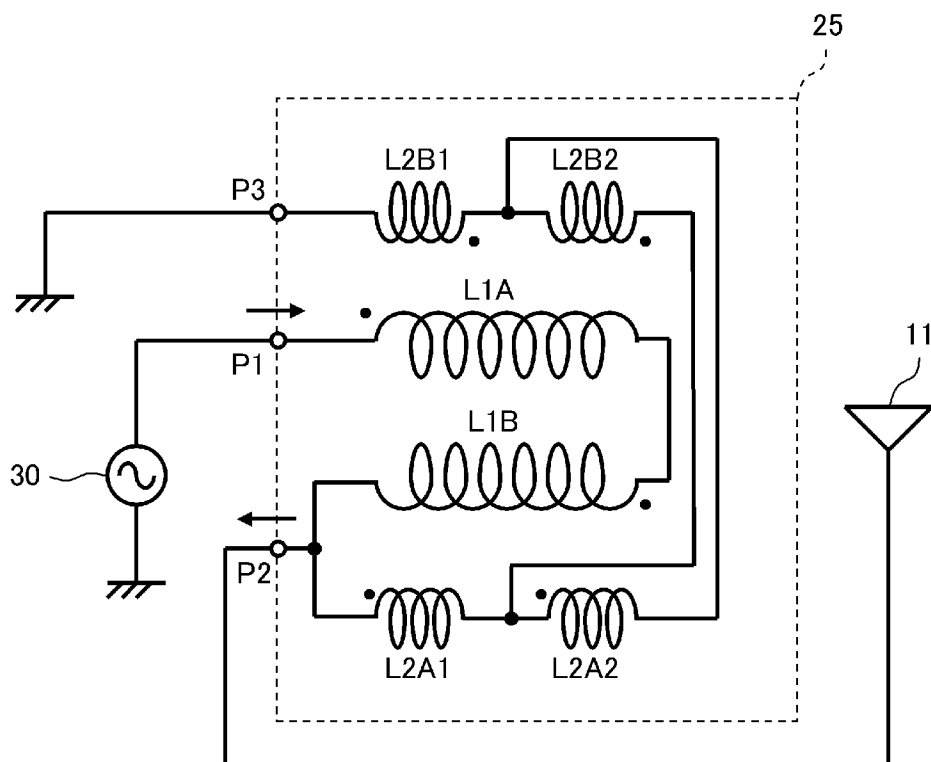
[圖16]

圖16



[圖17]

圖17



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2013/073893

**A. CLASSIFICATION OF SUBJECT MATTER**  
H01Q1/50(2006.01)i, H01F27/42(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01Q1/50, H01F27/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 04-206905 A (Murata Mfg. Co., Ltd.), 28 July 1992 (28.07.1992), entire text; all drawings (Family: none)	1-12
A	JP 2005-175300 A (Murata Mfg. Co., Ltd.), 30 June 2005 (30.06.2005), entire text; all drawings (Family: none)	1-12
A	JP 2006-013117 A (Shinko Electric Industries Co., Ltd.), 12 January 2006 (12.01.2006), entire text; all drawings (Family: none)	1-12

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 November, 2013 (26.11.13)	Date of mailing of the international search report 03 December, 2013 (03.12.13)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/073893

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-286123 A (Tokin Corp.), 13 October 2000 (13.10.2000), entire text; all drawings (Family: none)	1-12
A	JP 06-333742 A (Sumitomo Electric Industries, Ltd.), 02 December 1994 (02.12.1994), entire text; all drawings (Family: none)	1-12
A	WO 2012/114983 A1 (Murata Mfg. Co., Ltd.), 30 August 2012 (30.08.2012), entire text; all drawings (Family: none)	1-12
A	WO 2012/099085 A1 (Murata Mfg. Co., Ltd.), 26 July 2012 (26.07.2012), entire text; all drawings (Family: none)	1-12
A	JP 2012-085306 A (Murata Mfg. Co., Ltd.), 26 April 2012 (26.04.2012), entire text; all drawings (Family: none)	1-12
A	JP 2012-085305 A (Murata Mfg. Co., Ltd.), 26 April 2012 (26.04.2012), entire text; all drawings (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01Q1/50(2006.01)i, H01F27/42(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01Q1/50, H01F27/42		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 04-206905 A (株式会社村田製作所) 1992.07.28, 全文, 全図 (ファミリーなし)	1 - 12
A	JP 2005-175300 A (株式会社村田製作所) 2005.06.30, 全文, 全図 (ファミリーなし)	1 - 12
A	JP 2006-013117 A (新光電気工業株式会社) 2006.01.12, 全文, 全図 (ファミリーなし)	1 - 12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 26.11.2013	国際調査報告の発送日 03.12.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 佐藤 当秀 電話番号 03-3581-1101 内線 3556	5 K 3784

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-286123 A (株式会社トーキン) 2000. 10. 13, 全文, 全図 (ファミリーなし)	1 - 12
A	JP 06-333742 A (住友電気工業株式会社) 1994. 12. 02, 全文, 全図 (ファミリーなし)	1 - 12
A	WO 2012/114983 A1 (株式会社村田製作所) 2012. 08. 30, 全文, 全図 (ファミリーなし)	1 - 12
A	WO 2012/099085 A1 (株式会社村田製作所) 2012. 07. 26, 全文, 全図 (ファミリーなし)	1 - 12
A	JP 2012-085306 A (株式会社村田製作所) 2012. 04. 26, 全文, 全図 (ファミリーなし)	1 - 12
A	JP 2012-085305 A (株式会社村田製作所) 2012. 04. 26, 全文, 全図 (ファミリーなし)	1 - 12