

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-9363

(P2013-9363A)

(43) 公開日 平成25年1月10日(2013.1.10)

(51) Int.Cl.
H03K 19/20 (2006.01)

F I
H03K 19/20

テーマコード(参考)
5J042

審査請求 未請求 請求項の数 8 O L (全 75 頁)

(21) 出願番号 特願2012-114359 (P2012-114359)
 (22) 出願日 平成24年5月18日(2012.5.18)
 (31) 優先権主張番号 特願2011-113430 (P2011-113430)
 (32) 優先日 平成23年5月20日(2011.5.20)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 八窪 裕人
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 長塚 修平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5J042 BA19 CA07 CA09 CA14 CA24
 CA25 CA27 DA01 DA02

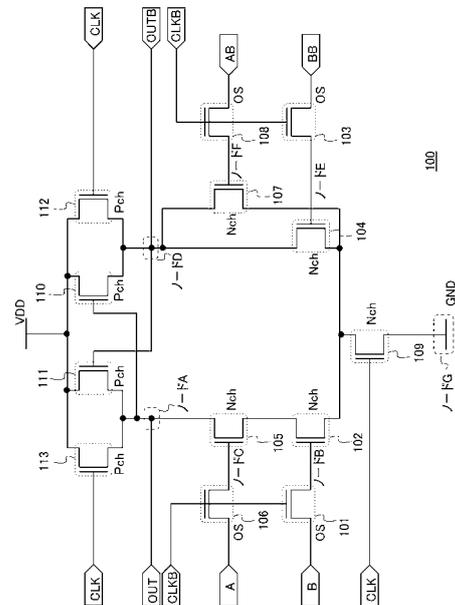
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】電源が遮断されてもデータが保持される新規な論理回路を提供する。また、消費電力を低減できる新規な論理回路を提供する。

【解決手段】2つの出力ノードを比較する比較器と、電荷保持部と、出力ノード電位確定部とを電気的に接続することにより、論理回路を構成する。それにより、電源が遮断されてもデータが保持される論理回路を得ることができる。また、論理回路を構成するトランジスタの総個数を低減させることができる。更に、酸化物半導体を用いたトランジスタとシリコンを用いたトランジスタを積層させることで、論理回路の面積の削減が可能になる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

2つの出力ノードを比較する比較器と、
前記比較器と電氣的に接続された電荷保持部と、
前記電荷保持部と電氣的に接続された出力ノード電位確定部と、を有する論理回路であり、

前記電荷保持部は、

第1の酸化物半導体を用いたトランジスタとゲートが電氣的に接続されている第1のシリコンを用いたトランジスタと、

第2の酸化物半導体を用いたトランジスタとゲートが電氣的に接続されている第2のシリコンを用いたトランジスタと、

第3の酸化物半導体を用いたトランジスタとゲートが電氣的に接続されている第3のシリコンを用いたトランジスタと、

第4の酸化物半導体を用いたトランジスタとゲートが電氣的に接続されている第4のシリコンを用いたトランジスタと、

を有することを特徴とする半導体集積回路。

【請求項 2】

請求項1において前記比較器は、クロック信号がゲートに入力される2つのPチャネル型トランジスタと、2つの出力ノードにそれぞれゲートが接続されている2つのPチャネル型トランジスタとを有することを特徴とする半導体集積回路。

【請求項 3】

請求項1または請求項2において、前記出力ノード電位確定部は、クロック信号がゲートに入力される1つのNチャネル型トランジスタであり、前記Nチャネル型トランジスタのソース又はドレインの一方は接地電位端子と電氣的に接続されていることを特徴とする半導体集積回路。

【請求項 4】

請求項1において前記比較器は、クロック信号がゲートに入力される2つのNチャネル型トランジスタと、2つの出力ノードにそれぞれゲートが接続されている2つのNチャネル型トランジスタとを有することを特徴とする半導体集積回路。

【請求項 5】

請求項1または請求項4において、前記出力ノード電位確定部は、クロック信号がゲートに入力される1つのPチャネル型トランジスタであり、前記Pチャネル型トランジスタのソース又はドレインの一方は電源電位端子と電氣的に接続されていることを特徴とする半導体集積回路。

【請求項 6】

請求項1乃至請求項5のいずれか一項において、前記電荷保持部は、

前記第1の酸化物半導体を用いたトランジスタのソース又はドレインの一方及び前記第1のシリコンを用いたトランジスタのゲートと電氣的に接続されている第1の保持容量と、

前記第2の酸化物半導体を用いたトランジスタのソース又はドレインの一方及び前記第2のシリコンを用いたトランジスタのゲートと電氣的に接続されている第2の保持容量と、

前記第3の酸化物半導体を用いたトランジスタのソース又はドレインの一方及び前記第3のシリコンを用いたトランジスタのゲートと電氣的に接続されている第3の保持容量と、

前記第4の酸化物半導体を用いたトランジスタのソース又はドレインの一方及び前記第4のシリコンを用いたトランジスタのゲートと電氣的に接続されている第4の保持容量と、

を有することを特徴とする半導体集積回路。

【請求項 7】

請求項1乃至請求項6のいずれか一項において、

前記第1の酸化物半導体を用いたトランジスタと前記第1のシリコンを用いたトランジスタとは重畳して形成され、

前記第2の酸化物半導体を用いたトランジスタと前記第2のシリコンを用いたトランジスタ

10

20

30

40

50

タとは重畳して形成され、

前記第3の酸化物半導体を用いたトランジスタと前記第3のシリコンを用いたトランジスタとは重畳して形成され、

前記第4の酸化物半導体を用いたトランジスタと前記第4のシリコンを用いたトランジスタとは重畳して形成されることを特徴とする半導体集積回路。

【請求項8】

請求項1乃至請求項7のいずれか一項において、

前記Nチャネル型トランジスタは、酸化物半導体を用いたトランジスタであることを特徴とする半導体集積回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

酸化物半導体を用いる半導体集積回路及びその駆動方法に関する。

【背景技術】

【0002】

半導体集積回路は、NAND回路（否定論理積回路）やNOR回路（否定論理和回路）や、インバータ回路（論理否定回路）などを組み合わせて構成される。

【0003】

NAND回路やNOR回路の従来回路構成として、例えば2個のPチャネル型トランジスタと2個のNチャネル型トランジスタを組み合わせて構成される。

20

【0004】

また、NAND回路として、例えば強誘電体キャパシタを用いたNAND回路が知られている（特許文献1参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2005-303580号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

30

従来論理回路は、Pチャネル型トランジスタとNチャネル型トランジスタを相補的に組み合わせたCMOS回路で構成されている。この従来論理回路は、電源遮断時にはデータが消えてしまう。

【0007】

そこで、電源が遮断されてもデータが保持される新規論理回路を提供することを課題の一つとする。

【0008】

また、CMOS回路を用いた従来論理回路では、電源電位（VDD）端子から基準電位（GND）端子までのパスが多く存在し、待機時の消費電力が大きくなっている。

【0009】

40

消費電力を低減できる新規論理回路を提供することも課題の一つとする。

【0010】

また、論理回路の面積を削減し、さらなる小型化を図ることも課題の一つとする。

【0011】

また、従来論理回路における素子数よりも少なく、特に論理回路を構成するトランジスタの総個数が低減された新規論理回路を提供することも課題の一つとする。

【課題を解決するための手段】

【0012】

電源が遮断されてもデータが保持される新規論理回路として、レジスタ機能を有する論理回路を構成する。

50

【0013】

本明細書で開示する本発明の一態様は、2つの出力ノードを比較する比較器と、該比較器と電氣的に接続された電荷保持部と、該電荷保持部と電氣的に接続された出力ノード電位確定部と、を有する論理回路であり、電荷保持部は、酸化物半導体を用いたトランジスタとゲートが電氣的に接続されているNチャンネル型トランジスタを有することを特徴とする半導体集積回路である。

【0014】

本明細書で開示する本発明の一態様は、2つの出力ノードを比較する比較器と、該比較器と電氣的に接続された電荷保持部と、該電荷保持部と電氣的に接続された出力ノード電位確定部と、を有する論理回路であり、電荷保持部は、酸化物半導体を用いたトランジスタとゲートが電氣的に接続されているPチャンネル型トランジスタを有することを特徴とする半導体集積回路である。

10

【0015】

また、本明細書で開示する本発明の一態様は、2つの出力ノードを比較する比較器と、比較器と電氣的に接続された電荷保持部と、電荷保持部と電氣的に接続された出力ノード電位確定部と、を有する論理回路であり、電荷保持部は、第1の酸化物半導体を用いたトランジスタとゲートが電氣的に接続されている第1のシリコンを用いたトランジスタと、第2の酸化物半導体を用いたトランジスタとゲートが電氣的に接続されている第2のシリコンを用いたトランジスタと、第3の酸化物半導体を用いたトランジスタとゲートが電氣的に接続されている第3のシリコンを用いたトランジスタと、第4の酸化物半導体を用いたトランジスタとゲートが電氣的に接続されている第4のシリコンを用いたトランジスタと、を有することを特徴とする半導体集積回路である。

20

【0016】

上記構成において比較器は、クロック信号がゲートに入力される2つのPチャンネル型トランジスタと、2つの出力ノードにそれぞれゲートが接続されている2つのPチャンネル型トランジスタとを有していてもよい。また、出力ノード電位確定部は、クロック信号がゲートに入力される1つのNチャンネル型トランジスタであり、該トランジスタのドレインは接地電位端子と電氣的に接続され、該トランジスタのソースは電源電位端子に電氣的に接続されていてもよい。

【0017】

上記構成において比較器は、クロック信号がゲートに入力される2つのNチャンネル型トランジスタと、2つの出力ノードにそれぞれゲートが接続されている2つのNチャンネル型トランジスタとを有していてもよい。また、出力ノード電位確定部は、該クロック信号がゲートに入力される1つのPチャンネル型トランジスタであり、該トランジスタのドレインは電源電位端子と電氣的に接続され、該トランジスタのソースは接地電位端子に電氣的に接続されていてもよい。

30

【0018】

また、本明細書で開示する本発明の一態様は、2つの出力ノードを比較する比較器と、該比較器と電氣的に接続された電荷保持部と、該電荷保持部と電氣的に接続された出力ノード電位確定部と、を有する論理回路であり、該電荷保持部は、第1の酸化物半導体を用いたトランジスタのソース又はドレインの一方及び第1のシリコンを用いたトランジスタのゲートと電氣的に接続されている第1の保持容量と、第2の酸化物半導体を用いたトランジスタのソース又はドレインの一方及び第2のシリコンを用いたトランジスタのゲートと電氣的に接続されている第2の保持容量と、第3の酸化物半導体を用いたトランジスタのソース又はドレインの一方及び第3のシリコンを用いたトランジスタのゲートと電氣的に接続されている第3の保持容量と、第4の酸化物半導体を用いたトランジスタのソース又はドレインの一方及び第4のシリコンを用いたトランジスタのゲートと電氣的に接続されている第4の保持容量と、を有することを特徴とする半導体集積回路である。

40

【0019】

上記構成において、第1の酸化物半導体を用いたトランジスタと第1のシリコンを用いた

50

トランジスタとは重畳して形成され、第2の酸化物半導体を用いたトランジスタと第2のシリコンを用いたトランジスタとは重畳して形成され、第3の酸化物半導体を用いたトランジスタと第3のシリコンを用いたトランジスタとは重畳して形成され、第4の酸化物半導体を用いたトランジスタと第4のシリコンを用いたトランジスタとは重畳して形成されていてもよい。

【0020】

また、Nチャネル型トランジスタは、半導体として酸化物を用いることができる。

【0021】

また、Pチャネル型トランジスタは、半導体として酸化物を用いることができる。

【0022】

また、Nチャネル型トランジスタは、半導体としてシリコンを用いることができる。

【0023】

また、Pチャネル型トランジスタは、半導体としてシリコンを用いることができる。

【0024】

本明細書で開示するレジスタ機能を有する新規な論理回路は、電源が遮断されてもシリコン半導体を用いたトランジスタと、酸化物半導体を用いたトランジスタとの間のノードに電荷が保持され、データが記憶され、保持される特徴を有している。

【0025】

また、本明細書で開示するレジスタ機能を有する新規な論理回路は、電源電位端子から基準電位端子までのパスが少ないため、消費電力の削減が可能である。また、待機時は電源をオフする構成にすることで更なる電力削減が可能となる。

【0026】

また、本明細書で開示するレジスタ機能を有する新規な論理回路は、酸化物半導体を用いたトランジスタと、シリコン半導体を用いたトランジスタ（Pチャネル型トランジスタやNチャネル型トランジスタ）を積層することができる。積層させた場合には、論理回路の面積を削減することができる。

【0027】

また、CMOS回路のみを用いた従来のレジスタ回路は、クロックインバータが2個、インバータが1個で構成され、Pチャネル型トランジスタとNチャネル型トランジスタとをそれぞれ5個、合計で10個のトランジスタを用いる。従って、NAND回路やNOR回路が前述したようにPチャネル型トランジスタとNチャネル型トランジスタとをそれぞれ2個ずつ、合計4個のトランジスタを用いるため、従来のレジスタ回路を有するNAND回路やNOR回路は、合計14個のトランジスタを用いる。

【0028】

本明細書で開示するレジスタ機能を有する新規な論理回路は、Pチャネル型（Nチャネル型）トランジスタ4個、Nチャネル型（Pチャネル型）トランジスタ5個、酸化物半導体を用いたトランジスタ4個の合計13個のトランジスタで構成することができる。新規な論理回路は、従来のレジスタ回路を有するNAND回路やNOR回路に比べてトランジスタ1個分を削減できる。

【発明の効果】

【0029】

本発明の一態様によれば、2つの出力ノードを比較する比較器と、電荷保持部と、出力ノード電位確定部とを電気的に接続することにより、論理回路を構成する。それにより、電源が遮断されてもデータが保持される論理回路を得ることができる。また、電源電位端子から基準電位端子までのパスを少なくできるため、消費電力を低減した論理回路を得ることができる。更に、論理回路の面積を削減させたNAND回路やNOR回路を得ることができる。

【図面の簡単な説明】

【0030】

【図1】実施の形態1に係わるNAND回路を説明する図。

10

20

30

40

50

- 【図 2】ラッチ回路、インバータ、クロックインバータの回路図。
- 【図 3】ラッチ回路の回路図。
- 【図 4】実施の形態 1 に係わる NAND 回路のタイミングチャートを説明する図。
- 【図 5】実施の形態 1 に係わる NAND 回路の動作を説明する図。
- 【図 6】実施の形態 1 に係わる NAND 回路の動作を説明する図。
- 【図 7】実施の形態 1 に係わる NAND 回路の動作を説明する図。
- 【図 8】実施の形態 1 に係わる NAND 回路の動作を説明する図。
- 【図 9】実施の形態 2 に係わる NAND 回路を説明する図。
- 【図 10】実施の形態 2 に係わる NAND 回路のタイミングチャートを説明する図。
- 【図 11】実施の形態 2 に係わる NAND 回路の動作を説明する図。 10
- 【図 12】実施の形態 2 に係わる NAND 回路の動作を説明する図。
- 【図 13】実施の形態 2 に係わる NAND 回路の動作を説明する図。
- 【図 14】実施の形態 2 に係わる NAND 回路の動作を説明する図。
- 【図 15】実施の形態 3 に係わる NAND 回路を説明する図。
- 【図 16】実施の形態 3 に係わる NAND 回路を説明する図。
- 【図 17】実施の形態 4 に係わる NOR 回路を説明する図。
- 【図 18】実施の形態 4 に係わる NOR 回路のタイミングチャートを説明する図。
- 【図 19】実施の形態 4 に係わる NOR 回路の動作を説明する図。
- 【図 20】実施の形態 4 に係わる NOR 回路の動作を説明する図。
- 【図 21】実施の形態 4 に係わる NOR 回路の動作を説明する図。 20
- 【図 22】実施の形態 4 に係わる NOR 回路の動作を説明する図。
- 【図 23】実施の形態 5 に係わる NOR 回路を説明する図。
- 【図 24】実施の形態 5 に係わる NOR 回路のタイミングチャートを説明する図。
- 【図 25】実施の形態 5 に係わる NOR 回路の動作を説明する図。
- 【図 26】実施の形態 5 に係わる NOR 回路の動作を説明する図。
- 【図 27】実施の形態 5 に係わる NOR 回路の動作を説明する図。
- 【図 28】実施の形態 5 に係わる NOR 回路の動作を説明する図。
- 【図 29】実施の形態 6 に係わる NOR 回路を説明する図。
- 【図 30】実施の形態 6 に係わる NOR 回路を説明する図。
- 【図 31】トランジスタの断面図。 30
- 【図 32】論理回路の構造を示す断面図。
- 【図 33】論理回路を用いた CPU のブロック図。
- 【図 34】酸化物材料の結晶構造を説明する図。
- 【図 35】酸化物材料の結晶構造を説明する図。
- 【図 36】酸化物材料の結晶構造を説明する図。
- 【図 37】酸化物材料の結晶構造を説明する図。
- 【図 38】シミュレーションによって得られた移動度のゲート電圧依存性を説明する図。
- 【図 39】シミュレーションによって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
- 【図 40】シミュレーションによって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。 40
- 【図 41】シミュレーションによって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
- 【図 42】シミュレーションに用いたトランジスタの断面構造を説明する図。
- 【図 43】酸化物半導体膜を用いたトランジスタ特性のグラフ。
- 【図 44】トランジスタの構造を示す上面図及び断面図。
- 【図 45】トランジスタの構造を示す上面図及び断面図。
- 【図 46】試料 A および試料 B の XRD スペクトルを示す図。
- 【図 47】トランジスタのオフ電流と測定時基板温度との関係を示す図。
- 【図 48】 I_{ds} および電界効果移動度の V_{gs} 依存性を示す図。 50

【図49】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。

【発明を実施するための形態】

【0031】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0032】

(実施の形態1)

本実施の形態では、データの保持機能を有し、消費電力を削減したNAND回路について図1乃至図8を用いて説明する。

【0033】

< NAND回路100の構成 >

図1に本実施の形態のNAND回路の回路図を示す。図1に示すNAND回路100は、第1のトランジスタ101、第2のトランジスタ102、第3のトランジスタ103、第4のトランジスタ104、第5のトランジスタ105、第6のトランジスタ106、第7のトランジスタ107、第8のトランジスタ108、第9のトランジスタ109、第10のトランジスタ110、第11のトランジスタ111、第12のトランジスタ112、第13のトランジスタ113、を有している。

20

【0034】

第2のトランジスタ102、第4のトランジスタ104、第5のトランジスタ105、第7のトランジスタ107、第9のトランジスタ109の5個のトランジスタとして、nチャネル型トランジスタを用いる。第10のトランジスタ110、第11のトランジスタ111、第12のトランジスタ112、第13のトランジスタ113の4個のトランジスタとして、pチャネル型トランジスタを用いる。

【0035】

第1のトランジスタ101、第3のトランジスタ103、第6のトランジスタ106、第8のトランジスタ108の4個のトランジスタとして、例えば酸化物半導体層にチャネルが形成されるトランジスタを用いる。なお当該酸化物半導体を用いたトランジスタは、nチャネル型トランジスタである。

30

【0036】

当該酸化物半導体を用いたトランジスタはリーク電流(オフ電流ともいう)が極小である。トランジスタのリーク電流が極小であるために得られる利点として、論理回路における単位面積当たりのデータの保持機能が高められることが挙げられる。一般に、データの保持時間とリーク電流は比例する。例えば、リーク電流が 1.0×10^{-24} Aの場合、データの保持時間は10年になり、リーク電流が 1.0×10^{-21} Aの場合、データの保持時間は3日~4日になる。リーク電流が一桁変化するだけで、データの保持時間は大きく変化し、論理回路全体に大きな影響を及ぼす。必要とする特性に合わせて最適なトランジスタを選択することが好ましい。

40

【0037】

なお、nチャネル型の酸化物半導体を用いたトランジスタのリーク電流は、 $100 \text{ yA} / \mu\text{m}$ (1.0×10^{-22} A)以下、好ましくは $10 \text{ yA} / \mu\text{m}$ (1.0×10^{-23} A)以下、より好ましくは $1 \text{ yA} / \mu\text{m}$ (1.0×10^{-24} A)以下を得ることができる。なお、測定時は、ドレイン電圧とゲート電圧の絶対値が等しい事が好ましい。酸化物半導体を用いたトランジスタのリーク電流は、ゲート電圧が-3V以下になっても、極小を維持する。これに対して、nチャネル型のシリコン半導体を用いたトランジスタのリーク電流は、概ね $10 \text{ pA} / \mu\text{m}$ (1.0×10^{-11} A)程度であり、ゲート電圧が-3V

50

以下になると、リーク電流は急速に大きくなってしまふ。また、リーク電流は、測定時のトランジスタの温度にも依存する。高温であるほど、リーク電流は大きくなる。

【0038】

第2のトランジスタ102、第4のトランジスタ104、第5のトランジスタ105、第7のトランジスタ107、第9のトランジスタ109、第10のトランジスタ110、第11のトランジスタ111、第12のトランジスタ112、第13のトランジスタ113の9個のトランジスタとして、例えば珪素層にチャンネルが形成されるトランジスタを用いる。当該珪素層は、単結晶珪素層、微結晶珪素層、非晶質珪素層であってもよい。

【0039】

なお、第2のトランジスタ102、第4のトランジスタ104、第5のトランジスタ105、第7のトランジスタ107、第9のトランジスタ109の5個のトランジスタ全て、又は一部を、酸化物半導体を用いたトランジスタに置き換えることもできる。ただし、酸化物半導体を用いたトランジスタはオフ電流が極小という利点を有する一方、動作速度が、シリコン半導体を用いたトランジスタと比べて劣るため、NAND回路100の動作速度への影響を考慮して、これらのトランジスタを酸化物半導体を用いたトランジスタに置き換えることが必要である。

【0040】

NAND回路100に入力される2つの信号のうち入力信号Aは、第6のトランジスタ106のソース又はドレインの一方に、入力される。また入力信号Bは、第1のトランジスタ101のソース又はドレインの一方に、入力される。なお、第8のトランジスタ108のソース又はドレインの一方には、入力信号Aと位相が反転した信号ABが入力され、第3のトランジスタ103のソース又はドレインの一方には、入力信号Bと位相が反転した信号BBが入力される。

【0041】

第1のトランジスタ101のゲートは、第6のトランジスタ106のゲートと電氣的に接続されている。第1のトランジスタ101のソース又はドレインの他方は、第2のトランジスタ102のゲートと電氣的に接続されている。なお、第1のトランジスタ101のソース又はドレインの他方と第2のトランジスタ102のゲートとの接続部分をノードBとする。第2のトランジスタ102のソース又はドレインの一方は、第5のトランジスタ105のソース又はドレインの一方と電氣的に接続され、第2のトランジスタ102のソース又はドレインの他方は、第9のトランジスタ109のソース又はドレインの一方、及び第4のトランジスタ104のソース又はドレインの一方、及び第7のトランジスタ107のソース又はドレインの一方と電氣的に接続されている。

【0042】

第3のトランジスタ103のゲートは、第8のトランジスタ108のゲートと電氣的に接続されている。第3のトランジスタ103のソース又はドレインの他方は、第4のトランジスタ104のゲートと電氣的に接続されている。なお、第3のトランジスタ103のソース又はドレインの他方と第4のトランジスタ104のゲートとの接続部分をノードEとする。第4のトランジスタ104のソース又はドレインの他方は、第7のトランジスタ107のソース又はドレインの他方、及び第10のトランジスタ110のソース又はドレインの一方、及び第12のトランジスタ112のソース又はドレインの一方、及び第11のトランジスタ111のゲートと電氣的に接続されている。なお、第4のトランジスタ104のソース又はドレインの他方と、第7のトランジスタ107のソース又はドレインの他方と、第10のトランジスタ110のソース又はドレインの一方と、第12のトランジスタ112のソース又はドレインの一方と、第11のトランジスタ111のゲートとの接続部分をノードDとする。

【0043】

第5のトランジスタ105のゲートは、第6のトランジスタ106のソース又はドレインの他方と電氣的に接続されている。なお、第5のトランジスタ105のゲートと、第6のトランジスタ106のソース又はドレインの他方との接続部分をノードCとする。第5の

10

20

30

40

50

トランジスタ105のソース又はドレインの他方は、第10のトランジスタ110のゲート、及び第11のトランジスタ111のソース又はドレインの一方、及び第13のトランジスタ113のソース又はドレインの一方と電氣的に接続されている。なお、第5のトランジスタ105のソース又はドレインの他方と、第10のトランジスタ110のゲートと、第11のトランジスタ111のソース又はドレインの一方と、第13のトランジスタ113のソース又はドレインの一方との接続部分をノードAとする。

【0044】

第6のトランジスタ106のゲートには、クロック信号CLKと位相が反転した信号CLKBが入力されている。第7のトランジスタ107のゲートは、第8のトランジスタ108のソース又はドレインの他方と電氣的に接続されている。なお、第7のトランジスタ107のゲートと、第8のトランジスタ108のソース又はドレインの他方との接続部分をノードFとする。第8のトランジスタ108のゲートには、クロック信号CLKと位相が反転した信号CLKBが入力されている。第9のトランジスタ109のゲートには、クロック信号CLKが入力され、第9のトランジスタ109のソース又はドレインの他方は、接地電位GND端子と電氣的に接続されている。なお、第9のトランジスタ109のソース又はドレインの他方と、接地電位GND端子との接続部分をノードGとする。

10

【0045】

第10のトランジスタ110のソース又はドレインの他方と、第11のトランジスタ111のソース又はドレインの他方と、第12のトランジスタ112のソース又はドレインの他方と、第13のトランジスタ113のソース又はドレインの他方とは、電氣的に接続されており、電源電位VDDが供給されている。第12のトランジスタ112のゲートには、クロック信号CLKが入力され、第13のトランジスタ113のゲートには、クロック信号CLKが入力されている。

20

【0046】

ノードAの電位は、NAND回路100の出力信号OUTとして出力される。ノードDの電位は、NAND回路100の出力信号OUTと、位相が反転した信号OUTBとして出力される。

【0047】

本実施の形態のNAND回路100において、酸化物半導体を用いたトランジスタのゲートが閉じている時、電源電位VDD端子から接地電位GND端子までのリーク電流のパスは、1つしか存在しない。リーク電流のパスが1つしか存在しないため、NAND回路100の消費電力を抑えることができる。

30

【0048】

比較として従来ラッチ回路を図2に示す。図2(A)に示すラッチ回路120は、クロックインバータ121、インバータ122、クロックインバータ123を有している。

【0049】

クロックインバータ121の入力端子は、ラッチ回路120の入力端子INとして機能する。

【0050】

クロックインバータ121の出力端子は、インバータ122の入力端子及びクロックインバータ123の出力端子と電氣的に接続されている。

40

【0051】

インバータ122の出力端子は、クロックインバータ123の入力端子と電氣的に接続されており、ラッチ回路120の出力端子OUTとして機能する。

【0052】

インバータ122として用いることが可能な回路構成の例を図2(B)に示す。

【0053】

図2(B)に示されるインバータ133は、pチャネル型トランジスタであるトランジスタ131及びnチャネル型トランジスタであるトランジスタ132を有している。

50

【 0 0 5 4 】

インバータ 1 3 3 のトランジスタ 1 3 1 のゲートは、トランジスタ 1 3 2 のゲートと電氣的に接続されており、インバータ 1 3 3 の入力端子 I N として機能する。トランジスタ 1 3 1 のソース又はドレインの一方には、電源電位 V D D が供給される。トランジスタ 1 3 1 のソース又はドレインの他方は、トランジスタ 1 3 2 のソース又はドレインの一方と電氣的に接続されており、インバータ 1 3 3 の出力端子 O U T として機能する。

【 0 0 5 5 】

トランジスタ 1 3 2 のソース又はドレインの他方は、接地電位 G N D 端子と電氣的に接続されている。

【 0 0 5 6 】

クロックインバータ 1 2 1 及びクロックインバータ 1 2 3 のそれぞれとして用いることが可能な回路構成の例を図 2 (C) に示す。

【 0 0 5 7 】

図 2 (C) に示すクロックインバータ 1 6 0 は、p チャネル型トランジスタであるトランジスタ 1 6 1、p チャネル型トランジスタであるトランジスタ 1 6 2、n チャネル型トランジスタであるトランジスタ 1 6 3、n チャネル型トランジスタであるトランジスタ 1 6 4 を有している。

【 0 0 5 8 】

トランジスタ 1 6 1 のゲートは、トランジスタ 1 6 4 のゲートと電氣的に接続されており、クロックインバータ 1 6 0 の入力端子 I N として機能する。トランジスタ 1 6 1 のソース又はドレインの一方には、電源電位 V D D が供給される。トランジスタ 1 6 1 のソース又はドレインの他方は、トランジスタ 1 6 2 のソース又はドレインの一方と電氣的に接続されている。

【 0 0 5 9 】

トランジスタ 1 6 2 のゲートには、クロック信号 C L K が入力される。トランジスタ 1 6 2 のソース又はドレインの他方は、トランジスタ 1 6 3 のソース又はドレインの一方と電氣的に接続され、クロックインバータ 1 6 0 の出力端子 O U T として機能する。

【 0 0 6 0 】

トランジスタ 1 6 3 のゲートには、クロック信号 C L K と位相が反転した信号 C L K B が入力される。トランジスタ 1 6 3 のソース又はドレインの他方は、トランジスタ 1 6 4 のソース又はドレインの一方と電氣的に接続されている。

【 0 0 6 1 】

トランジスタ 1 6 4 のソース又はドレインの他方は、接地電位 G N D 端子と電氣的に接続されている。

【 0 0 6 2 】

インバータ 1 3 3、クロックインバータ 1 6 0 A 及びクロックインバータ 1 6 0 B を用いた場合のラッチ回路 1 2 0 の具体的な回路構成を図 3 に示す。なお図 3 において、クロックインバータ 1 6 0 A 及びクロックインバータ 1 6 0 B、並びにそれぞれに含まれるトランジスタは、クロックインバータ 1 6 0 と同様であり、それぞれ「 A 」及び「 B 」を追加して表記している。

【 0 0 6 3 】

図 3 に示されるように、ラッチ回路 1 2 0 において、電源電位 V D D 端子から接地電位 G N D 端子へのリーク電流のパスは 3 つ存在する (パス I₁ ~ パス I₃)。よって、ラッチ回路 1 2 0 の消費電力は増大する恐れがある。

【 0 0 6 4 】

上述のように、本実施の形態の N A N D 回路 1 0 0 は、電源電位 V D D 端子から接地電位 G N D 端子へのリーク電流のパスは 1 つである。そのため、本実施の形態の N A N D 回路 1 0 0 では消費電力が抑制できる。

【 0 0 6 5 】

また本実施の形態の N A N D 回路 1 0 0 は、4 個の酸化物半導体を用いたトランジスタ及

10

20

30

40

50

び9個のシリコン半導体を用いたトランジスタを有している。

【0066】

酸化物半導体を用いたトランジスタは、上述のようにリーク電流が極小である。そのため、NAND回路100に電源電位VDDの供給を停止しても、例えば酸化物半導体を用いたトランジスタである第1のトランジスタ101のソース又はドレインの他方と、第2のトランジスタ102のゲートとの間(ノードB)に蓄えられている電荷は保持される。よって、電源電位VDDの供給を再開すると、NAND回路100は、電源電位VDDの供給を停止する前の状態から、動作を開始することができる。

【0067】

このように、NAND回路100は電源電位VDDの供給を停止してもデータが消失しない。すなわち、本実施の形態のNAND回路100は、不揮発性の記憶回路である。従って、NAND回路100において、酸化物半導体を用いたトランジスタのゲートが閉じている時は、電源電位VDDの供給を停止することが可能である。即ち不揮発性のNAND回路100は消費電力を抑制することができる。

10

【0068】

また本実施の形態のNAND回路100において、酸化物半導体を用いたトランジスタとシリコン半導体を用いたトランジスタは積層して形成することが可能である(後述)。そのため、NAND回路100の回路面積を小さくすることができる。

【0069】

<NAND回路100の動作>

図4乃至図8を用いて、本実施の形態のNAND回路100の動作について説明する。図4には、NAND回路100におけるタイミングチャートを示す。図4では、期間T1、期間T2、期間T3、期間T4、期間T5、期間T6、期間T7、期間T8、期間T9、期間T10、に分けてタイミングチャートを示す。図5乃至図8では、期間T1、期間T2、期間T3、期間T4におけるNAND回路100の動作の状態を示す。

20

【0070】

NAND回路100は、クロック同期式であり、第9のトランジスタ109、第12のトランジスタ112、第13のトランジスタ113に同様のクロック信号CLKを入力することで、NAND回路として動作する。なお、クロック信号CLKと同期して第9のトランジスタ109がオン状態となる、期間T2、期間T4、期間T6、期間T8、期間T10においてのみ、出力信号OUTが決定される。

30

【0071】

<期間T1(図5参照。)>

まず図4の期間T1に示すように、入力信号AにH電位(VDD)、入力信号BにL電位(VSS)が入力された場合を考える。この時、クロック信号CLKがL電位(VSS)なので、第12のトランジスタ112のゲート、及び第13のトランジスタ113のゲートにL電位(VSS)が印加される。従って、第12のトランジスタ112(Pch)及び第13のトランジスタ113(Pch)は、オン状態となる。この時、ノードAに対してH電位(VDD)が入り込み、ノードDに対してH電位(VDD)が入り込む。(プリチャージ動作。)第12のトランジスタ112及び第13のトランジスタ113は、ノードAとノードDにH電位(VDD)を充電するか否かを制御するために設けられている。

40

【0072】

クロック信号CLKと位相が反転した信号CLKBがH電位(VDD)なので、第1のトランジスタ101及び第6のトランジスタ106は、オン状態となる。従って、第2のトランジスタ102のゲート(ノードB)に入力信号Bと同じL電位(VSS)がチャージされ、第5のトランジスタ105のゲート(ノードC)に入力信号Aと同じH電位(VDD)がチャージされる。

【0073】

また、クロック信号CLKと位相が反転した信号CLKBがH電位(VDD)なので、第3のトランジスタ103及び第8のトランジスタ108は、オン状態となる。従って、第

50

4のトランジスタ104のゲート(ノードE)に入力信号Bと位相が反転した信号BBと同じH電位(VDD)がチャージされ、第7のトランジスタ107のゲート(ノードF)に入力信号Aと位相が反転した信号ABと同じL電位(VSS)がチャージされる。

【0074】

以上のように期間T1では、ノードB、ノードC、ノードE、ノードFのそれぞれに、入力信号A及び入力信号Bに応じた電位が、ノードA、ノードDのそれぞれに、H電位(VDD)がチャージされた状態となる。

【0075】

<期間T2(図6参照。)>

次に図4の期間T2に示すように、クロック信号CLKがH電位(VDD)となるので、第12のトランジスタ112のゲート、第13のトランジスタ113のゲート、第9のトランジスタ109のゲートのそれぞれにH電位(VDD)が印加される。この時、第12のトランジスタ112(Pch)及び第13のトランジスタ113(Pch)は、オフ状態となる。第13のトランジスタ113がオフ状態となることにより、ノードAに対してH電位(VDD)の供給が無くなり、ノードAはH電位(VDD)を維持する状態となる。また、第12のトランジスタ112がオフ状態となることにより、ノードDに対してH電位(VDD)の供給が無くなり、ノードDはH電位(VDD)を維持する状態となる。

【0076】

第9のトランジスタ109(Nch)は、オン状態となる。

【0077】

一方、クロック信号CLKと位相が反転した信号CLKBがL電位(VSS)となるので、第1のトランジスタ101(Nch)及び第6のトランジスタ106(Nch)は、オフ状態となる。ノードBには、L電位(VSS)に応じた電荷が蓄積されているため、第1のトランジスタ101がオフ状態となることで、ノードBにはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第2のトランジスタ102は、ノードBの電位に応じて、オフ状態となる。ノードCには、H電位(VDD)に応じた電荷が蓄積されているため、第6のトランジスタ106がオフ状態となることで、ノードCにはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第5のトランジスタ105は、ノードCの電位に応じて、オン状態となる。

【0078】

同様に、クロック信号CLKと位相が反転した信号CLKBがL電位(VSS)となるので、第3のトランジスタ103(Nch)及び第8のトランジスタ108(Nch)は、オフ状態となる。ノードEには、H電位(VDD)に応じた電荷が蓄積されているため、第3のトランジスタ103がオフ状態となることで、ノードEにはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第4のトランジスタ104は、ノードEの電位に応じて、オン状態となる。ノードFには、L電位(VSS)に応じた電荷が蓄積されているため、第8のトランジスタ108がオフ状態となることで、ノードFにはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第8のトランジスタ108は、ノードFの電位に応じて、オフ状態となる。

【0079】

この時、第4のトランジスタ104と、第7のトランジスタ107が電氣的に並列で接続されているため、第7のトランジスタ107がオフ状態になっても、ノードDから、ノードGまでの電流経路が形成される。従ってノードDに溜められたH電位(VDD)に応じた電荷は、オン状態となっている第4のトランジスタ104及び、オン状態となっている第9のトランジスタ109を通して、ノードGの有する基準電位(GND)へと引き抜かれていく。即ちノードDからノードGに向かって電流が流れる。なお、第2のトランジスタ102と、第5のトランジスタ105が電氣的に直列で接続されているため、ノードAから、ノードGまでの電流経路は形成されない。

【0080】

ノードDからノードGに向かって電流が流れることで、ノードDの電位は、H電位(VD

10

20

30

40

50

D) から徐々に減少し、L 電位 (VSS) となる。その結果、第 11 のトランジスタ 111 のゲートに、L 電位 (VSS) が印加されるため、第 11 のトランジスタ 111 (Pch) は、オン状態となる。この時、ノード A の電位が確定し、出力信号 OUT が H 電位 (VDD) となる。

【0081】

第 10 のトランジスタ 110 及び第 11 のトランジスタ 111 は、ノード A とノード D に対して、該ノード間の電位を相互に補償し合う機能を有する。ノード A とノード D 間の電位を相互に補償し合うとは、例えば、ノード D が L 電位 (VSS) になった場合、第 11 のトランジスタ 111 は、ノード A に H 電位 (VDD) を供給する。例えば、ノード A が L 電位 (VSS) になった場合、第 10 のトランジスタ 110 は、ノード D に H 電位 (VDD) を供給する。即ち、ノード A とノード D 間において、L 電位 (VSS) になったノードと逆のノードに、H 電位 (VDD) を供給する。

10

【0082】

なお、ノード A の電位とノード D の電位は、第 9 のトランジスタ 109 のオン状態及びオフ状態に依存する。即ち出力信号 OUT の電位が確定するのは、クロック信号 CLK が H 電位 (VDD) の時に限られる。従って NAND 回路 100 の出力信号 OUT の電位が確定するのは図 4 に示すタイミングチャートにおいて、期間 T2、期間 T4、期間 T6、期間 T8、期間 T10 の時である。

【0083】

以上のように期間 T2 では、H 電位 (VDD) の入力信号 A 及び L 電位 (VSS) の入力信号 B の入力に対して、H 電位 (VDD) の出力信号 OUT が、確定された状態となる。

20

【0084】

上述のように、第 10 のトランジスタ 110 及び第 11 のトランジスタ 111 は、電位補償機能を有し、第 12 のトランジスタ 112 及び第 13 のトランジスタ 113 は、充電機能を有する。従って、これら 4 つのトランジスタは、常にノード A とノード D の電位を比較し、L 電位 (VSS) となったノードと逆のノードに、H 電位 (VDD) を供給するという比較器としての機能を有する。

【0085】

また、第 9 のトランジスタ 109 は、放電機能を有する。オン状態となっている第 9 のトランジスタ 109 を通して、ノード A 又はノード D の電位はノード G の有する基準電位 (GND) へと引き抜かれていく。その結果、第 9 のトランジスタ 109 がオン状態となる時 (クロック信号 CLK が H 電位 (VDD) の時) のみ、出力信号 OUT の電位が確定することになるため、該トランジスタは、最終的な出力信号 OUT を確定するという機能 (電位確定機能) も有する。

30

【0086】

< 期間 T3 (図 7 参照。) >

次に図 4 の期間 T3 に示すように、入力信号 A に L 電位 (VSS)、入力信号 B に L 電位 (VSS) が入力された場合を考える。この時、クロック信号 CLK が L 電位 (VSS) なので、第 12 のトランジスタ 112 のゲート、及び第 13 のトランジスタ 113 のゲートに L 電位 (VSS) が印加される。従って、第 12 のトランジスタ 112 (Pch) 及び第 13 のトランジスタ 113 (Pch) は、オン状態となる。この時、ノード A に対して H 電位 (VDD) が入り込み、ノード D に対して H 電位 (VDD) が入り込む。(プリチャージ動作。)

40

【0087】

クロック信号 CLK と位相が反転した信号 CLKB が H 電位 (VDD) なので、第 1 のトランジスタ 101 及び第 6 のトランジスタ 106 は、オン状態となる。従って、第 2 のトランジスタ 102 のゲート (ノード B) に入力信号 B と同じ L 電位 (VSS) がチャージされ、第 5 のトランジスタ 105 のゲート (ノード C) に入力信号 A と同じ L 電位 (VSS) がチャージされる。

【0088】

50

また、クロック信号CLKと位相が反転した信号CLKBがH電位(VDD)なので、第3のトランジスタ103及び第8のトランジスタ108は、オン状態となる。従って、第4のトランジスタ104のゲート(ノードE)に入力信号Bと位相が反転した信号BBと同じH電位(VDD)がチャージされ、第7のトランジスタ107のゲート(ノードF)に入力信号Aと位相が反転した信号ABと同じH電位(VDD)がチャージされる。

【0089】

以上のように期間T3では、ノードB、ノードC、ノードE、ノードFのそれぞれに、入力信号A及び入力信号Bに応じた電位が、ノードA、ノードDのそれぞれに、H電位(VDD)がチャージされた状態となる。

【0090】

<期間T4(図8参照。)>

次に図4の期間T4に示すように、クロック信号CLKがH電位(VDD)となるので、第12のトランジスタ112のゲート、第13のトランジスタ113のゲート、第9のトランジスタ109のゲートのそれぞれにH電位(VDD)が印加される。この時、第12のトランジスタ112(Pch)及び第13のトランジスタ113(Pch)は、オフ状態となる。第13のトランジスタ113がオフ状態となることにより、ノードAに対してH電位(VDD)の供給が無くなり、ノードAはH電位(VDD)を維持する状態となる。また、第12のトランジスタ112がオフ状態となることにより、ノードDに対してH電位(VDD)の供給が無くなり、ノードDはH電位(VDD)を維持する状態となる。

【0091】

第9のトランジスタ109(Nch)は、オン状態となる。

【0092】

一方、クロック信号CLKと位相が反転した信号CLKBがL電位(VSS)となるので、第1のトランジスタ101(Nch)及び第6のトランジスタ106(Nch)は、オフ状態となる。ノードBには、L電位(VSS)に応じた電荷が蓄積されているため、第1のトランジスタ101がオフ状態となることで、ノードBにはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第2のトランジスタ102は、ノードBの電位に応じて、オフ状態となる。ノードCには、L電位(VSS)に応じた電荷が蓄積されているため、第6のトランジスタ106がオフ状態となることで、ノードCにはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第5のトランジスタ105は、ノードCの電位に応じて、オフ状態となる。

【0093】

同様に、クロック信号CLKと位相が反転した信号CLKBがL電位(VSS)となるので、第3のトランジスタ103(Nch)及び第8のトランジスタ108(Nch)は、オフ状態となる。ノードEには、H電位(VDD)に応じた電荷が蓄積されているため、第3のトランジスタ103がオフ状態となることで、ノードEにはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第4のトランジスタ104は、ノードEの電位に応じて、オン状態となる。ノードFには、H電位(VDD)に応じた電荷が蓄積されているため、第8のトランジスタ108がオフ状態となることで、ノードFにはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第8のトランジスタ108は、ノードFの電位に応じて、オン状態となる。

【0094】

この時、第4のトランジスタ104と、第7のトランジスタ107が電氣的に並列で接続されているため、ノードDから、ノードGまでの電流経路が形成される。従ってノードDに溜められたH電位(VDD)に応じた電荷は、オン状態となっている第4のトランジスタ104及び、オン状態となっている第9のトランジスタ109を通して、ノードGの有する基準電位(GND)へと引き抜かれていく。即ちノードDからノードGに向かって電流が流れる。

【0095】

ノードDからノードGに向かって電流が流れることで、ノードDの電位は、H電位(VD

10

20

30

40

50

D) から徐々に減少し、L 電位 (VSS) となる。その結果、第 11 のトランジスタ 111 のゲートに、L 電位 (VSS) が印加されるため、第 11 のトランジスタ 111 (Pch) は、オン状態となる。この時、ノード A の電位が確定し、出力信号 OUT が H 電位 (VDD) となる。

【0096】

以上のように期間 T4 では、L 電位 (VSS) の入力信号 A 及び L 電位 (VSS) の入力信号 B の入力に対して、H 電位 (VDD) の出力信号 OUT が、確定された状態となる。

【0097】

入力信号 A に応じた電位を保持するノード C をゲートに有する第 5 のトランジスタ 105 と、入力信号 B に応じた電位を保持するノード B をゲートに有する第 2 のトランジスタ 102 とが電氣的に直列で接続されている。従って、どちらかの入力信号に L 電位 (VSS) が入力されてしまうと、ノード A からノード G までの電流経路は形成されず、両方の入力信号に、H 電位 (VDD) が入力された時のみ電流経路が形成される。一方、第 4 のトランジスタ 104 と、第 7 のトランジスタ 107 とが電氣的に並列で接続されている。従って、どちらかの入力信号に L 電位 (VSS) が入力されれば、ノード A からノード G までの電流経路が形成される。

10

【0098】

即ち、どちらかの入力信号に L 電位 (VSS) が入力されれば、必ずノード D は、L 電位 (VSS) になる。ノード D の逆の電位がノード A に供給されるため、この時必ず出力信号 OUT は、H 電位 (VDD) になる。また、両方の入力信号に、H 電位 (VDD) が入力されれば、必ずノード A は、L 電位 (VSS) になり、この時必ず出力信号 OUT は、L 電位 (VSS) になる。このようにして、NAND 回路が形成できる。

20

【0099】

期間 T5、期間 T6 の動作は、期間 T1、期間 T2 の動作と全く同様である。期間 T7、期間 T8 の動作は、期間 T1、期間 T2 の動作において、入力信号 A に L 電位 (VSS)、入力信号 B に H 電位 (VDD) が入力された場合の動作に対応する。期間 T9、期間 T10 の動作は、期間 T3、期間 T4 の動作において、入力信号 A に H 電位 (VDD)、入力信号 B に H 電位 (VDD) が入力された場合の動作に対応する。

【0100】

本実施の形態により、NAND 回路のリーク電流のパスを抑制することができる。従って、NAND 回路の消費電力を抑制することができる。

30

【0101】

本実施の形態により、NAND 回路において電源が遮断されてもデータを保持することができる。

【0102】

本実施の形態により、NAND 回路において酸化物半導体を用いたトランジスタとシリコン半導体を用いたトランジスタは積層して形成することが可能であるため、回路面積を縮小させることができる。

【0103】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

40

【0104】

(実施の形態 2)

本実施の形態では、データの保持機能を有し、消費電力を削減した NAND 回路の別の構成について図 9 乃至図 14 を用いて説明する。

【0105】

< NAND 回路 200 の構成 >

図 9 に本実施の形態の NAND 回路の回路図を示す。図 9 に示す NAND 回路 200 は、第 15 のトランジスタ 115、第 16 のトランジスタ 116、第 17 のトランジスタ 117、第 18 のトランジスタ 118、第 24 のトランジスタ 124、第 25 のトランジスタ

50

125、第26のトランジスタ126、第27のトランジスタ127、第28のトランジスタ128、第29のトランジスタ129、第30のトランジスタ130、第31のトランジスタ131、第32のトランジスタ132、を有している。

【0106】

第28のトランジスタ128、第29のトランジスタ129、第30のトランジスタ130、第31のトランジスタ131、第32のトランジスタ132の5個のトランジスタとして、pチャネル型トランジスタを用いる。第15のトランジスタ115、第16のトランジスタ116、第17のトランジスタ117、第18のトランジスタ118の4個のトランジスタとして、nチャネル型トランジスタを用いる。

【0107】

第24のトランジスタ124、第25のトランジスタ125、第26のトランジスタ126、第27のトランジスタ127の4個のトランジスタとして、例えば酸化物半導体層にチャンネルが形成されるトランジスタを用いる。酸化物半導体を用いたトランジスタはリーク電流（オフ電流ともいう）が極小という利点を有する。なお当該酸化物半導体を用いたトランジスタは、nチャネル型トランジスタである。

【0108】

第15のトランジスタ115、第16のトランジスタ116、第17のトランジスタ117、第18のトランジスタ118、第28のトランジスタ128、第29のトランジスタ129、第30のトランジスタ130、第31のトランジスタ131、第32のトランジスタ132の9個のトランジスタとして、例えば珪素層にチャンネルが形成されるトランジスタを用いる。当該珪素層は、単結晶珪素層、微結晶珪素層、非晶質珪素層であってもよい。

【0109】

なお、第15のトランジスタ115、第16のトランジスタ116、第17のトランジスタ117、第18のトランジスタ118の4個のトランジスタ全て、又は一部を、酸化物半導体を用いたトランジスタに置き換えることもできる。ただし、酸化物半導体を用いたトランジスタはオフ電流が極小という利点を有する一方、動作速度が、シリコン半導体を用いたトランジスタと比べて劣るため、NAND回路200の動作速度への影響を考慮して、これらのトランジスタを酸化物半導体を用いたトランジスタに置き換えることが必要である。

【0110】

NAND回路200に入力される2つの信号のうち入力信号Aは、第26のトランジスタ126のソース又はドレインの一方に、入力される。また入力信号Bは、第27のトランジスタ127のソース又はドレインの一方に、入力される。なお、第24のトランジスタ124のソース又はドレインの一方には、入力信号Aと位相が反転した信号ABが入力され、第25のトランジスタ125のソース又はドレインの一方には、入力信号Bと位相が反転した信号BBが入力される。

【0111】

第25のトランジスタ125のゲートは、第24のトランジスタ124のゲートと電気的に接続されている。第25のトランジスタ125のソース又はドレインの他方は、第29のトランジスタ129のゲートと電気的に接続されている。なお、第25のトランジスタ125のソース又はドレインの他方と第29のトランジスタ129のゲートとの接続部分をノードE'とする。第29のトランジスタ129のソース又はドレインの一方は、第28のトランジスタ128のソース又はドレインの一方と電気的に接続され、第29のトランジスタ129のソース又はドレインの他方は、第18のトランジスタ118のゲート、及び第15のトランジスタ115のソース又はドレインの一方、及び第16のトランジスタ116のソース又はドレインの一方と電気的に接続されている。なお、第29のトランジスタ129のソース又はドレインの他方と、第18のトランジスタ118のゲートと、第15のトランジスタ115のソース又はドレインの一方と、第16のトランジスタ116のソース又はドレインの一方との接続部分をノードD'とする。

10

20

30

40

50

【 0 1 1 2 】

第 2 4 のトランジスタ 1 2 4 のゲートには、クロック信号 C L K が入力されている。第 2 6 のトランジスタ 1 2 6 のゲートには、クロック信号 C L K が入力されている。第 3 2 のトランジスタ 1 3 2 のゲートには、クロック信号 C L K が入力されている。

【 0 1 1 3 】

第 2 7 のトランジスタ 1 2 7 のゲートは、第 2 6 のトランジスタ 1 2 6 のゲートと電氣的に接続されている。第 2 7 のトランジスタ 1 2 7 のソース又はドレインの他方は、第 3 1 のトランジスタ 1 3 1 のゲートと電氣的に接続されている。なお、第 2 7 のトランジスタ 1 2 7 のソース又はドレインの他方と第 3 1 のトランジスタ 1 3 1 のゲートとの接続部分をノード B ' とする。

10

【 0 1 1 4 】

第 3 1 のトランジスタ 1 3 1 のソース又はドレインの一方は、第 3 0 のトランジスタ 1 3 0 のソース又はドレインの一方、及び第 3 2 のトランジスタ 1 3 2 のソース又はドレインの一方、及び第 2 8 のトランジスタ 1 2 8 のソース又はドレインの他方と電氣的に接続されている。第 3 1 のトランジスタ 1 3 1 のソース又はドレインの他方は、第 3 0 のトランジスタ 1 3 0 のソース又はドレインの他方、及び第 1 7 のトランジスタ 1 1 7 のソース又はドレインの一方、及び第 1 8 のトランジスタ 1 1 8 のソース又はドレインの一方、及び第 1 5 のトランジスタ 1 1 5 のゲートと電氣的に接続されている。なお、第 3 1 のトランジスタ 1 3 1 のソース又はドレインの他方と、第 3 0 のトランジスタ 1 3 0 のソース又はドレインの他方と、第 1 7 のトランジスタ 1 1 7 のソース又はドレインの一方と、第 1 8 のトランジスタ 1 1 8 のソース又はドレインの一方と、第 1 5 のトランジスタ 1 1 5 のゲートとの接続部分をノード A ' とする。

20

【 0 1 1 5 】

第 3 0 のトランジスタ 1 3 0 のゲートは、第 2 6 のトランジスタ 1 2 6 のソース又はドレインの他方と電氣的に接続されている。なお、第 3 0 のトランジスタ 1 3 0 のゲートと、第 2 6 のトランジスタ 1 2 6 のソース又はドレインの他方との接続部分をノード C ' とする。

【 0 1 1 6 】

第 2 8 のトランジスタ 1 2 8 のゲートは、第 2 4 のトランジスタ 1 2 4 のソース又はドレインの他方と電氣的に接続されている。なお、第 2 8 のトランジスタ 1 2 8 のゲートと、第 2 4 のトランジスタ 1 2 4 のソース又はドレインの他方との接続部分をノード F ' とする。

30

【 0 1 1 7 】

第 1 5 のトランジスタ 1 1 5 のソース又はドレインの他方と、第 1 6 のトランジスタ 1 1 6 のソース又はドレインの他方と、第 1 7 のトランジスタ 1 1 7 のソース又はドレインの他方と、第 1 8 のトランジスタ 1 1 8 のソース又はドレインの他方とは、電氣的に接続されており、接地電位 G N D 端子と電氣的に接続されている。なお、第 1 5 のトランジスタ 1 1 5 のソース又はドレインの他方と、第 1 6 のトランジスタ 1 1 6 のソース又はドレインの他方と、第 1 7 のトランジスタ 1 1 7 のソース又はドレインの他方と、第 1 8 のトランジスタ 1 1 8 のソース又はドレインの他方と、接地電位 G N D 端子との接続部分をノード G ' とする。

40

【 0 1 1 8 】

第 3 2 のトランジスタ 1 3 2 のソース又はドレインの他方には、電源電位 V D D が供給されている。なお、第 3 2 のトランジスタ 1 3 2 のソース又はドレインの他方と、電源電位 V D D 端子との接続部分をノード H ' とする。第 1 6 のトランジスタ 1 1 6 のゲートには、クロック信号 C L K が入力され、第 1 7 のトランジスタ 1 1 7 のゲートには、クロック信号 C L K が入力されている。

【 0 1 1 9 】

ノード A ' の電位は、N A N D 回路 2 0 0 の出力信号 O U T として出力される。ノード D ' の電位は、N A N D 回路 2 0 0 の出力信号 O U T と、位相が反転した信号 O U T B とし

50

て出力される。

【0120】

本実施の形態のNAND回路200において、酸化物半導体を用いたトランジスタのゲートが閉じている時、リーク電流のパスは、電源電位VDD端子から接地電位GND端子まで1つしか存在しない。リーク電流のパスが1つしか存在しないため、NAND回路200の消費電力を抑えることができる。

【0121】

また本実施の形態のNAND回路200は、4個の酸化物半導体を用いたトランジスタ及び9個のシリコン半導体を用いたトランジスタを有している。

【0122】

酸化物半導体を用いたトランジスタは、上述のようにリーク電流が極小である。そのため、NAND回路200に電源電位VDDの供給を停止しても、例えば酸化物半導体を用いたトランジスタである第24のトランジスタ124のソース又はドレインの他方と、第28のトランジスタ128のゲートとの間(ノードF')に蓄えられている電荷は保持される。よって、電源電位VDDの供給を再開すると、NAND回路200は、電源電位VDDの供給を停止する前の状態から、動作を開始することができる。

【0123】

このように、NAND回路200は電源電位VDDの供給を停止してもデータが消失しない。すなわち、本実施の形態のNAND回路200は、不揮発性の記憶回路である。従って、電源電位VDDの供給を停止してもデータが消失しないので、NAND回路200において、酸化物半導体を用いたトランジスタのゲートが閉じている時は、電源電位VDDの供給を停止することが可能である。即ち不揮発性のNAND回路200は消費電力を抑制することができる。

【0124】

また本実施の形態のNAND回路200において、酸化物半導体を用いたトランジスタとシリコン半導体を用いたトランジスタは積層して形成することが可能である(後述)。そのため、NAND回路200の回路面積を小さくすることができる。

【0125】

< NAND回路200の動作 >

図10乃至図14を用いて、本実施の形態のNAND回路200の動作について説明する。図10には、NAND回路200におけるタイミングチャートを示す。図10では、期間T1、期間T2、期間T3、期間T4、期間T5、期間T6、期間T7、期間T8、期間T9、期間T10、に分けてタイミングチャートを示す。図11乃至図14では、期間T1、期間T2、期間T3、期間T4におけるNAND回路200の動作の状態を示す。

【0126】

NAND回路200は、クロック同期式であり、第16のトランジスタ116、第17のトランジスタ117、第24のトランジスタ124、第26のトランジスタ126、第32のトランジスタ132に同様のクロック信号CLKを入力することで、NAND回路として動作する。なお、クロック信号CLKと同期して第32のトランジスタ132がオン状態となる、期間T2、期間T4、期間T6、期間T8、期間T10においてのみ、出力信号OUTが決定される。

【0127】

< 期間T1(図11参照。) >

まず図10の期間T1に示すように、入力信号AにH電位(VDD)、入力信号BにL電位(VSS)が入力された場合を考える。この時、クロック信号CLKがH電位(VDD)なので、第16のトランジスタ116のゲート、及び第17のトランジスタ117のゲートにH電位(VDD)が印加される。従って、第16のトランジスタ116(Nch)及び第17のトランジスタ117(Nch)は、オン状態となる。この時、ノードD'の電位はノードG'の電位に引き込まれるため、ノードD'にはL電位(VSS)が入り込み、ノードA'の電位はノードG'の電位に引き込まれるため、ノードA'にはL電位(

10

20

30

40

50

VSS)が入り込む。(放電動作。)第16のトランジスタ116及び第17のトランジスタ117は、ノードA'とノードD'をL電位(VSS)へと放電するか否かを制御するために設けられている。

【0128】

クロック信号CLKがH電位(VDD)なので、第26のトランジスタ126及び第27のトランジスタ127は、オン状態となる。従って、第31のトランジスタ131のゲート(ノードB')に入力信号Bと同じL電位(VSS)がチャージされ、第30のトランジスタ130のゲート(ノードC')に入力信号Aと同じH電位(VDD)がチャージされる。

【0129】

また、クロック信号CLKがH電位(VDD)なので、第24のトランジスタ124及び第25のトランジスタ125は、オン状態となる。従って、第29のトランジスタ129のゲート(ノードE')に入力信号Bと位相が反転した信号BBと同じH電位(VDD)がチャージされ、第28のトランジスタ128のゲート(ノードF')に入力信号Aと位相が反転した信号ABと同じL電位(VSS)がチャージされる。

【0130】

以上のように期間T1では、ノードB'、ノードC'、ノードE'、ノードF'のそれぞれに、入力信号A及び入力信号Bに応じた電位が、ノードA'、ノードD'のそれぞれに、L電位(VSS)がチャージされた状態となる。

【0131】

<期間T2(図12参照。)>

次に図10の期間T2に示すように、クロック信号CLKがL電位(VSS)となるので、第16のトランジスタ116のゲート、第17のトランジスタ117のゲート、第32のトランジスタ132のゲートのそれぞれにL電位(VSS)が印加される。この時、第16のトランジスタ116(Nch)及び第17のトランジスタ117(Nch)は、オフ状態となる。第17のトランジスタ117がオフ状態となることにより、ノードA'に対してノードG'のL電位(VSS)の引き込みは無くなり、ノードA'はL電位(VSS)を維持する状態となる。また、第16のトランジスタ116がオフ状態となることにより、ノードD'に対してノードG'のL電位(VSS)の引き込みは無くなり、ノードD'はL電位(VSS)を維持する状態となる。

【0132】

第32のトランジスタ132(Pch)は、オン状態となる。

【0133】

一方、クロック信号CLKがL電位(VSS)となるので、第26のトランジスタ126(Nch)及び第27のトランジスタ127(Nch)は、オフ状態となる。ノードB'には、L電位(VSS)に応じた電荷が蓄積されているため、第27のトランジスタ127がオフ状態となることで、ノードB'にはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第31のトランジスタ131(Pch)は、ノードB'の電位に応じて、オン状態となる。ノードC'には、H電位(VDD)に応じた電荷が蓄積されているため、第26のトランジスタ126がオフ状態となることで、ノードC'にはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第30のトランジスタ130(Pch)は、ノードC'の電位に応じて、オフ状態となる。

【0134】

同様に、クロック信号CLKがL電位(VSS)となるので、第24のトランジスタ124(Nch)及び第25のトランジスタ125(Nch)は、オフ状態となる。ノードE'には、H電位(VDD)に応じた電荷が蓄積されているため、第25のトランジスタ125がオフ状態となることで、ノードE'にはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第29のトランジスタ129(Pch)は、ノードE'の電位に応じて、オフ状態となる。ノードF'には、L電位(VSS)に応じた電荷が蓄積されているため、第24のトランジスタ124がオフ状態となることで、ノードF'にL

10

20

30

40

50

電位 (VSS) に応じた電荷が保持される。(電荷保持動作。)更に、第28のトランジスタ128 (Pch) は、ノードF'の電位に応じて、オン状態となる。

【0135】

この時、第30のトランジスタ130と、第31のトランジスタ131が電氣的に並列で接続されているため、ノードH'から、ノードA'までの電流経路が形成される。従って、オン状態となっている第32のトランジスタ132及び、オン状態となっている第30のトランジスタ130を通して、ノードH'からノードA'に向かって電流が流れる。即ち、ノードH'の有する電源電位 (VDD) が、ノードA'へと供給される。なお、第28のトランジスタ128と、第29のトランジスタ129が電氣的に直列で接続されているため、ノードH'から、ノードA'までの電流経路は形成されない。

10

【0136】

ノードH'からノードA'に向かって電流が流れることで、ノードA'の電位は、L電位 (VSS) から徐々に増加し、H電位 (VDD) となる。この時、ノードA'の電位が確定し、出力信号OUTがH電位 (VDD) となる。

【0137】

その結果、第15のトランジスタ115のゲートに、H電位 (VDD) が印加されるため、第15のトランジスタ115 (Nch) は、オン状態となる。この時、第15のトランジスタ115を通して、ノードD'から、ノードG'までの電流経路が形成される。従って、ノードD'の電位はノードG'の電位に引き込まれるため、ノードD'の電位はL電位 (VSS) となる。

20

【0138】

第15のトランジスタ115及び第18のトランジスタ118は、ノードA'とノードD'に対して、該ノード間の電位を相互に補償し合う機能を有する。ノードA'とノードD'間の電位を相互に補償し合うとは、例えば、ノードA'がH電位 (VDD) になった場合、第15のトランジスタ115は、ノードD'の電位を、ノードG'の有するL電位 (VSS) に引き抜く。例えば、ノードD'がH電位 (VDD) になった場合、第18のトランジスタ118は、ノードA'の電位を、ノードG'の有するL電位 (VSS) に引き抜く。即ち、ノードA'とノードD'間において、H電位 (VDD) になったノードと逆のノードの電位を、ノードG'の有するL電位 (VSS) に引き抜く。

30

【0139】

なお、ノードA'の電位とノードD'の電位は、第32のトランジスタ132のオン状態及びオフ状態に依存する。即ち出力信号OUTの電位が確定するのは、クロック信号CLKがL電位 (VSS) の時に限られる。従ってNAND回路200の出力信号OUTの電位が確定するのは図10に示すタイミングチャートにおいて、期間T2、期間T4、期間T6、期間T8、期間T10の時である。

【0140】

以上のように期間T2では、H電位 (VDD) の入力信号A及びL電位 (VSS) の入力信号Bの入力に対して、H電位 (VDD) の出力信号OUTが、確定された状態となる。

【0141】

上述のように、第15のトランジスタ115及び第18のトランジスタ118は、電位補償機能を有し、第16のトランジスタ116及び第17のトランジスタ117は、放電機能を有する。従って、これら4つのトランジスタは、常にノードA'とノードD'の電位を比較し、H電位 (VDD) となったノードと逆のノードの電位を、ノードG'の有するL電位 (VSS) に引き抜くという比較器としての機能を有する。

40

【0142】

また、第32のトランジスタ132は、充電機能を有する。オン状態となっている第32のトランジスタ132を通して、ノードA'又はノードD'には、ノードH'の有する電源電位 (VDD) が供給される。その結果、第32のトランジスタ132がオン状態となる時 (クロック信号CLKがL電位 (VSS) の時) のみ、出力信号OUTの電位が確定することになるため、該トランジスタは、最終的な出力信号OUTを確定するという機能

50

(電位確定機能)も有する。

【0143】

<期間T3(図13参照。)>

次に図10の期間T3に示すように、入力信号AにL電位(VSS)、入力信号BにL電位(VSS)が入力された場合を考える。この時、クロック信号CLKがH電位(VDD)なので、第16のトランジスタ116のゲート、及び第17のトランジスタ117のゲートにH電位(VDD)が印加される。従って、第16のトランジスタ116(Nch)及び第17のトランジスタ117(Nch)は、オン状態となる。この時、ノードD'の電位はノードG'の電位に引き込まれるため、ノードD'にはL電位(VSS)が入り込み、ノードA'の電位はノードG'の電位に引き込まれるため、ノードA'にはL電位(VSS)が入り込む。(放電動作。)

10

【0144】

クロック信号CLKがH電位(VDD)なので、第26のトランジスタ126及び第27のトランジスタ127は、オン状態となる。従って、第31のトランジスタ131のゲート(ノードB')に入力信号Bと同じL電位(VSS)がチャージされ、第30のトランジスタ130のゲート(ノードC')に入力信号Aと同じL電位(VSS)がチャージされる。

【0145】

また、クロック信号CLKがH電位(VDD)なので、第24のトランジスタ124及び第25のトランジスタ125は、オン状態となる。従って、第29のトランジスタ129のゲート(ノードE')に入力信号Bと位相が反転した信号BBと同じH電位(VDD)がチャージされ、第28のトランジスタ128のゲート(ノードF')に入力信号Aと位相が反転した信号ABと同じH電位(VDD)がチャージされる。

20

【0146】

以上のように期間T3では、ノードB'、ノードC'、ノードE'、ノードF'のそれぞれに、入力信号A及び入力信号Bに応じた電位が、ノードA'、ノードD'のそれぞれに、L電位(VSS)がチャージされた状態となる。

【0147】

<期間T4(図14参照。)>

次に図10の期間T4に示すように、クロック信号CLKがL電位(VSS)となるので、第16のトランジスタ116のゲート、第17のトランジスタ117のゲート、第32のトランジスタ132のゲートのそれぞれにL電位(VSS)が印加される。この時、第16のトランジスタ116(Nch)及び第17のトランジスタ117(Nch)は、オフ状態となる。第17のトランジスタ117がオフ状態となることにより、ノードA'に対してノードG'のL電位(VSS)の引き込みは無くなり、ノードA'はL電位(VSS)を維持する状態となる。また、第16のトランジスタ116がオフ状態となることにより、ノードD'に対してノードG'のL電位(VSS)の引き込みは無くなり、ノードD'はL電位(VSS)を維持する状態となる。

30

【0148】

第32のトランジスタ132(Pch)は、オン状態となる。

40

【0149】

一方、クロック信号CLKがL電位(VSS)となるので、第26のトランジスタ126(Nch)及び第27のトランジスタ127(Nch)は、オフ状態となる。ノードB'には、L電位(VSS)に応じた電荷が蓄積されているため、第27のトランジスタ127がオフ状態となることで、ノードB'にはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第31のトランジスタ131(Pch)は、ノードB'の電位に応じて、オン状態となる。ノードC'には、L電位(VSS)に応じた電荷が蓄積されているため、第26のトランジスタ126がオフ状態となることで、ノードC'にはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第30のトランジスタ130(Pch)は、ノードC'の電位に応じて、オン状態となる。

50

【 0 1 5 0 】

同様に、クロック信号 C L K が L 電位 (V S S) となるので、第 2 4 のトランジスタ 1 2 4 (N c h) 及び第 2 5 のトランジスタ 1 2 5 (N c h) は、オフ状態となる。ノード E ' には、H 電位 (V D D) に応じた電荷が蓄積されているため、第 2 5 のトランジスタ 1 2 5 がオフ状態となることで、ノード E ' には H 電位 (V D D) に応じた電荷が保持される。(電荷保持動作。)更に、第 2 9 のトランジスタ 1 2 9 (P c h) は、ノード E ' の電位に応じて、オフ状態となる。ノード F ' には、H 電位 (V D D) に応じた電荷が蓄積されているため、第 2 4 のトランジスタ 1 2 4 がオフ状態となることで、ノード F ' には H 電位 (V D D) に応じた電荷が保持される。(電荷保持動作。)更に、第 2 8 のトランジスタ 1 2 8 (P c h) は、ノード F ' の電位に応じて、オフ状態となる。

10

【 0 1 5 1 】

この時、ノード H ' から、ノード A ' までの電流経路が形成される。従って、オン状態となっている第 3 2 のトランジスタ 1 3 2 及び、オン状態となっている第 3 1 のトランジスタ 1 3 1 を通して (又は、オン状態となっている第 3 2 のトランジスタ 1 3 2 及び、オン状態となっている第 3 0 のトランジスタ 1 3 0 を通して)、ノード H ' からノード A ' に向かって電流が流れる。即ち、ノード H ' の有する電源電位 (V D D) が、ノード A ' へと供給される。なお、第 2 8 のトランジスタ 1 2 8 と、第 2 9 のトランジスタ 1 2 9 は、共にオフ状態であるため、ノード H ' から、ノード D ' までの電流経路は形成されない。

【 0 1 5 2 】

ノード H ' からノード A ' に向かって電流が流れることで、ノード A ' の電位は、L 電位 (V S S) から徐々に増加し、H 電位 (V D D) となる。この時、ノード A ' の電位が確定し、出力信号 O U T が H 電位 (V D D) となる。

20

【 0 1 5 3 】

その結果、第 1 5 のトランジスタ 1 1 5 のゲートに、H 電位 (V D D) が印加されるため、第 1 5 のトランジスタ 1 1 5 (N c h) は、オン状態となる。この時、第 1 5 のトランジスタ 1 1 5 を通して、ノード D ' から、ノード G ' までの電流経路が形成される。従って、ノード D ' の電位はノード G ' の電位に引き込まれるため、ノード D ' の電位は L 電位 (V S S) となる。

【 0 1 5 4 】

以上のように期間 T 4 では、L 電位 (V S S) の入力信号 A 及び L 電位 (V S S) の入力信号 B の入力に対して、H 電位 (V D D) の出力信号 O U T が、確定された状態となる。

30

【 0 1 5 5 】

入力信号 A に応じた電位を保持するノード C ' をゲートに有する第 3 0 のトランジスタ 1 3 0 と、入力信号 B に応じた電位を保持するノード B ' をゲートに有する第 3 1 のトランジスタ 1 3 1 とが電氣的に並列で接続されている。従って、どちらかの入力信号に L 電位 (V S S) が入力されれば、ノード H ' からノード A ' までの電流経路が形成され、ノード H ' の有する電源電位 (V D D) が、ノード A ' へと供給される事になる。一方、第 2 8 のトランジスタ 1 2 8 と、第 2 9 のトランジスタ 1 2 9 とが電氣的に直列で接続されている。従って、どちらかの入力信号に L 電位 (V S S) が入力されてしまうと、ノード H ' からノード D ' までの電流経路は形成されず、両方の入力信号に、H 電位 (V D D) が

40

【 0 1 5 6 】

即ち、どちらかの入力信号に L 電位 (V S S) が入力されれば、必ずノード A ' は、H 電位 (V D D) になる。この時必ず出力信号 O U T は、H 電位 (V D D) になる。また、両方の入力信号に、H 電位 (V D D) が入力されれば、必ずノード A ' は、L 電位 (V S S) になる。この時必ず出力信号 O U T は、L 電位 (V S S) になる。このようにして、N A N D 回路が形成できる。

【 0 1 5 7 】

期間 T 5、期間 T 6 の動作は、期間 T 1、期間 T 2 の動作と全く同様である。期間 T 7、期間 T 8 の動作は、期間 T 1、期間 T 2 の動作において、入力信号 A に L 電位 (V S S)

50

、入力信号 B に H 電位 (V D D) が入力された場合の動作に対応する。期間 T 9、期間 T 1 0 の動作は、期間 T 3、期間 T 4 の動作において、入力信号 A に H 電位 (V D D)、入力信号 B に H 電位 (V D D) が入力された場合の動作に対応する。

【 0 1 5 8 】

本実施の形態により、N A N D 回路のリーク電流のパスを抑制することができる。従って、N A N D 回路の消費電力を抑制することができる。

【 0 1 5 9 】

本実施の形態により、N A N D 回路において電源が遮断されてもデータを保持することができる。

【 0 1 6 0 】

本実施の形態により、N A N D 回路において酸化物半導体を用いたトランジスタとシリコン半導体を用いたトランジスタは積層して形成することが可能であるため、回路面積を縮小させることができる。

【 0 1 6 1 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 1 6 2 】

(実施の形態 3)

本実施の形態では、データの保持機能を有し、消費電力を削減した N A N D 回路の別の構成について図 1 5 及び図 1 6 を用いて説明する。

【 0 1 6 3 】

図 1 5 及び図 1 6 に本実施の形態の N A N D 回路の回路図を示す。図 1 5 に示す N A N D 回路 3 0 0 は、図 1 に示す N A N D 回路 1 0 0 において、容量 1 4 0、容量 1 4 1、容量 1 4 2、容量 1 4 3 を接続したものである。具体的には、容量 1 4 2 の一方の端子は、ノード B と電氣的に接続され、容量 1 4 2 の他方の端子は、接地電位 G N D 端子と電氣的に接続されている。容量 1 4 3 の一方の端子は、ノード C と電氣的に接続され、容量 1 4 3 の他方の端子は、接地電位 G N D 端子と電氣的に接続されている。容量 1 4 0 の一方の端子は、ノード E と電氣的に接続され、容量 1 4 0 の他方の端子は、接地電位 G N D 端子と電氣的に接続されている。容量 1 4 1 の一方の端子は、ノード F と電氣的に接続され、容量 1 4 1 の他方の端子は、接地電位 G N D 端子と電氣的に接続されている。容量 1 4 0、容量 1 4 1、容量 1 4 2、容量 1 4 3、以外の構成は、N A N D 回路 1 0 0 と全く同様である。

【 0 1 6 4 】

図 1 6 に示す N A N D 回路 4 0 0 は、図 9 に示す N A N D 回路 2 0 0 において、容量 1 5 0、容量 1 5 1、容量 1 5 2、容量 1 5 3 を接続したものである。具体的には、容量 1 5 0 の一方の端子は、ノード B ' と電氣的に接続され、容量 1 5 0 の他方の端子は、接地電位 G N D 端子と電氣的に接続されている。容量 1 5 1 の一方の端子は、ノード C ' と電氣的に接続され、容量 1 5 1 の他方の端子は、接地電位 G N D 端子と電氣的に接続されている。容量 1 5 2 の一方の端子は、ノード E ' と電氣的に接続され、容量 1 5 2 の他方の端子は、接地電位 G N D 端子と電氣的に接続されている。容量 1 5 3 の一方の端子は、ノード F ' と電氣的に接続され、容量 1 5 3 の他方の端子は、接地電位 G N D 端子と電氣的に接続されている。容量 1 5 0、容量 1 5 1、容量 1 5 2、容量 1 5 3、以外の構成は、N A N D 回路 2 0 0 と全く同様である。

【 0 1 6 5 】

ノード B に容量 1 4 2 を接続し (ノード B ' に容量 1 5 0 を接続し)、ノード C に容量 1 4 3 を接続し (ノード C ' に容量 1 5 1 を接続し)、ノード E に容量 1 4 0 を接続し (ノード E ' に容量 1 5 2 を接続し)、ノード F に容量 1 4 1 を接続することで (ノード F ' に容量 1 5 3 を接続することで)、データの保持時間を長くすることができる。また、データの保持時間は、容量 1 4 0 (容量 1 5 0)、容量 1 4 1 (容量 1 5 1)、容量 1 4 2 (容量 1 5 2)、容量 1 4 3 (容量 1 5 3) のそれぞれの容量値を変化させることにより

10

20

30

40

50

、調整が可能である。データの保持時間をより長くしたい場合、それぞれの容量値を大きくすれば良い。

【0166】

また、ノードBに容量142を接続し(ノードB'に容量150を接続し)、ノードCに容量143を接続し(ノードC'に容量151を接続し)、ノードEに容量140を接続し(ノードE'に容量152を接続し)、ノードFに容量141を接続することで(ノードF'に容量153を接続することで)、NAND回路内に生じる寄生容量等の負荷による影響を低減させ、NAND回路における動作の安定性を高めることも可能である。

【0167】

NAND回路300の動作については、NAND回路100と同様であるため、実施の形態1を参酌できる。NAND回路400の動作については、NAND回路200と同様であるため、実施の形態2を参酌できる。

10

【0168】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0169】

(実施の形態4)

本実施の形態では、データの保持機能を有し、消費電力を削減したNOR回路について図17乃至図22を用いて説明する。

【0170】

20

< NOR回路500の構成 >

図17に本実施の形態のNOR回路の回路図を示す。図17に示すNOR回路500は、第1のトランジスタ501、第2のトランジスタ502、第3のトランジスタ503、第4のトランジスタ504、第5のトランジスタ505、第6のトランジスタ506、第7のトランジスタ507、第8のトランジスタ508、第9のトランジスタ509、第10のトランジスタ510、第11のトランジスタ511、第12のトランジスタ512、第13のトランジスタ513、を有している。

【0171】

第2のトランジスタ502、第4のトランジスタ504、第5のトランジスタ505、第7のトランジスタ507、第9のトランジスタ509の5個のトランジスタとして、nチャンネル型トランジスタを用いる。第10のトランジスタ510、第11のトランジスタ511、第12のトランジスタ512、第13のトランジスタ513の4個のトランジスタとして、pチャンネル型トランジスタを用いる。

30

【0172】

第1のトランジスタ501、第3のトランジスタ503、第6のトランジスタ506、第8のトランジスタ508の4個のトランジスタとして、例えば酸化物半導体層にチャンネルが形成されるトランジスタを用いる。酸化物半導体を用いたトランジスタはリーク電流(オフ電流ともいう)が極小という利点を有する。なお当該酸化物半導体を用いたトランジスタは、nチャンネル型トランジスタである。

【0173】

40

第2のトランジスタ502、第4のトランジスタ504、第5のトランジスタ505、第7のトランジスタ507、第9のトランジスタ509、第10のトランジスタ510、第11のトランジスタ511、第12のトランジスタ512、第13のトランジスタ513の9個のトランジスタとして、例えば珪素層にチャンネルが形成されるトランジスタを用いる。当該珪素層は、単結晶珪素層、微結晶珪素層、非晶質珪素層であってもよい。

【0174】

なお、第2のトランジスタ502、第4のトランジスタ504、第5のトランジスタ505、第7のトランジスタ507、第9のトランジスタ509の5個のトランジスタ全て、又は一部を、酸化物半導体を用いたトランジスタに置き換えることもできる。ただし、酸化物半導体を用いたトランジスタはオフ電流が極小という利点を有する一方、動作速度が

50

、シリコン半導体を用いたトランジスタと比べて劣るため、NOR回路500の動作速度への影響を考慮して、これらのトランジスタを、酸化物半導体を用いたトランジスタに置き換えることが必要である。

【0175】

NOR回路500に入力される2つの信号のうち入力信号Aは、第8のトランジスタ508のソース又はドレインの一方に、入力される。また入力信号Bは、第3のトランジスタ503のソース又はドレインの一方に、入力される。なお、第6のトランジスタ506のソース又はドレインの一方には、入力信号Aと位相が反転した信号ABが入力され、第1のトランジスタ501のソース又はドレインの一方には、入力信号Bと位相が反転した信号BBが入力される。

10

【0176】

第1のトランジスタ501のゲートは、第6のトランジスタ506のゲートと電氣的に接続されている。第1のトランジスタ501のソース又はドレインの他方は、第2のトランジスタ502のゲートと電氣的に接続されている。なお、第1のトランジスタ501のソース又はドレインの他方と第2のトランジスタ502のゲートとの接続部分をノードEとする。第2のトランジスタ502のソース又はドレインの一方は、第5のトランジスタ505のソース又はドレインの一方と電氣的に接続され、第2のトランジスタ502のソース又はドレインの他方は、第9のトランジスタ509のソース又はドレインの一方、及び第4のトランジスタ504のソース又はドレインの一方、及び第7のトランジスタ507のソース又はドレインの一方と電氣的に接続されている。

20

【0177】

第3のトランジスタ503のゲートは、第8のトランジスタ508のゲートと電氣的に接続されている。第3のトランジスタ503のソース又はドレインの他方は、第4のトランジスタ504のゲートと電氣的に接続されている。なお、第3のトランジスタ503のソース又はドレインの他方と第4のトランジスタ504のゲートとの接続部分をノードBとする。第4のトランジスタ504のソース又はドレインの他方は、第7のトランジスタ507のソース又はドレインの他方、及び第10のトランジスタ510のソース又はドレインの一方、及び第12のトランジスタ512のソース又はドレインの一方、及び第11のトランジスタ511のゲートと電氣的に接続されている。なお、第4のトランジスタ504のソース又はドレインの一方と、第7のトランジスタ507のソース又はドレインの一方と、第10のトランジスタ510のソース又はドレインの一方と、第12のトランジスタ512のソース又はドレインの一方と、第11のトランジスタ511のゲートとの接続部分をノードAとする。

30

【0178】

第5のトランジスタ505のゲートは、第6のトランジスタ506のソース又はドレインの他方と電氣的に接続されている。なお、第5のトランジスタ505のゲートと、第6のトランジスタ506のソース又はドレインの他方との接続部分をノードFとする。第5のトランジスタ505のソース又はドレインの他方は、第10のトランジスタ510のゲート、及び第11のトランジスタ511のソース又はドレインの一方、及び第13のトランジスタ513のソース又はドレインの一方と電氣的に接続されている。なお、第5のトランジスタ505のソース又はドレインの他方と、第10のトランジスタ510のゲートと、第11のトランジスタ511のソース又はドレインの一方と、第13のトランジスタ513のソース又はドレインの一方との接続部分をノードDとする。

40

【0179】

第6のトランジスタ506のゲートには、クロック信号CLKと位相が反転した信号CLKBが入力されている。第7のトランジスタ507のゲートは、第8のトランジスタ508のソース又はドレインの他方と電氣的に接続されている。なお、第7のトランジスタ507のゲートと、第8のトランジスタ508のソース又はドレインの他方との接続部分をノードCとする。第8のトランジスタ508のゲートには、クロック信号CLKと位相が反転した信号CLKBが入力されている。第9のトランジスタ509のゲートには、クロ

50

ック信号CLKが入力され、第9のトランジスタ509のソース又はドレインの他方は、接地電位GND端子と電氣的に接続されている。なお、第9のトランジスタ509のソース又はドレインの他方と、接地電位GNDとの接続部分をノードGとする。

【0180】

第10のトランジスタ510のソース又はドレインの他方と、第11のトランジスタ511のソース又はドレインの他方と、第12のトランジスタ512のソース又はドレインの他方と、第13のトランジスタ513のソース又はドレインの他方とは、電氣的に接続されており、電源電位VDDが供給されている。第12のトランジスタ512のゲートには、クロック信号CLKが入力され、第13のトランジスタ513のゲートには、クロック信号CLKが入力されている。

10

【0181】

ノードAの電位は、NOR回路500の出力信号OUTとして出力される。ノードDの電位は、NOR回路500の出力信号OUTと、位相が反転した信号OUTBとして出力される。

【0182】

本実施の形態のNOR回路500において、酸化物半導体を用いたトランジスタのゲートが閉じている時、電源電位VDD端子から接地電位GND端子までのリーク電流のパスは、1つである。そのため、本実施の形態のNOR回路500では消費電力が抑制できる。

【0183】

また本実施の形態のNOR回路500は、4個の酸化物半導体を用いたトランジスタ及び9個のシリコン半導体を用いたトランジスタを有している。

20

【0184】

酸化物半導体を用いたトランジスタは、上述のようにリーク電流が極小である。そのため、NOR回路500に電源電位VDDの供給を停止しても、例えば酸化物半導体を用いたトランジスタである第1のトランジスタ501のソース又はドレインの他方と、第2のトランジスタ502のゲートとの間(ノードE)に蓄えられている電荷は保持される。よって、電源電位VDDの供給を再開すると、NOR回路500は、電源電位VDDの供給を停止する前の状態から、動作を開始することができる。

【0185】

このように、NOR回路500は電源電位VDDの供給を停止してもデータが消失しない。すなわち、本実施の形態のNOR回路500は、不揮発性の記憶回路である。従って、電源電位VDDの供給を停止してもデータが消失しないので、NOR回路500において、酸化物半導体を用いたトランジスタのゲートが閉じている時は、電源電位VDDの供給を停止することが可能である。即ち不揮発性のNOR回路500は消費電力を抑制することができる。

30

【0186】

また本実施の形態のNOR回路500において、酸化物半導体を用いたトランジスタとシリコン半導体を用いたトランジスタは積層して形成することが可能である(後述)。そのため、NOR回路500の回路面積を小さくすることができる。

【0187】

< NOR回路500の動作 >

図18乃至図22を用いて、本実施の形態のNOR回路500の動作について説明する。図18には、NOR回路500におけるタイミングチャートを示す。図18では、期間T1、期間T2、期間T3、期間T4、期間T5、期間T6、期間T7、期間T8、期間T9、期間T10、に分けてタイミングチャートを示す。図19乃至図22では、期間T1、期間T2、期間T3、期間T4におけるNOR回路500の動作の状態を示す。

40

【0188】

NOR回路500は、クロック同期式であり、第9のトランジスタ509、第12のトランジスタ512、第13のトランジスタ513に同様のクロック信号CLKを入力することで、NOR回路として動作する。なお、クロック信号CLKと同期して第9のトランジ

50

スタ509がオン状態となる、期間T2、期間T4、期間T6、期間T8、期間T10においてのみ、出力信号OUTが決定される。

【0189】

<期間T1(図19参照。)>

まず図18の期間T1に示すように、入力信号AにH電位(VDD)、入力信号BにL電位(VSS)が入力された場合を考える。この時、クロック信号CLKがL電位(VSS)なので、第12のトランジスタ512のゲート、及び第13のトランジスタ513のゲートにL電位(VSS)が印加される。従って、第12のトランジスタ512(Pch)及び第13のトランジスタ513(Pch)は、オン状態となる。この時、ノードAに対してH電位(VDD)が入り込み、ノードDに対してH電位(VDD)が入り込む。(プリチャージ動作。)第12のトランジスタ512及び第13のトランジスタ513は、ノードAとノードDにH電位(VDD)を充電するか否かを制御するために設けられている。

10

【0190】

クロック信号CLKと位相が反転した信号CLKBがH電位(VDD)なので、第3のトランジスタ503及び第8のトランジスタ508は、オン状態となる。従って、第4のトランジスタ504のゲート(ノードB)に入力信号Bと同じL電位(VSS)がチャージされ、第7のトランジスタ507のゲート(ノードC)に入力信号Aと同じH電位(VDD)がチャージされる。

【0191】

また、クロック信号CLKと位相が反転した信号CLKBがH電位(VDD)なので、第1のトランジスタ501及び第6のトランジスタ506は、オン状態となる。従って、第2のトランジスタ502のゲート(ノードE)に入力信号Bと位相が反転した信号BBと同じH電位(VDD)がチャージされ、第5のトランジスタ505のゲート(ノードF)に入力信号Aと位相が反転した信号ABと同じL電位(VSS)がチャージされる。

20

【0192】

以上のように期間T1では、ノードB、ノードC、ノードE、ノードFのそれぞれに、入力信号A及び入力信号Bに応じた電位が、ノードA、ノードDのそれぞれに、H電位(VDD)がチャージされた状態となる。

【0193】

<期間T2(図20参照。)>

次に図18の期間T2に示すように、クロック信号CLKがH電位(VDD)となるので、第12のトランジスタ512のゲート、第13のトランジスタ513のゲート、第9のトランジスタ509のゲートのそれぞれにH電位(VDD)が印加される。この時、第12のトランジスタ512(Pch)及び第13のトランジスタ513(Pch)は、オフ状態となる。第12のトランジスタ512がオフ状態となることにより、ノードAに対してH電位(VDD)の供給が無くなり、ノードAはH電位(VDD)を維持する状態となる。また、第13のトランジスタ513がオフ状態となることにより、ノードDに対してH電位(VDD)の供給が無くなり、ノードDはH電位(VDD)を維持する状態となる。

40

【0194】

第9のトランジスタ509(Nch)は、オン状態となる。

【0195】

一方、クロック信号CLKと位相が反転した信号CLKBがL電位(VSS)となるので、第3のトランジスタ503(Nch)及び第8のトランジスタ508(Nch)は、オフ状態となる。ノードBには、L電位(VSS)に応じた電荷が蓄積されているため、第3のトランジスタ503がオフ状態となることで、ノードBにはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第4のトランジスタ504は、ノードBの電位に応じて、オフ状態となる。ノードCには、H電位(VDD)に応じた電荷が蓄積されているため、第8のトランジスタ508がオフ状態となることで、ノードCにはH電

50

位 (VDD) に応じた電荷が保持される。(電荷保持動作。) 更に、第7のトランジスタ507は、ノードCの電位に応じて、オン状態となる。

【0196】

同様に、クロック信号CLKと位相が反転した信号CLKBがL電位(VSS)となるので、第1のトランジスタ501(Nch)及び第6のトランジスタ506(Nch)は、オフ状態となる。ノードEには、H電位(VDD)に応じた電荷が蓄積されているため、第1のトランジスタ501がオフ状態となることで、ノードEにはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。) 更に、第2のトランジスタ502は、ノードEの電位に応じて、オン状態となる。ノードFには、L電位(VSS)に応じた電荷が蓄積されているため、第6のトランジスタ506がオフ状態となることで、ノードFにはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。) 更に、第5のトランジスタ505は、ノードFの電位に応じて、オフ状態となる。

10

【0197】

この時、第4のトランジスタ504と、第7のトランジスタ507が電氣的に並列で接続されているため、ノードAから、ノードGまでの電流経路が形成される。従ってノードAに溜められたH電位(VDD)に応じた電荷は、オン状態となっている第7のトランジスタ507及び、オン状態となっている第9のトランジスタ509を通して、ノードGの有する基準電位(GND)へと引き抜かれていく。即ちノードAからノードGに向かって電流が流れる。なお、第2のトランジスタ502と、第5のトランジスタ505が電氣的に直列で接続されているため、ノードDから、ノードGまでの電流経路は形成されない。この時、ノードAの電位が確定し、出力信号OUTがL電位(VSS)となる。

20

【0198】

ノードAからノードGに向かって電流が流れることで、ノードAの電位は、H電位(VDD)から徐々に減少し、L電位(VSS)となる。その結果、第11のトランジスタ511のゲートに、L電位(VSS)が印加されるため、第11のトランジスタ511(Pch)は、オン状態となる。オン状態となっている第11のトランジスタ511を通して、ノードDにH電位(VDD)が供給される。

【0199】

第10のトランジスタ510及び第11のトランジスタ511は、ノードAとノードDに対して、該ノード間の電位を相互に補償し合う機能を有する。ノードAとノードD間の電位を相互に補償し合うとは、例えば、ノードAがL電位(VSS)になった場合、第11のトランジスタ511は、ノードDにH電位(VDD)を供給する。例えば、ノードDがL電位(VSS)になった場合、第10のトランジスタ510は、ノードAにH電位(VDD)を供給する。即ち、ノードAとノードD間において、L電位(VSS)になったノードと逆のノードに、H電位(VDD)を供給する。

30

【0200】

なお、ノードAの電位とノードDの電位は、第9のトランジスタ509のオン状態及びオフ状態に依存する。即ち出力信号OUTの電位が確定するのは、クロック信号CLKがH電位(VDD)の時に限られる。従ってNOR回路500の出力信号OUTの電位が確定するのは図18に示すタイミングチャートにおいて、期間T2、期間T4、期間T6、期間T8、期間T10の時である。

40

【0201】

以上のように期間T2では、H電位(VDD)の入力信号A及びL電位(VSS)の入力信号Bの入力に対して、L電位(VSS)の出力信号OUTが、確定された状態となる。

【0202】

上述のように、第10のトランジスタ510及び第11のトランジスタ511は、電位補償機能を有し、第12のトランジスタ512及び第13のトランジスタ513は、充電機能を有する。従って、これら4つのトランジスタは、常にノードAとノードDの電位を比較し、L電位(VSS)となったノードと逆のノードに、H電位(VDD)を供給するという比較器としての機能を有する。

50

【0203】

また、第9のトランジスタ509は、放電機能を有する。オン状態となっている第9のトランジスタ509を通して、ノードA又はノードDの電位はノードGの有する基準電位（GND）へと引き抜かれていく。その結果、第9のトランジスタ509がオン状態となる時（クロック信号CLKがH電位（VDD）の時）のみ、出力信号OUTの電位が確定することになるため、該トランジスタは、最終的な出力信号OUTを確定するという機能（電位確定機能）も有する。

【0204】

<期間T3（図21参照。）>

次に図18の期間T3に示すように、入力信号AにL電位（VSS）、入力信号BにL電位（VSS）が入力された場合を考える。この時、クロック信号CLKがL電位（VSS）なので、第12のトランジスタ512のゲート、及び第13のトランジスタ513のゲートにL電位（VSS）が印加される。従って、第12のトランジスタ512（Pch）及び第13のトランジスタ513（Pch）は、オン状態となる。この時、ノードAに対してH電位（VDD）が入り込み、ノードDに対してH電位（VDD）が入り込む。（プリチャージ動作。）

10

【0205】

クロック信号CLKと位相が反転した信号CLKBがH電位（VDD）なので、第3のトランジスタ503及び第8のトランジスタ508は、オン状態となる。従って、第4のトランジスタ504のゲート（ノードB）に入力信号Bと同じL電位（VSS）がチャージされ、第7のトランジスタ507のゲート（ノードC）に入力信号Aと同じL電位（VSS）がチャージされる。

20

【0206】

また、クロック信号CLKと位相が反転した信号CLKBがH電位（VDD）なので、第1のトランジスタ501及び第6のトランジスタ506は、オン状態となる。従って、第2のトランジスタ502のゲート（ノードE）に入力信号Bと位相が反転した信号BBと同じH電位（VDD）がチャージされ、第5のトランジスタ505のゲート（ノードF）に入力信号Aと位相が反転した信号ABと同じH電位（VDD）がチャージされる。

【0207】

以上のように期間T3では、ノードB、ノードC、ノードE、ノードFのそれぞれに、入力信号A及び入力信号Bに応じた電位が、ノードA、ノードDのそれぞれに、H電位（VDD）がチャージされた状態となる。

30

【0208】

<期間T4（図22参照。）>

次に図18の期間T4に示すように、クロック信号CLKがH電位（VDD）となるので、第12のトランジスタ512のゲート、第13のトランジスタ513のゲート、第9のトランジスタ509のゲートのそれぞれにH電位（VDD）が印加される。この時、第12のトランジスタ512（Pch）及び第13のトランジスタ513（Pch）は、オフ状態となる。第12のトランジスタ512がオフ状態となることにより、ノードAに対してH電位（VDD）の供給が無くなり、ノードAはH電位（VDD）を維持する状態となる。また、第13のトランジスタ513がオフ状態となることにより、ノードDに対してH電位（VDD）の供給が無くなり、ノードDはH電位（VDD）を維持する状態となる。

40

【0209】

第9のトランジスタ509（Nch）は、オン状態となる。

【0210】

一方、クロック信号CLKと位相が反転した信号CLKBがL電位（VSS）となるので、第3のトランジスタ503（Nch）及び第8のトランジスタ508（Nch）は、オフ状態となる。ノードBには、L電位（VSS）に応じた電荷が蓄積されているため、第3のトランジスタ503がオフ状態となることで、ノードBにはL電位（VSS）に応じ

50

た電荷が保持される。(電荷保持動作。)更に、第4のトランジスタ504は、ノードBの電位に応じて、オフ状態となる。ノードCには、L電位(VSS)に応じた電荷が蓄積されているため、第8のトランジスタ508がオフ状態となることで、ノードCにはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第7のトランジスタ507は、ノードCの電位に応じて、オフ状態となる。

【0211】

同様に、クロック信号CLKと位相が反転した信号CLKBがL電位(VSS)となるので、第1のトランジスタ501(Nch)及び第6のトランジスタ506(Nch)は、オフ状態となる。ノードEには、H電位(VDD)に応じた電荷が蓄積されているため、第1のトランジスタ501がオフ状態となることで、ノードEにはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第2のトランジスタ502は、ノードEの電位に応じて、オン状態となる。ノードFには、H電位(VDD)に応じた電荷が蓄積されているため、第6のトランジスタ506がオフ状態となることで、ノードFにはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第5のトランジスタ505は、ノードFの電位に応じて、オン状態となる。

10

【0212】

第2のトランジスタ502と、第5のトランジスタ505が電氣的に直列で接続されているため、第2のトランジスタ502及び第5のトランジスタ505がオン状態となることで、ノードDから、ノードGまでの電流経路が形成される。即ちノードDからノードGに向かって電流が流れる。従ってノードDに溜められたH電位(VDD)に応じた電荷は、オン状態となっている第5のトランジスタ505及び、オン状態となっている第2のトランジスタ502及び、オン状態となっている第9のトランジスタ509を通して、ノードGの有する基準電位(GND)へと引き抜かれていく。一方、第4のトランジスタ504と、第7のトランジスタ507が電氣的に並列で接続されているため、ノードAから、ノードGまでの電流経路は形成されない。

20

【0213】

ノードDからノードGに向かって電流が流れることで、ノードAの電位は、H電位(VDD)から徐々に減少し、L電位(VSS)となる。この時、ノードDの電位が確定し、出力信号OUTと、位相が反転した信号OUTBから、L電位(VSS)が出力される。その結果、第10のトランジスタ510のゲートに、L電位(VSS)が印加されるため、第10のトランジスタ510(Pch)は、オン状態となる。オン状態となっている第10のトランジスタ510を通して、ノードAにH電位(VDD)が供給される。この時、ノードAの電位が確定し、出力信号OUTがH電位(VDD)となる。

30

【0214】

第10のトランジスタ510及び第11のトランジスタ511は、ノードAとノードDに対して、該ノード間の電位を相互に補償し合う機能を有する。ノードAとノードD間の電位を相互に補償し合うとは、例えば、ノードAがL電位(VSS)になった場合、第11のトランジスタ511は、ノードDにH電位(VDD)を供給する。例えば、ノードDがL電位(VSS)になった場合、第10のトランジスタ510は、ノードAにH電位(VDD)を供給する。即ち、ノードAとノードD間において、L電位(VSS)になったノードと逆のノードに、H電位(VDD)を供給する。

40

【0215】

なお、ノードAの電位とノードDの電位は、第9のトランジスタ509のオン状態及びオフ状態に依存する。即ち出力信号OUTの電位が確定するのは、クロック信号CLKがH電位(VDD)の時に限られる。従ってNOR回路500の出力信号OUTの電位が確定するのは図18に示すタイミングチャートにおいて、期間T2、期間T4、期間T6、期間T8、期間T10の時である。

【0216】

以上のように期間T4では、L電位(VSS)の入力信号A及びL電位(VSS)の入力信号Bの入力に対して、H電位(VDD)の出力信号OUTが、確定された状態となる。

50

【0217】

入力信号 A に応じた電位を保持するノード C をゲートに有する第 7 のトランジスタ 507 と、入力信号 B に応じた電位を保持するノード B をゲートに有する第 4 のトランジスタ 504 とが電氣的に並列で接続されている。従って、どちらかの入力信号に H 電位 (VDD) が入力されれば、必ずノード A からノード G までの電流経路が形成される。一方、第 2 のトランジスタ 502 と、第 5 のトランジスタ 505 とが電氣的に直列で接続されているため、どちらかの入力信号に H 電位 (VDD) が入力されてしまうと、ノード D からノード G までの電流経路は形成されず、両方の入力信号に、L 電位 (VSS) が入力された時のみノード D からノード G までの電流経路が形成される。

【0218】

即ち、どちらかの入力信号に H 電位 (VDD) が入力されれば、必ずノード A は、L 電位 (VSS) になる。従って、この時必ず出力信号 OUT は、L 電位 (VSS) になる。また、両方の入力信号に、L 電位 (VSS) が入力されれば、必ずノード D は、L 電位 (VSS) になる。ノード D の逆の電位がノード A に供給されるため、この時必ず出力信号 OUT は、H 電位 (VDD) になる。このようにして、NOR 回路が形成できる。

【0219】

期間 T5、期間 T6 の動作は、期間 T1、期間 T2 の動作と全く同様である。期間 T7、期間 T8 の動作は、期間 T1、期間 T2 の動作において、入力信号 A に L 電位 (VSS)、入力信号 B に H 電位 (VDD) が入力された場合の動作に対応する。期間 T9、期間 T10 の動作は、期間 T3、期間 T4 の動作において、入力信号 A に H 電位 (VDD)、入力信号 B に H 電位 (VDD) が入力された場合の動作に対応する。

【0220】

本実施の形態により、NOR 回路のリーク電流のパスを抑制することができる。従って、NOR 回路の消費電力を抑制することができる。

【0221】

本実施の形態により、NOR 回路において電源が遮断されてもデータを保持することができる。

【0222】

本実施の形態により、NOR 回路において酸化物半導体を用いたトランジスタとシリコン半導体を用いたトランジスタは積層して形成することが可能であるため、回路面積を縮小させることができる。

【0223】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0224】

(実施の形態 5)

本実施の形態では、データの保持機能を有し、消費電力を削減した NOR 回路の別の構成について図 23 乃至図 28 を用いて説明する。

【0225】

< NOR 回路 600 の構成 >

図 23 に本実施の形態の NOR 回路の回路図を示す。図 23 に示す NOR 回路 600 は、第 15 のトランジスタ 515、第 16 のトランジスタ 516、第 17 のトランジスタ 517、第 18 のトランジスタ 518、第 24 のトランジスタ 524、第 25 のトランジスタ 525、第 26 のトランジスタ 526、第 27 のトランジスタ 527、第 28 のトランジスタ 528、第 29 のトランジスタ 529、第 30 のトランジスタ 530、第 31 のトランジスタ 531、第 32 のトランジスタ 532、を有している。

【0226】

第 28 のトランジスタ 528、第 29 のトランジスタ 529、第 30 のトランジスタ 530、第 31 のトランジスタ 531、第 32 のトランジスタ 532 の 5 個のトランジスタとして、p チャネル型トランジスタを用いる。第 15 のトランジスタ 515、第 16 のトラン

10

20

30

40

50

ンジスタ 5 1 6、第 1 7 のトランジスタ 5 1 7、第 1 8 のトランジスタ 5 1 8 の 4 個のトランジスタとして、n チャンネル型トランジスタを用いる。

【 0 2 2 7 】

第 2 4 のトランジスタ 5 2 4、第 2 5 のトランジスタ 5 2 5、第 2 6 のトランジスタ 5 2 6、第 2 7 のトランジスタ 5 2 7 の 4 個のトランジスタとして、例えば酸化物半導体層にチャンネルが形成されるトランジスタを用いる。酸化物半導体を用いたトランジスタはリーク電流（オフ電流ともいう）が極小という利点を有する。なお当該酸化物半導体を用いたトランジスタは、n チャンネル型トランジスタである。

【 0 2 2 8 】

第 1 5 のトランジスタ 5 1 5、第 1 6 のトランジスタ 5 1 6、第 1 7 のトランジスタ 5 1 7、第 1 8 のトランジスタ 5 1 8、第 2 8 のトランジスタ 5 2 8、第 2 9 のトランジスタ 5 2 9、第 3 0 のトランジスタ 5 3 0、第 3 1 のトランジスタ 5 3 1、第 3 2 のトランジスタ 5 3 2 の 9 個のトランジスタとして、例えば珪素層にチャンネルが形成されるトランジスタを用いる。当該珪素層は、単結晶珪素層、微結晶珪素層、非晶質珪素層であってもよい。

10

【 0 2 2 9 】

なお、第 1 5 のトランジスタ 5 1 5、第 1 6 のトランジスタ 5 1 6、第 1 7 のトランジスタ 5 1 7、第 1 8 のトランジスタ 5 1 8 の 4 個のトランジスタ全て、又は一部を、酸化物半導体を用いたトランジスタに置き換えることもできる。ただし、酸化物半導体を用いたトランジスタはオフ電流が極小という利点を有する一方、動作速度が、シリコン半導体を用いたトランジスタと比べて劣るため、NOR 回路 6 0 0 の動作速度への影響を考慮して、これらのトランジスタを酸化物半導体を用いたトランジスタに置き換えることが必要である。

20

【 0 2 3 0 】

NOR 回路 6 0 0 に入力される 2 つの信号のうち入力信号 A は、第 2 4 のトランジスタ 5 2 4 のソース又はドレインの一方に、入力される。また入力信号 B は、第 2 5 のトランジスタ 5 2 5 のソース又はドレインの一方に、入力される。なお、第 2 6 のトランジスタ 5 2 6 のソース又はドレインの一方には、入力信号 A と位相が反転した信号 A B が入力され、第 2 4 のトランジスタ 5 2 4 のソース又はドレインの一方には、入力信号 B と位相が反転した信号 B B が入力される。

30

【 0 2 3 1 】

第 2 5 のトランジスタ 5 2 5 のゲートは、第 2 4 のトランジスタ 5 2 4 のゲートと電氣的に接続されている。第 2 5 のトランジスタ 5 2 5 のソース又はドレインの他方は、第 2 9 のトランジスタ 5 2 9 のゲートと電氣的に接続されている。なお、第 2 5 のトランジスタ 5 2 5 のソース又はドレインの他方と第 2 9 のトランジスタ 5 2 9 のゲートとの接続部分をノード B ' とする。第 2 9 のトランジスタ 5 2 9 のソース又はドレインの一方は、第 2 8 のトランジスタ 5 2 8 のソース又はドレインの一方と電氣的に接続され、第 2 9 のトランジスタ 5 2 9 のソース又はドレインの他方は、第 1 8 のトランジスタ 5 1 8 のゲート、及び第 1 5 のトランジスタ 5 1 5 のソース又はドレインの一方、及び第 1 6 のトランジスタ 5 1 6 のソース又はドレインの一方と電氣的に接続されている。なお、第 2 9 のトランジスタ 5 2 9 のソース又はドレインの他方と、第 1 8 のトランジスタ 5 1 8 のゲートと、第 1 5 のトランジスタ 5 1 5 のソース又はドレインの一方と、第 1 6 のトランジスタ 5 1 6 のソース又はドレインの一方との接続部分をノード A ' とする。

40

【 0 2 3 2 】

第 2 4 のトランジスタ 5 2 4 のゲートには、クロック信号 C L K が入力されている。第 2 6 のトランジスタ 5 2 6 のゲートには、クロック信号 C L K が入力されている。第 3 2 のトランジスタ 5 3 2 のゲートには、クロック信号 C L K が入力されている。

【 0 2 3 3 】

第 2 7 のトランジスタ 5 2 7 のゲートは、第 2 6 のトランジスタ 5 2 6 のゲートと電氣的に接続されている。第 2 7 のトランジスタ 5 2 7 のソース又はドレインの他方は、第 3 1

50

のトランジスタ531のゲートと電氣的に接続されている。なお、第27のトランジスタ527のソース又はドレインの他方と第31のトランジスタ531のゲートとの接続部分をノードE'とする。

【0234】

第31のトランジスタ531のソース又はドレインの一方は、第30のトランジスタ530のソース又はドレインの一方、及び第32のトランジスタ532のソース又はドレインの一方、及び第28のトランジスタ528のソース又はドレインの他方と電氣的に接続されている。第31のトランジスタ531のソース又はドレインの他方は、第30のトランジスタ530のソース又はドレインの他方、及び第17のトランジスタ517のソース又はドレインの一方、及び第18のトランジスタ518のソース又はドレインの一方、及び第15のトランジスタ515のゲートと電氣的に接続されている。なお、第31のトランジスタ531のソース又はドレインの他方と、第30のトランジスタ530のソース又はドレインの他方と、第17のトランジスタ517のソース又はドレインの一方と、第18のトランジスタ518のソース又はドレインの一方と、第15のトランジスタ515のゲートとの接続部分をノードD'とする。

10

【0235】

第30のトランジスタ530のゲートは、第26のトランジスタ526のソース又はドレインの他方と電氣的に接続されている。なお、第30のトランジスタ530のゲートと、第26のトランジスタ526のソース又はドレインの他方との接続部分をノードF'とする。

20

【0236】

第28のトランジスタ528のゲートは、第24のトランジスタ524のソース又はドレインの他方と電氣的に接続されている。なお、第28のトランジスタ528のゲートと、第24のトランジスタ524のソース又はドレインの他方との接続部分をノードC'とする。

【0237】

第15のトランジスタ515のソース又はドレインの他方と、第16のトランジスタ516のソース又はドレインの他方と、第17のトランジスタ517のソース又はドレインの他方と、第18のトランジスタ518のソース又はドレインの他方とは、電氣的に接続されており、接地電位GND端子と電氣的に接続されている。なお、第15のトランジスタ515のソース又はドレインの他方と、第16のトランジスタ516のソース又はドレインの他方と、第17のトランジスタ517のソース又はドレインの他方と、第18のトランジスタ518のソース又はドレインの他方と、接地電位GND端子との接続部分をノードG'とする。

30

【0238】

第32のトランジスタ532のソース又はドレインの他方には、電源電位VDDが供給されている。なお、第32のトランジスタ532のソース又はドレインの他方と、電源電位VDD端子との接続部分をノードH'とする。第16のトランジスタ516のゲートには、クロック信号CLKが入力され、第17のトランジスタ517のゲートには、クロック信号CLKが入力されている。

40

【0239】

ノードA'の電位は、NOR回路600の出力信号OUTとして出力される。ノードD'の電位は、NOR回路600の出力信号OUTと、位相が反転した信号OUTBとして出力される。

【0240】

本実施の形態のNOR回路600において、酸化物半導体を用いたトランジスタのゲートが閉じている時、リーク電流のパスは、電源電位VDD端子から接地電位GND端子まで1つしか存在しない。リーク電流のパスが1つしか存在しないため、NOR回路600の消費電力を抑えることができる。

【0241】

50

また本実施の形態のNOR回路600は、4個の酸化物半導体を用いたトランジスタ及び9個のシリコン半導体を用いたトランジスタを有している。

【0242】

酸化物半導体を用いたトランジスタは、上述のようにリーク電流が極小である。そのため、NOR回路600に電源電位VDDの供給を停止しても、例えば酸化物半導体を用いたトランジスタである第24のトランジスタ524のソース又はドレインの他方と、第28のトランジスタ528のゲートとの間(ノードC')に蓄えられている電荷は保持される。よって、電源電位VDDの供給を再開すると、NOR回路600は、電源電位VDDの供給を停止する前の状態から、動作を開始することができる。

【0243】

このように、NOR回路600は電源電位VDDの供給を停止してもデータが消失しない。すなわち、本実施の形態のNOR回路600は、不揮発性の記憶回路である。電源電位VDDの供給を停止してもデータが消失しないので、NOR回路600において、酸化物半導体を用いたトランジスタのゲートが閉じている時は、電源電位VDDの供給を停止することが可能である。即ち不揮発性のNOR回路600は消費電力を抑制することができる。

【0244】

また本実施の形態のNOR回路600において、酸化物半導体を用いたトランジスタとシリコン半導体を用いたトランジスタは積層して形成することが可能である(後述)。そのため、NOR回路600の回路面積を小さくすることができる。

【0245】

< NOR回路600の動作 >

図24乃至図28を用いて、本実施の形態のNOR回路600の動作について説明する。図24には、NOR回路600におけるタイミングチャートを示す。図24では、期間T1、期間T2、期間T3、期間T4、期間T5、期間T6、期間T7、期間T8、期間T9、期間T10、に分けてタイミングチャートを示す。図25乃至図28では、期間T1、期間T2、期間T3、期間T4におけるNOR回路600の動作の状態を示す。

【0246】

NOR回路600は、クロック同期式であり、第16のトランジスタ516、第17のトランジスタ517、第24のトランジスタ524、第26のトランジスタ526、第32のトランジスタ532に同様のクロック信号CLKを入力することで、NOR回路として動作する。なお、クロック信号CLKと同期して第32のトランジスタ532がオン状態となる、期間T2、期間T4、期間T6、期間T8、期間T10においてのみ、出力信号OUTが決定される。

【0247】

< 期間T1(図25参照。) >

まず図24の期間T1に示すように、入力信号AにH電位(VDD)、入力信号BにL電位(VSS)が入力された場合を考える。この時、クロック信号CLKがH電位(VDD)なので、第16のトランジスタ516のゲート、及び第17のトランジスタ517のゲートにH電位(VDD)が印加される。従って、第16のトランジスタ516(Nch)及び第17のトランジスタ517(Nch)は、オン状態となる。この時、ノードD'の電位はノードG'の電位に引き込まれるため、ノードD'にはL電位(VSS)が入り込み、ノードA'の電位はノードG'の電位に引き込まれるため、ノードA'にはL電位(VSS)が入り込む。(放電動作。)第16のトランジスタ516及び第17のトランジスタ517は、ノードA'とノードD'をL電位(VSS)へと放電するか否かを制御するために設けられている。

【0248】

クロック信号CLKがH電位(VDD)なので、第24のトランジスタ524及び第25のトランジスタ525は、オン状態となる。従って、第29のトランジスタ529のゲート(ノードB')に入力信号Bと同じL電位(VSS)がチャージされ、第28のトラン

10

20

30

40

50

ジスタ528のゲート(ノードC')に入力信号Aと同じH電位(VDD)がチャージされる。

【0249】

また、クロック信号CLKがH電位(VDD)なので、第24のトランジスタ524及び第26のトランジスタ526は、オン状態となる。従って、第30のトランジスタ530のゲート(ノードE')に入力信号Bと位相が反転した信号BBと同じH電位(VDD)がチャージされ、第31のトランジスタ531のゲート(ノードF')に入力信号Aと位相が反転した信号ABと同じL電位(VSS)がチャージされる。

【0250】

以上のように期間T1では、ノードB'、ノードC'、ノードE'、ノードF'のそれぞれに、入力信号A及び入力信号Bに応じた電位が、ノードA'、ノードD'のそれぞれに、L電位(VSS)がチャージされた状態となる。

10

【0251】

<期間T2(図25参照。)>

次に図24の期間T2に示すように、クロック信号CLKがL電位(VSS)となるので、第16のトランジスタ516のゲート、第17のトランジスタ517のゲート、第32のトランジスタ532のゲートのそれぞれにL電位(VSS)が印加される。この時、第16のトランジスタ516(Nch)及び第17のトランジスタ517(Nch)は、オフ状態となる。第16のトランジスタ516がオフ状態となることにより、ノードA'に対してノードG'のL電位(VSS)の引き込みは無くなり、ノードA'はL電位(VSS)を維持する状態となる。また、第17のトランジスタ517がオフ状態となることにより、ノードD'に対してノードG'のL電位(VSS)の引き込みは無くなり、ノードD'はL電位(VSS)を維持する状態となる。

20

【0252】

第32のトランジスタ532(Pch)は、オン状態となる。

【0253】

一方、クロック信号CLKがL電位(VSS)となるので、第24のトランジスタ524(Nch)及び第25のトランジスタ525(Nch)は、オフ状態となる。ノードB'には、L電位(VSS)に応じた電荷が蓄積されているため、第25のトランジスタ525がオフ状態となることで、ノードB'にはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第29のトランジスタ529(Pch)は、ノードB'の電位に応じて、オン状態となる。ノードC'には、H電位(VDD)に応じた電荷が蓄積されているため、第24のトランジスタ524がオフ状態となることで、ノードC'にはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第28のトランジスタ528(Pch)は、ノードC'の電位に応じて、オフ状態となる。

30

【0254】

同様に、クロック信号CLKがL電位(VSS)となるので、第26のトランジスタ526(Nch)及び第27のトランジスタ527(Nch)は、オフ状態となる。ノードE'には、H電位(VDD)に応じた電荷が蓄積されているため、第27のトランジスタ527がオフ状態となることで、ノードE'にはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第31のトランジスタ531(Pch)は、ノードE'の電位に応じて、オフ状態となる。ノードF'には、L電位(VSS)に応じた電荷が蓄積されているため、第26のトランジスタ526がオフ状態となることで、ノードF'にはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第30のトランジスタ530(Pch)は、ノードF'の電位に応じて、オン状態となる。

40

【0255】

この時、第28のトランジスタ128と、第29のトランジスタ129が電氣的に直列で接続されているため、ノードH'から、ノードA'までの電流経路は形成されない。一方、第30のトランジスタ530と、第31のトランジスタ531が電氣的に並列で接続されているため、ノードH'から、ノードD'までの電流経路が形成される。従って、オン

50

状態となっている第32のトランジスタ532及び、オン状態となっている第30のトランジスタ530を通して、ノードH'からノードD'に向かって電流が流れる。即ち、ノードH'の有する電源電位(VDD)が、ノードD'へと供給される。

【0256】

ノードH'からノードD'に向かって電流が流れることで、ノードD'の電位は、L電位(VSS)から徐々に増加し、H電位(VDD)となる。その結果、第15のトランジスタ515のゲートに、H電位(VDD)が印加されるため、第15のトランジスタ515(Nch)は、オン状態となる。第15のトランジスタ515を通して、ノードA'から、ノードG'までの電流経路が形成される。従って、ノードA'の電位はノードG'の電位に引き込まれるため、ノードA'の電位はL電位(VSS)となる。この時、ノードA'の電位が確定し、出力信号OUTがL電位(VSS)となる。

10

【0257】

第15のトランジスタ515及び第18のトランジスタ518は、ノードA'とノードD'に対して、該ノード間の電位を相互に補償し合う機能を有する。ノードA'とノードD'間の電位を相互に補償し合うとは、例えば、ノードA'がH電位(VDD)になった場合、第15のトランジスタ515は、ノードD'の電位を、ノードG'の有するL電位(VSS)に引き抜く。例えば、ノードD'がH電位(VDD)になった場合、第18のトランジスタ518は、ノードA'の電位を、ノードG'の有するL電位(VSS)に引き抜く。即ち、ノードA'とノードD'間において、H電位(VDD)になったノードと逆のノードの電位を、ノードG'の有するL電位(VSS)に引き抜く。

20

【0258】

なお、ノードA'の電位とノードD'の電位は、第32のトランジスタ532のオン状態及びオフ状態に依存する。即ち出力信号OUTの電位が確定するのは、クロック信号CLKがL電位(VSS)の時に限られる。従ってNOR回路600の出力信号OUTの電位が確定するのは図24に示すタイミングチャートにおいて、期間T2、期間T4、期間T6、期間T8、期間T10の時である。

【0259】

以上のように期間T2では、H電位(VDD)の入力信号A及びL電位(VSS)の入力信号Bの入力に対して、L電位(VSS)の出力信号OUTが、確定された状態となる。

【0260】

上述のように、第15のトランジスタ515及び第18のトランジスタ518は、電位補償機能を有し、第16のトランジスタ516及び第17のトランジスタ517は、放電機能を有する。従って、これら4つのトランジスタは、常にノードA'とノードD'の電位を比較し、H電位(VDD)となったノードと逆のノードの電位を、ノードG'の有するL電位(VSS)に引き抜くという比較器としての機能を有する。

30

【0261】

また、第32のトランジスタ532は、充電機能を有する。オン状態となっている第32のトランジスタ532を通して、ノードA'又はノードD'には、ノードH'の有する電源電位(VDD)が供給される。その結果、第32のトランジスタ532がオン状態となる時(クロック信号CLKがL電位(VSS)の時)のみ、出力信号OUTの電位が確定することになるため、該トランジスタは、最終的な出力信号OUTを確定するという機能(電位確定機能)も有する。

40

【0262】

<期間T3(図27参照。)>

次に図24の期間T3に示すように、入力信号AにL電位(VSS)、入力信号BにL電位(VSS)が入力された場合を考える。この時、クロック信号CLKがH電位(VDD)なので、第16のトランジスタ516のゲート、及び第17のトランジスタ517のゲートにH電位(VDD)が印加される。従って、第16のトランジスタ516(Nch)及び第17のトランジスタ517(Nch)は、オン状態となる。この時、ノードD'の電位はノードG'の電位に引き込まれるため、ノードD'にはL電位(VSS)が入り込

50

み、ノードA'の電位はノードG'の電位に引き込まれるため、ノードA'にはL電位(VSS)が入り込む。(放電動作。)

【0263】

クロック信号CLKがH電位(VDD)なので、第24のトランジスタ524及び第25のトランジスタ525は、オン状態となる。従って、第29のトランジスタ529のゲート(ノードB')に入力信号Bと同じL電位(VSS)がチャージされ、第28のトランジスタ528のゲート(ノードC')に入力信号Aと同じL電位(VSS)がチャージされる。

【0264】

また、クロック信号CLKがH電位(VDD)なので、第26のトランジスタ526及び第27のトランジスタ527は、オン状態となる。従って、第31のトランジスタ531のゲート(ノードE')に入力信号Bと位相が反転した信号BBと同じH電位(VDD)がチャージされ、第30のトランジスタ530のゲート(ノードF')に入力信号Aと位相が反転した信号ABと同じH電位(VDD)がチャージされる。

10

【0265】

以上のように期間T3では、ノードB'、ノードC'、ノードE'、ノードF'のそれぞれに、入力信号A及び入力信号Bに応じた電位が、ノードA'、ノードD'のそれぞれに、L電位(VSS)がチャージされた状態となる。

【0266】

<期間T4(図28参照。)>

20

次に図24の期間T4に示すように、クロック信号CLKがL電位(VSS)となるので、第16のトランジスタ516のゲート、第17のトランジスタ517のゲート、第32のトランジスタ532のゲートのそれぞれにL電位(VSS)が印加される。この時、第16のトランジスタ516(Nch)及び第17のトランジスタ517(Nch)は、オフ状態となる。第16のトランジスタ516がオフ状態となることにより、ノードA'に対してノードG'のL電位(VSS)の引き込みは無くなり、ノードA'はL電位(VSS)を維持する状態となる。また、第17のトランジスタ517がオフ状態となることにより、ノードD'に対してノードG'のL電位(VSS)の引き込みは無くなり、ノードD'はL電位(VSS)を維持する状態となる。

【0267】

30

第32のトランジスタ532(Pch)は、オン状態となる。

【0268】

一方、クロック信号CLKがL電位(VSS)となるので、第24のトランジスタ524(Nch)及び第25のトランジスタ525(Nch)は、オフ状態となる。ノードB'には、L電位(VSS)に応じた電荷が蓄積されているため、第25のトランジスタ525がオフ状態となることで、ノードB'にはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第29のトランジスタ529(Pch)は、ノードB'の電位に応じて、オン状態となる。ノードC'には、L電位(VSS)に応じた電荷が蓄積されているため、第24のトランジスタ524がオフ状態となることで、ノードC'にはL電位(VSS)に応じた電荷が保持される。(電荷保持動作。)更に、第28のトランジスタ528(Pch)は、ノードC'の電位に応じて、オン状態となる。

40

【0269】

同様に、クロック信号CLKがL電位(VSS)となるので、第26のトランジスタ526(Nch)及び第27のトランジスタ527(Nch)は、オフ状態となる。ノードE'には、H電位(VDD)に応じた電荷が蓄積されているため、第27のトランジスタ527がオフ状態となることで、ノードE'にはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第31のトランジスタ531(Pch)は、ノードE'の電位に応じて、オフ状態となる。ノードF'には、H電位(VDD)に応じた電荷が蓄積されているため、第26のトランジスタ526がオフ状態となることで、ノードF'にはH電位(VDD)に応じた電荷が保持される。(電荷保持動作。)更に、第30のトラン

50

ジスタ530 (Pch) は、ノードF'の電位に応じて、オフ状態となる。

【0270】

この時、第28のトランジスタ528と、第29のトランジスタ529が電氣的に直列で接続されているため、ノードH'から、ノードA'までの電流経路が形成される。従って、オン状態となっている第32のトランジスタ532及び、オン状態となっている第28のトランジスタ528及び、オン状態となっている第29のトランジスタ529を通してノードH'からノードA'に向かって電流が流れる。ノードH'からノードA'に向かって電流が流れることで、ノードA'の電位は、L電位(VSS)から徐々に増加し、H電位(VDD)となる。即ち、ノードH'の有する電源電位(VDD)が、ノードD'へと供給される。この時、ノードA'の電位が確定し、出力信号OUTがH電位(VDD)となる。一方、第30のトランジスタ530と、第31のトランジスタ531が電氣的に並列で接続されているため、ノードH'から、ノードD'までの電流経路は形成されない。

10

【0271】

その結果、第18のトランジスタ518のゲートに、H電位(VDD)が印加されるため、第18のトランジスタ518(Nch)は、オン状態となる。この時、第18のトランジスタ518を通して、ノードA'から、ノードG'までの電流経路が形成される。従って、ノードD'の電位はノードG'の電位に引き込まれるため、ノードD'の電位はL電位(VSS)となる。従って、出力信号OUTと、位相が反転した信号OUTBから、L電位(VSS)が出力される。

20

【0272】

以上のように期間T4では、L電位(VSS)の入力信号A及びL電位(VSS)の入力信号Bの入力に対して、H電位(VDD)の出力信号OUTが、確定された状態となる。

【0273】

入力信号Aに応じた電位を保持するノードC'をゲートに有する第28のトランジスタ528と、入力信号Bに応じた電位を保持するノードB'をゲートに有する第29のトランジスタ529とが電氣的に直列で接続されている。従って、どちらかの入力信号にH電位(VDD)が入力されてしまうと、ノードH'からノードA'までの電流経路は形成されず、両方の入力信号に、L電位(VSS)が入力された時のみノードH'からノードA'までの電流経路が形成され、ノードA'に対してノードH'の有する電源電位(VDD)が供給される。一方、第30のトランジスタ530と、第31のトランジスタ531とが電氣的に並列で接続されている。従って、両方の入力信号に、L電位(VSS)が入力された時のみノードH'からノードD'までの電流経路は形成されずノードD'に対してノードH'の有する電源電位(VDD)は供給されない。

30

【0274】

即ち、どちらかの入力信号にH電位(VDD)が入力されれば、必ずノードA'は、L電位(VSS)になる。この時必ず出力信号OUTは、L電位(VSS)になる。また、両方の入力信号に、L電位(VSS)が入力されれば、必ずノードA'は、H電位(VDD)になる。この時必ず出力信号OUTは、H電位(VDD)になる。このようにして、NOR回路が形成できる。

【0275】

期間T5、期間T6の動作は、期間T1、期間T2の動作と全く同様である。期間T7、期間T8の動作は、期間T1、期間T2の動作において、入力信号AにL電位(VSS)、入力信号BにH電位(VDD)が入力された場合の動作に対応する。期間T9、期間T10の動作は、期間T3、期間T4の動作において、入力信号AにH電位(VDD)、入力信号BにH電位(VDD)が入力された場合の動作に対応する。

40

【0276】

本実施の形態により、NOR回路のリーク電流のパスを抑制することができる。従って、NOR回路の消費電力を抑制することができる。

【0277】

本実施の形態により、NOR回路において電源が遮断されてもデータを保持することがで

50

きる。

【0278】

本実施の形態により、NOR回路において酸化物半導体を用いたトランジスタとシリコン半導体を用いたトランジスタは積層して形成することが可能であるため、回路面積を縮小させることができる。

【0279】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0280】

(実施の形態6)

本実施の形態では、データの保持機能を有し、消費電力を削減したNOR回路の別の構成について図29及び図30を用いて説明する。

【0281】

図29及び図30に本実施の形態のNOR回路の回路図を示す。図29に示すNOR回路700は、図17に示すNOR回路500における、ノードBに容量540を接続し、ノードCに容量541を接続し、ノードEに容量542を接続し、ノードFに容量543を接続した構成を有する。容量540、容量541、容量542、容量543、以外の構成は、NOR回路500と全く同様である。

【0282】

図30に示すNOR回路800は、図23に示すNOR回路600における、ノードB'に容量552を接続し、ノードC'に容量553を接続し、ノードE'に容量550を接続し、ノードF'に容量551を接続した構成を有する。容量550、容量551、容量552、容量553、以外の構成は、NOR回路600と全く同様である。

【0283】

ノードB(ノードB')に容量540(容量550)を接続し、ノードC(ノードC')に容量541(容量551)を接続し、ノードE(ノードE')に容量542(容量552)を接続し、ノードF(ノードF')に容量543(容量553)を接続することで、データの保持時間を長くすることができる。また、データの保持時間は、容量540(容量550)、容量541(容量551)、容量542(容量552)、容量543(容量553)のそれぞれの容量値を変化させることにより、調整が可能である。データの保持時間をより長くしたい場合、それぞれの容量値を大きくすれば良い。

【0284】

また、ノードB(ノードB')に容量540(容量550)を接続し、ノードC(ノードC')に容量541(容量551)を接続し、ノードE(ノードE')に容量542(容量552)を接続し、ノードF(ノードF')に容量543(容量553)を接続することで、NOR回路内に生じる寄生容量等の負荷による影響を低減させ、NOR回路における動作の安定性を高めることも可能である。

【0285】

NOR回路700の動作については、NOR回路500と同様であるため、実施の形態1を参酌できる。NOR回路800の動作については、NOR回路600と同様であるため、実施の形態2を参酌できる。

【0286】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0287】

(実施の形態7)

本実施の形態では、上述した実施の形態1乃至実施の形態6に用いられる酸化物半導体を用いたトランジスタについて説明する。

【0288】

図31(A)に示す酸化物半導体を用いたトランジスタ901は、絶縁膜902上に形成

10

20

30

40

50

された、半導体層として機能する酸化物半導体層 903 と、酸化物半導体層 903 上に形成されたソース電極 904 及びドレイン電極 905 と、酸化物半導体層 903、ソース電極 904 及びドレイン電極 905 上に形成されたゲート絶縁膜 906 と、ゲート絶縁膜 906 上において酸化物半導体層 903 と重なる位置に設けられたゲート電極 907 とを有する。

【0289】

図 31 (A) に示す酸化物半導体を用いたトランジスタ 901 は、ゲート電極 907 が酸化物半導体層 903 の上に形成されているトップゲート型であり、なおかつ、ソース電極 904 及びドレイン電極 905 が酸化物半導体層 903 の上に形成されているトップコンタクト型である。そして、酸化物半導体を用いたトランジスタ 901 は、ソース電極 904 及びドレイン電極 905 と、ゲート電極 907 とが重なっていない。すなわち、ソース電極 904 とゲート電極 907 との間及びドレイン電極 905 とゲート電極 907 との間には、ゲート絶縁膜 906 の膜厚よりも大きい間隔が設けられている。よって、酸化物半導体を用いたトランジスタ 901 は、ソース電極 904 及びドレイン電極 905 とゲート電極 907 との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

10

【0290】

また、酸化物半導体層 903 は、ゲート電極 907 が形成された後、酸化物半導体層 903 に n 型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域 908 を有する。また、酸化物半導体層 903 のうち、ゲート絶縁膜 906 を間に挟んでゲート電極 907 と重なる領域がチャンネル形成領域 909 である。酸化物半導体層 903 では、一对の高濃度領域 908 の間にチャンネル形成領域 909 が設けられている。高濃度領域 908 を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの 15 族原子などを用いることができる。

20

【0291】

例えば、窒素をドーパントとして用いた場合、高濃度領域 908 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【0292】

n 型の導電性を付与するドーパントが添加されている高濃度領域 908 は、酸化物半導体層 903 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 908 を酸化物半導体層 903 に設けることで、ソース電極 904 とドレイン電極 905 との間の抵抗を下げるることができる。

30

【0293】

そして、ソース電極 904 とドレイン電極 905 との間の抵抗を下げることで、酸化物半導体を用いたトランジスタ 901 の微細化を進めても、高いオン電流と、高速動作を確保することができる。従って、当該トランジスタを用いた論理回路の面積を削減し、小型化を図ることができる。

【0294】

図 31 (B) に示す酸化物半導体を用いたトランジスタ 911 は、絶縁膜 912 上に形成されたソース電極 914 及びドレイン電極 915 と、絶縁膜 912、ソース電極 914 及びドレイン電極 915 上に形成された半導体層として機能する酸化物半導体層 913 と、酸化物半導体層 913、ソース電極 914 及びドレイン電極 915 上に形成されたゲート絶縁膜 916 と、ゲート絶縁膜 916 上において酸化物半導体層 913 と重なる位置に設けられたゲート電極 917 とを有する。

40

【0295】

図 31 (B) に示す酸化物半導体を用いたトランジスタ 911 は、ゲート電極 917 が酸化物半導体層 913 の上に形成されているトップゲート型であり、なおかつ、ソース電極 914 及びドレイン電極 915 が酸化物半導体層 913 の下に形成されているボトムコンタクト型である。そして、トランジスタ 911 は、トランジスタ 901 と同様に、ソース

50

電極 9 1 4 及びドレイン電極 9 1 5 と、ゲート電極 9 1 7 とが重なっていないので、ソース電極 9 1 4 とゲート電極 9 1 7 との間及びドレイン電極 9 1 5 とゲート電極 9 1 7 との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。更に論理回路における単位面積当たりのデータの保持機能を高めることができる。

【 0 2 9 6 】

また、酸化物半導体層 9 1 3 は、ゲート電極 9 1 7 が形成された後、酸化物半導体層 9 1 3 に n 型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域 9 1 8 を有する。また、酸化物半導体層 9 1 3 のうち、ゲート絶縁膜 9 1 6 を間に挟んでゲート電極 9 1 7 と重なる領域がチャンネル形成領域 9 1 9 である。酸化物半導体層 9 1 3 では、一对の高濃度領域 9 1 8 の間にチャンネル形成領域 9 1 9 が設けられている。

10

【 0 2 9 7 】

高濃度領域 9 1 8 は、上述した、トランジスタ 9 0 1 が有する高濃度領域 9 0 8 の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域 9 1 8 を形成するためのドーパントの種類については、高濃度領域 9 0 8 の場合を参照することができる。

【 0 2 9 8 】

n 型の導電性を付与するドーパントが添加されている高濃度領域 9 1 8 は、酸化物半導体層 9 1 3 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 9 1 8 を酸化物半導体層 9 1 3 に設けることで、ソース電極 9 1 4 とドレイン電極 9 1 5 との間の抵抗を下げることができる。

20

【 0 2 9 9 】

そして、ソース電極 9 1 4 とドレイン電極 9 1 5 との間の抵抗を下げること、酸化物半導体を用いたトランジスタ 9 1 1 の微細化を進めても、高いオン電流と、高速動作を確保することができる。従って、当該トランジスタを用いた論理回路の面積を削減し、小型化を図ることができる。更に論理回路における単位面積当たりのデータの保持機能を高めることができる。

【 0 3 0 0 】

以上のように、トランジスタ 9 0 1 又はトランジスタ 9 1 1 を、実施の形態 1 乃至実施の形態 6 で用いられる酸化物半導体を用いたトランジスタに適用することで、単位面積当たりのデータの保持機能を高めた論理回路を得ることができる。また、論理回路の面積を削減させた NAND 回路や NOR 回路を得ることができる。

30

【 0 3 0 1 】

なお、実施の形態 1 乃至実施の形態 6 で用いられる酸化物半導体を用いたトランジスタは、該構成に限定されない。

【 0 3 0 2 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 3 0 3 】

(実施の形態 8)

本実施の形態では、上述した実施の形態 1 乃至実施の形態 6 における論理回路の構成の一形態について説明する。

40

【 0 3 0 4 】

図 3 2 は、論理回路の断面図である。図 3 2 に示す記憶装置は上部に、2 層に形成された記憶素子 3 1 7 0 a、記憶素子 3 1 7 0 b が配置され、下部に論理回路 3 0 0 4 が配置された積層構造を有する。なお、記憶素子の数、記憶素子が形成される層数、配置構造は特に限定されない。

【 0 3 0 5 】

本実施の形態において記憶素子とは、酸化物半導体を用いたトランジスタを含み、電源が遮断されてもデータが保持される機能を有する素子を表すものとする。記憶素子 3 1 7 0 a は、酸化物半導体を用いたトランジスタ 3 1 7 1 a を含み、記憶素子 3 1 7 0 b は、酸

50

化物半導体を用いたトランジスタ 3 1 7 1 b を含む。

【 0 3 0 6 】

なお図 3 2 では、記憶素子 3 1 7 0 a に用いるトランジスタ 3 1 7 1 a、記憶素子 3 1 7 0 b に用いるトランジスタ 3 1 7 1 b として、図 3 1 (A) に示すトランジスタ 9 0 1 と同様の構成を用いているが、該構成に限定されない。図 3 1 (B) に示すトランジスタ 9 1 1 と同様の構成を用いてもよい。

【 0 3 0 7 】

トランジスタ 3 1 7 1 a のソース電極及びドレイン電極と同じ層に形成された電極 3 5 0 1 a は、電極 3 5 0 2 a によって、電極 3 0 0 3 a と電氣的に接続されている。トランジスタ 3 1 7 1 b のソース電極及びドレイン電極と同じ層に形成された電極 3 5 0 1 c は、電極 3 5 0 2 c によって、電極 3 0 0 3 c と電氣的に接続されている。

10

【 0 3 0 8 】

論理回路 3 0 0 4 は、シリコン半導体を用いたトランジスタ 3 0 0 1 を含む。なお、論理回路 3 0 0 4 には、酸化物半導体を用いたトランジスタが含まれていてもよいし、酸化物半導体以外を用いたトランジスタが含まれていてもよい。シリコン半導体を用いたトランジスタと酸化物半導体を用いたトランジスタは重畳して形成されていてもよい。

【 0 3 0 9 】

また、トランジスタ 3 0 0 1 は、半導体材料（例えば、シリコンなど）を含む基板 3 0 0 0 に素子分離絶縁膜 3 1 0 6 を設け、素子分離絶縁膜 3 1 0 6 に囲まれた領域にチャネル形成領域を設ける。なお、トランジスタ 3 0 0 1 は、絶縁表面上に形成されたシリコン膜等の半導体膜や、SOI 基板のシリコン膜にチャネル形成領域が設けられていてもよい。トランジスタ 3 0 0 1 の構成については、公知の構成を用いることが可能であるため、説明は省略する。

20

【 0 3 1 0 】

トランジスタ 3 1 7 1 a が形成された層と、トランジスタ 3 0 0 1 が形成された層との間には、配線 3 1 0 0 a 及び配線 3 1 0 0 b が形成されている。配線 3 1 0 0 a とトランジスタ 3 0 0 1 が形成された層との間には、絶縁膜 3 1 4 0 a が設けられ、配線 3 1 0 0 a と配線 3 1 0 0 b との間には、絶縁膜 3 1 4 1 a が設けられ、配線 3 1 0 0 b とトランジスタ 3 1 7 1 a が形成された層との間には、絶縁膜 3 1 4 2 a が設けられている。

30

【 0 3 1 1 】

同様に、トランジスタ 3 1 7 1 b が形成された層と、トランジスタ 3 1 7 1 a が形成された層との間には、配線 3 1 0 0 c 及び配線 3 1 0 0 d が形成されている。配線 3 1 0 0 c とトランジスタ 3 1 7 1 a が形成された層との間には、絶縁膜 3 1 4 0 b が設けられ、配線 3 1 0 0 c と配線 3 1 0 0 d との間には、絶縁膜 3 1 4 1 b が設けられ、配線 3 1 0 0 d とトランジスタ 3 1 7 1 b が形成された層との間には、絶縁膜 3 1 4 2 b が設けられている。

【 0 3 1 2 】

絶縁膜 3 1 4 0 a、絶縁膜 3 1 4 1 a、絶縁膜 3 1 4 2 a、絶縁膜 3 1 4 0 b、絶縁膜 3 1 4 1 b、絶縁膜 3 1 4 2 b は、層間絶縁膜として機能し、その表面は平坦化された構成とすることができる。

40

【 0 3 1 3 】

配線 3 1 0 0 a、配線 3 1 0 0 b、配線 3 1 0 0 c、配線 3 1 0 0 d によって、記憶素子間の電氣的接続や、論理回路と記憶素子との間の電氣的接続等を行うことができる。

【 0 3 1 4 】

論理回路 3 0 0 4 に含まれる電極 3 3 0 3、電極 3 5 0 5、電極 3 5 0 3 a によって、上部に設けられた記憶素子と、下部に設けられた論理回路とを電氣的に接続することが可能になる。例えば、図 3 2 に示すように、電極 3 5 0 5 によって、電極 3 3 0 3 は配線 3 1 0 0 a と電氣的に接続することができる。電極 3 5 0 3 a によって、配線 3 1 0 0 a は電極 3 5 0 1 b と電氣的に接続することができる。こうして、論理回路 3 0 0 4 に含まれる電極 3 3 0 3 と、記憶素子 3 1 7 0 a に含まれるトランジスタ 3 1 7 1 a のソース電極ま

50

たはドレイン電極とを電氣的に接続することができる。

【0315】

また、電極3502bによって、電極3501bは電極3003bと電氣的に接続することができる。電極3503bによって、電極3003bは配線3100cと電氣的に接続することができる。

【0316】

図32では、電極3303とトランジスタ3171aとの電氣的接続は、配線3100aを介して行われる例を示したがこれに限定されない。電極3303とトランジスタ3171aとの電氣的接続は、配線3100bを介して行われてもよいし、配線3100aと配線3100bの両方を介して行われてもよい。

10

【0317】

また、図32では、トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間に、配線3100aが形成された配線層と、配線3100bが形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

【0318】

また、図32では、記憶素子3170aが形成された層と、記憶素子3170bが形成された層との間に、配線3100cが形成された配線層と、配線3100dが形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。記憶素子3170aが形成された層と、記憶素子3170bが形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

20

【0319】

以上のように、記憶素子に含まれる酸化物半導体を用いたトランジスタと、論理回路に含まれるシリコン半導体を用いたトランジスタを、積層することで、論理回路の面積を削減し、更なる小型化を図ることができる。また、電源が遮断されてもデータが保持される新規な論理回路を得ることができる。なお、実施の形態1乃至実施の形態6で用いられるトランジスタの積層構造は、限定されない。

【0320】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

30

【0321】

(実施の形態9)

本実施の形態では、開示される発明の一態様に係る信号処理回路の一つである、CPU (Central Processing Unit (中央処理装置、又は中央演算処理装置)) の構成について説明する。

【0322】

図33に、本実施の形態のCPUの構成を示す。図33に示すCPUは、基板9900上に、ALU9901、ALU Controller9902、Instruction Decoder9903、Interrupt Controller9904、Timing Controller9905、Register9906、Register Controller9907、Bus I/F9908、書き換え可能なROM9909、ROM I/F9920と、を主に有している。なお、ALUはArithmetic Logic Unitであり、Bus I/Fはバスインターフェースであり、ROM I/FはROMインターフェースである。ROM9909及びROM I/F9920は、別チップに設けても良い。勿論、図33に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

40

【0323】

Bus I/F9908を介してCPUに入力された命令は、Instruction Decoder9903に入力され、デコードされた後、ALU Controller9902、Interrupt Controller9904、Register C

50

ontroller 9907、Timing Controller 9905に入力される。

【0324】

ALU Controller 9902、Interrupt Controller 9904、Register Controller 9907、Timing Controller 9905は、デコードされた命令に基づき、各種制御を行なう。具体的にALU Controller 9902は、ALU 9901の動作を制御するための信号を生成する。また、Interrupt Controller 9904は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。Register Controller 9907は、Register 9906のアドレスを生成し、CPUの状態に応じてRegister 9906の読み出しや書き込みを行なう。

10

【0325】

またTiming Controller 9905は、ALU 9901、ALU Controller 9902、Instruction Decoder 9903、Interrupt Controller 9904、Register Controller 9907の動作のタイミングを制御する信号を生成する。例えばTiming Controller 9905は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

20

【0326】

本実施の形態のCPUでは、Register 9906に、実施の形態1乃至実施の形態6で示した論理回路が設けられている。電源が遮断されてもデータが保持される論理回路を設けることで、本実施の形態のCPUにおいて、データの保持機能を高め、消費電力を低減することができる。また、面積が削減された論理回路を設けることで、CPUの面積、及び構成トランジスタの数を削減することができる。

【0327】

本実施の形態では、CPUを例に挙げて説明したが、開示される発明の一樣態の信号処理回路はCPUに限定されず、マイクロプロセッサ、画像処理回路、DSP、FPGA等のLSIにも応用可能である。

30

【0328】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0329】

(実施の形態10)

本実施の形態では、開示される発明の一樣態で用いられる酸化物半導体を用いたトランジスタについて詳細に説明する。なお本実施の形態の酸化物半導体を用いたトランジスタは、実施の形態1乃至実施の形態9で説明した酸化物半導体を用いたトランジスタに援用可能である。

【0330】

用いられる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

40

【0331】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホル

50

ミウム (H o)、エルビウム (E r)、ツリウム (T m)、イッテルビウム (Y b)、ルテチウム (L u) のいずれか一種あるいは複数種を有してもよい。

【0332】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物 (IGZOとも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

10

【0333】

なお、ここで、例えば、In - Ga - Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

20

【0334】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0335】

例えば、 $In : Ga : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) あるいは $In : Ga : Zn = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Sn : Zn = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $In : Sn : Zn = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

30

【0336】

しかし、これらに限られず、必要とする半導体特性 (移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0337】

また、結晶性を有する酸化物半導体では、表面の平坦性を高めれば移動度を高めることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (Ra) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。

40

【0338】

なお、Ra は、JIS B 0601 で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0339】

【数 1】

$$Ra = \frac{1}{S_0} \int_{x_2}^{x_1} \int_{y_2}^{y_1} |f(x, y) - Z_0| dx dy$$

【0340】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される 4 点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。 Ra は原子間力顕微鏡（AFM: Atomic Force Microscope）にて評価可能である。

10

【0341】

以下に、結晶性を有する酸化物について説明する。具体的には、 c 軸配向し、かつ ab 面、表面または界面の方向から見て三角形または六角形の原子配列を有し、 c 軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、 ab 面においては a 軸または b 軸の向きが異なる（ c 軸を中心に回転した）結晶（CAAC: C Axis Aligned Crystal ともいう。）を含む酸化物について説明する。

【0342】

CAAC を含む酸化物とは、広義に、非単結晶であって、その ab 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

20

【0343】

CAAC は単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0344】

CAAC に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAAC を構成する個々の結晶部分の c 軸は一定の方向（例えば、CAAC が形成される基板面、CAAC の表面などに垂直な方向）に揃っていてもよい。または、CAAC を構成する個々の結晶部分の ab 面の法線は一定の方向（例えば、CAAC が形成される基板面、CAAC の表面などに垂直な方向）を向いていてもよい。

30

【0345】

CAAC は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0346】

このような CAAC の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることができる。

40

【0347】

CAAC に含まれる結晶構造の一例について図 3 4 乃至図 3 6 を用いて詳細に説明する。なお、特に断りがない限り、図 3 4 乃至図 3 6 は上方向を c 軸方向とし、 c 軸方向と直交する面を ab 面とする。なお、単に上半分、下半分という場合、 ab 面を境にした場合の上半分、下半分をいう。また、図 3 4 において丸で囲まれた O は 4 配位の O を示し、二重丸は 3 配位の O を示す。

【0348】

図 3 4 (A) に、1 個の 6 配位の In と、 In に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 3 4 (A) の構造は、八面体構造をとるが、簡

50

単のため平面構造で示している。なお、図34(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図34(A)に示す小グループは電荷が0である。

【0349】

図34(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子(以下3配位のO)と、近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもab面に存在する。図34(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図34(B)に示す構造をとりうる。図34(B)に示す小グループは電荷が0である。

【0350】

図34(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図34(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図34(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあってもよい。図34(C)に示す小グループは電荷が0である。

10

【0351】

図34(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図34(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図34(D)に示す小グループは電荷が+1となる。

【0352】

図34(E)に、2個のZnを含む小グループを示す。図34(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図34(E)に示す小グループは電荷が-1となる。

20

【0353】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう。)と呼ぶ。

【0354】

ここで、これらの小グループ同士が結合する規則について説明する。図34(A)に示す6配位のInの上半分の3個のOは下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは上方向にそれぞれ3個の近接Inを有する。図34(B)に示す5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。図34(C)に示す4配位のZnの上半分の1個のOは下方向に1個の近接Znを有し、下半分の3個のOは上方向にそれぞれ3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。その理由を以下に示す。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)、または4配位の金属原子(Zn)のいずれかと結合することになる。

30

40

【0355】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0356】

図35(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図35(B)に、3つの中グループで構成される大グループを示す。なお、図35(C)は、図35(B)の層構造をc軸方向から観察した場合の原子配列を示す。

【0357】

図35(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し

50

、例えば、 S_n の上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図35(A)において、 I_n の上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図35(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがある Z_n と、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある Z_n とを示している。

【0358】

図35(A)において、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にある S_n が、4配位のOが1個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に3個の4配位のOがある Z_n と結合し、その Z_n の下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に1個の4配位のOがある Z_n 2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある S_n と結合している構成である。この中グループが複数結合して大グループを構成する。

10

【0359】

ここで、3配位のOおよび4配位のOの場合、結合1本当当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、 I_n (6配位または5配位)、 Z_n (4配位)、 S_n (5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、 S_n を含む小グループは電荷が+1となる。そのため、 S_n を含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図34(E)に示すように、2個の Z_n を含む小グループが挙げられる。例えば、 S_n を含む小グループが1個に対し、2個の Z_n を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

20

【0360】

具体的には、図35(B)に示した大グループが繰り返されることで、 $I_n - S_n - Z_n - O$ 系の結晶($I_n{}_2 S_n Z_n{}_3 O_8$)を得ることができる。なお、得られる $I_n - S_n - Z_n - O$ 系の層構造は、 $I_n{}_2 S_n Z_n{}_2 O_7 (Z_n O)_m$ (m は0または自然数。)とする組成式で表すことができる。

【0361】

また、このほかにも、四元系金属の酸化物である $I_n - S_n - Ga - Z_n - O$ 系酸化物や、三元系金属の酸化物である $I_n - Ga - Z_n - O$ 系酸化物($IGZO$ とも表記する。)、 $I_n - Al - Z_n - O$ 系酸化物、 $S_n - Ga - Z_n - O$ 系酸化物、 $Al - Ga - Z_n - O$ 系酸化物、 $S_n - Al - Z_n - O$ 系酸化物や、 $I_n - Hf - Z_n - O$ 系酸化物、 $I_n - La - Z_n - O$ 系酸化物、 $I_n - Ce - Z_n - O$ 系酸化物、 $I_n - Pr - Z_n - O$ 系酸化物、 $I_n - Nd - Z_n - O$ 系酸化物、 $I_n - Sm - Z_n - O$ 系酸化物、 $I_n - Eu - Z_n - O$ 系酸化物、 $I_n - Gd - Z_n - O$ 系酸化物、 $I_n - Tb - Z_n - O$ 系酸化物、 $I_n - Dy - Z_n - O$ 系酸化物、 $I_n - Ho - Z_n - O$ 系酸化物、 $I_n - Er - Z_n - O$ 系酸化物、 $I_n - Tm - Z_n - O$ 系酸化物、 $I_n - Yb - Z_n - O$ 系酸化物、 $I_n - Lu - Z_n - O$ 系酸化物や、二元系金属の酸化物である $I_n - Z_n - O$ 系酸化物、 $S_n - Z_n - O$ 系酸化物、 $Al - Z_n - O$ 系酸化物、 $Zn - Mg - O$ 系酸化物、 $S_n - Mg - O$ 系酸化物、 $I_n - Mg - O$ 系酸化物や、 $I_n - Ga - O$ 系酸化物、などを用いた場合も同様である。

30

40

【0362】

例えば、図36(A)に、 $I_n - Ga - Z_n - O$ 系の層構造を構成する中グループのモデル図を示す。

【0363】

図36(A)において、 $I_n - Ga - Z_n - O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にある I_n が、4配位のOが1個上半分にある Z_n と結合し、その Z_n の下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の1個の4配位のOを介

50

して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0364】

図36(B)に3つの中グループで構成される大グループを示す。なお、図36(C)は、図36(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0365】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

10

【0366】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図36(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0367】

具体的には、図36(B)に示した大グループが繰り返されることで、In-Ga-Zn-O系の結晶を得ることができる。なお、得られるIn-Ga-Zn-O系の層構造は、 $\text{InGaO}_3(\text{ZnO})_n$ (nは自然数。)とする組成式で表すことができる。

【0368】

n=1(InGaZnO_4)の場合は、例えば、図37(A)に示す結晶構造を取りうる。なお、図37(A)に示す結晶構造において、図34(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

20

【0369】

また、n=2($\text{InGaZn}_2\text{O}_5$)の場合は、例えば、図37(B)に示す結晶構造を取りうる。なお、図37(B)に示す結晶構造において、図34(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

【0370】

(実施の形態11)

本実施の形態では、実施の形態1乃至実施の形態9で示したトランジスタに用いられる半導体における移動度について説明する。

30

【0371】

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0372】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、以下の式で表現できる。

【0373】

40

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0374】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

【0375】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0376】

ここで、 e は電気素量、 N はチャンネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャンネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャンネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャンネルの厚さは半導体層の厚さと同じとして差し支えない。線形領域におけるドレイン電流 I_d は、以下の式となる。

10

【0377】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0378】

ここで、 L はチャンネル長、 W はチャンネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。

上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

【0379】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0380】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、 $I_n : S_n : Z_n = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / cm^2$ 程度である。

30

【0381】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 cm^2 / Vs$ が導出される。欠陥のあるIn-Sn-Zn酸化物で測定される移動度は $35 cm^2 / Vs$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 cm^2 / Vs$ となると予想できる。

【0382】

ただし、半導体内部に欠陥がなくても、チャンネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

【0383】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

【0384】

ここで、 D はゲート方向の電界、 B 、 G は定数である。 B および G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 cm / s$ 、 $G = 10 nm$ (界面散乱が及ぶ深さ)である。 D が増加する(すなわち、ゲート電圧が高くなる)と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

50

【0385】

半導体内部の欠陥が無い理想的な酸化物半導体をチャンネルに用いたトランジスタの移動度 μ_2 を計算した結果を図38に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0386】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100nm、比誘電率は4.1とした。チャンネル長およびチャンネル幅はともに10 μ m、ドレイン電圧 V_d は0.1Vである。

10

【0387】

図38で示されるように、ゲート電圧1V強で移動度100cm²/Vs以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること(Atomic Layer Flatness)が望ましい。

【0388】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図39乃至図41に示す。なお、計算に用いたトランジスタの断面構造を図42に示す。図42に示すトランジスタは酸化物半導体層にn⁺の導電性を呈する半導体領域403aおよび半導体領域403cを有する。半導体領域403aおよび半導体領域403cの抵抗率は2 \times 10⁻³cmとする。

20

【0389】

図42(A)に示すトランジスタは、下地絶縁層401と、下地絶縁層401に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物402の上に形成される。トランジスタは半導体領域403a、半導体領域403cと、それらに挟まれ、チャンネル形成領域となる真性の半導体領域403bと、ゲート405を有する。ゲート405の幅を33nmとする。

【0390】

ゲート405と半導体領域403bの間には、ゲート絶縁膜404を有し、また、ゲート405の両側面には側壁絶縁物406aおよび側壁絶縁物406b、ゲート405の上部には、ゲート405と他の配線との短絡を防止するための絶縁物407を有する。側壁絶縁物の幅は5nmとする。また、半導体領域403aおよび半導体領域403cに接して、ソース408aおよびドレイン408bを有する。なお、このトランジスタにおけるチャンネル幅を40nmとする。

30

【0391】

図42(B)に示すトランジスタは、下地絶縁層401と、酸化アルミニウムよりなる埋め込み絶縁物402の上に形成され、半導体領域403a、半導体領域403cと、それらに挟まれた真性の半導体領域403bと、幅33nmのゲート405とゲート絶縁膜404と側壁絶縁物406aおよび側壁絶縁物406bと絶縁物407とソース408aおよびドレイン408bを有する点で図42(A)に示すトランジスタと同じである。

40

【0392】

図42(A)に示すトランジスタと図42(B)に示すトランジスタの相違点は、側壁絶縁物406aおよび側壁絶縁物406bの下の半導体領域の導電型である。図42(A)に示すトランジスタでは、側壁絶縁物406aおよび側壁絶縁物406bの下の半導体領域はn⁺の導電性を呈する半導体領域403aおよび半導体領域403cであるが、図42(B)に示すトランジスタでは、真性の半導体領域403bである。すなわち、図42(B)に示す半導体層において、半導体領域403a(半導体領域403c)とゲート405がLoffだけ重ならない領域ができています。この領域をオフセット領域といい、そ

50

の幅 L_{off} をオフセット長という。図から明らかのように、オフセット長は、側壁絶縁物 406a (側壁絶縁物 406b) の幅と同じである。

【0393】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図39は、図42(A)に示される構造のトランジスタのドレイン電流 (I_d 、実線) および移動度 (μ 、点線) のゲート電圧 (V_g 、ゲートとソースの電位差) 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 (ドレインとソースの電位差) を +1V とし、移動度 μ はドレイン電圧を +0.1V として計算したものである。

【0394】

図39(A)はゲート絶縁膜の厚さを 15nm としたものであり、図39(B)は 10nm としたものであり、図39(C)は 5nm としたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。ゲート電圧 1V 前後で、ドレイン電流は 10 μ A を超えることが示された。

【0395】

図40は、図42(B)に示される構造のトランジスタで、オフセット長 L_{off} を 5nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1V とし、移動度 μ はドレイン電圧を +0.1V として計算したものである。図40(A)はゲート絶縁膜の厚さを 15nm としたものであり、図40(B)は 10nm としたものであり、図40(C)は 5nm としたものである。

【0396】

また、図41は、図42(B)に示される構造のトランジスタで、オフセット長 L_{off} を 15nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1V とし、移動度 μ はドレイン電圧を +0.1V として計算したものである。図41(A)はゲート絶縁膜の厚さを 15nm としたものであり、図41(B)は 10nm としたものであり、図41(C)は 5nm としたものである。

【0397】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0398】

なお、移動度 μ のピークは、図39では 80 cm^2/Vs 程度であるが、図40では 60 cm^2/Vs 程度、図41では 40 cm^2/Vs 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1V 前後で、ドレイン電流は 10 μ A を超えることが示された。

【0399】

In、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域とするトランジスタは、該酸化物半導体膜を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で 5 atomic % 以上含まれる元素をいう。

【0400】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリオフ化させることが可能となる。

【0401】

例えば、図43(A)~(C)は、In、Sn、Znを主成分とし、チャネル長 L が 3 μ

10

20

30

40

50

m、チャネル幅Wが10 μmである酸化物半導体膜と、厚さ100 nmのゲート絶縁膜を用いたトランジスタの特性である。なお、 V_d は10 Vとした。

【0402】

図43(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8 \text{ cm}^2 / \text{V s e c}$ が得られている。一方、基板を意図的に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図43(B)は基板を200 に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2 \text{ cm}^2 / \text{V s e c}$ が得られている。

10

【0403】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図43(C)は、In、Sn、Znを主成分とする酸化物半導体膜を200 でスパッタリング成膜した後、650 で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5 \text{ cm}^2 / \text{V s e c}$ が得られている。

【0404】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化、脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2 / \text{V s e c}$ を超える電界効果移動度を実現することも可能になると推定される。

20

【0405】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

30

【0406】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリオフ化を図ることに寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリオフとなる方向に動き、このような傾向は図43(A)と図43(B)の対比からも確認することができる。

40

【0407】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することが可能であり、組成比としてIn : Sn : Zn = 2 : 1 : 3とすることでトランジスタのノーマリオフ化を期待することができる。また、ターゲットの組成比をIn : Sn : Zn = 2 : 1 : 3とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0408】

意図的な基板加熱温度若しくは熱処理温度は、150 以上、好ましくは200 以上、より好ましくは400 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリオフ化を図ることが可能となる。

【0409】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイ

50

アスストレスに対する安定性を高めることができる。例えば、 2 MV/cm 、 150 、 1 時間印加の条件において、ドリフトがそれぞれ $\pm 1.5\text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

【0410】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化、脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0411】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0412】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD: X-Ray Diffraction)でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0413】

実際に、 In-Sn-Zn-O 膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

【0414】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0415】

脱水素化処理済みの石英基板上に In-Sn-Zn-O 膜を 100 nm の厚さで成膜した。

【0416】

In-Sn-Zn-O 膜は、スパッタリング装置を用い、酸素雰囲気中で電力を 100 W (DC)として成膜した。ターゲットは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子数比]の In-Sn-Zn-O ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料Aとした。

【0417】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気ですらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0418】

図46に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、 2θ が 35 deg 近傍および $37\text{ deg} \sim 38\text{ deg}$ に結晶由来のピークが観測された。

【0419】

このように、 In 、 Sn 、 Zn を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

10

20

30

40

50

【0420】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含まないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリオフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1 \text{ a A} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅 $1 \mu\text{m}$ あたりの電流値を示す。

【0421】

図47に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値（ $1000 / T$ ）を横軸としている。

10

【0422】

具体的には、図47に示すように、基板温度が 125 の場合には $1 \text{ a A} / \mu\text{m}$ （ $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ）以下、 85 の場合には $100 \text{ z A} / \mu\text{m}$ （ $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ）以下である。電流値の対数が温度の逆数に比例することから、室温（ 27 ）の場合には $1 \text{ z A} / \mu\text{m}$ （ $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ）以下であると予想される。好ましくは、 125 において $0.1 \text{ a A} / \mu\text{m}$ （ $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ）以下に、 85 において $10 \text{ z A} / \mu\text{m}$ （ $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ）以下に、室温において $0.1 \text{ z A} / \mu\text{m}$ （ $1 \times 10^{-22} \text{ A} / \mu\text{m}$ ）以下にすることができる。これらのオフ電流値は、Siを半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。オフ電流値の極めて低い酸化物半導体を用いたトランジスタを、実施の形態1乃至実施の形態6で用いられるトランジスタに適用することで、電源が遮断されても、極めて高いデータ保持特性を維持した論理回路を得ることができる。また、データ保持特性が高まることで、消費電力を低減させた論理回路を得ることができる。

20

【0423】

また、酸化物半導体膜成膜後に 650 の加熱処理を行った試料Bのトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0424】

測定に用いたトランジスタは、チャンネル長 L が $3 \mu\text{m}$ 、チャンネル幅 W が $10 \mu\text{m}$ 、 L_{ov} が $0 \mu\text{m}$ 、 dW が $0 \mu\text{m}$ である。なお、 V_{ds} は 10 V とした。なお、基板温度は -40 、 -25 、 25 、 75 、 125 および 150 で行った。

30

【0425】

測定に用いたトランジスタの一例について、図44及び図45を用いて説明する。なお、図44及び図45では、In-Sn-Zn-O膜を半導体膜に用いている。

【0426】

図44は、コプラナー型であるトップゲート-トップコンタクト構造のトランジスタの上面図および断面図である。図44(A)にトランジスタの上面図を示す。また、図44(B)は図44(A)の一点鎖線A1-A2に対応する断面図である。

【0427】

図44(B)に示すトランジスタは、基板701と、基板701上に設けられた下地絶縁膜702と、下地絶縁膜702の周辺に設けられた保護絶縁膜704と、下地絶縁膜702および保護絶縁膜704上に設けられた高抵抗領域706aおよび低抵抗領域706bを有する酸化物半導体膜706と、酸化物半導体膜706上に設けられたゲート絶縁膜708と、ゲート絶縁膜708を介して酸化物半導体膜706と重畳して設けられたゲート電極710と、ゲート電極710の側面と接して設けられた側壁絶縁膜712と、少なくとも低抵抗領域706bと接して設けられた一对の電極714と、少なくとも酸化物半導体膜706、ゲート電極710および一对の電極714を覆って設けられた層間絶縁膜716と、層間絶縁膜716に設けられた開口部を介して少なくとも一对の電極714の一方と接続して設けられた配線718と、を有する。

40

【0428】

50

なお、図示しないが、層間絶縁膜 716 および配線 718 を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜 716 の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

【0429】

図 45 は、トップゲート - トップコンタクト構造のトランジスタの上面図および断面図である。図 45 (A) はトランジスタの上面図である。また、図 45 (B) は図 45 (A) の一点鎖線 B1 - B2 に対応する断面図である。

【0430】

図 45 (B) に示すトランジスタは、基板 601 と、基板 601 上に設けられた下地絶縁膜 602 と、下地絶縁膜 602 上に設けられた酸化物半導体膜 606 と、酸化物半導体膜 606 と接する一对の電極 614 と、酸化物半導体膜 606 および一对の電極 614 上に設けられたゲート絶縁膜 608 と、ゲート絶縁膜 608 を介して酸化物半導体膜 606 と重畳して設けられたゲート電極 610 と、ゲート絶縁膜 608 およびゲート電極 610 を覆って設けられた層間絶縁膜 616 と、層間絶縁膜 616 に設けられた開口部を介して一对の電極 614 と接続する配線 618 と、層間絶縁膜 616 および配線 618 を覆って設けられた保護膜 620 と、を有する。

10

【0431】

基板 601 としてはガラス基板を、下地絶縁膜 602 としては酸化シリコン膜を、酸化物半導体膜 606 としては In - Sn - Zn - O 膜を、一对の電極 614 としてはタングステン膜を、ゲート絶縁膜 608 としては酸化シリコン膜を、ゲート電極 610 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜 616 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 618 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 620 としてはポリイミド膜を、それぞれ用いた。

20

【0432】

なお、図 45 (A) に示す構造のトランジスタにおいて、ゲート電極 610 と一对の電極 614 との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜 606 に対する一对の電極 614 のはみ出しを dW と呼ぶ。

【0433】

図 48 に、 I_{ds} (実線) および電界効果移動度 (点線) の V_{gs} 依存性を示す。また、図 49 (A) に基板温度としきい値電圧の関係を、図 49 (B) に基板温度と電界効果移動度の関係を示す。

30

【0434】

図 49 (A) より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は -40 ~ 150 で 1.09 V ~ -0.23 V であった。

【0435】

また、図 49 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は -40 ~ 150 で $36 \text{ cm}^2 / \text{Vs}$ ~ $32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

40

【0436】

上記のような In、Sn、Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vs}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vs}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vs}$ 以上とすることができるため、論理回路で要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ の FET で、ゲート電圧 2.7 V、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、シリコン半導体で作られる論理回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する論

50

理回路を実現することができる。

【符号の説明】

【0437】

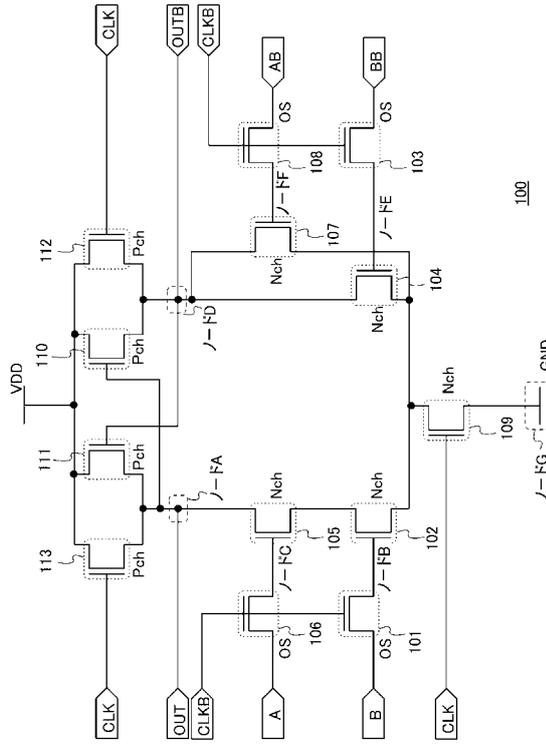
100	NAND回路	
101	トランジスタ	
102	トランジスタ	
103	トランジスタ	
104	トランジスタ	
105	トランジスタ	
106	トランジスタ	10
107	トランジスタ	
108	トランジスタ	
109	トランジスタ	
110	トランジスタ	
111	トランジスタ	
112	トランジスタ	
113	トランジスタ	
115	トランジスタ	
116	トランジスタ	
117	トランジスタ	20
118	トランジスタ	
120	ラッチ回路	
121	クロックインバータ	
122	インバータ	
123	クロックインバータ	
124	トランジスタ	
125	トランジスタ	
126	トランジスタ	
127	トランジスタ	
128	トランジスタ	30
129	トランジスタ	
130	トランジスタ	
131	トランジスタ	
132	トランジスタ	
133	インバータ	
140	容量	
141	容量	
142	容量	
143	容量	
150	容量	40
151	容量	
152	容量	
153	容量	
160	クロックインバータ	
160 A	クロックインバータ	
160 B	クロックインバータ	
161	トランジスタ	
162	トランジスタ	
163	トランジスタ	
164	トランジスタ	50

1 6 6	トランジスタ	
2 0 0	N A N D 回路	
3 0 0	N A N D 回路	
4 0 0	N A N D 回路	
4 0 1	下地絶縁層	
4 0 2	埋め込み絶縁物	
4 0 3 a	半導体領域	
4 0 3 b	半導体領域	
4 0 3 c	半導体領域	
4 0 4	ゲート絶縁膜	10
4 0 5	ゲート	
4 0 6 a	側壁絶縁物	
4 0 6 b	側壁絶縁物	
4 0 7	絶縁物	
4 0 8 a	ソース	
4 0 8 b	ドレイン	
5 0 0	N O R 回路	
5 0 1	トランジスタ	
5 0 2	トランジスタ	
5 0 3	トランジスタ	20
5 0 4	トランジスタ	
5 0 5	トランジスタ	
5 0 6	トランジスタ	
5 0 7	トランジスタ	
5 0 8	トランジスタ	
5 0 9	トランジスタ	
5 1 0	トランジスタ	
5 1 1	トランジスタ	
5 1 2	トランジスタ	
5 1 3	トランジスタ	30
5 1 5	トランジスタ	
5 1 6	トランジスタ	
5 1 7	トランジスタ	
5 1 8	トランジスタ	
5 2 4	トランジスタ	
5 2 5	トランジスタ	
5 2 6	トランジスタ	
5 2 7	トランジスタ	
5 2 8	トランジスタ	
5 2 9	トランジスタ	40
5 3 0	トランジスタ	
5 3 1	トランジスタ	
5 3 2	トランジスタ	
5 4 0	容量	
5 4 1	容量	
5 4 2	容量	
5 4 3	容量	
5 5 0	容量	
5 5 1	容量	
5 5 2	容量	50

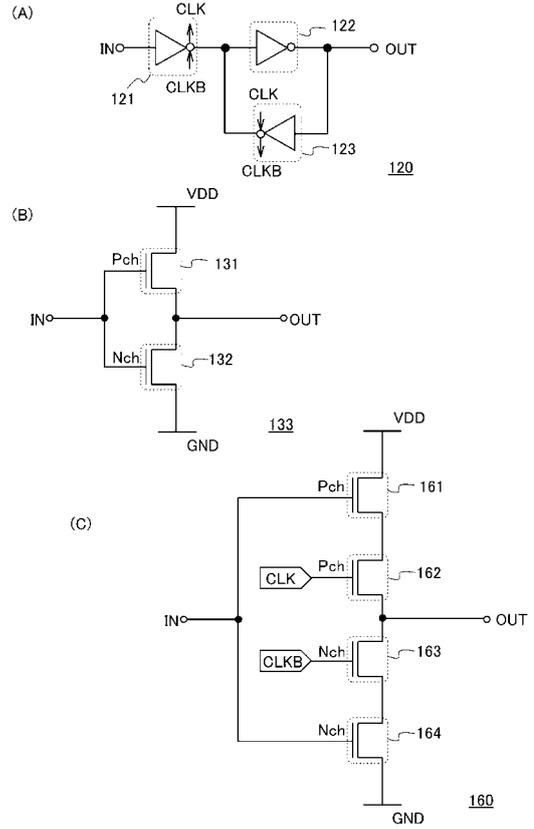
5 5 3	容量	
6 0 0	N O R 回路	
6 0 1	基板	
6 0 2	下地絶縁膜	
6 0 6	酸化物半導体膜	
6 0 8	ゲート絶縁膜	
6 1 0	ゲート電極	
6 1 4	電極	
6 1 6	層間絶縁膜	
6 1 8	配線	10
6 2 0	保護膜	
7 0 0	N O R 回路	
7 0 1	基板	
7 0 2	下地絶縁膜	
7 0 4	保護絶縁膜	
7 0 6	酸化物半導体膜	
7 0 6 a	高抵抗領域	
7 0 6 b	低抵抗領域	
7 0 8	ゲート絶縁膜	
7 1 0	ゲート電極	20
7 1 2	側壁絶縁膜	
7 1 4	電極	
7 1 6	層間絶縁膜	
7 1 8	配線	
8 0 0	N O R 回路	
9 0 1	トランジスタ	
9 0 2	絶縁膜	
9 0 3	酸化物半導体層	
9 0 4	ソース電極	
9 0 5	ドレイン電極	30
9 0 6	ゲート絶縁膜	
9 0 7	ゲート電極	
9 0 8	高濃度領域	
9 0 9	チャンネル形成領域	
9 1 1	トランジスタ	
9 1 2	絶縁膜	
9 1 3	酸化物半導体層	
9 1 4	ソース電極	
9 1 5	ドレイン電極	
9 1 6	ゲート絶縁膜	40
9 1 7	ゲート電極	
9 1 8	高濃度領域	
9 1 9	チャンネル形成領域	
3 0 0 0	基板	
3 0 0 1	トランジスタ	
3 0 0 4	論理回路	
3 1 0 6	素子分離絶縁膜	
3 3 0 3	電極	
3 0 0 3 a	電極	
3 0 0 3 b	電極	50

3 0 0 3 c	電極	
3 1 0 0 a	配線	
3 1 0 0 b	配線	
3 1 0 0 c	配線	
3 1 0 0 d	配線	
3 1 4 0 a	絶縁膜	
3 1 4 0 b	絶縁膜	
3 1 4 1 a	絶縁膜	
3 1 4 1 b	絶縁膜	
3 1 4 2 a	絶縁膜	10
3 1 4 2 b	絶縁膜	
3 1 7 0 a	記憶素子	
3 1 7 0 b	記憶素子	
3 1 7 1 a	トランジスタ	
3 1 7 1 b	トランジスタ	
3 5 0 1 a	電極	
3 5 0 1 b	電極	
3 5 0 1 c	電極	
3 5 0 2 a	電極	
3 5 0 2 b	電極	20
3 5 0 2 c	電極	
3 5 0 3 a	電極	
3 5 0 3 b	電極	
3 5 0 5	電極	
9 9 0 0	基板	
9 9 0 1	A L U	
9 9 0 2	A L U C o n t r o l l e r	
9 9 0 3	I n s t r u c t i o n D e c o d e r	
9 9 0 4	I n t e r r u p t C o n t r o l l e r	
9 9 0 5	T i m i n g C o n t r o l l e r	30
9 9 0 6	R e g i s t e r	
9 9 0 7	R e g i s t e r C o n t r o l l e r	
9 9 0 8	B u s I / F	
9 9 0 9	R O M	
9 9 2 0	R O M I / F	

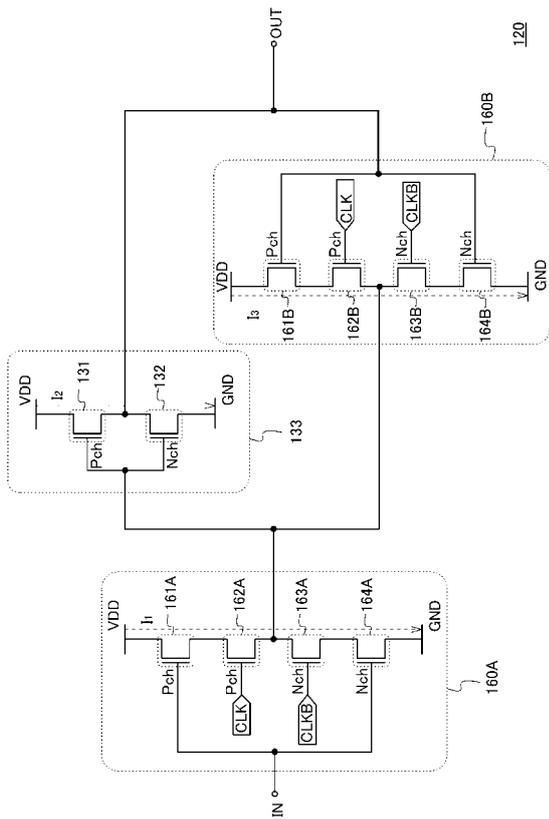
【 図 1 】



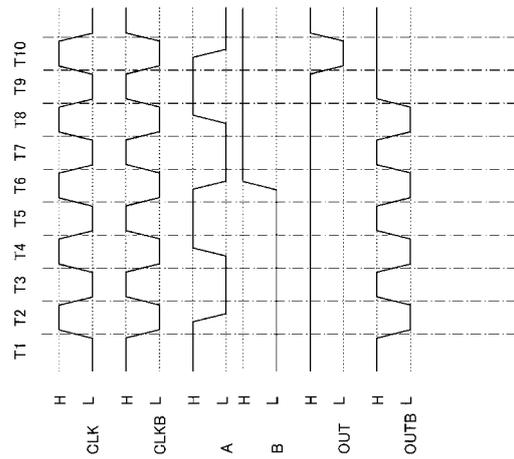
【 図 2 】



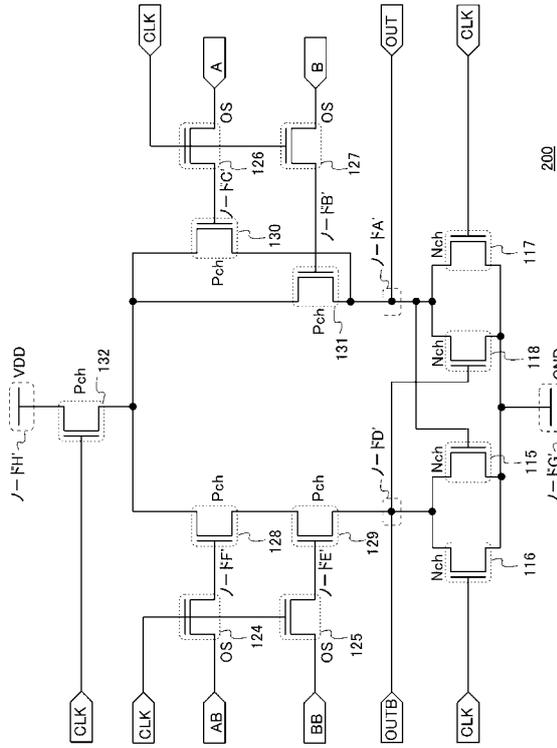
【 図 3 】



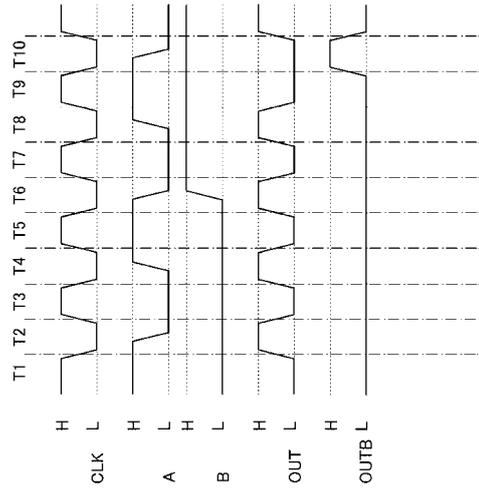
【 図 4 】



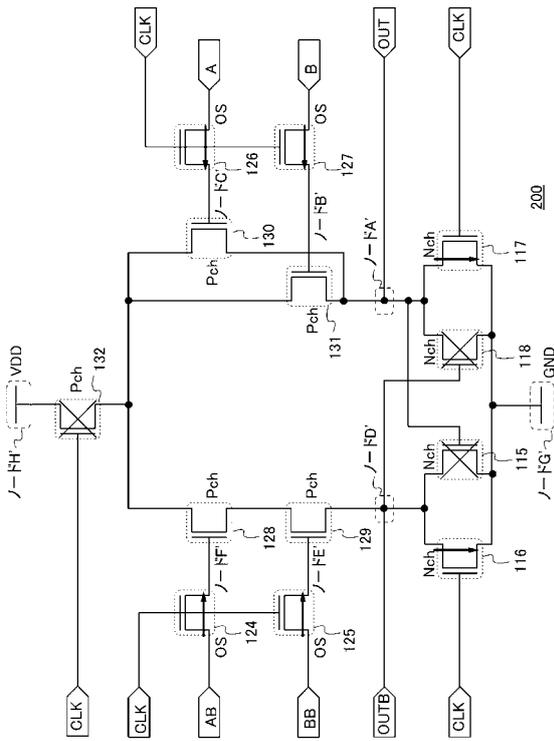
【 9 】



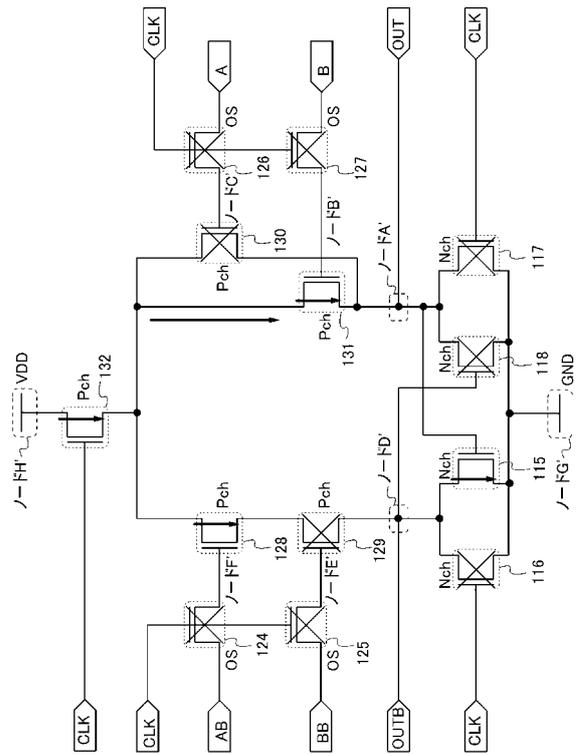
【 1 0 】



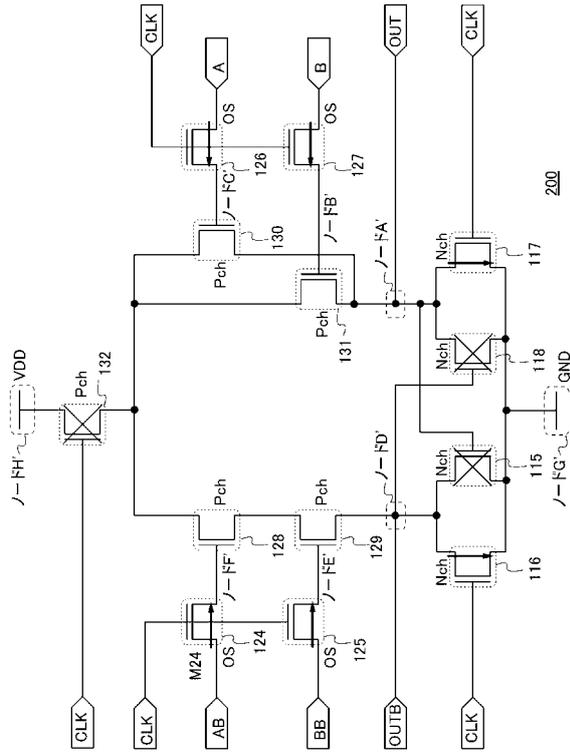
【 1 1 】



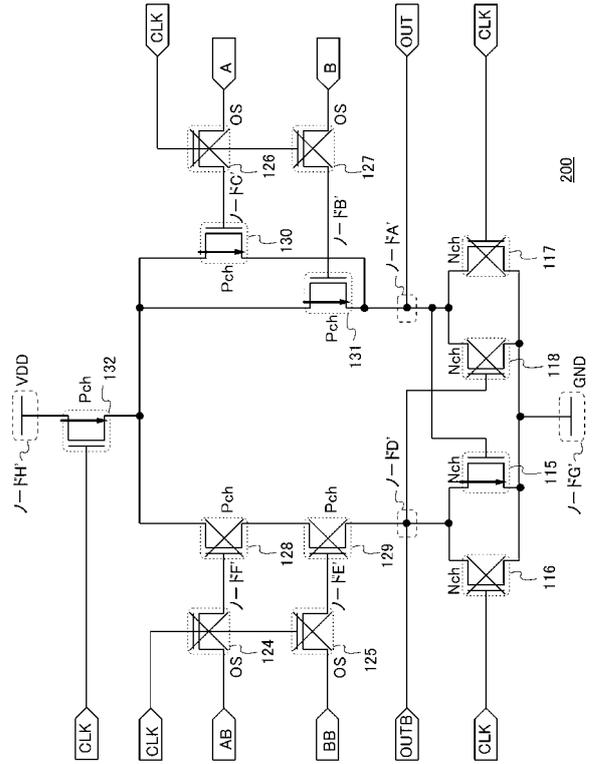
【 1 2 】



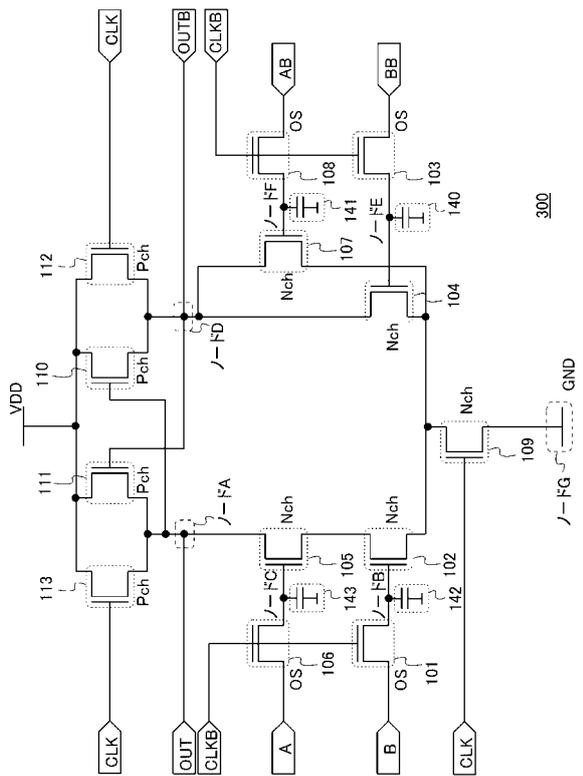
【 図 1 3 】



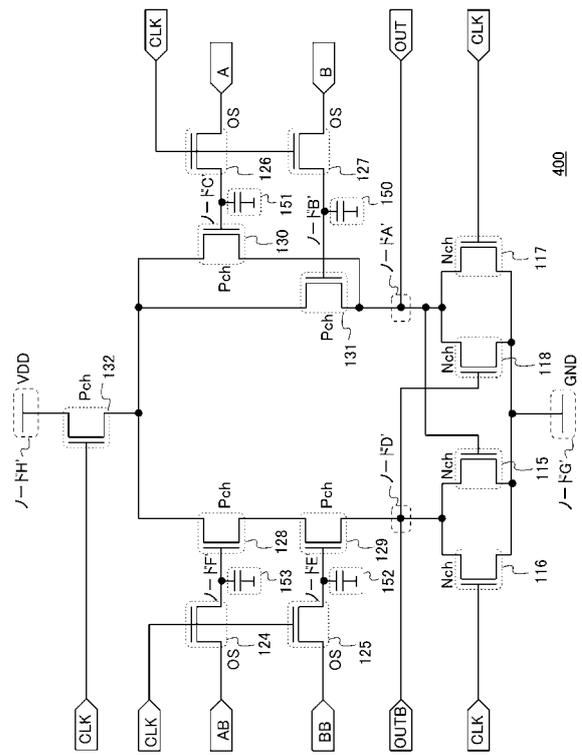
【 図 1 4 】



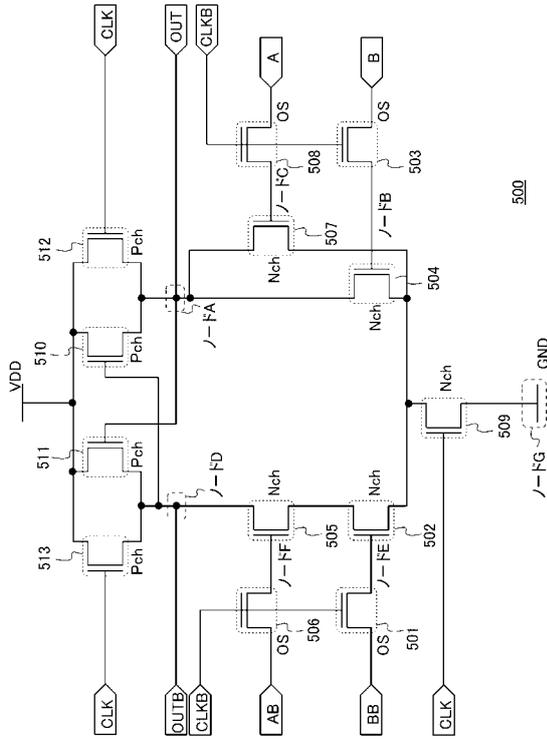
【 図 1 5 】



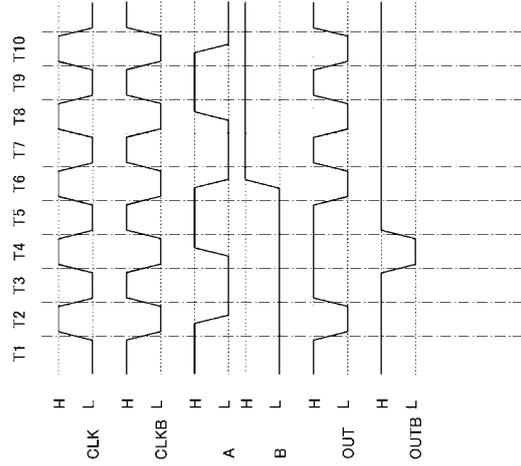
【 図 1 6 】



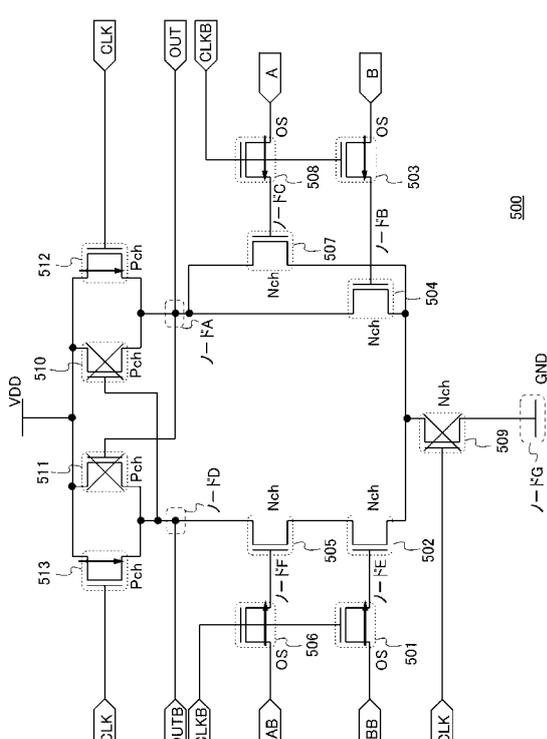
【 17 】



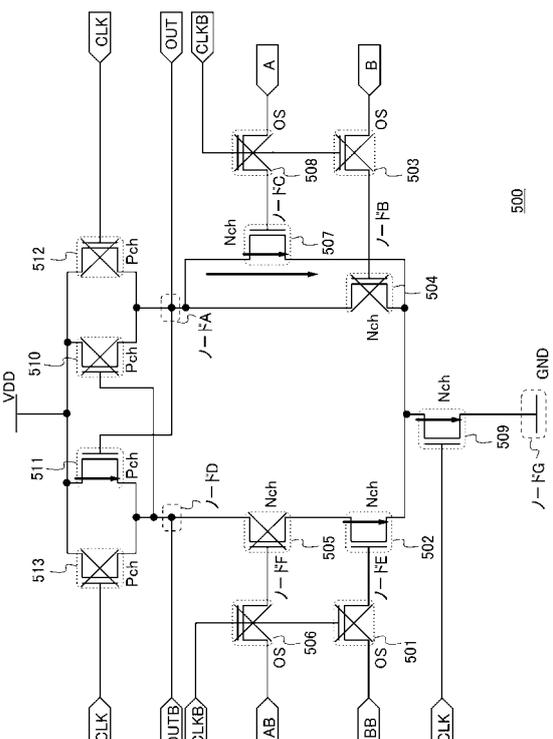
【 18 】



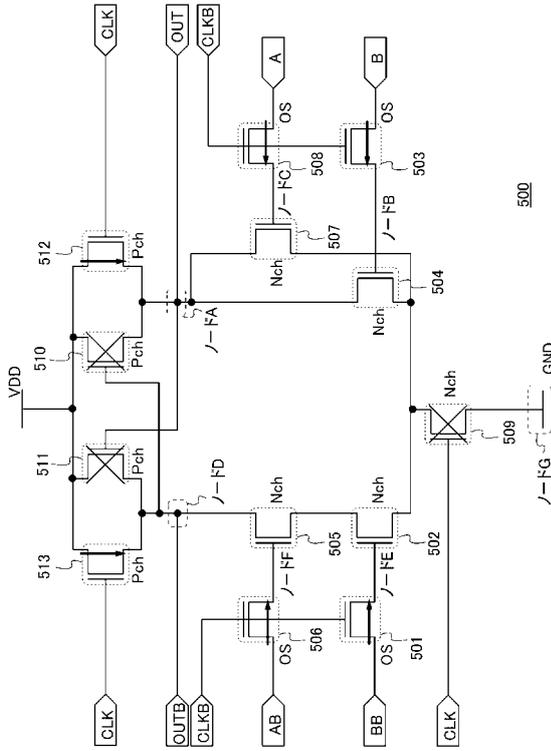
【 19 】



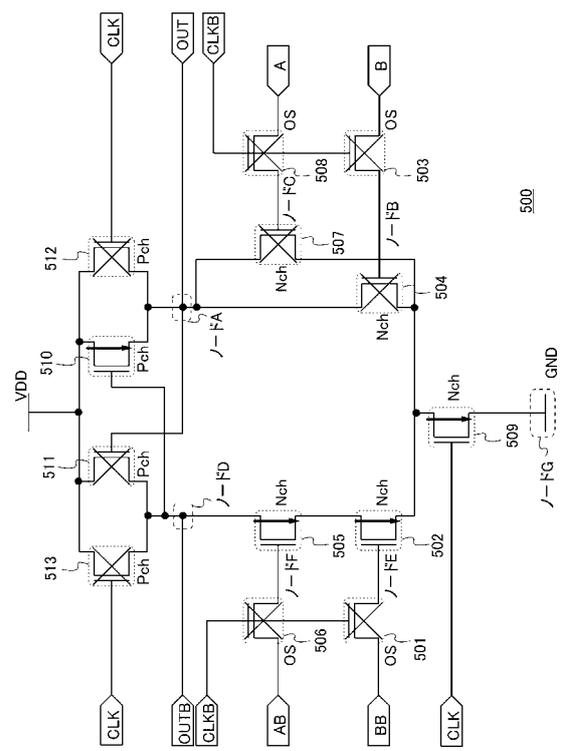
【 20 】



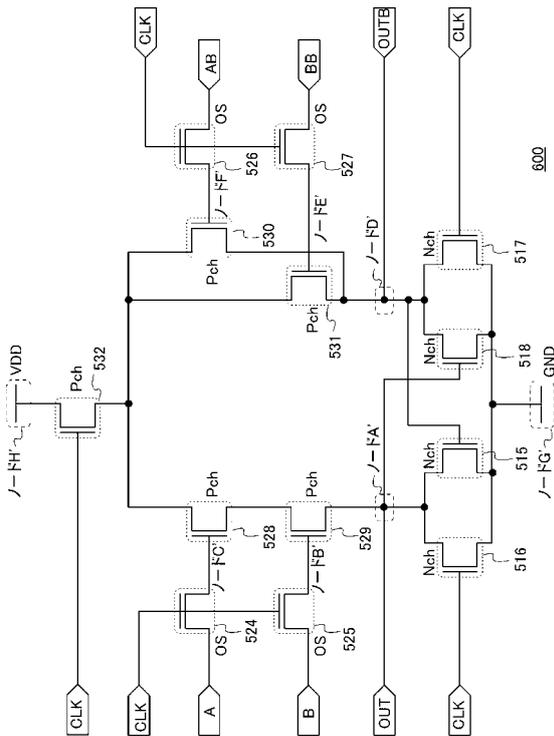
【 2 1 】



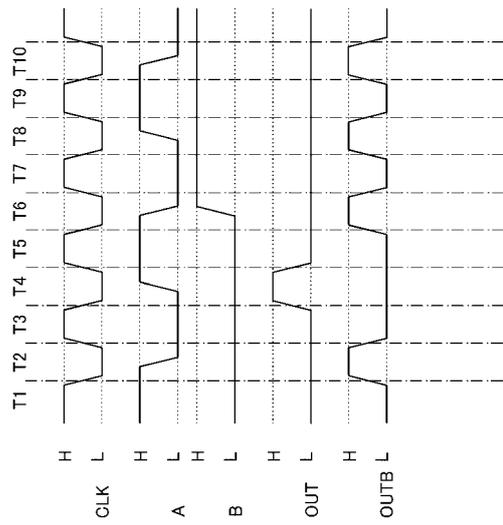
【 2 2 】



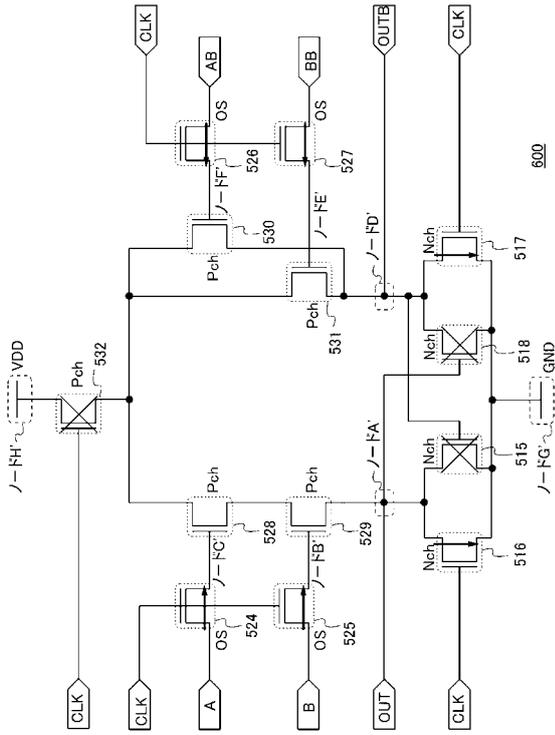
【 2 3 】



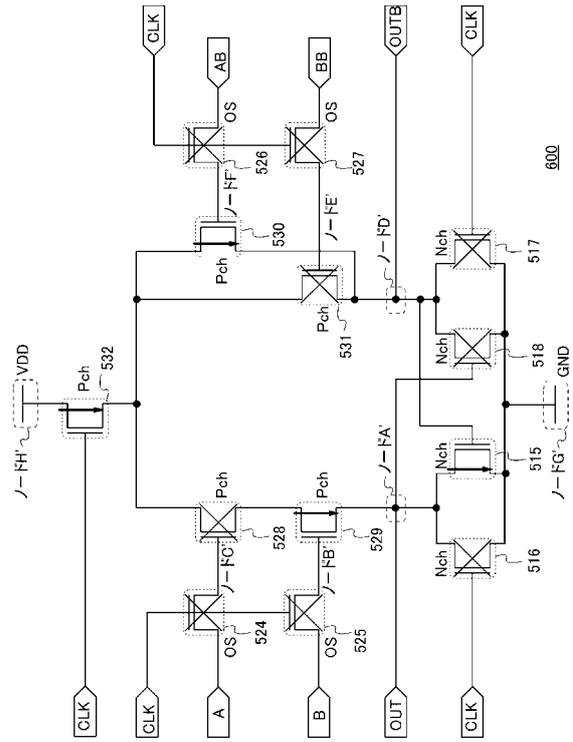
【 2 4 】



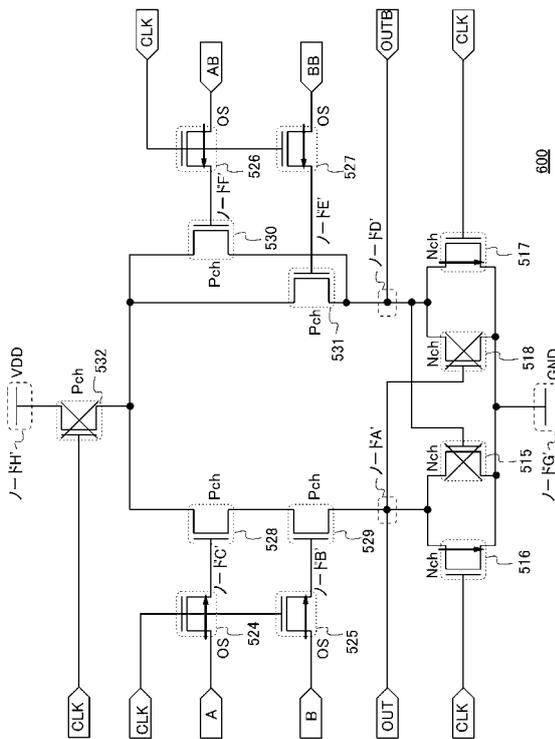
【 2 5 】



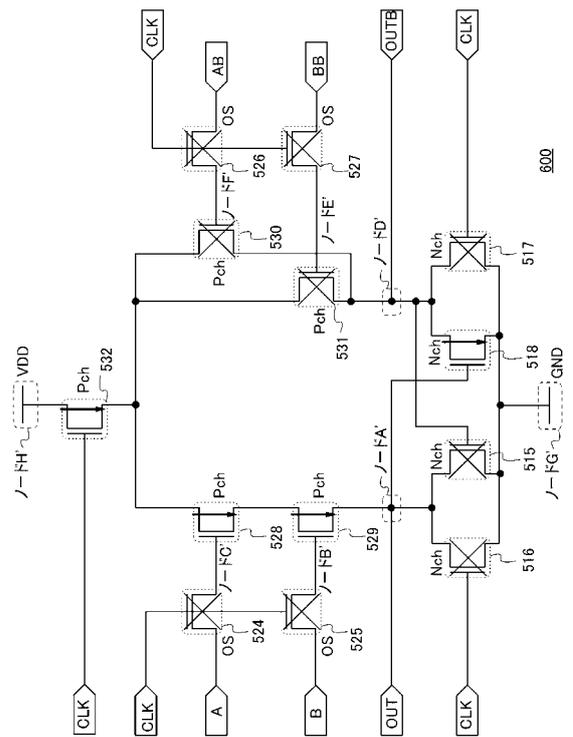
【 2 6 】



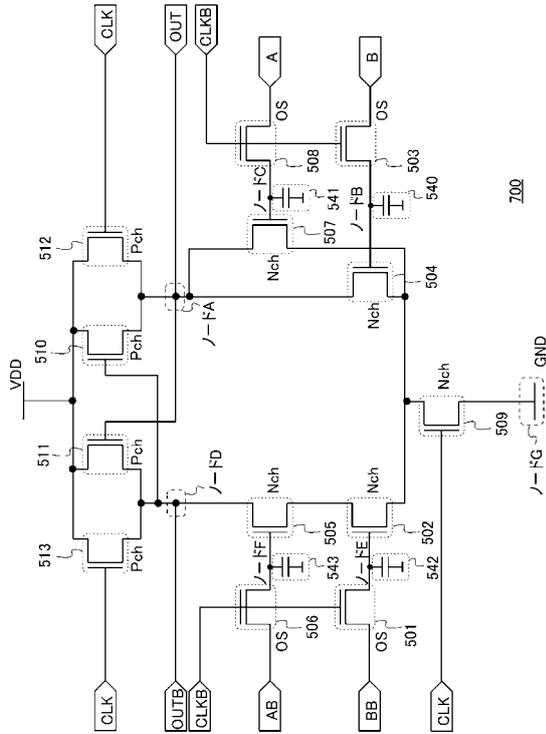
【 2 7 】



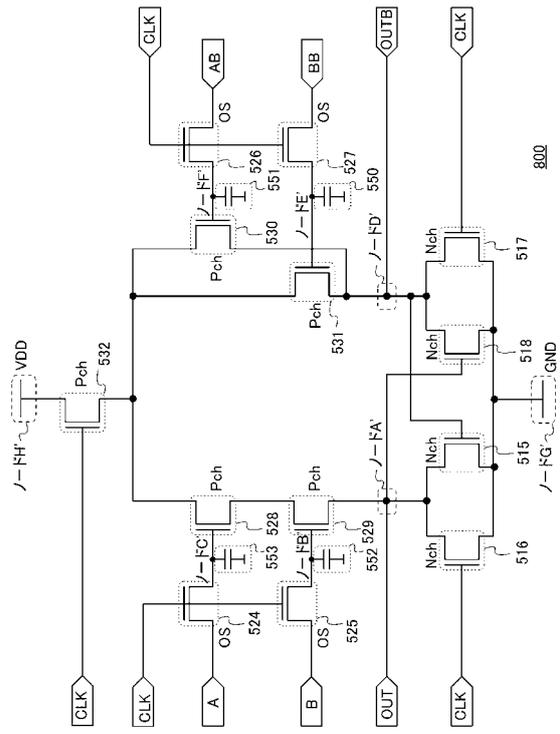
【 2 8 】



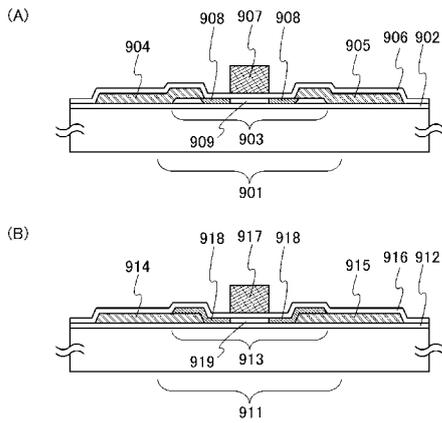
【 図 2 9 】



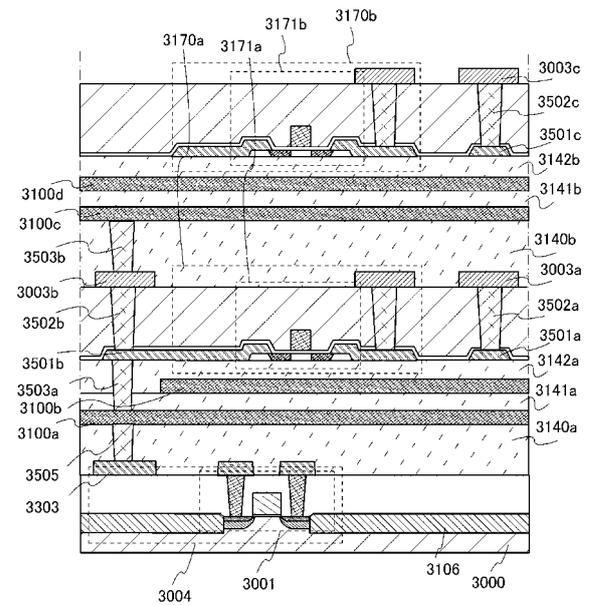
【 図 3 0 】



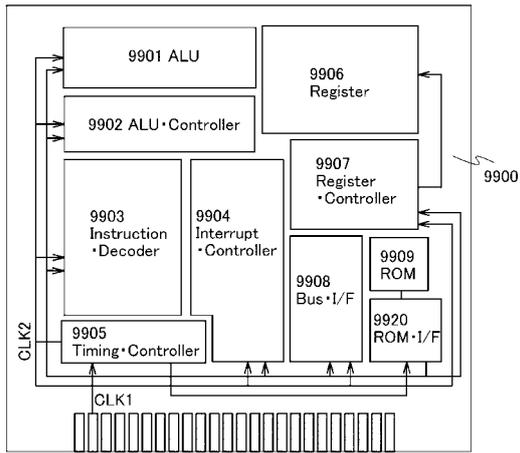
【 図 3 1 】



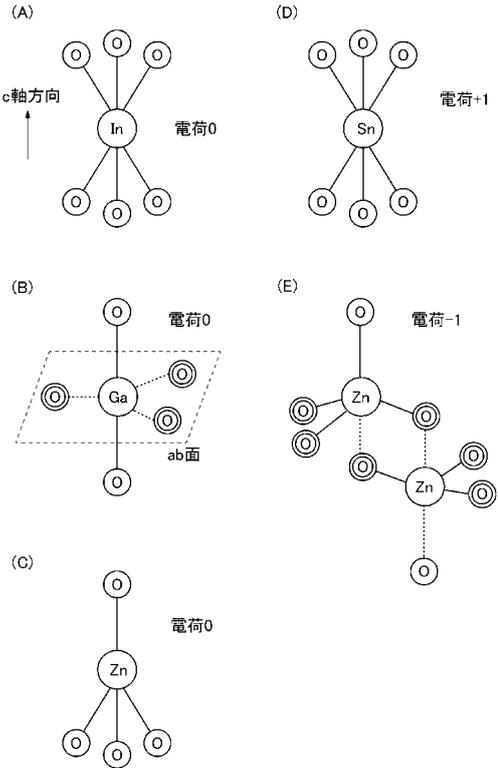
【 図 3 2 】



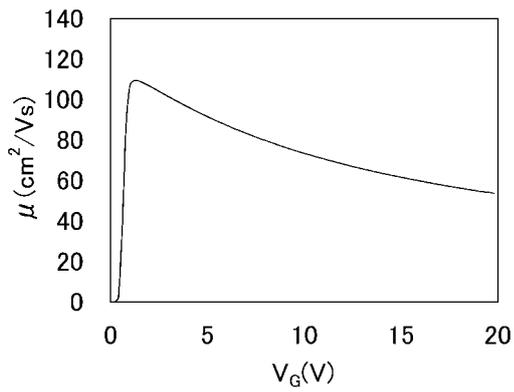
【 図 3 3 】



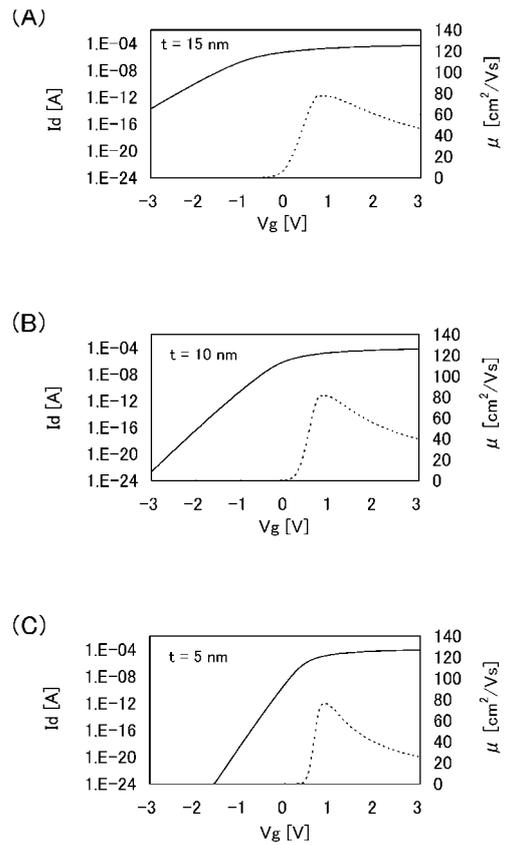
【 図 3 4 】



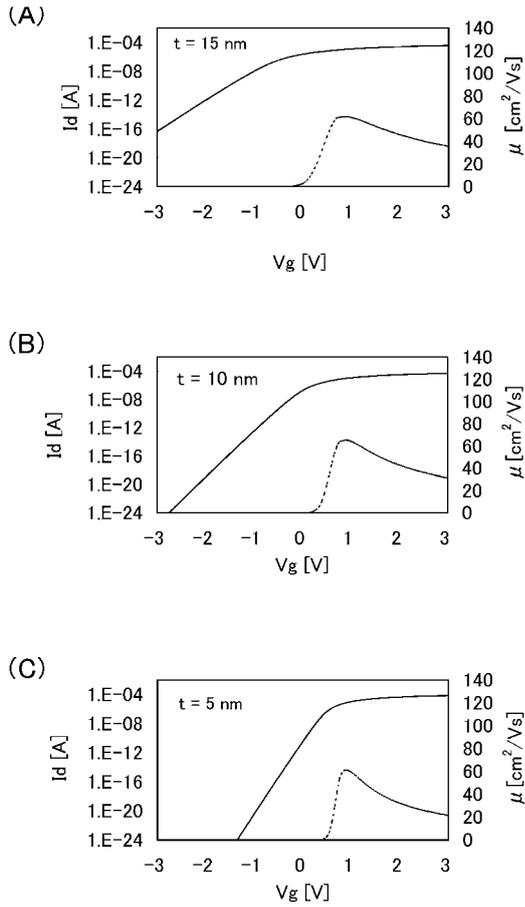
【 図 3 8 】



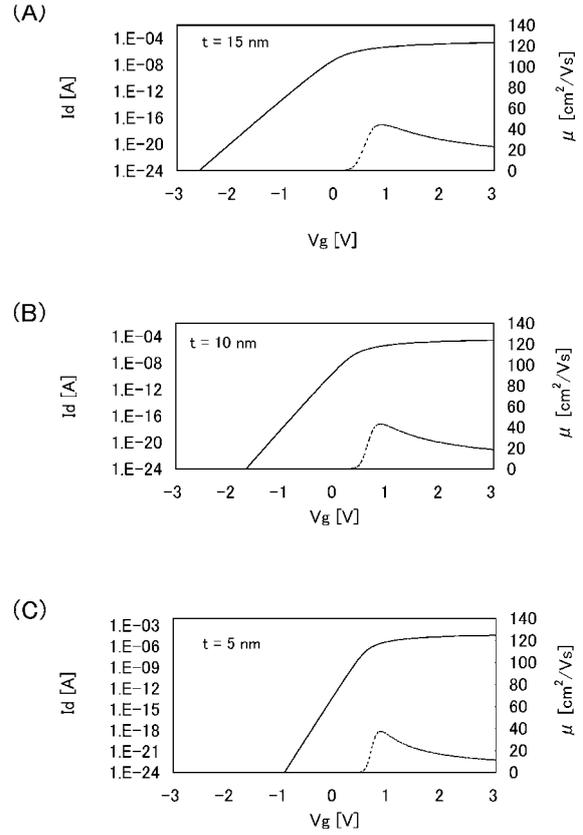
【 図 3 9 】



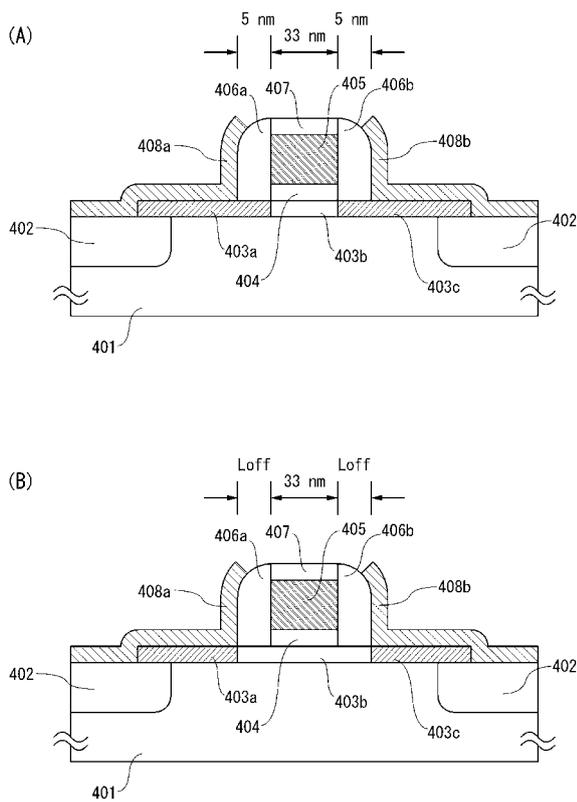
【 図 4 0 】



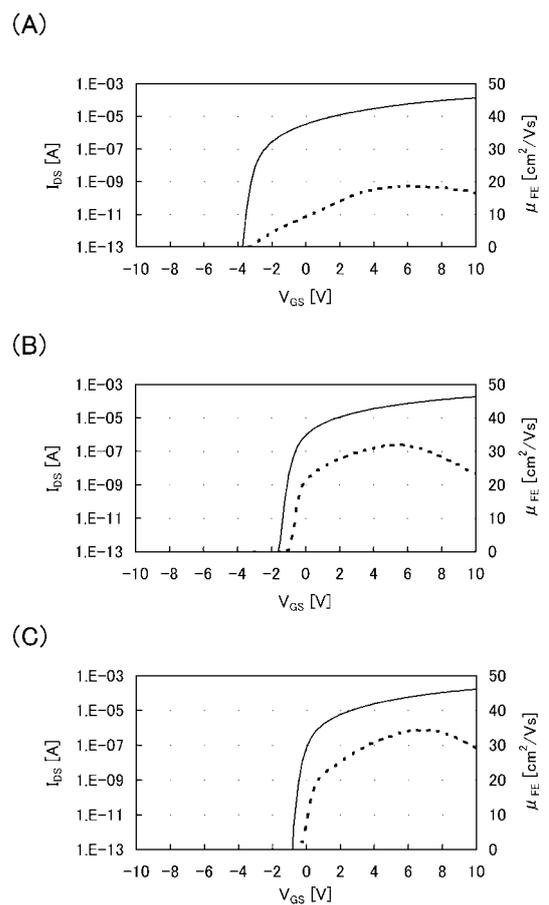
【 図 4 1 】



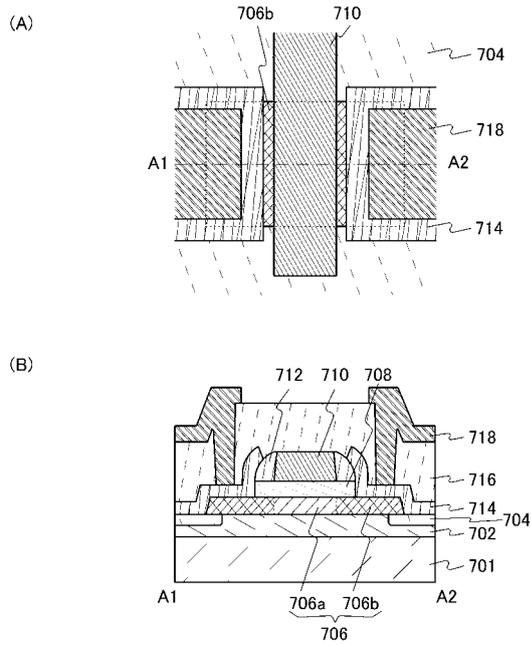
【 図 4 2 】



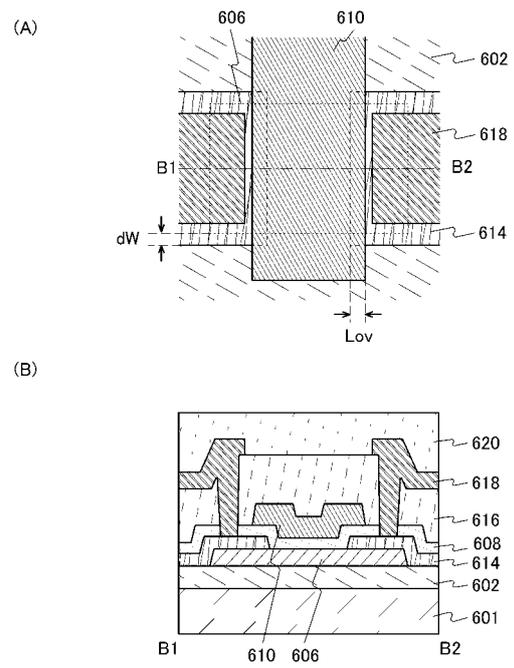
【 図 4 3 】



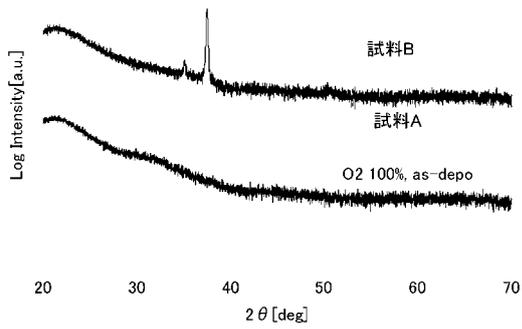
【 図 4 4 】



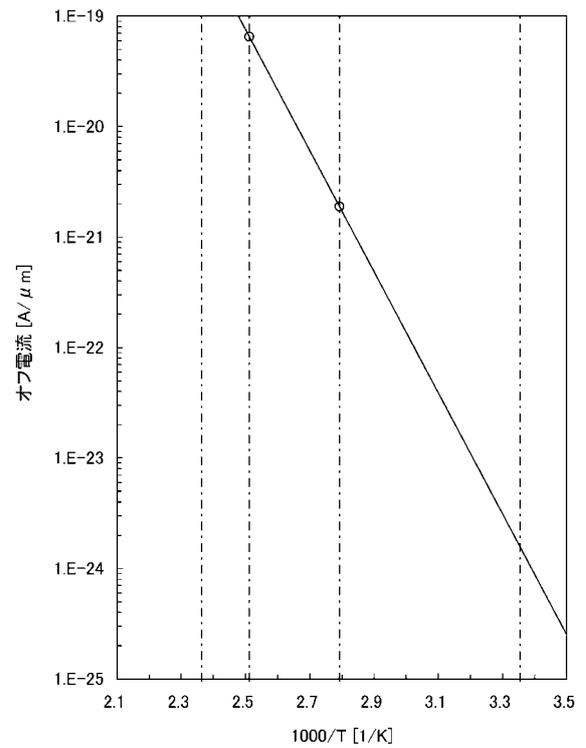
【 図 4 5 】



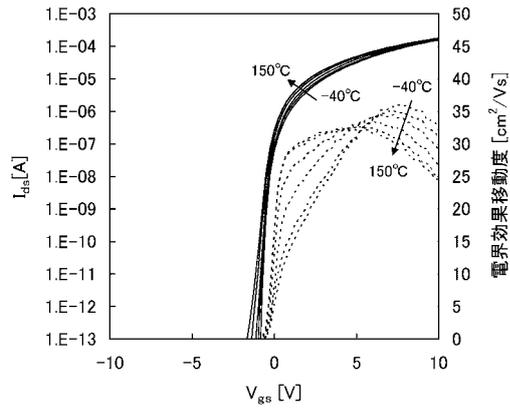
【 図 4 6 】



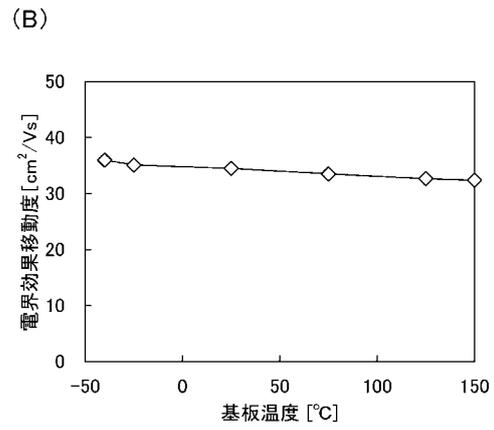
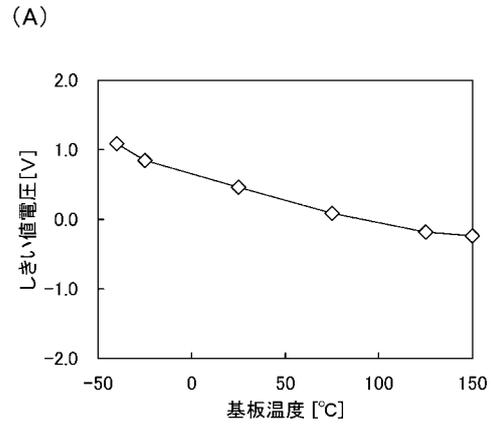
【 図 4 7 】



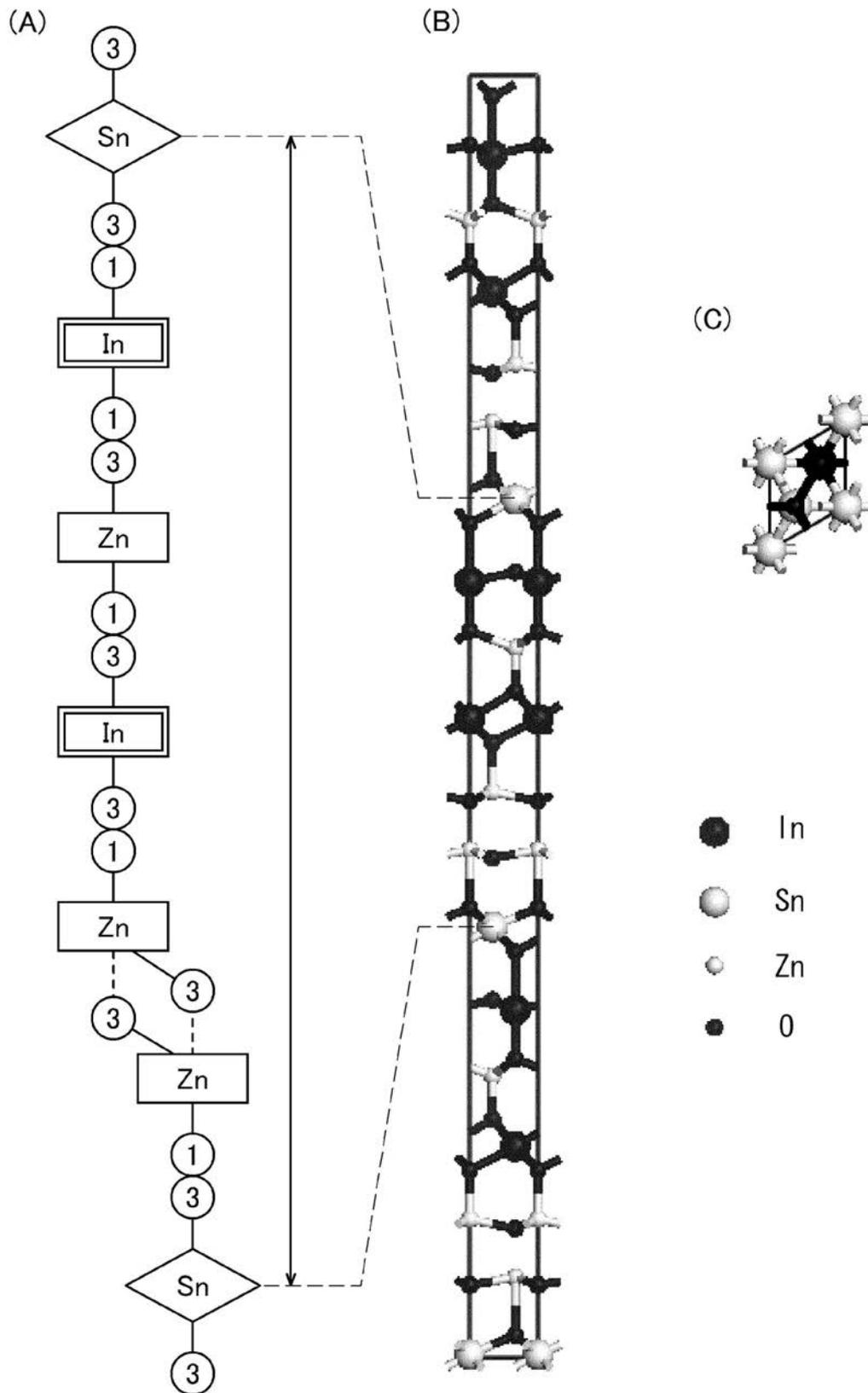
【 図 4 8 】



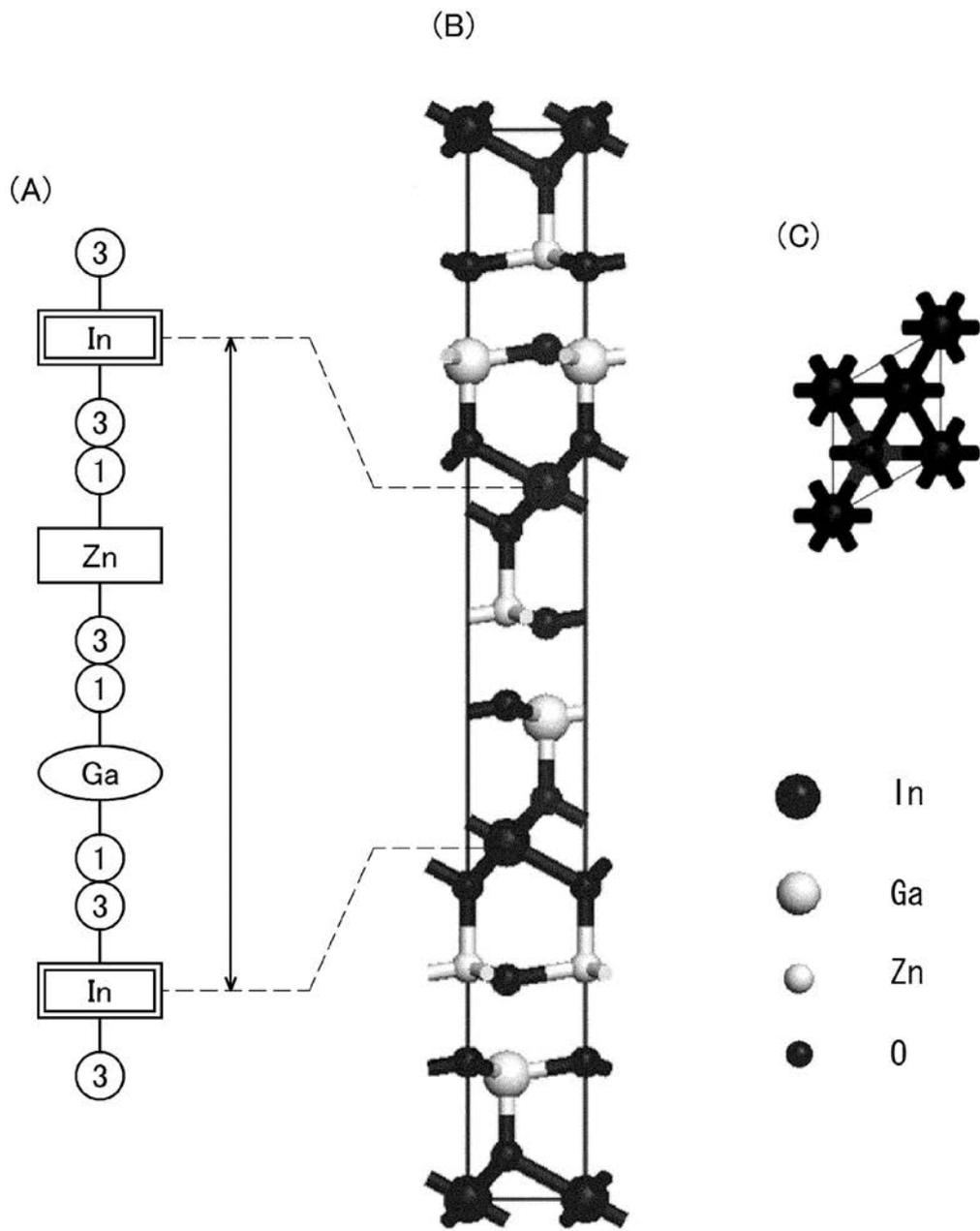
【 図 4 9 】



【 図 3 5 】

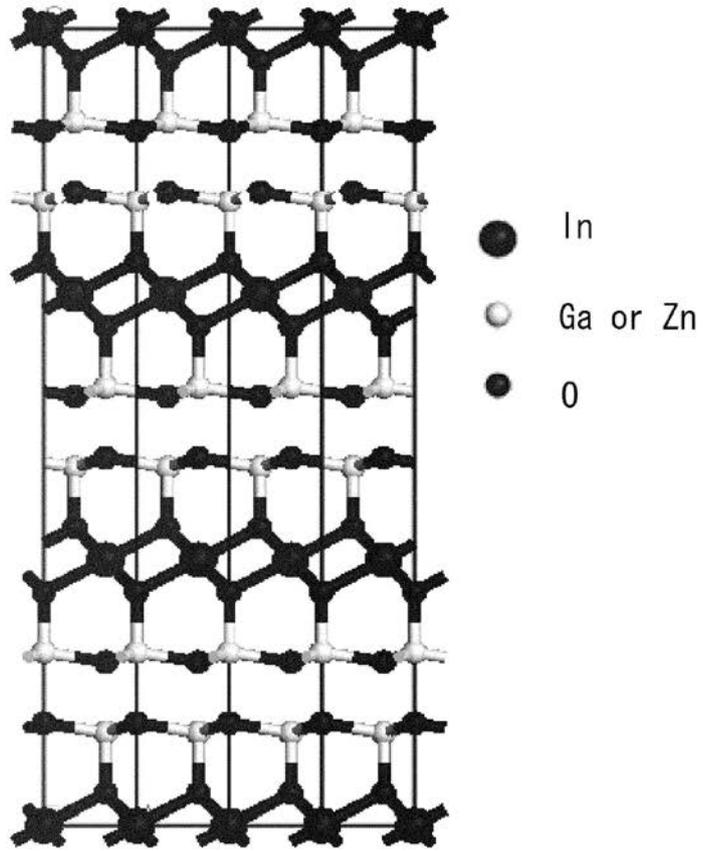


【 図 3 6 】



【 図 3 7 】

(A)



(B)

