

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94127615

※申請日期：94-8-12

※IPC 分類：H01L 29/072, 21/335

## 一、發明名稱：(中文/英文)

具有線通道之場效應電晶體及其製造方法

FIELD EFFECT TRANSISTOR (FET) HAVING WIRE CHANNELS  
AND METHOD OF FABRICATING THE SAME

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

尹鍾龍

YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, KOREA

國籍：(中文/英文)

韓國

REPUBLIC OF KOREA

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 金成玟  
KIM, SUNG-MIN
2. 黎明  
LI, MING
3. 尹恩貞  
YUN, EUN-JUNG

國 籍：(中文/英文)

1. 韓國           REPUBLIC OF KOREA
2. 中國           PEOPLE'S REPUBLIC OF CHINA
3. 韓國           REPUBLIC OF KOREA

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2004 年 09 月 07 日；10-2004-0071225

2. 美國；2005 年 03 月 09 日；11/074,900

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於場效應電晶體(FET)及其製造方法。更特定言之，本發明係關於具有複數個線通道的FET及其製造方法。

### 【先前技術】

隨著半導體裝置應用的擴展，日益需要高度整合及/或高速半導體裝置。隨著半導體裝置之整合密度增加，設計規則變得更小。由於減小之設計規則，場效應電晶體(FET)之通道長度及通道寬度同樣減小。通道長度之減少可導致短通道效應。通道寬度之減小可導致窄通道效應。短通道效應可顯著地影響通道區域上方之源極/汲極區域中的電位。窄通道效應可增大臨限電壓。為嘗試防止產生短通道效應及/或窄通道效應，已提議多種具有新結構之FET。

最近，尤其在半導體領域中之奈米尺寸技術方面，已做出努力以增加電晶體之驅動電流且減少短通道效應。按照慣例，為嘗試達成此等結果已使用若干方法。此等嘗試之實例包括凹陷通道陣列電晶體(RCAT)、鰭型FET(FinFET)及全面閘極電晶體(GAT)。前述嘗試之一實例揭示於美國專利申請案第2004/0063286號中，該申請案以引用的方式併入本文中。

此等習知裝置及製造此等裝置之相應方法中之每一者均遭受一或多個缺點。舉例而言，此等習知裝置執行快速運作之能力受限制。此外，此等習知裝置中隔離之通道層之

數目由於製造限制(例如關於在乾式蝕刻期間可達成之蝕刻深度)而受限制。

因此，需要一種能夠藉由使用多個線通道而增加電流負載之FET及一種能夠藉由控制該等線通道並藉由分離FET之源極及汲極區域以防止擊穿現象而減少短通道效應之FET。

## 【發明內容】

本發明因此針對一具有複數個線通道的場效應電晶體(FET)及其製造方法，其大體上克服了歸因於先前技術之限制及缺點的問題中之一或多者。

本發明之一實施例之特徵在於提供一具有複數個線通道的FET及其製造方法，其可防止發生短通道效應及窄通道效應。

本發明之一實施例的另一特徵在於提供一具有複數個線通道的FET及其製造方法，其可增加相應半導體裝置之運作速度。

本發明之一實施例的又一特徵在於提供一具有複數個線通道的FET及其製造方法，在該FET中，線通道由一閘電極完全環繞，其有助於藉由該閘電極控制該通道，藉此防止短通道效應且最小化形成於該線通道之外表面上之反轉區域。

本發明之一實施例的再一特徵在於提供一具有複數個線通道的FET及其製造方法，在該FET中，增加通道之寬度以防止窄通道效應。

一場效應電晶體(FET)可提供上述特徵之至少一者及其他優點，該FET包括一半導體基板；形成於該半導體基板上之源極及汲極區域；電連接該等源極及汲極區域之複數個線通道，該等複數個線通道按兩行及至少兩列配置；及一環繞該等複數個線通道的閘極介電層及一環繞該閘極介電層及該等複數個線通道之每一者的閘電極。

在此FET中，該等複數個線通道之每一者均可由單晶矽形成。位於最上層列中之複數個線通道之每一者可具有第一尺寸且位於最下層列中之複數個線通道之每一者可具有第二尺寸，且第一尺寸與第二尺寸可不同。第一尺寸可小於第二尺寸。第一尺寸可大於第二尺寸。

此外，複數個線通道之列數可為三。在此情況下，中層列可具有第三尺寸，第三尺寸可在第一尺寸與第二尺寸之間。複數個線通道之每一列的尺寸可小於該等複數個線通道之一下層列之尺寸且大於該等複數個線通道之一上層列之尺寸，以使得最上層列中之複數個線通道可具有最小尺寸且最下層列中之複數個線通道可具有最大尺寸。

一場效應電晶體(FET)可提供上述特徵之至少一者及其他優點，該FET具有一半導體基板；形成於該半導體基板上之源極及汲極區域；複數個由單晶矽形成之線通道，該等複數個線通道電連接該等源極及汲極區域，該等複數個線通道按兩行及至少一列配置；一環繞該等複數個線通道之每一者的閘極介電層及一環繞該閘極介電層及該等複數個線通道之每一者的閘電極。

在任一FET中，半導體基板可為單晶矽或絕緣物上矽(SOI)基板。源極及汲極區域可由選自由單晶矽、多晶矽、金屬及金屬矽化物之群之材料形成。

複數個線通道之每一者均可具有大體上為正方形之形狀且該等複數個線通道之每一者之厚度可小於約30 nm。或者，複數個線通道之每一者可具有大體上為圓形之形狀且該等複數個線通道之每一者可具有小於約30 nm的直徑。

任一FET可進一步包括一形成於源極及汲極區域之間半導體基板之上層區域中的通道形成防止層，該通道形成防止層可操作以防止底部電晶體之運作。通道形成防止層可由絕緣材料或半導體基板之摻有雜質之區域形成。

任一FET可進一步包括一插入源極及汲極區域與閘電極之間的短路防止絕緣層，該短路防止絕緣層可操作以防止源極及汲極區域與閘電極之間的短路。短路防止絕緣層可為矽熱氧化物或矽氧化物。

可使源極及汲極區域與半導體基板分開預定之距離。

線通道之最上層列之上表面可與源極及汲極區域之上表面齊平。或者，線通道之最上層列之上表面可低於源極及汲極區域之上表面。

閘極介電層可為矽熱氧化物膜且可具有約50 Å至100 Å之間的厚度。

閘電極可為由摻有雜質之多晶矽、金屬矽化物或摻有金屬雜質之多晶矽形成的單膜。或者，閘電極可為由至少兩層摻有雜質之多晶矽、金屬矽化物或金屬雜質形成的複合

膜。

一製造一場效應電晶體(FET)之方法可提供上述特徵之至少一者及其他優點，該方法包括：在半導體基板上形成一通道形成準備層，該通道形成準備層包括依序堆疊於半導體基板上的一第一犧牲層、一第一通道層、一第二犧牲層及一第二通道層；在該通道形成準備層上形成一硬式遮罩層；圖案化該硬式遮罩層及該通道形成準備層，從而界定半導體基板之作用區域；圖案化該硬式遮罩層以使該硬式遮罩層變窄，藉此暴露該通道形成準備層之上表面之邊緣部分；在半導體基板上形成一第一介電層以覆蓋該變窄之硬式遮罩層及該通道形成準備層，然後平坦化該第一介電層以暴露該變窄之硬式遮罩層；圖案化該第一介電層及該變窄之硬式遮罩之一部分以移除該變窄之硬式遮罩層之一部分，藉此形成一虛設閘極圖案且暴露該通道形成準備層之一部分；選擇性地蝕刻與該虛設閘極圖案相鄰之該通道形成準備層之暴露部分以暴露半導體基板；選擇性地在暴露之半導體基板上成長一磊晶層以形成與該通道形成準備層相鄰的源極及汲極圖案；在包括該虛設閘極及該等源極及汲極圖案之半導體基板上形成一第二介電層且然後平坦化該第二介電層以暴露該虛設閘極圖案；選擇性地蝕刻剩餘之硬式遮罩層以移除剩餘之硬式遮罩層，藉此暴露該通道形成準備層之一部分且然後蝕刻該通道形成準備層的暴露部分以暴露半導體基板；移除該第二介電層及該第一介電層之一上部分以暴露剩餘在半導體基板上之該通道形



成準備層之側壁；選擇性地蝕刻該通道形成準備層以移除該第一及該第二犧牲層，藉此自該第一及該第二通道層形成複數個線通道；在半導體基板上形成一閘極介電層以環繞該等複數個線通道之每一者；在該閘極介電層上形成一閘電極以形成一環繞該等複數個線通道的閘極。

一製造一場效應電晶體(FET)之方法可提供上述特徵之至少一者及其他優點，該方法包括：在半導體基板上形成一通道形成準備層，該通道形成準備層包括依序堆疊於半導體基板上的一犧牲層及一通道層，該通道層由單晶矽形成；在該通道形成準備層上形成一硬式遮罩層；圖案化該硬式遮罩層及該通道形成準備層以界定半導體基板之作用區域；圖案化該硬式遮罩以使該硬式遮罩層變窄，藉此暴露該通道形成準備層之上表面之邊緣部分；在半導體基板上形成一第一介電層以覆蓋該變窄之硬式遮罩層及該通道形成準備層，然後平坦化該第一介電層以暴露該變窄之硬式遮罩層；圖案化該第一介電層及該變窄之硬式遮罩層之一部分以移除該變窄之硬式遮罩層之一部分，藉此形成一虛設閘極圖案且暴露該通道形成準備層之一部分；選擇性地蝕刻與該虛設閘極圖案相鄰之該通道形成準備層之暴露部分以暴露半導體基板；選擇性地在暴露之半導體基板上成長一磊晶層以形成與該通道形成準備層相鄰的源極及汲極圖案；在包括該虛設閘極及該等源極及汲極圖案之半導體基板上形成一第二介電層且然後平坦化該第二介電層以暴露該虛設閘極圖案；選擇性地蝕刻剩餘之硬式遮罩層以

移除該剩餘硬式遮罩層，藉此暴露該通道形成準備層之一部分且然後蝕刻該通道形成準備層之暴露部分以暴露半導體基板；移除該第二介電層及該第一介電層一之上部分以暴露剩餘在半導體基板上之該通道形成準備層的側壁；選擇性地蝕刻該通道形成準備層以移除該犧牲層，藉此自該通道層形成複數個單晶矽線通道；在半導體基板上形成一閘極介電層以環繞該等複數個線通道之每一者；在該閘極介電層上形成一閘電極以形成一環繞該等複數個線通道之每一者的閘極。

#### 【實施方式】

於2004年9月7日向韓國知識產權局申請，且題為："Metal-Oxide-Semiconductor Transistor Comprising Multiple Wire Bridge Channels and Method of Manufacturing the Metal-Oxide-Semiconductor Transistor"之韓國專利申請案第2004-71225號以全文引用的方式併入本文中。

現將關於附圖在下文中更充分地描述本發明，在該等附圖中展示本發明之例示性實施例。然而，本發明可體現為不同形式且不應被解釋為限於本文所陳述之該等實施例。相反，提供此等實施例以使得本揭示內容將徹底且完全，且將向熟習此項技術者充分傳達本發明之範疇。在圖式中，為清晰起見，誇大了層及區域之厚度。亦應瞭解，當一層被稱為在另一層或基板"上"時，其可直接在另一層或基板上，或介入層亦可存在。另外應瞭解，當一層被稱為

在另一層"下"時，其可直接在另一層下，且一或多個介入層亦可存在。此外亦應瞭解，當一層被稱為在兩層"之間"時，其可為兩層之間的唯一層，或一或多個介入層亦可存在。不同圖式中的相同參考數字表示相同元件。

### 場效應電晶體(FET)

圖1A至圖1C說明根據本發明之多種實施例之場效應電晶體(FET)的作用圖案之透視圖。

參考圖1A，FET之作用圖案包括一對具有相應源極/汲極區域42的源極/汲極圖案40，及複數個下層線通道12e及上層線通道14e。下層線通道12e及上層線通道14e電連接該等源極/汲極區域42。儘管未加以說明，但可在半導體基板上形成該作用圖案。

線通道12e及線通道14e可平行於該等源極/汲極圖案40之每一者之底面或一半導體基板(圖3A之100)之上表面，該半導體基板位於該等源極/汲極圖案40下方。

源極/汲極圖案40可被形成為各具有一預定厚度、一預定寬度及一預定長度。舉例而言，如所說明，源極/汲極圖案40可為矩形固體。考慮到FET之源極/汲極的電特性，可將該等源極/汲極圖案40之每一者設為具有一適當尺寸，例如 $l_1 \times l_2 \times l_3$ 。在圖1A至圖1C中，考慮到設計規則，將該等源極/汲極圖案40之每一者之一厚度 $l_1$ 設為一適當尺寸。考慮到設計規則、線通道12e及線通道14e之尺寸、線通道之行數及相鄰行之間的時間隔，將該等源極/汲極圖案40之每一者之一寬度 $l_2$ 設為一適當尺寸。考慮到設計規則、線通道12e及線

通道14e之尺寸、線通道之列數及相鄰列之間的時間隔，可將該等源極/汲極圖案40之每一者之一高度 $l_3$ 設為一適當尺寸。

源極/汲極區域42界定於源極/汲極圖案40內。源極/汲極區域42可占相應源極/汲極圖案40之整個區域(如圖4A中可見)，或可僅占源極/汲極圖案40之整個區域之一部分(如例如图1A至圖1C及圖3A、3C及3D中可見)。因此，如图3A、3C及3D中可見，在半導體基板100與源極/汲極圖案140內之源極/汲極區域142之間可存在一間隙。因此源極/汲極區域42之底面可與源極/汲極圖案40之底面齊平或高於源極/汲極圖案40之底面。較佳分離源極/汲極區域與半導體基板，意即後一情況，以防止一通道在位於源極/汲極圖案40下方之半導體基板內形成。此外，此配置能夠減少漏電流流入半導體基板中。

源極/汲極圖案40可由單晶矽(Si)、多晶矽、金屬、金屬矽化物或另一合適材料形成。當源極/汲極圖案40由單晶矽或多晶矽形成時，源極/汲極區域42可植入有雜質離子以界定源極/汲極區域42。當源極/汲極圖案40由金屬或金屬矽化物形成時，源極/汲極區域42占源極/汲極圖案40的整個區域。當源極/汲極圖案40植入有雜質離子時，源極/汲極區域42之底面可被控制為等於或高於源極/汲極圖案40之底面。此外，源極/汲極區域42可經形成為在垂直於至少兩列線通道12e及14e之方向內具有預定摻雜輪廓。因此，儘管線通道12e及14e之列數可增加，但可保持統一之源極/汲極

接面電容。

圖1A說明一例示性配置，其中由單晶Si形成之線通道12e及14e按兩列×兩行排列，其各自與另一者分開預定之距離。在本發明中，線通道可按至少一列及至少兩行排列。

儘管主要說明兩列及兩行線通道之例示性配置，但本發明並不限於此類一構型。舉例而言，可如圖1B所示形成單一系列線通道或可如圖1C所示形成三列線通道。圖1B說明一例示性配置，其中由單晶矽形成的線通道12e按一列×兩行而排列。因此，圖1B僅包括按單一系列排列的兩下層線通道12e。圖1C說明另一例示性配置，其中由單晶矽形成的線通道12e、14e及16e按三列×兩行而排列。因此，圖1C包括兩下層線通道12e、兩中層線通道14e及兩上層線通道16e。

圖1D係根據本發明之一實施例之FET的垂直掃描電子顯微照片。

如圖1D中可見，最上層列中之複數個線通道之每一者具有一第一尺寸，例如直徑或寬度，且最下層列中之該等複數個線通道之每一者具有一第二尺寸，且該第一尺寸與該第二尺寸不同。在圖1D中，第一尺寸被說明為小於第二尺寸。如圖1C所示，在包括三列的實施例中，一中間列具有一第三尺寸，該第三尺寸在該第一尺寸與該第二尺寸之間。因此，該等複數個線通道之每一列之尺寸可小於該等複數個線通道之一下層列之尺寸且大於該等複數個線通道之一上層列之尺寸，以使得最上層列中之複數個線通道可具有最小尺寸，且最下層列中之複數個線通道可具有最大

尺寸。

如上所述，線通道12e之一最下層列之底面可等於或高於源極/汲極圖案40之底面。線通道之最下層列之底面宜高於源極/汲極圖案之底面，藉此在線通道12e與半導體基板之間提供一間隙。當線通道12e之最下層列之底面等於源極/汲極圖案40之底面時，最下層列中之線通道12e與半導體基板100接觸，藉此允許流經線通道12e之電流漏入半導體基板100中。

此外，最上層列中之線通道(例如圖1A中之14e)之上表面可等於源極/汲極圖案40之上表面(如圖1C中可見)或低於源極/汲極圖案40之上表面(如圖1A及圖1B中可見)。較佳將最上層列中之線通道之上表面形成為低於源極/汲極圖案40之上表面以防止在製造FET期間破壞最上層列中之線通道14e，藉此改良FET的可靠性。

考慮到設計規則及其它需要考慮的事項，將線通道12e及14e之長度 $C_1$ 設為一適當尺寸。可充分地設置每一線通道之橫截面形狀及/或尺寸以改良FET之電特性，特定言之，電流特性。線通道12e及14e之橫截面形狀較佳可為於其中可形成各向同性通道的形狀。舉例而言，根據本發明之一實施例之線通道可具有大體上為正方形、矩形、橢圓形或圓形之橫截面形狀。此外，每一線通道之橫截面尺寸可小於約30 nm以形成完全空乏通道。儘管本文例示性地論述橫截面形狀及尺寸，但本發明之線通道之橫截面形狀及尺寸並不限於此等例示性形狀及尺寸。

圖2說明沿圖1A之線A-A'取得之線通道之橫截面形狀的多種實例。參看圖2，線通道12e及14e可具有大體上為圓形、正方形、橢圓形或矩形之橫截面。當線通道12e及14e具有大體上為圓形之橫截面時，線通道12e及14e之形狀自所有方向檢視均幾乎相同。因此，當將施加預定電壓至閘電極時，可在線通道12e及14e中形成統一電場。具有大體上圓形橫截面之線通道112e及114e充當完全各向同性之通道，且因此，在具有大體上圓形橫截面之線通道中流動的電流多於在具有大體上矩形橫截面之線通道中流動的電流。

較佳地，線通道12e及14e之橫截面足夠大以在施加預定電壓至閘電極時使整個通道完全空乏。使線通道12e及14e成為完全空乏型線通道之橫截面尺寸 $C_2$ 、 $C_3$ 及 $C_4$ 可取決於閘極電壓、閘極絕緣膜之特性及厚度，及通道之摻雜度而改變。若一反轉層約為10 nm厚(如在電流平坦電晶體中)，則線通道12e及14e之橫截面尺寸 $C_2$ 、 $C_3$ 及 $C_4$ 較佳可約為10 nm與40 nm之間，更佳為小於30 nm，例如約25 nm。

圖3A說明根據本發明之一實施例之FET的示意性透視圖。圖3B、3C及3D說明分別沿圖3A之線X-X'、 $Y_1$ - $Y_1'$ 及 $Y_2$ - $Y_2'$ 取得之橫截面。

參看圖3A至圖3D，該FET包括一半導體基板100、一對包括相應源極/汲極區域142之源極/汲極圖案140、線通道112e及114e之例示性兩×兩陣列、一閘極絕緣膜182a及一用作閘電極之導電圖案184。構成作用圖案的源極/汲極圖案140及

線通道112e及114e之兩×兩陣列，大體上與先前描述之元件相同，且將不再重複其描述。在本實施例中，線通道112e及114e之橫截面大體上為圓形。或者，線通道112e及114e之橫截面可大體上為橢圓形。

半導體基板100可由例如單晶矽之半導體材料形成。舉例而言，半導體基板100可為主體Si基板或絕緣物上矽(SOI)基板。可在半導體基板100中形成一隔離區域(未圖示)。在此情況中，該作用圖案被定位於半導體基板100之除形成有該隔離區域之部分之外的一部分上。

界定於源極/汲極圖案140內之源極/汲極區域142，及線通道112e及114e並非界定於半導體基板100內而是界定於半導體基板100上。在半導體基板100上使該等源極/汲極圖案140相互分開預定之距離。線通道112e及114e插入該等源極/汲極圖案140之間以電連接該等源極/汲極區域142。

在該等線通道112e及114e之每一者之外圓周上及周圍形成閘極介電層182a，例如閘極絕緣膜。更具體言之，閘極絕緣膜182a插入用作閘電極的導電圖案184與線通道112e及114e之間。閘極絕緣膜182a可為矽熱氧化物膜，且考慮到設計規則或半導體裝置之電特性，其可具有一適當厚度。舉例而言，閘極絕緣膜182a可為具有約50 Å至100 Å之厚度之Si熱氧化物膜。

用作閘電極之導電圖案184環繞閘極絕緣膜182a且被提供於該等源極/汲極圖案140之間。如圖3A所示，用作閘電極之導電圖案184可在垂直於線通道112e及114e延伸之方



向的方向內伸長，且可形成閘極線，其與鄰近單元之用於閘電極的導電圖案一起充當字線。

用作閘電極之導電圖案184可為由導電材料，例如摻有雜質之多晶矽、金屬矽化物或金屬，所形成的單一膜；或可為由至少兩種該等導電材料，例如多晶矽與一具有小於多晶矽之電阻的特殊電阻的導電材料，所形成的複合膜。在本實施例中，用作閘電極之導電圖案184可為由多晶矽形成之單一膜。

可另外在根據本發明之FET中提供一短路防止絕緣層182b。在本實施例中，如圖3C及圖3D所示，該短路防止絕緣層182b被提供於用作閘電極的導電圖案184與源極/汲極圖案140之間以防止導電圖案184接觸源極/汲極圖案140。該短路防止絕緣層182b可為單一絕緣膜或複合絕緣膜。儘管形成該短路防止絕緣層182b之絕緣材料並不受嚴格限制，但是鑒於FET之製造製程，該短路防止絕緣層182b較佳為在用於形成閘極絕緣膜182a之熱氧化期間形成的Si熱氧化物，或為在形成用作閘電極之導電圖案184之後層間絕緣膜的形成期間沈積之矽氧化物(SiO<sub>2</sub>)。

圖4A說明根據本發明之另一實施例之FET的示意性透視圖。圖4B、4C及4D說明分別沿圖4A之線X-X'、Y<sub>1</sub>-Y<sub>1</sub>'及Y<sub>2</sub>-Y<sub>2</sub>'取得之橫截面。

參看圖4A至圖4D，在半導體基板200a中形成一隔離區域205。該隔離區域205由諸如SiO<sub>2</sub>之絕緣材料形成。半導體基板200a由該隔離區域205所環繞之區域為作用區域。

在半導體基板200a之作用區域中形成一通道形成防止層270。該通道形成防止層270防止一通道形成於該半導體基板200a內。更具體言之，該通道形成防止層270防止尤其在源極/汲極圖案240之間的間隔較窄時可導致短通道效應之底部電晶體的運作。可在半導體基板200a之一區域中形成通道形成防止層270，線通道212d及214d定位於該區域上方。在此情況中，通道形成防止層270自半導體基板200a之上表面向下延伸一預定深度。

通道形成防止層270可為絕緣材料層，或更佳為摻有高濃度之雜質離子的區域，以防止載子之移動。若使用摻有p<sup>+</sup>雜質離子之p型半導體基板200a且載子為電子，則通道形成防止層270可為p型半導體基板200a之一部分。

在本實施例中，源極/汲極區域242占源極/汲極圖案240之整個區域。即使當源極/汲極區域242占源極/汲極圖案240之整個區域時，源極/汲極圖案240仍可由導電材料，例如單晶矽、多晶矽、金屬、金屬矽化物或其它導電材料所形成。當源極/汲極區域242占源極/汲極圖案240之整個區域時，基極電晶體運作的可能性會增加。

根據本發明，線通道212d及214d可具有大體上為正方形或矩形之橫截面形狀，其與習知平板形狀相對。在本發明之此實施例中，如圖4B中可見，線通道212d及214d可具有大體上正方形之橫截面形狀。

線通道212d及214d具有尺寸約為10 nm至40 nm之橫截面，因此其可形成完全空乏型通道。如上所述，線通道212d

及214d按兩列×兩行而排列。此外，上層線通道214d之上表面低於源極/汲極圖案240之上表面。

在本發明之此實施例中，用作閘電極之導電圖案284為多晶矽膜284a與金屬矽化物膜284b之複合膜。此構型為有利的，因為多晶矽膜284a提供優良之間隙填補特性且金屬矽化物膜284b具有小電阻。詳言之，如下文將描述，優良之間隙填補特性有助於製造FET。因此，當用作閘電極之導電圖案284包括多晶矽膜284a及金屬矽化物膜284b時，可更輕易地製造導電圖案284，且可增加FET之運作速度。

如上所述，儘管根據前述實施例及本實施例之FET之每一者均包括圖1A之作用圖案，其中線通道按兩列及兩行而排列，但本發明並不限於兩×兩線通道配置。詳言之，根據前述實施例及本實施例，圖1B及圖1C所示之作用圖案亦可應用於該等FET。

如上所述，根據本發明之FET包括在源極/汲極區域之間排列成相互遠離之複數個線通道。根據本發明之一實施例之FET可為GAA FET，其中一閘電極環繞線通道之整個外部；或可為包括完全空乏型通道之FET，其中所有線通道均被反向。根據本發明之另一實施例之FET可為包括各向同性通道之FET，其中線通道具有與習知平板形橫截面形狀相對的圓形或矩形橫截面。

#### 製造場效應電晶體(FET)之方法

現將參看圖5A至17D描述根據本發明之一實施例之製造場效應電晶體(FET)的方法。具體言之，圖5A至17D說明根

據本發明之一例示性實施例之製造FET的方法中之階段，圖5A、6A、.....、及17A說明該FET之示意性透視圖，圖5B、6B、.....、及17B說明分別沿圖5A、6A、.....、及17A之線X-X'取得之橫截面，圖5C、6C、.....、13C及17C說明分別沿圖5A、6A、.....、及17A之線Y<sub>1</sub>-Y<sub>1</sub>'取得之橫截面，且圖12D、13D、14C、15C、16C及17D說明分別沿圖12A、13A、.....、及17A之線Y<sub>2</sub>-Y<sub>2</sub>'取得之橫截面。

參看圖5A至圖5C，在半導體基板100上形成一通道形成準備層110。半導體基板可為(例如)單晶矽基板或絕緣物上矽(SOI)基板。半導體基板100可包括一隔離區域(未圖示)。可使用習知製造製程，例如淺溝槽隔離(STI)製程來形成該隔離區域。然後在半導體基板100上形成一通道形成準備層110。

在本實施例中，將形成一具有例示性地按兩列×兩行排列之線通道的FET。為製造具有此一線通道構型之FET，通道形成準備層110包括依序堆疊於半導體基板100上的一第一犧牲層111、一第一通道層112、一第二犧牲層113及一第二通道層114。在將關於圖18A至圖21C加以描述之另一實施例中，通道形成準備層110可另外包括一位於該第二通道層114上之第三犧牲層(關於本實施例未圖示)。當通道形成準備層110具有一通道層作為最上層(如圖5A至圖5C所示)時，製造出其中最上層線通道之上表面等於源極/汲極圖案之上表面(如圖1C所說明)的FET。或者，當通道形成準備層110具有一犧牲層作為最上層時，製造出其中最上層線通道

之上表面低於源極/汲極圖案之上表面(如例如图 1A及 1B所說明)的FET。

作為對本發明之進一步替代，為製造其中線通道按一列×兩行排列(如图 1B所示)之FET，通道形成準備層 110僅包括第一犧牲層 111及第一通道層 112。在此替代性實施例中，在第一通道層 112上可另外形成一第二犧牲層 113。為製造其中線通道按三列×兩行排列(如图 1C所示)之FET，通道形成準備層 110包括第一犧牲層 111、第一通道層 112、第二犧牲層 113、第二通道層 114、第三犧牲層(圖 18A之 215)及一額外第三通道層(未圖示)。在此替代配置中，在該第三通道層上可另外形成一第四犧牲層(未圖示)。如自通道形成準備層 110之上述替代配置可見，線通道之多種配置在本發明之情形中是可能的。

可使用磊晶成長法形成第一及第二犧牲層 111及 113以及第一及第二通道層 112及 114以控制每一層之厚度。如有必要，可使用氫退火來平坦化第一及第二犧牲層 111及 113。較佳將第一及第二犧牲層 111及 113形成為關於第一及第二通道層 112及 114具有蝕刻選擇性。此外，第一及第二犧牲層 111及 113較佳具有與第一及第二通道層 112及 114之晶格常數相似的晶格常數。

第一及第二通道層 112及 114可由磊晶 Si(例如單晶 Si)形成。當第一及第二通道層 112及 114由磊晶 Si形成時，第一及第二犧牲層 111及 113可由磊晶鍺化矽(SiGe)形成。在本發明之情形中，通道層 112及 114由磊晶 Si形成且犧牲層 111及

113由磊晶SiGe形成。在此情況中，較佳在原處依序形成第一及第二犧牲層111及113以及第一及第二通道層112及114。

可使用分子束磊晶法形成第一及第二磊晶SiGe層111及113。為成長第一及第二磊晶SiGe層111及113，可使用SiH<sub>4</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiCl<sub>4</sub>、或Si<sub>2</sub>H<sub>6</sub>氣體作為Si源氣體，且可使用GeH<sub>4</sub>作為鍍源氣體。第一及第二磊晶SiGe層可具有約10%至30%之間的鍍濃度。考慮到最下層線通道(圖3A之112e)與半導體基板100之間所要之間隔，可將第一磊晶SiGe層111形成為預定厚度。考慮到該等線通道(圖3A之112e與114e)之間所要之間隔，可將第二磊晶SiGe層113形成為預定厚度。舉例而言，第一及第二磊晶SiGe層111及113均可具有約10 nm至40 nm之厚度。然而，第一及第二磊晶SiGe層111及113之每一者之厚度並不限於此等例示性值。

更具體言之，可使第一及第二磊晶SiGe層磊晶成長為小於約30 nm的厚度。儘管藉由降低層中之Ge濃度，可使第一及第二磊晶SiGe層成長為厚於30 nm，例如在Si<sub>0.8</sub>Ge<sub>0.2</sub>，可使一層形成為約50 nm的厚度，但難以選擇性地蝕刻一具有此大厚度之層。此外，所形成之具有大於一臨界厚度(意即約30 nm)之厚度的層可導致形成位錯。較佳地，使用Si<sub>0.7</sub>Ge<sub>0.3</sub>且使第一及第二磊晶SiGe層形成為小於約30 nm之厚度，例如約25 nm。

可使用分子束磊晶法形成第一及第二磊晶Si層112及114。為成長第一及第二磊晶Si層112及114，可使用SiH<sub>4</sub>、

SiH<sub>2</sub>Cl<sub>2</sub>、SiCl<sub>4</sub>、或Si<sub>2</sub>H<sub>6</sub>氣體作為Si源氣體。考慮到線通道之橫截面尺寸，可將第一及第二磊晶Si層112及114形成為預定厚度。若線通道(圖3A之112e及114e)之橫截面之目標高度在約10 nm至30 nm之間的範圍內，則較佳可將第一及第二磊晶Si層112及114形成為具有約15 nm至40 nm之厚度，即略大於該目標高度之厚度。稍後將描述將第一及第二磊晶Si層112及114形成為具有略大於目標高度之厚度的原因。然而，第一及第二磊晶Si層112及114之每一者的厚度並不限於此等例示性值。

然後在通道形成準備層110上形成一硬式遮罩層120。考慮到該製造FET之方法的隨後態樣，由關於形成通道層之材料(例如Si)及形成犧牲層之材料(例如SiGe)具有高蝕刻選擇性之材料形成該硬式遮罩層120。因此，可由氮化矽(SiN)形成硬式遮罩層120。硬式遮罩層120可具有約100 nm或小於100 nm之厚度，且可使用習知沈積方法，例如化學氣相沈積(CVD)方法、次大氣壓CVD(SACVD)方法、低壓CVD(LPCVD)方法、電漿增強CVD(PECVD)方法或其它類似方法得以形成。

在形成硬式遮罩層120之前，可在通道形成準備層110上形成一緩衝層(未圖示)，例如一襯墊氧化物膜(諸如SiO<sub>2</sub>)，使其插入通道形成準備層110與硬式遮罩層120之間。該緩衝層減少來自硬式遮罩層120之應力。

參看圖6A至圖6C，藉由分別圖案化通道形成準備層110及硬式遮罩層120而形成一通道形成準備圖案110a及一硬

式遮罩圖案 120a。通道形成準備圖案 110a 包括一第一 SiGe 圖案 111a、一第一 Si 圖案 112a、一第二 SiGe 圖案 113a 及一第二 Si 圖案 114a。通道形成準備圖案 110a 具有對應於半導體基板 100 之作用區域之尺寸。舉例而言，通道形成準備圖案 110a 可與每一彼此隔離之單元一樣大。硬式遮罩圖案 120a 小於通道形成準備圖案 110a。更具體言之，如圖 6A 所示，在 X-X' 方向內，硬式遮罩圖案 120a 比通道形成準備圖案 110a 窄至少一預定寬度  $2d_1$ 。如圖 6C 所示，硬式遮罩圖案 120a 亦可具有減少之長度  $d_2$ ，其在  $Y_1$ - $Y_1'$  方向內比通道形成準備圖案 110a 窄，但非必要。下文將描述，考慮到隨後之製程階段，在 X-X' 方向內之寬度差較佳可等於或小於第一及第二磊晶 Si 層 112 及 114 之每一者之厚度。

通道形成準備圖案 110a 及硬式遮罩圖案 120a 之形成可以下述方式完成。首先使用習知光微影製程將通道形成準備層 110 及硬式遮罩層 120 圖案化為通道形成準備圖案 110a 之尺寸。舉例而言，可使用一光阻圖案(未圖示)或經圖案化之遮罩層(意即遮罩圖案 120a)作為蝕刻遮罩來蝕刻通道形成準備層 110。然後使用各向同性蝕刻製程將硬式遮罩層 120 進一步蝕刻掉寬度  $d_1$ 。當硬式遮罩層 120 由 SiN 形成時，可使用包括磷酸 ( $H_3PO_4$ ) 之蝕刻溶液來執行各向同性蝕刻製程。各向同性蝕刻製程形成硬式遮罩圖案 120a，其在 X-X' 方向及  $Y_1$ - $Y_1'$  方向之每一者內，比通道形成準備圖案 110a 小  $2d_1$ 。

參看圖 7A 至 7C，於半導體基板 100、通道形成準備圖案



110a及硬式遮罩圖案120a上沈積一第一介電層，例如一厚模製絕緣層。然後(例如)藉由化學機械研磨法(CMP)來平坦化該介電層，直至暴露出硬式遮罩圖案120a。結果，於半導體基板100上形成一環繞通道形成準備圖案110a及硬式遮罩圖案120a之模製圖案132。模製圖案132宜由與第一及第二SiGe圖案111a及113a以及第一及第二Si圖案112a及114a有關之具有高蝕刻選擇性之材料形成。舉例而言，當硬式遮罩圖案120a由SiN形成時，模製圖案132可由SiO<sub>2</sub>形成。在此情況中，模製圖案132可選自未經摻雜之矽酸鹽玻璃(USG)膜、高密度電漿(HDP)氧化物膜、電漿增強正矽酸四乙酯(PE-TEOS)膜，以及USG膜、HDP氧化物膜及PE-TEOS膜之組合的SiO<sub>2</sub>膜。

參看圖8A至圖8C，同時圖案化模製圖案132及硬式遮罩圖案120a，以形成一虛設閘極圖案130b，其包括模製圖案132之一部分132b及硬式遮罩圖案120a之一剩餘部分120b。模製圖案132a之另一部分132a留在半導體基板100上。在此圖案化期間，可使用光阻圖案作為蝕刻遮罩。使用一以相同速率蝕刻SiN膜及SiO<sub>2</sub>膜之蝕刻氣體，可同時蝕刻模製圖案132及遮罩圖案120a。然而，若在圖6A至圖6C之製程中圖案化硬式遮罩層120而形成具有寬度d<sub>3</sub>而非d<sub>2</sub>之硬式遮罩圖案120a，則無需在圖8A至圖8C之蝕刻製程中進一步蝕刻遮罩圖案120a。

蝕刻模製圖案132及硬式遮罩圖案120a，直至通道形成準備圖案110a(例如第二Si圖案114a)之上表面被暴露於虛設

閘極圖案 130b 之兩側上。此時，移除緩衝層(若存在)之一部分以暴露通道形成準備圖案 110a。作為蝕刻之結果的虛設閘極圖案 130b 可為在 X-X' 方向上伸長的線型且可具有預定尺寸，意即  $d_3$ ，其可考慮到設計規則、FET 之通道長度及其類似物而設置。

參看圖 9A 至圖 9C，各向異性地乾式蝕刻通道形成準備圖案 110a 之由虛設閘極圖案 130b 暴露之一部分，直至暴露半導體基板 100。為執行此蝕刻，可選擇一蝕刻氣體以使得可使用虛設閘極圖案 130b 及模製圖案 132a 作為蝕刻遮罩。舉例而言，可使用一關於  $\text{SiO}_2$  膜及  $\text{SiN}$  膜提供對 Si 及 SiGe 之高蝕刻選擇性，而關於 SiGe 提供對 Si 之 1:1 蝕刻選擇性的蝕刻氣體。較佳地，可在原處連續蝕刻第一及第二 Si 圖案 112a 及 114a 以及第一及第二 SiGe 圖案 111a 及 113a。結果，未改變通道形成準備圖案 110b 之在虛設閘極圖案 130b 之下的一剩餘部分，且形成一對由通道形成準備圖案 110b 之剩餘部分及模製圖案 132a 所界定的第一開口 134。通道形成準備圖案 110b 之剩餘部分包括第一及第二 SiGe 層 111b 及 113b 之剩餘部分以及第一及第二 Si 層 112b 及 114b 之剩餘部分。半導體基板 100 之上表面之一部分經由該等第一開口 134 而暴露。此蝕刻可進一步移除緩衝層(若存在且先前未被移除)之一額外部分。

參看圖 10A、圖 10B 及圖 10C，於該等第一開口 134 中形成源極/汲極圖案 140。源極/汲極圖案 140 由一在一蝕刻溶液中具有高蝕刻選擇性之材料形成，在該方法中該蝕刻溶液稍

後將用於移除剩餘之SiGe圖案(圖12A之111c及113c)。舉例而言，源極/汲極圖案140可由單晶Si或多晶矽形成。或者，源極/汲極圖案140可由一在SiGe蝕刻溶液中具有高蝕刻選擇性之材料，例如金屬、金屬矽化物或其它合適材料所形成。

源極/汲極圖案140可為Si磊晶層。在此情況中，可使用選擇性磊晶成長(SEG)方法以單晶Si填充該等第一開口134，從而僅在半導體基板100上經由第一開口134被暴露之部分上形成Si磊晶層。或者，可藉由使用習知沈積製程以所選材料填充第一開口134而由多晶矽或金屬形成源極/汲極圖案140。為填充第一開口134，使用沈積單晶Si層、沈積多晶矽層或其它相似層。儘管在圖式中，源極/汲極圖案140之上表面看上去大體上平坦，但源極/汲極圖案140之上表面實際上可為不平滑，例如該上表面可包括曲線或波。隨後，使用回蝕製程或其它合適製程來將沈積層平坦化至模製圖案132a之上表面，以形成與剩餘通道形成準備圖案110b齊平之源極/汲極圖案140。

作為平坦化該沈積層之替代，可執行一可選退火來使突出於模製圖案132a之上表面之上的源極/汲極圖案140之上表面平滑。可在約600°C至900°C之間的溫度下在氫(H<sub>2</sub>)環境中執行此退火約若干分鐘與十小時之間。較佳可在約800°C之溫度下在H<sub>2</sub>環境中執行此退火約一小時。

參看圖11A至11C，於模製圖案132a、源極/汲極圖案140及虛設閘極圖案130b上濃厚地沈積一第二介電層，意即用

作緩衝層之絕緣層。然後使用(例如)CMP來平坦化該第二介電層，直至暴露虛設閘極圖案130b。結果，於模製圖案132a及源極/汲極圖案140上形成一環繞虛設閘極圖案130b之緩衝層圖案150。該緩衝層圖案150較佳可由與模製圖案132之材料相同之材料形成。若硬式遮罩圖案120a由SiN形成，則緩衝層圖案150可由SiN形成。緩衝層圖案150亦可由具有優良間隙填充特性之高密度電漿(HDP)氧化物形成。

參看圖12A至圖12D，僅自虛設閘極圖案130b移除硬式遮罩圖案120b。若硬式遮罩層120由SiN形成，則可基於包括 $H_2PO_4$ 之蝕刻溶液的磷酸( $H_2PO_4$ )氣提方法來移除硬式遮罩圖案120b。結果，暴露出通道形成準備圖案(圖11B及11C之110b)之上表面的一部分，且在一移除了硬式遮罩圖案120b之空間內形成由虛設閘極圖案130b之模製圖案132b及緩衝層圖案150兩者所界定的一凹槽161。

隨後，各向異性地蝕刻通道形成準備圖案110b之經由該凹槽161而暴露的一部分。為執行此蝕刻，可選擇蝕刻氣體以使得可使用虛設閘極圖案130b之模製圖案132b及緩衝層圖案150作為蝕刻遮罩。舉例而言，可使用一關於 $SiO_2$ 膜提供對Si及SiGe之高蝕刻選擇性而關於SiGe提供對Si之1:1蝕刻選擇性的蝕刻氣體。較佳地，可在原處連續蝕刻第一及第二Si圖案112b及114b以及第一及第二SiGe圖案111b及113b。結果，僅有通道形成準備圖案110c之在虛設閘極圖案130b之模製圖案132b之下的一剩餘部分保留不變，且於一由剩餘之通道形成準備圖案110c及源極/汲極圖案140界

定之空間中形成一自凹槽161延伸之第二開口162。通道形成圖案110c之剩餘部分包括第一及第二SiGe層111c及113c之剩餘部分以及第一及第二Si層112c及114c之剩餘部分。半導體基板100之上表面的一部分經由第二開口162而暴露。

參看圖13A至圖13D，可於半導體基板100中形成一可選通道形成防止層170。由於該通道形成防止層170為可選，圖13A至圖13D所說明之製程同樣為可選。

在製造FET之此階段中，可藉由將P<sup>+</sup>離子植入半導體基板100之經由凹槽161及第二開口162而暴露之暴露部分中來形成通道形成防止層170。虛設閘極圖案130b之模製圖案132b及緩衝層圖案150可用作植入遮罩。

在運作中，通道形成防止層170用以防止基極電晶體運作。因此，經植入以形成通道形成防止層170的離子較佳可具有與半導體基板100之離子相同的導電類型。舉例而言，若半導體基板100由p<sup>+</sup>型導電材料形成，則一群3B元素，例如硼(B)或銦(In)，可被植入半導體基板100之暴露部分中。

除形成於半導體基板100之暴露之部分上外，通道形成防止層170較佳可另外形成於半導體基板100在通道形成準備圖案110c之下的一部分上。為在通道形成準備圖案110c之下形成該通道形成防止層170，如圖13B所說明，可在預定角度植入離子。或者，可藉由適當地控制隨後熱處理製程之溫度來使植有離子之區域在一側方向內延伸預定長度。

參看圖14A至14C，藉由蝕刻僅選擇性地移除緩衝層圖案150，意即第二介電層，及模製圖案132a及132b，意即該等

第一介電層。可藉由使用以關於Si及/或SiGe之高蝕刻選擇性蝕刻SiO<sub>2</sub>膜的蝕刻氣體或蝕刻溶液來執行此蝕刻。結果，暴露出半導體基板100之一區域，在該區域上不形成圖6A之通道形成準備圖案110a。

然後移除通道形成準備圖案110c之第一及第二犧牲層圖案111c及113c。在移除第一及第二犧牲層圖案111c及113c之後，在通道層圖案112c與114c之間且在第一通道層112及半導體基板100之間形成視窗116。該等視窗116暴露出第二開口162。在形成視窗116之後，僅有在該等源極/汲極圖案140之間彼此分開之通道層圖案112c及114c之兩×兩陣列剩餘在半導體基板100上。

剩餘在半導體基板100上該等源極/汲極圖案140之間的通道層圖案112c及114c具有線形狀。更具體言之，在形成視窗116之後，通道層圖案112c及114c具有大體上為矩形之橫截面形狀。另外，通道層圖案112c及114c之橫截面高度對應於圖5A之通道層112及114之厚度。橫截面長度對應於圖6A之寬度 $d_1$ 。因此，為在通道中形成各向同性之電位，圖6A之寬度 $d_1$ 較佳幾乎與圖5A之通道層112及114之每一者的厚度相同或相似。

可藉由使用濕式蝕刻或化學乾式蝕刻之蝕刻而實現第一及第二犧牲層圖案111c及113c之移除。較佳執行該蝕刻，以使得第一及第二犧牲層圖案111c及113c之每一者關於半導體基板100以及第一及第二通道層圖案112c及114c具有至少約為三十(30)之蝕刻選擇性。若半導體基板100、第一

及第二通道層圖案112c及114c以及第一及第二犧牲層圖案111c及113c分別由Si、磊晶Si及磊晶SiGe形成，則過氧化氫( $H_2O_2$ )、氟化氫(HF)及乙酸( $CH_3COOH$ )之混合物；氫氧化銨( $NH_4OH$ )、過氧化氫( $H_2O_2$ )及去離子水( $H_2O$ )之混合物；或含有過氧乙酸的蝕刻溶液，可用作蝕刻溶液來移除第一及第二犧牲層圖案111c及113c。

對於蝕刻第一及第二犧牲層圖案111c及113c，使用濕式蝕刻方法比使用化學乾式蝕刻方法更佳。此外，當使用提供每分鐘若干百埃之蝕刻速率的濕式蝕刻溶液時，可減少蝕刻所需之時間。如下文所更詳細地描述，提供每分鐘若干百埃之蝕刻速率的蝕刻溶液可為一包括氫氧化銨( $NH_4OH$ )、過氧化氫( $H_2O_2$ )及去離子水( $H_2O$ )之混合溶液。該混合溶液可進一步包括過氧乙酸、乙酸、氟酸及/或表面活性劑。舉例而言，可使用標準清洗溶液SC-1，其中 $NH_4OH$ 、 $H_2O_2$ 及 $H_2O$ 按1:5:1或1:5:20加以混合。當將此混合溶液加熱至 $40^\circ C$ 至 $75^\circ C$ 以供使用時，有效地移除SiGe層。

在使用氫、 $H_2O_2$ 及 $H_2O$ 之混合物來蝕刻第一及第二SiGe圖案，意即第一及第二犧牲層圖案111c及113c時，第一操作是使用 $H_2O_2$ 形成一表面氧化物膜。由於 $H_2O_2$ 藉由被分解為 $H_2O$ 及O而具有強氧化力， $H_2O_2$ 迅速氧化Si及Ge。

在第二操作中，將氫解離為 $NH_4^+$ 離子及 $OH^-$ 離子。 $OH^-$ 離子自第一及第二SiGe圖案111c及113c之表面剝離第一及第二SiGe圖案111c及113c之Si氧化物及Ge氧化物。此第二操作被稱為使用 $OH^-$ 離子之起離(lift-off)。

在第三操作中，Si氧化物及Ge氧化物吸收OH<sup>-</sup>離子以具有靜電排斥力，以致不被重新附著於SiGe圖案111c及113c。此被稱為藉由OH<sup>-</sup>離子之終止。

由於H<sub>2</sub>O<sub>2</sub>為酸溶液，該混合物之pH取決於H<sub>2</sub>O<sub>2</sub>與氨之混合比率而改變。換言之，蝕刻之Si及Ge的量取決於該pH而改變，因此以一提供Si及Ge之適當蝕刻率而防止Si點蝕的比率混合H<sub>2</sub>O<sub>2</sub>及氨。由於NH<sub>3</sub>蒸汽蒸發之速度在高溫(例如70°C)下增加，需要額外供應氨。

在上文描述之蝕刻機制之第一步驟，意即氧化製程中，Ge被氧化得比Si快且因此被蝕刻得比Si快。在包括Ge及Si之SiGe膜中，Ge被快速蝕刻，且剩餘之SiGe膜變得不穩定。因此，Si容易被蝕刻溶液侵蝕。因此，SiGe犧牲層圖案111c及113c之蝕刻速率變得高於各包含單一材料(例如Si)之通道層圖案112c及114c的蝕刻速率。

如上文所述形成之線通道112c及114c可具有不同尺寸。更具體言之，當複數個線通道如(例如)圖14B中所說明按至少兩列排列時，上層列中之線通道可具有不同於下層列中之線通道的尺寸，例如直徑或寬度。詳言之，上層列中之線通道114c可具有一尺寸，該尺寸小於或大於下層列中之線通道112c之尺寸。參看回圖1D，其展示上層線通道114c具有一小於下層線通道112c之尺寸。

參看圖15A至15C，其上形成有源極/汲極圖案140及複數個線通道112d及114d之半導體基板100被首先退火。該初次退火為可選且可被執行以形成具有大體上圓形之橫截面形



狀之線通道112d及114d。如上文所描述，當線通道112d及114d具有大體上為圓形或橢圓形之橫截面形狀(如與大體上為矩形之橫截面形狀相比較)時，可在通道中形成更理想之各向同性電位。更具體言之，大體上為圓形或橢圓形之線通道優於大體上為正方形或矩形之線通道，因為圓形線通道提供改良之電場。詳言之，大體上為圓形之線通道在所有方向內提供統一之電場，而大體上為正方形之線通道僅在單一方向內提供電場。因此，較佳執行初次退火製程。

較佳在足以使線通道112d及114d之橫截面形狀變圓的溫度下執行初次退火製程。舉例而言，此退火可在氫(H<sub>2</sub>)環境中在約600°C至1200°C的溫度下執行若干分鐘至十小時；此退火可在氬(Ar)環境中在約900°C至1200°C的溫度下執行約若干分鐘至十小時。作為進一步替代，可藉由取決於能量密度而雷射退火若干秒來執行此退火。在此初次退火製程後，可減少線通道112d及114d之橫截面尺寸。然而，尺寸之此減少通常非常小且可忽略。

參看圖16A至16C，在初次退火後，對所得結構執行二次退火。在氧或臭氧氣氛下執行二次退火以形成一閘極介電層182a，意即閘極絕緣膜，以環繞線通道112d及114d之每一者。當在氧氣氛或其它相似條件下執行二次退火時，暴露於所得結構上之Si被消耗以在所得結構上形成SiO<sub>2</sub>膜182a、182b及182c。

由於此二次退火，使線通道112d及114d之直徑減少所消耗之Si的厚度以形成線通道112e及114e。因此，較佳考慮到

所消耗之Si的厚度而設置沈積之通道層112及114在圖5A之操作中的厚度及在圖6A之操作中的寬度 $d_1$ 。

二次退火製程之溫度及持續時間可取決於待形成之閘極絕緣膜182a之厚度而改變。舉例而言，二次退火可在合適溫度下被執行合適時間段，以使得閘極絕緣膜182a具有約50 Å至100 Å之厚度。在二次退火後，可在半導體基板100及源極/汲極圖案140a上附帶地形成SiO<sub>2</sub>膜182b及182c。SiO<sub>2</sub>膜182b形成短路防止絕緣層。

參看圖17A至圖17D，在該等源極/汲極圖案140a之間形成一用作閘電極之導電圖案184。用作閘電極之導電圖案184可為由多晶矽形成之單一膜或為包括多晶矽及具有小於多晶矽之特殊電阻之特殊電阻的導電材料之複合膜。更具體言之，較佳可用多晶矽填充源極/汲極圖案140a之間的至少一空隙，意即已插入線通道112e及114e處。因為由源極/汲極圖案140a及排列於源極/汲極圖案140a之間的線通道112e及114e所界定之空隙，意即第二開口162及視窗116，相對較小，所以較佳可使用具有優良間隙填充特性之多晶矽來填充第二開口162及視窗116。

如圖17A所示，可將用作閘電極之導電圖案184形成為在X-X'方向內延伸。可將短路防止絕緣層182b插入用作閘電極之導電圖案184與源極/汲極圖案140a之間。短路防止絕緣層182b防止FET之閘電極及源極/汲極區域的短路。如上所述，短路防止絕緣層182b可為與閘極絕緣膜182a同時形成之Si熱氧化物膜，或可為在形成層間絕緣層之隨後製程

中形成SiO<sub>2</sub>膜(未圖示)。

或者，短路防止絕緣層182b可Si熱氧化物膜及層間絕緣膜之複合膜。

儘管未加以說明，但是將離子植入源極/汲極圖案140a中以界定源極/汲極區域(圖3C及圖3D之142)。若源極/汲極圖案140a為Si磊晶層，則離子植入製程為必要。然而，若源極/汲極圖案140a由導電材料形成，則單獨的離子植入並非必要。取決於離子植入之方法，可控制源極/汲極區域142之底面之位置及/或可使垂直摻雜輪廓統一。在此方面，可在源極/汲極區域142與半導體基板100之間提供上述間隙。在離子植入期間，用作閘電極之導電圖案184可被用作植入遮罩。結果，形成了根據本發明之一實施例且如圖17A至圖17D所說明之FET。

圖18A至圖21C說明根據本發明之另一實施例之製造FET的方法中之階段。具體言之，圖18A、19A、20A及21A說明該FET之示意性透視圖；圖18B、19B、20B及21B說明分別沿圖18A、19A、20A及21A之線X-X'取得之橫截面；且圖18C、19C、20C及21C說明分別沿圖18A、19A、20A及21A之線Y<sub>1</sub>-Y<sub>1</sub>'取得之橫截面。

現將僅描述本實施例與先前實施例之間的差異。

參看圖18A至18C，依序在一半導體基板200上形成一通道形成準備層210及一硬式遮罩層220。在本發明之此實施例中，該通道形成準備層210包括依序堆疊於該半導體基板200上的一第一犧牲層211、一第一通道層212、一第二犧牲

層 213、一第二通道層 214 及一第三犧牲層 215。如在先前實施例中，該通道形成準備層 210 包括兩(2)通道層，意即第一及第二通道層 212 及 214，因此，如在先前實施例中，本實施例包括兩列線通道。然而，此外，該通道形成準備層 210 包括第三犧牲層 215。因此，最上層列中之線通道之上表面被形成為低於源極/汲極圖案之上表面。

參看圖 19A 至圖 19C，使用光微影術依序圖案化硬式遮罩層 220、通道形成準備層 210 及半導體基板 200，從而分別形成一溝槽形成硬式遮罩 220a、一通道形成準備圖案 210a 及一半導體基板 200a。通道形成準備圖案 210a 包括一第一犧牲層圖案 211a、一第一通道層圖案 212a、一第二犧牲層圖案 213a、一第二通道層圖案 214a 及一第三犧牲層圖案 215a。此圖案化進一步形成一溝槽 202。

可按以下順序執行上述圖案化。於硬式遮罩層 220 上初始形成一界定該溝槽 202 之光阻圖案(未圖示)。然後使用該光阻圖案作為蝕刻遮罩來蝕刻硬式遮罩層 220，以形成該溝槽形成硬式遮罩 220a。隨後，移除該光阻圖案。使用該溝槽形成硬式遮罩 220a 作為蝕刻遮罩，依序蝕刻通道形成準備層 210 及半導體基板 200。結果，形成了通道形成準備圖案 210a 及半導體基板 200a，包括溝槽 202。

參看圖 20A 至圖 20C，圖案化該溝槽形成硬式遮罩 220a 以形成一遮罩圖案 220b。如上所述，形成該遮罩圖案 220b 以在 X-X' 方向內暴露該通道形成準備圖案 210a 之上表面的至少邊緣部分。可藉由執行如上所述之各向同性蝕刻而使

### 五、中文發明摘要：

本發明提供一種場效應電晶體(FET)及其製造方法，該FET包括：一半導體基板；形成於該半導體基板上之源極及汲極區域；電連接該等源極及汲極區域之複數個線通道，該等複數個線通道按兩行及至少兩列配置；及一環繞該等複數個線通道之每一者的閘極介電層，及一環繞該閘極介電層與該等複數個線通道之每一者的閘電極。

### 六、英文發明摘要：

## 十、申請專利範圍：

1. 一種場效應電晶體(FET)，其包含：
  - 一半導體基板；
  - 形成於該半導體基板上之源極及汲極區域；
  - 電連接該等源極及汲極區域之複數個線通道，該等複數個線通道按兩行及至少兩列配置；及
  - 一環繞該等複數個線通道之閘極介電層，及一環繞該閘極介電層與該等複數個線通道之每一者的閘電極。
2. 如請求項1之FET，其中在一最上層列中之該等複數個線通道的每一者均具有一第一尺寸，且在一最下層列中之該等複數個線通道的每一者均具有一第二尺寸，且該第一尺寸與該第二尺寸不同。
3. 如請求項2之FET，其中該第一尺寸小於該第二尺寸。
4. 如請求項2之FET，其中該第一尺寸大於該第二尺寸。
5. 如請求項1之FET，其中該半導體基板為單晶矽或一絕緣物上矽(SOI)基板。
6. 如請求項1之FET，其中該等複數個線通道之每一者均由單晶矽形成。
7. 如請求項1之FET，其中該等源極及汲極區域由一選自由單晶矽、多晶矽、金屬及金屬矽化物組成之群的材料所形成。
8. 如請求項1之FET，其中該等複數個線通道之每一者均具有一大體上為正方形之形狀。
9. 如請求項8之FET，其中該等複數個線通道之每一者之厚

度小於約30 nm。

10. 如請求項1之FET，其中該等複數個線通道之每一者具有一大體上為圓形之形狀。
11. 如請求項10之FET，其中該等複數個線通道之每一者具有一小於約30 nm之直徑。
12. 如請求項1之FET，其中該等複數個線通道之列數為3。
13. 如請求項12之FET，其中一中層列具有一第三尺寸，改第三尺寸介於該第一尺寸與該第二尺寸之間。
14. 如請求項12之FET，其中該等複數個線通道之每一列的尺寸小於該等複數個線通道之一下層列的尺寸且大於該等複數個線通道之一上層列的尺寸，以使得在該最上層列中的該等複數個線通道具有最小尺寸，且在該最下層列中的該等複數個線通道具有最大尺寸。
15. 如請求項1之FET，其一步包含一形成於位於該等源極及汲極區域之間之該半導體基板之一上層區域中的通道形成防止層，該通道形成防止層可操作以防止一底部電晶體之運作。
16. 如請求項15之FET，其中該通道形成防止層由一絕緣材料或該半導體基板之一摻有雜質之區域所形成。
17. 如請求項1之FET，進一步包含一插入該等源極及汲極區域與該閘電極之間的短路防止絕緣層，該短路防止絕緣層可操作以防止該等源極及汲極區域與該閘電極之間的短路。
18. 如請求項17之FET，其中該短路防止絕緣層為一矽熱氧化

物或一矽氧化物。

19. 如請求項1之FET，其中該等源極及汲極區域自該半導體基板分開一預定距離。
20. 如請求項1之FET，其中線通道之該最上層列之一上表面與該等源極及汲極區域之一上表面齊平。
21. 如請求項1之FET，其中線通道之該最上層列之一上表面低於該等源極及汲極區域之一上表面。
22. 如請求項1之FET，其中該閘極介電層為一矽熱氧化物膜。
23. 如請求項22之FET，其中該閘極介電層具有一約50 Å至100 Å之間的厚度。
24. 如請求項1之FET，其中該閘電極為一由摻有雜質之多晶矽、金屬矽化物或摻有金屬雜質之多晶矽形成之單一膜。
25. 如請求項1之FET，其中該閘電極為一由至少兩層摻有雜質多晶矽、金屬矽化物或金屬雜質形成之複合膜。
26. 一種場效應電晶體(FET)，其包含：
  - 一半導體基板；
  - 形成於該半導體基板上之源極及汲極區域；
  - 由單晶矽形成之複數個線通道，該等複數個線通道電連接該等源極及汲極區域，該等複數個線通道按兩行及至少一列配置；
  - 一環繞該等複數個線通道之閘極介電層，及一環繞該閘極介電層與該等複數個線通道之每一者之閘電極。
27. 如請求項26之FET，其中該半導體基板為單晶矽或一絕緣物上矽(SOI)基板。



28. 如請求項26之FET，其中該等源極及汲極區域由一選自由單晶矽、多晶矽、金屬及金屬矽化物組成之群的材料所形成。
29. 如請求項26之FET，其中該等複數個線通道之每一者均具有一大體上為正方形之形狀。
30. 如請求項29之FET，其中該等複數個線通道之每一者的厚度均小於約30 nm。
31. 如請求項26之FET，其中該等複數個線通道之每一者均具有一大體上為圓形之形狀。
32. 如請求項31之FET，其中該等複數個線通道之每一者均具有一小於約30 nm之直徑。
33. 如請求項26之FET，進一步包含一形成於該等源極及汲極區域之間之該半導體基板之一上層區域中的通道形成防止層，該通道形成防止層可操作以防止一底部電晶體之運作。
34. 如請求項33之FET，其中該通道形成防止層由一絕緣材料或該半導體基板之一摻有雜質之區域所形成。
35. 如請求項26之FET，進一步包含一插入該等源極及汲極區域與該閘電極之間的短路防止絕緣層，該短路防止絕緣層可操作以防止該等源極及汲極區域與該閘電極之間的短路。
36. 如請求項35之FET，其中該短路防止絕緣層為一矽熱氧化物或一矽氧化物。
37. 如請求項26之FET，其中該等源極及汲極區域自該半導體

基板分開一預定距離。

38. 如請求項26之FET，其中線通道之該最上層列之一上表面與該等源極及汲極區域之一上表面齊平。
39. 如請求項26之FET，其中線通道之該最上層列之一上表面低於該等源極及汲極區域之一上表面。
40. 如請求項26之FET，其中該閘極介電層為一矽熱氧化物膜。
41. 如請求項26之FET，其中該閘極介電層具有一介於約50 Å至100 Å之間的厚度。
42. 如請求項26之FET，其中該閘電極為一由摻有雜質之多晶矽、金屬矽化物或摻有金屬雜質之多晶矽形成之單一膜。
43. 如請求項26之FET，其中該閘電極為一由至少兩層摻有雜質之多晶矽、金屬矽化物或金屬雜質所形成之複合膜。
44. 一種製造一場效應電晶體(FET)之方法，其包含：
  - 在該半導體基板上形成一通道形成準備層，該通道形成準備層包括依序堆疊於該半導體基板上之一第一犧牲層、一第一通道層、一第二犧牲層及一第二通道層；
  - 在該通道形成準備層上形成一硬式遮罩層；
  - 圖案化該硬式遮罩層及該通道形成準備層，以界定該半導體基板之一作用區域；
  - 圖案化該硬式遮罩層，以使該硬式遮罩層變窄，藉此暴露該通道形成準備層之一上表面之一邊緣部分；
  - 在該半導體基板上形成一第一介電層，以覆蓋該變窄之硬式遮罩層及該通道形成準備層，然後平坦化該第一

介電層，以暴露該變窄之硬式遮罩層；

圖案化該第一介電層及該變窄之硬式遮罩層之一部分，以移除該變窄之硬式遮罩層之一部分，藉此形成一虛設閘極圖案，及暴露該通道形成準備層之一部分；

選擇性地蝕刻與該虛設閘極相鄰之該通道形成準備層之該暴露部分，以暴露該半導體基板；

在該暴露之半導體基板上選擇性地成長一磊晶層，以形成與該通道形成準備層相鄰之源極及汲極圖案；

在包括該虛設閘極及該等源極及汲極圖案之該半導體基板上形成一第二介電層，然後平坦化該第二介電層，以暴露該虛設閘極圖案；

選擇性地蝕刻該剩餘硬式遮罩層，以移除該剩餘硬式遮罩層，藉此暴露該通道形成準備層之一部分，然後蝕刻該通道形成準備層之該暴露部分，以暴露該半導體基板；

移除該第二介電層及該第一介電層之一上部分，以暴露殘留在該半導體基板上之該通道形成準備層之側壁；

選擇性地蝕刻該通道形成準備層，以移除該第一及該第二犧牲層，藉此自該第一及該第二通道層形成複數個線通道；

在該半導體基板上形成一閘極介電層，以環繞該等複數個線通道之每一者；

在該閘極介電層上形成一閘電極，以形成一環繞該等複數個線通道之每一者的閘極。

45. 一種製造一場效應電晶體(FET)之方法，其包含：

在該半導體基板上形成一通道形成準備層，該通道形成準備層包括依序堆疊於該半導體基板上之一犧牲層及一通道層，該通道層由單晶矽形成；

在該通道形成準備層上形成一硬式遮罩層；

圖案化該硬式遮罩層及該通道形成準備層，以界定該半導體基板之一作用區域；

圖案化該硬式遮罩層以使該硬式遮罩層變窄，藉此暴露該通道形成準備層之一上表面之一邊緣部分；

在該半導體基板上形成一第一介電層，以覆蓋該變窄之硬式遮罩層及該通道形成準備層，然後平坦化該第一介電層以暴露該變窄之硬式遮罩層；

圖案化該第一介電層及該變窄之硬式遮罩之一部分，以移除該變窄之硬式遮罩層之一部分，藉此形成一虛設閘極圖案且暴露該通道形成準備層之一部分；

選擇性地蝕刻與該虛設閘極相鄰之該通道形成準備層之該暴露部分，以暴露該半導體基板；

在該暴露之半導體基板上選擇性地成長一磊晶層，以形成與該通道形成準備層相鄰之源極及汲極圖案；

在包括該虛設閘極及該等源極及汲極圖案之該半導體基板上形成一第二介電層，然後平坦化該第二介電層以暴露該虛設閘極圖案；

選擇性地蝕刻該剩餘硬式遮罩層，以移除該剩餘硬式遮罩層，藉此暴露該通道形成準備層之一部分，然後蝕

刻該通道形成準備層之該暴露部分，以暴露該半導體基板；

移除該第二介電層及該第一介電層之一上部分，以暴露殘留在該半導體基板上之該通道形成準備層之側壁；

選擇性地蝕刻該通道形成準備層以移除該犧牲層，藉此自該通道層形成複數個單晶矽線通道；

在該半導體基板上形成一閘極介電層，以環繞該等複數個線通道之每一者；

在該閘極介電層上形成一閘電極，以形成一環繞該等複數個線通道之每一者的閘極。

十一、圖式：

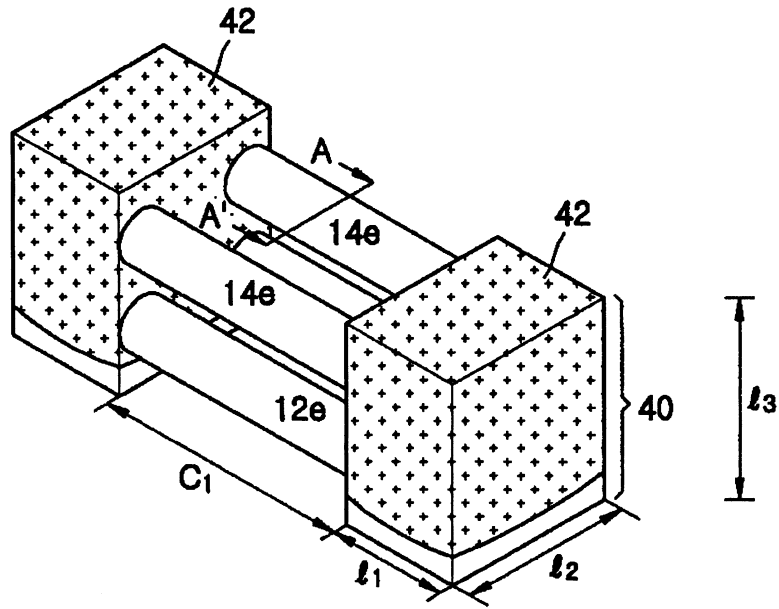


圖 1A

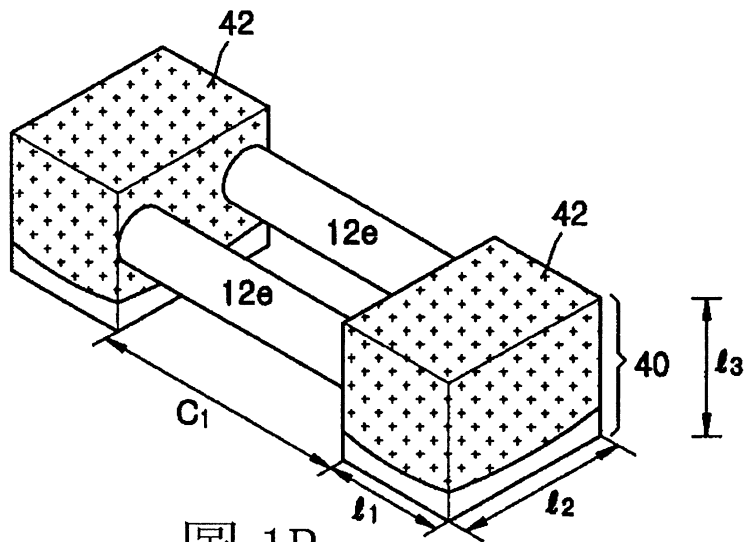


圖 1B

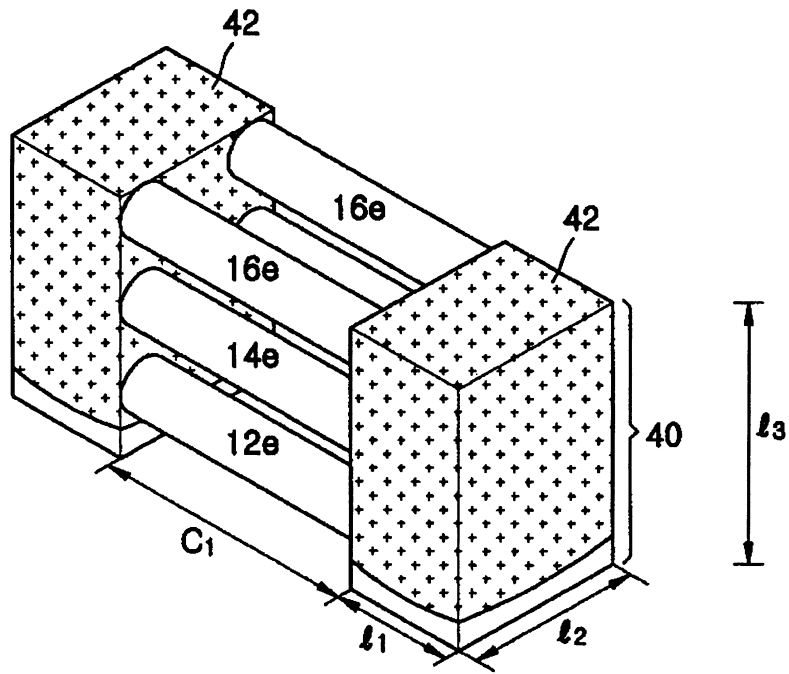


圖 1C

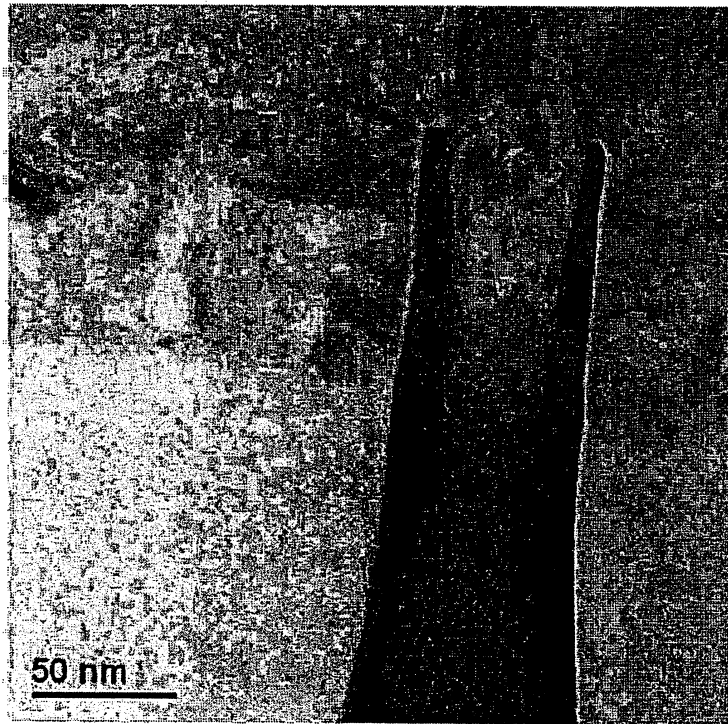


圖 1D



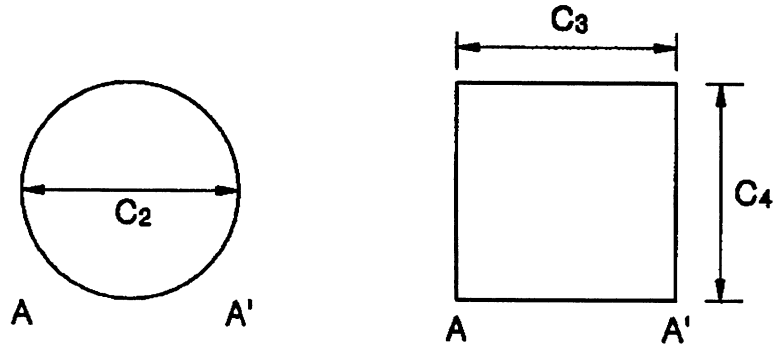


圖 2

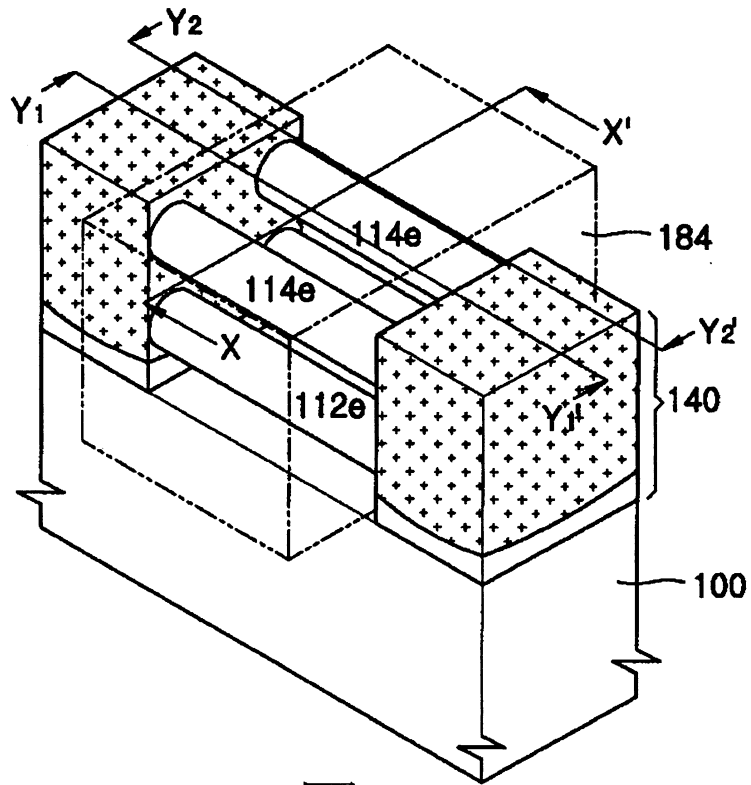


圖 3A

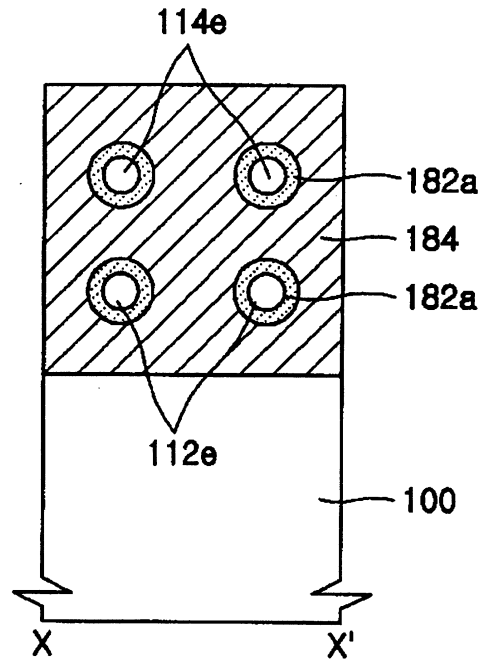


圖 3B

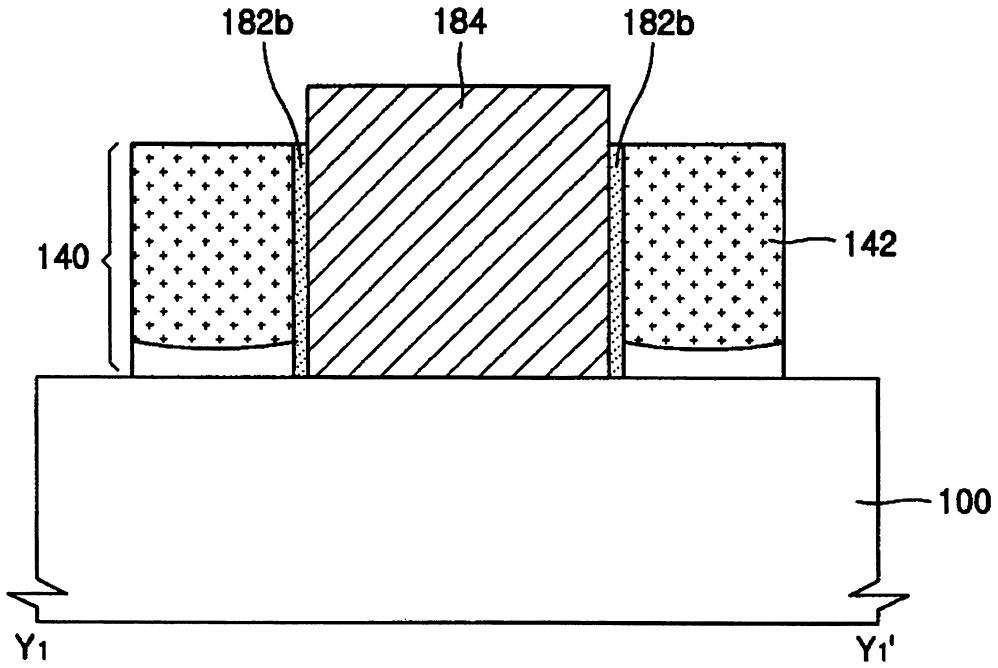


圖 3C

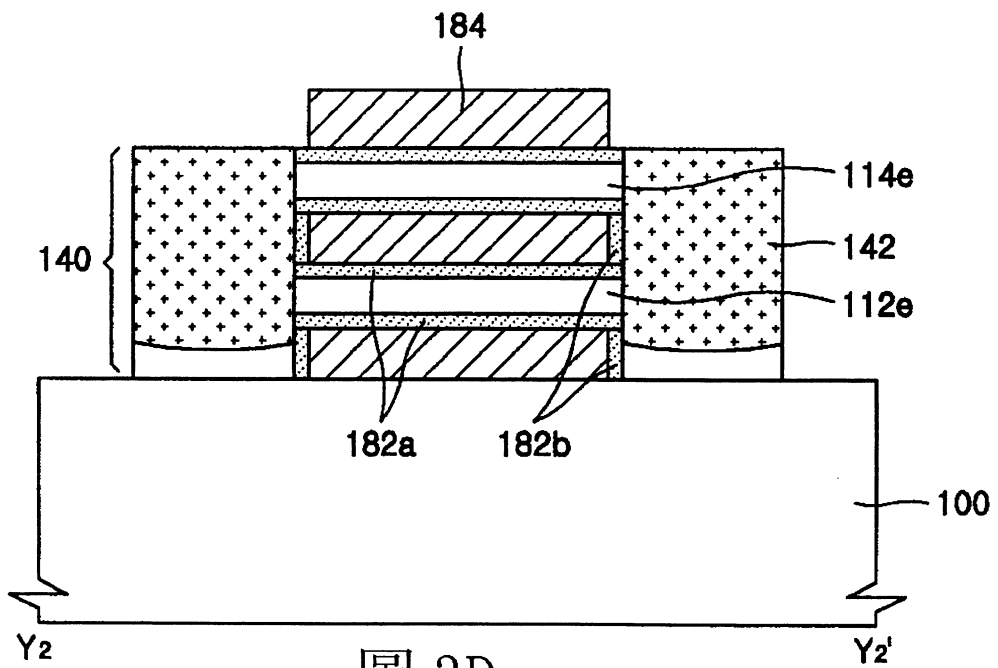


圖 3D

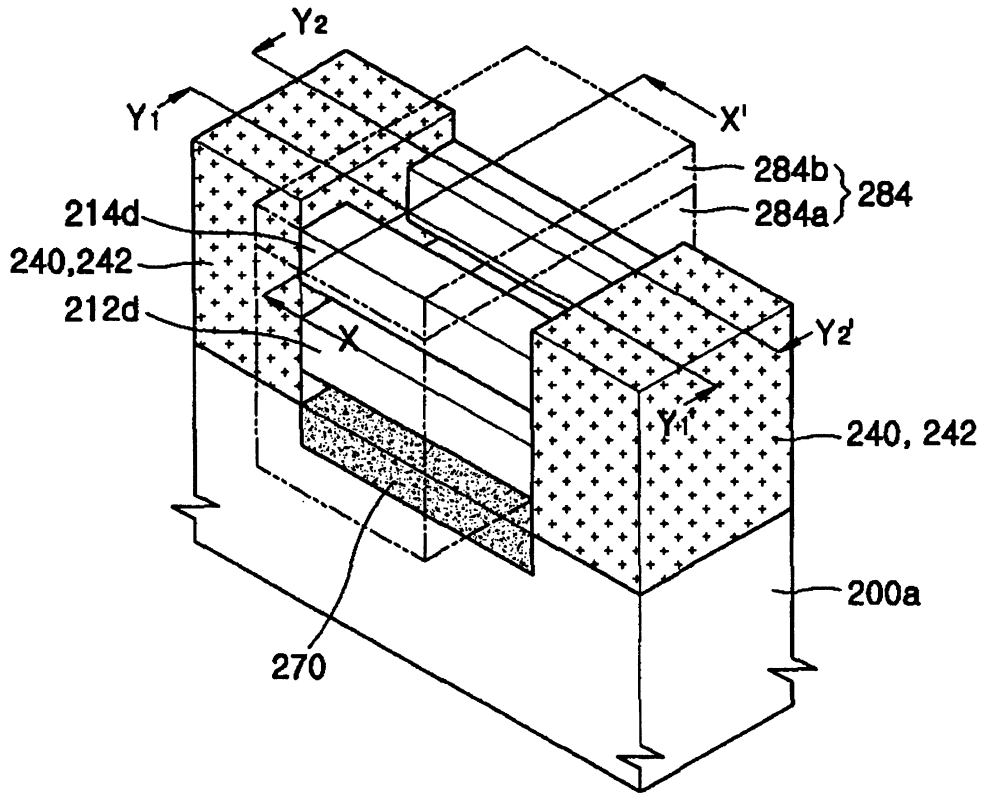


圖 4A

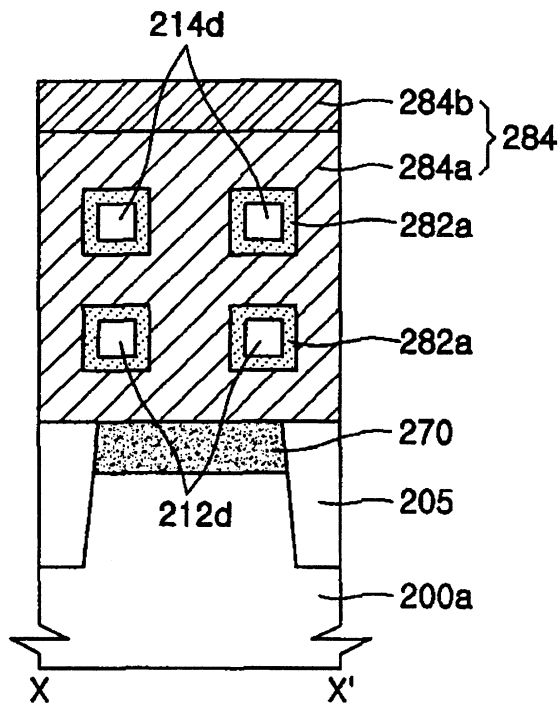


圖 4B

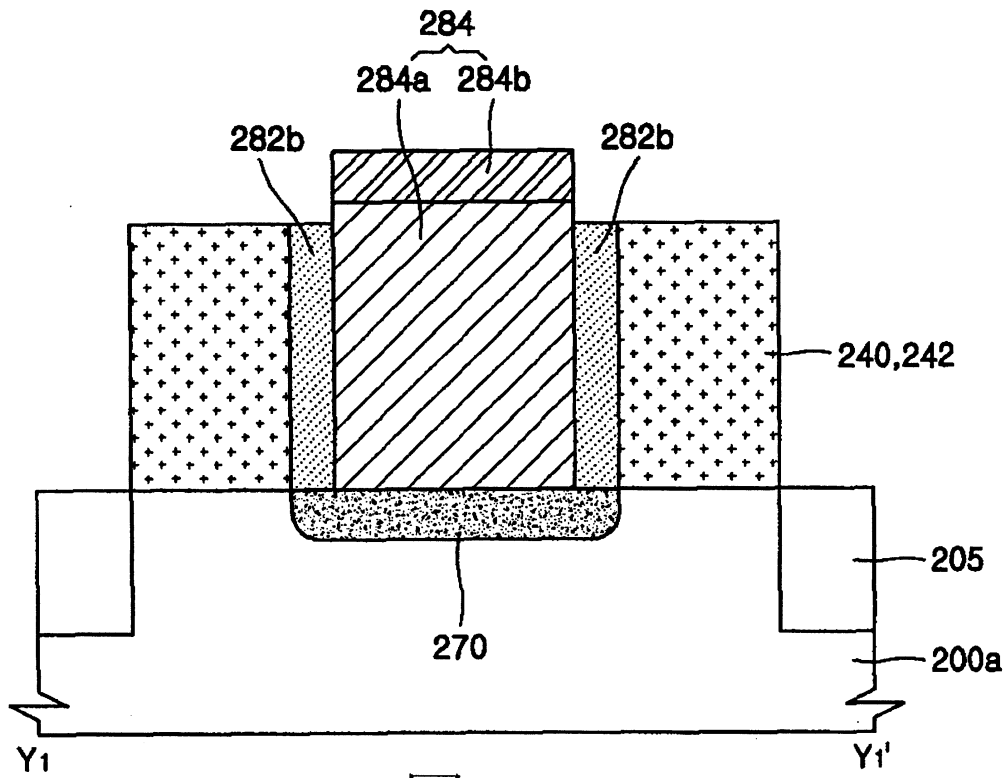


圖 4C

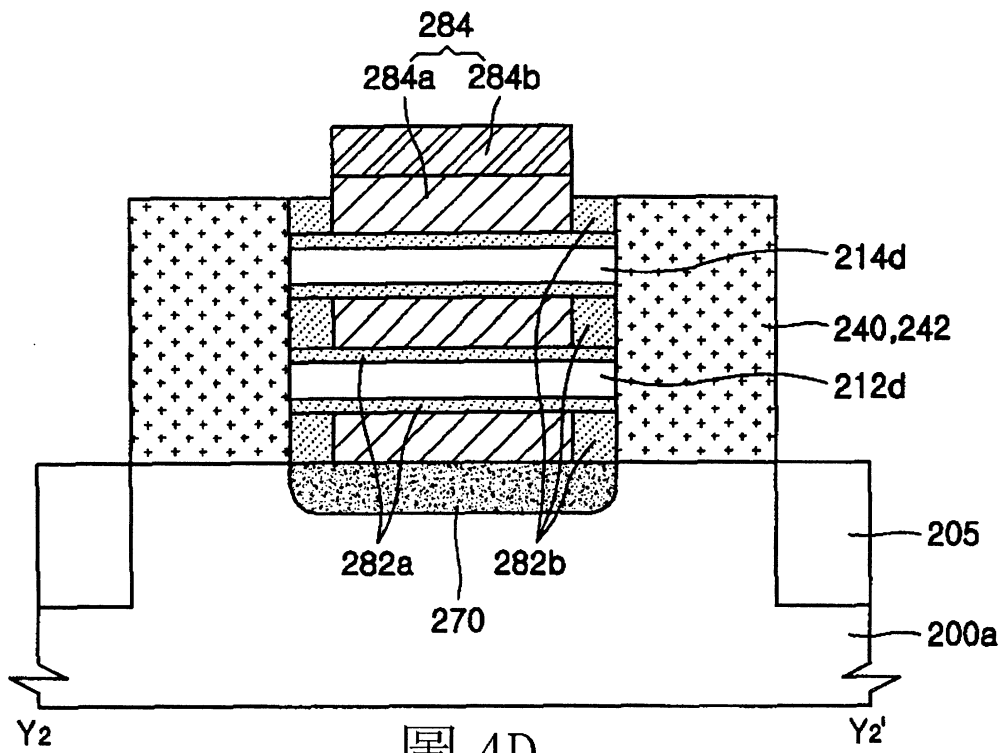


圖 4D

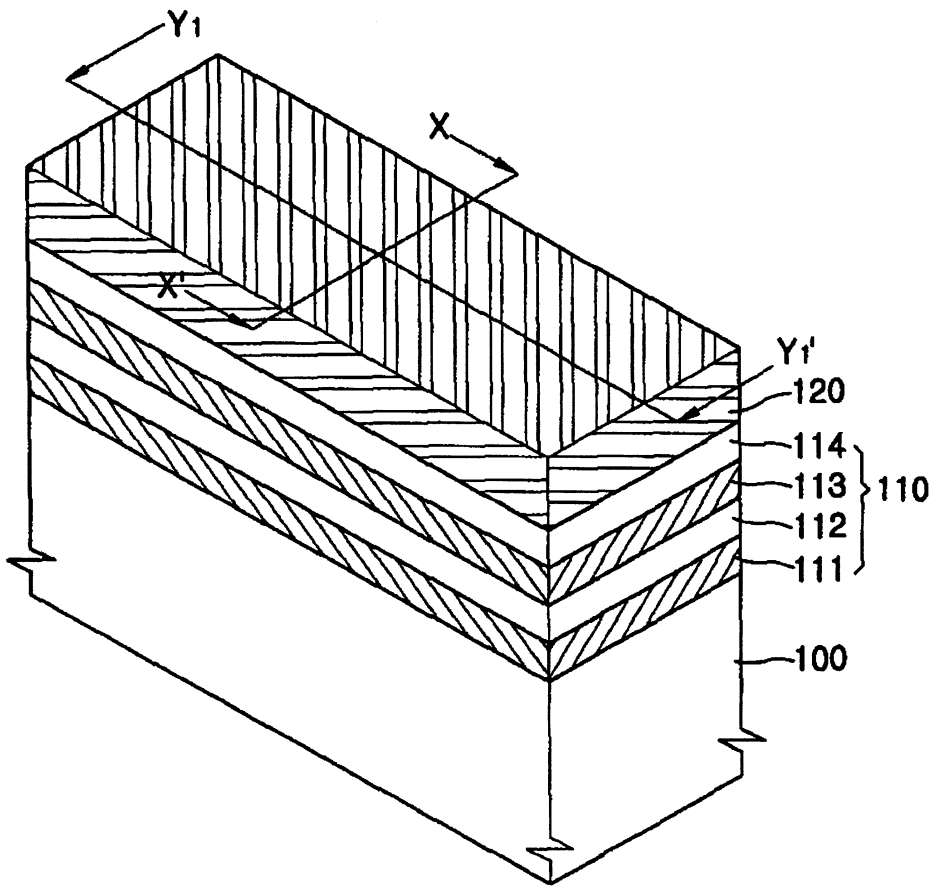


圖 5A

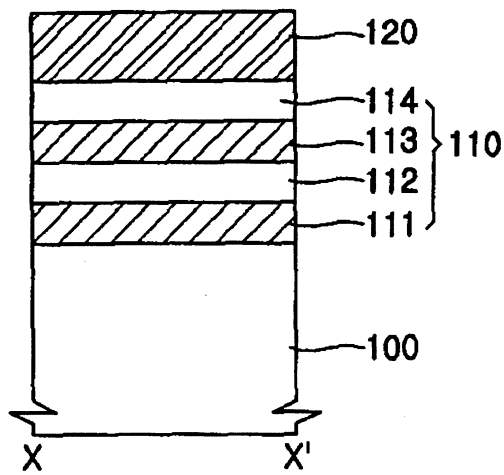


圖 5B

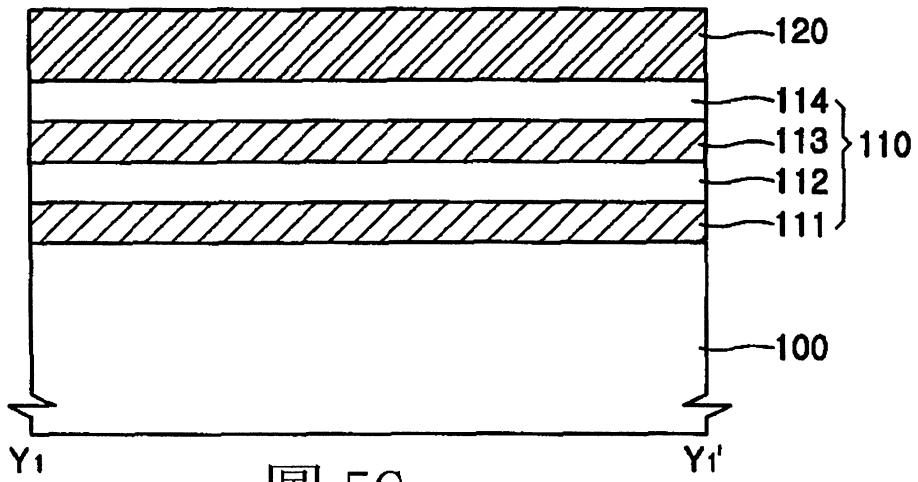


圖 5C

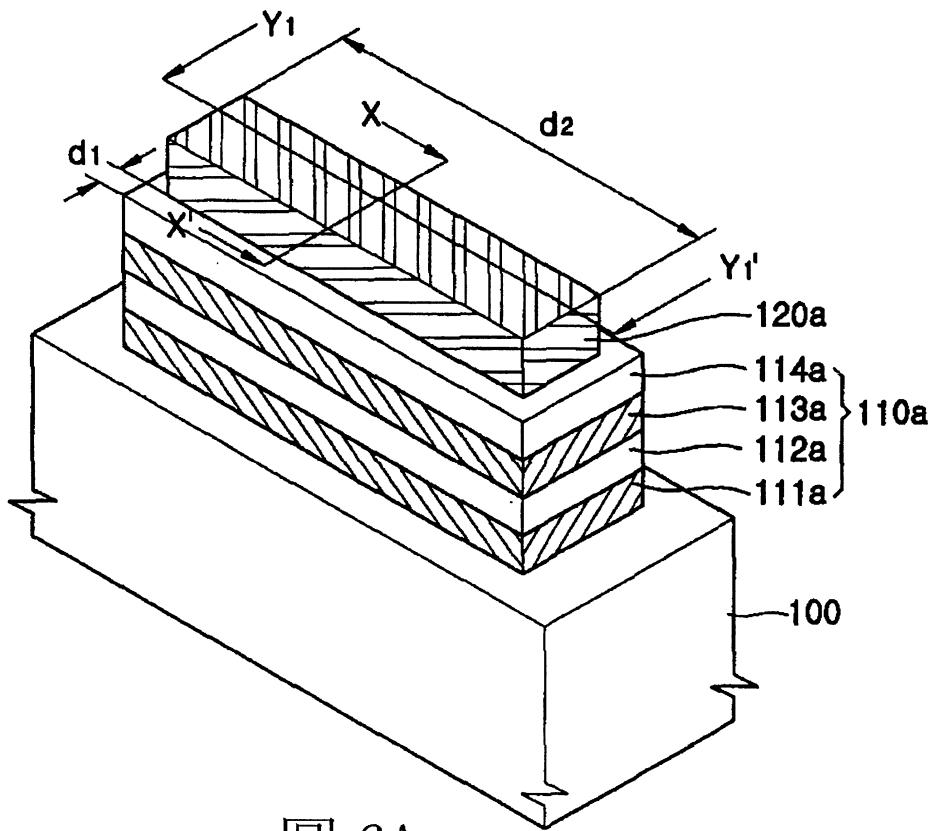


圖 6A

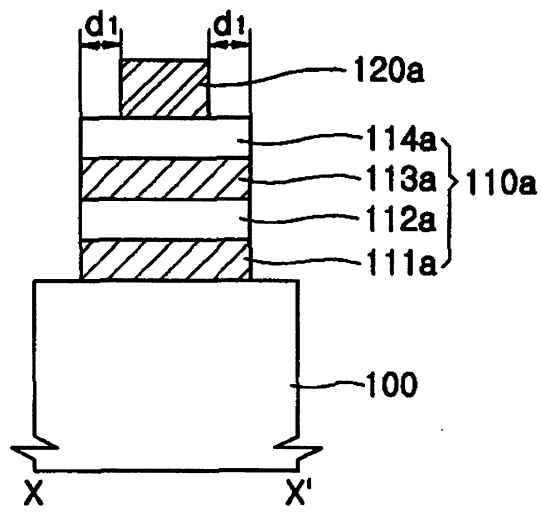


圖 6B

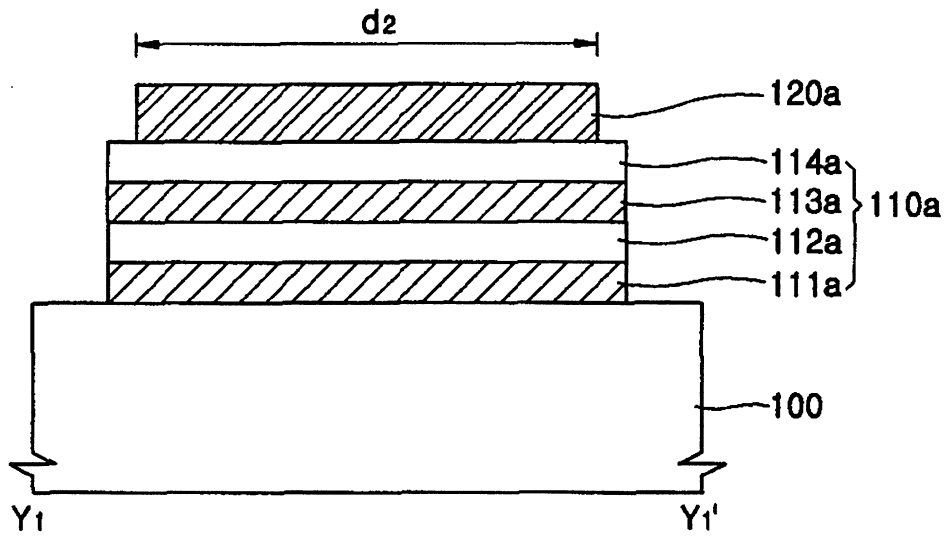


圖 6C



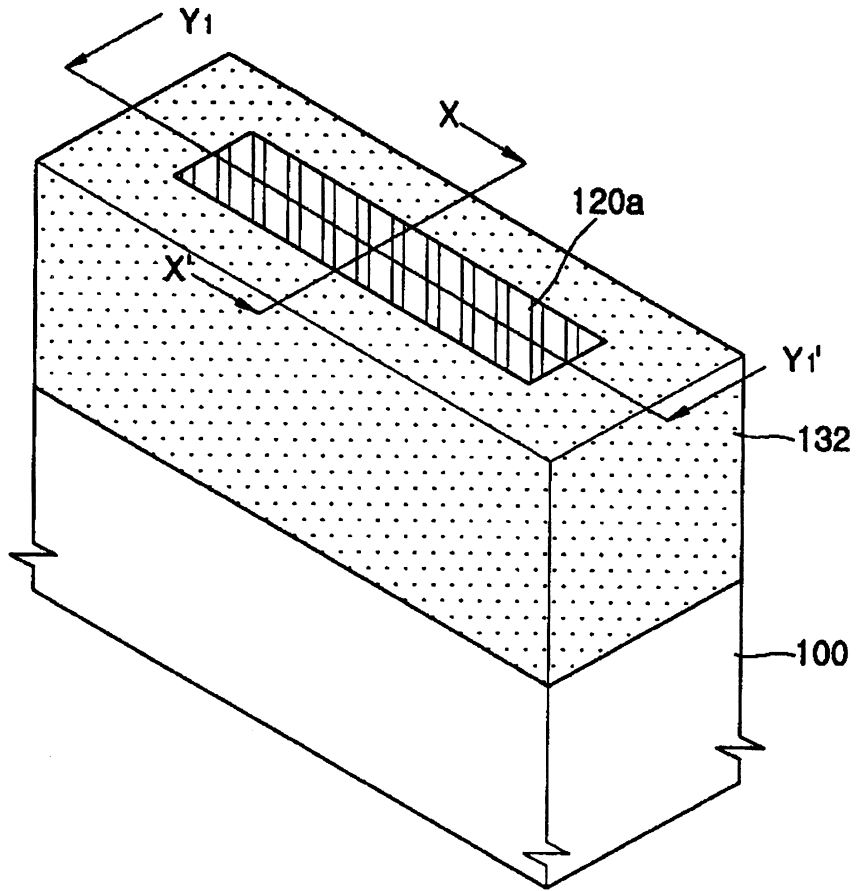


圖 7A

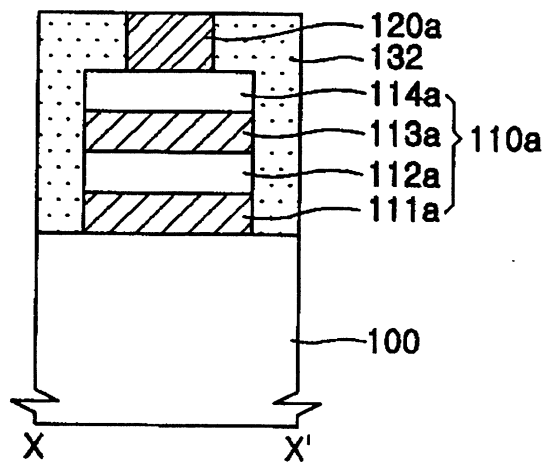


圖 7B

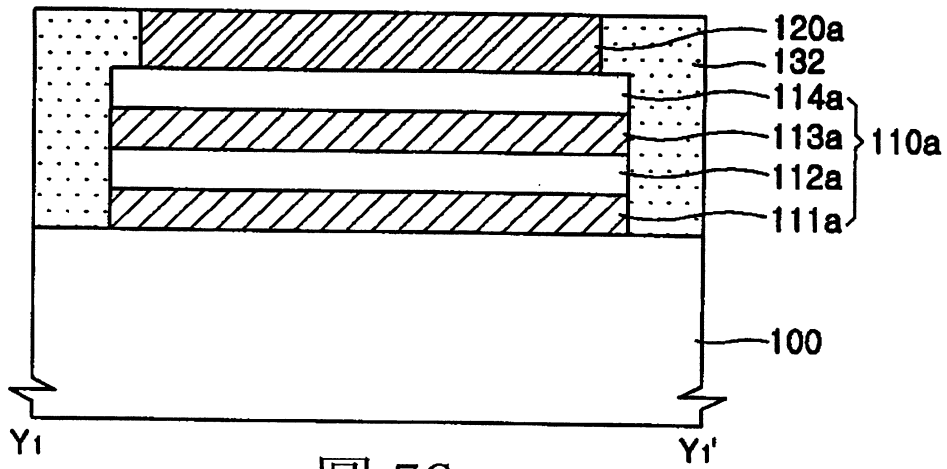


圖 7C

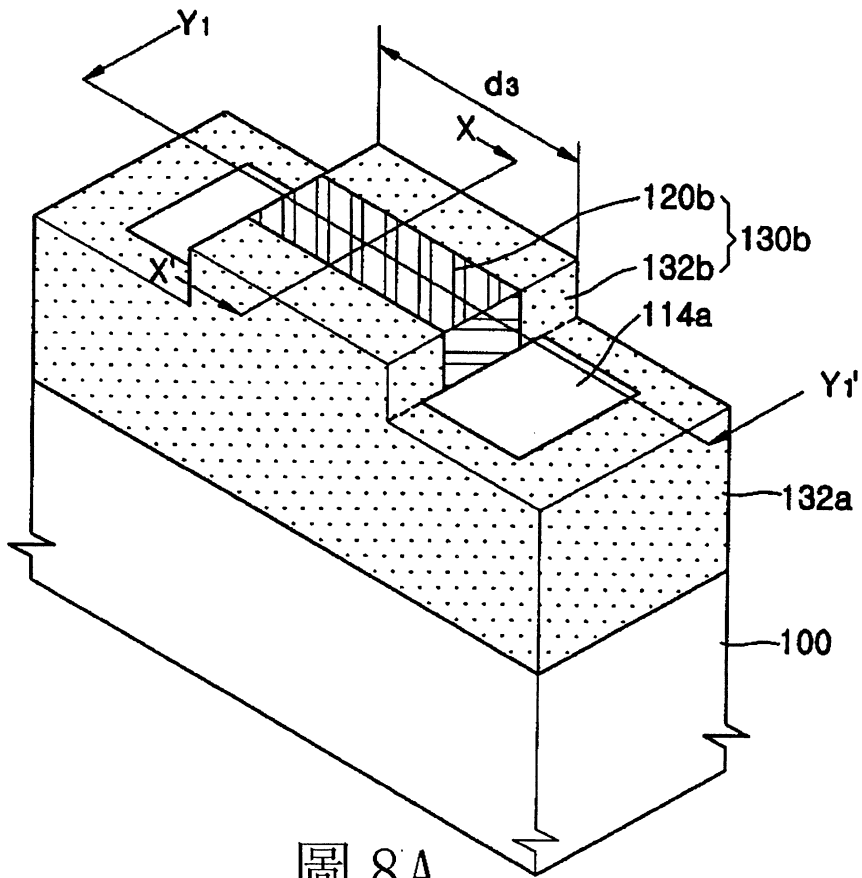


圖 8A

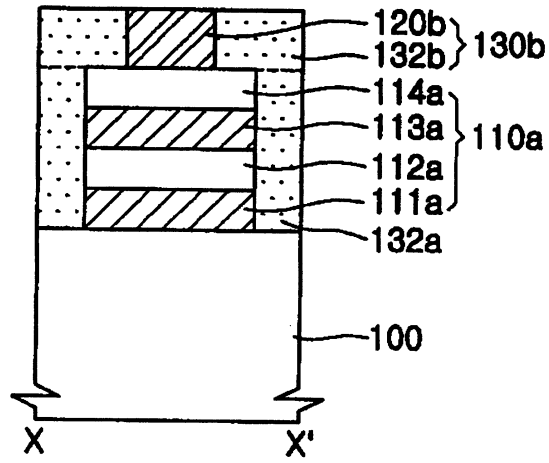


圖 8B

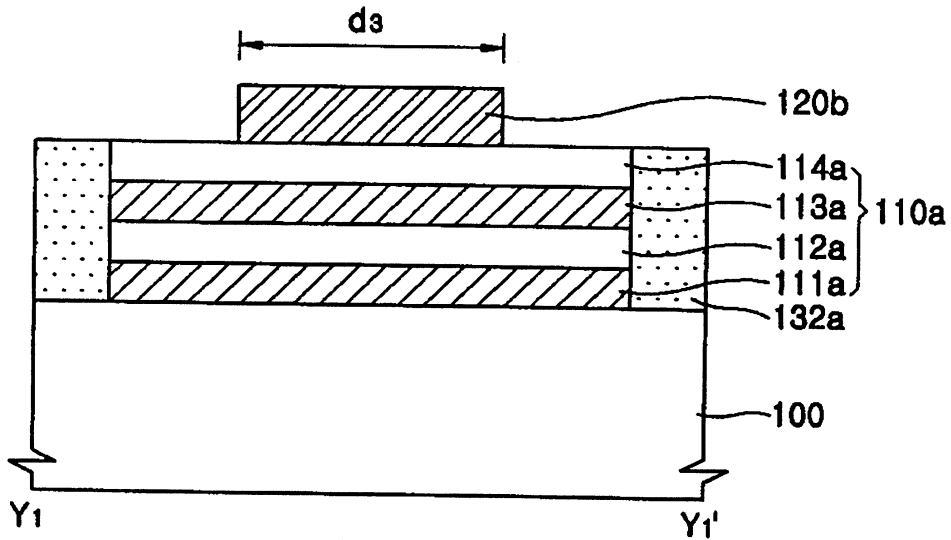


圖 8C

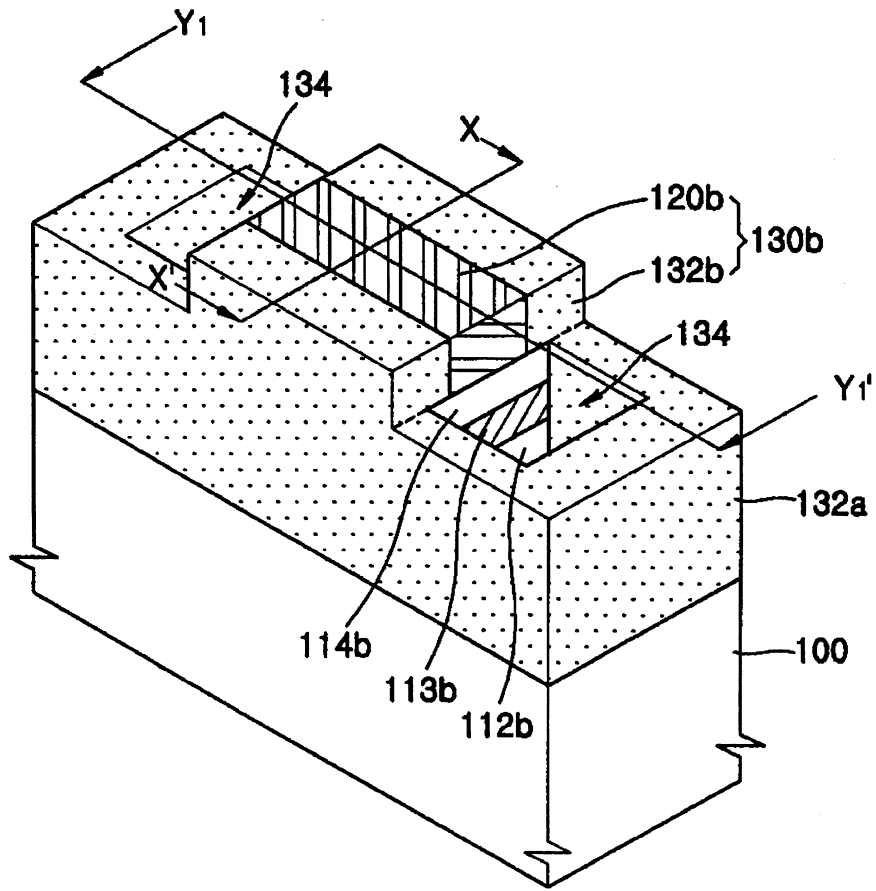


圖 9A

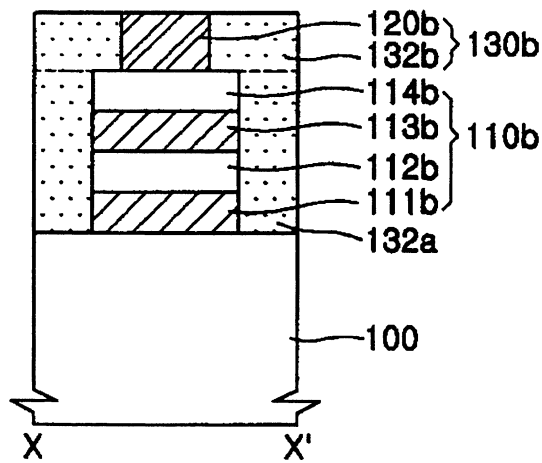


圖 9B

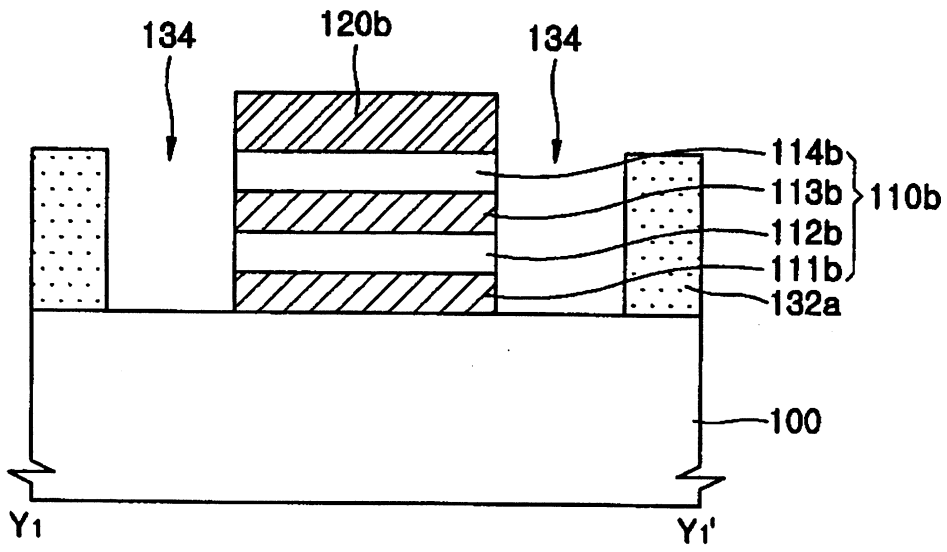


圖 9C

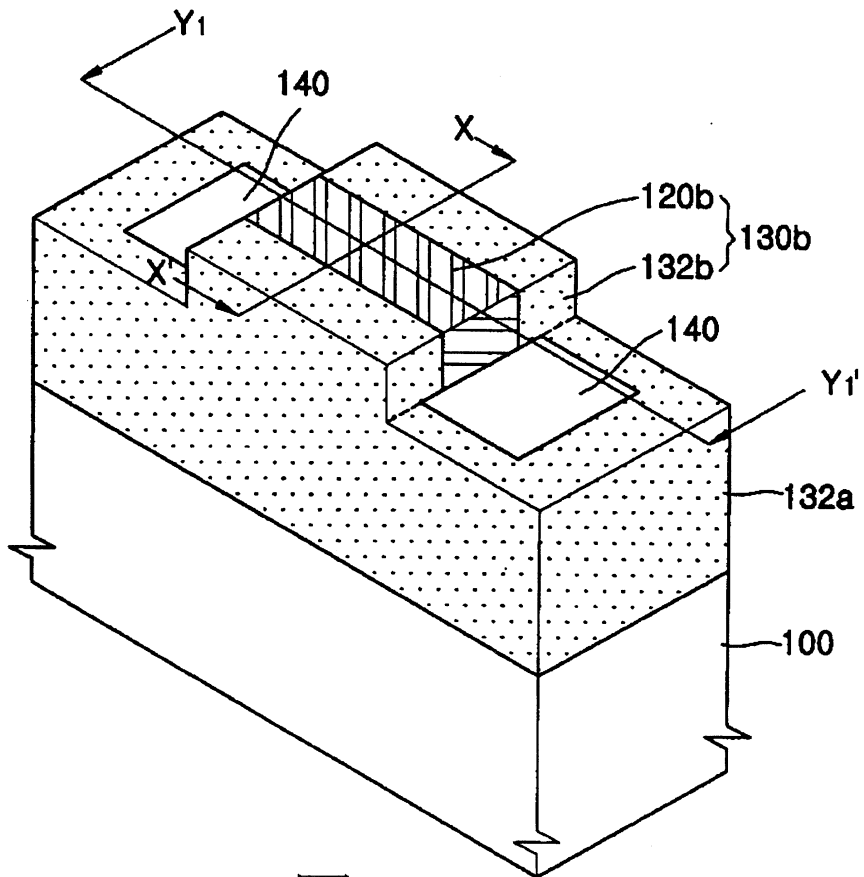


圖 10A

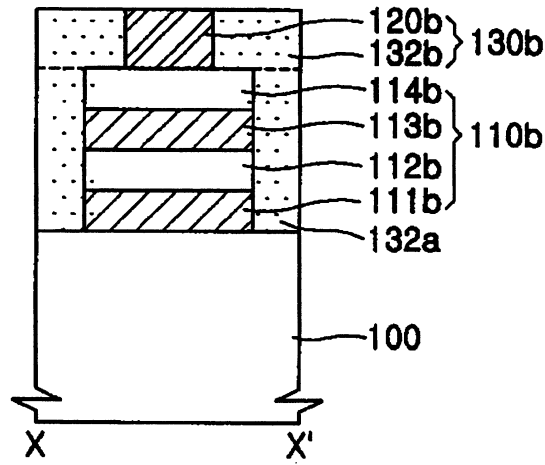


圖 10B

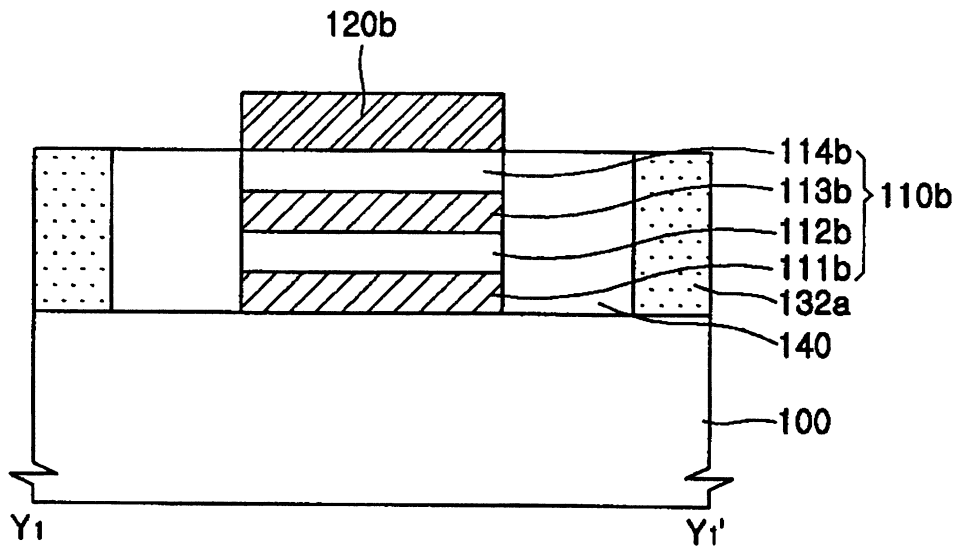


圖 10C

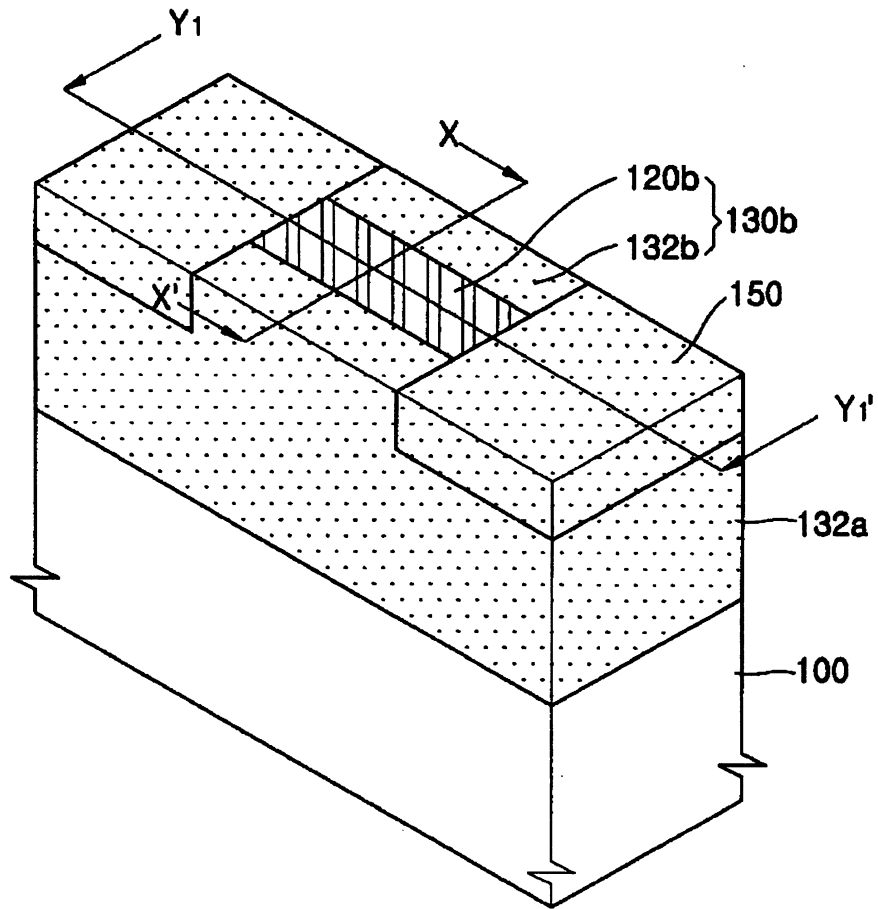


圖 11A

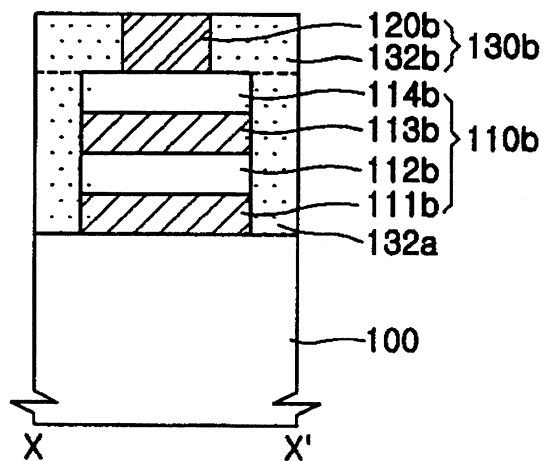


圖 11B

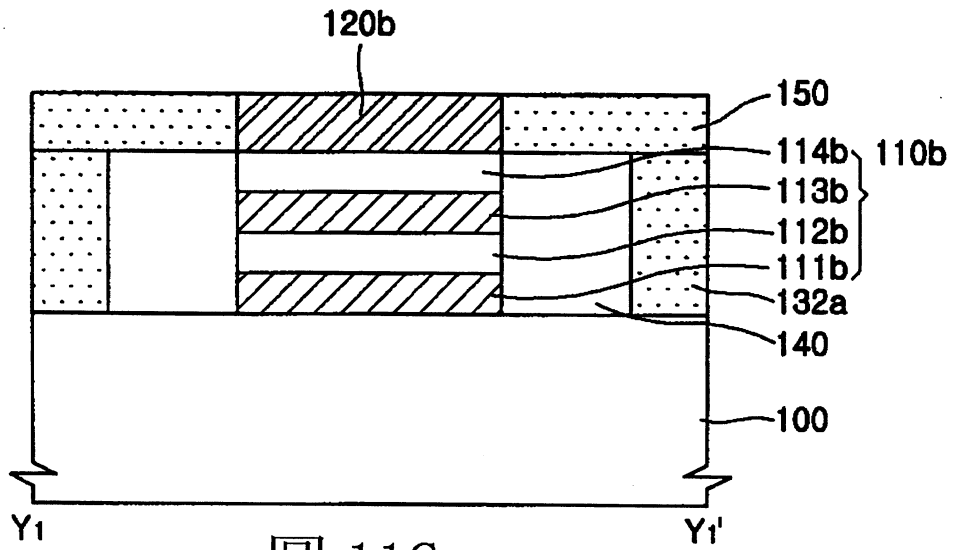


圖 11C

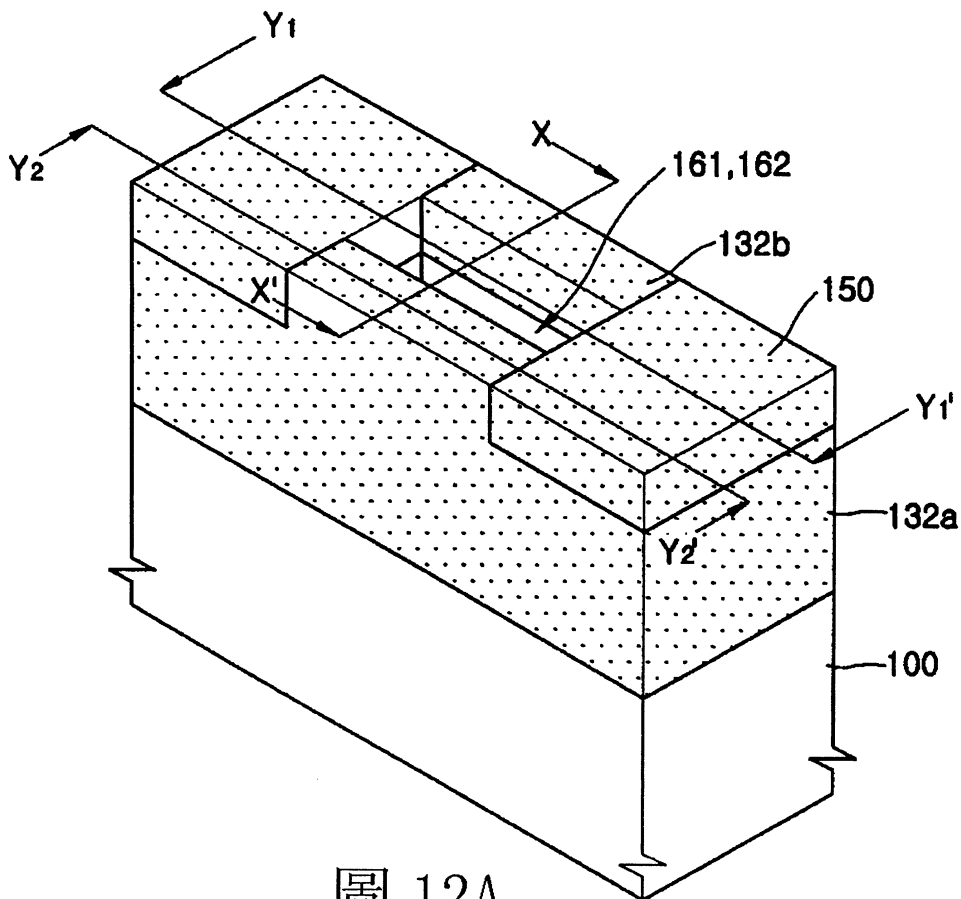


圖 12A



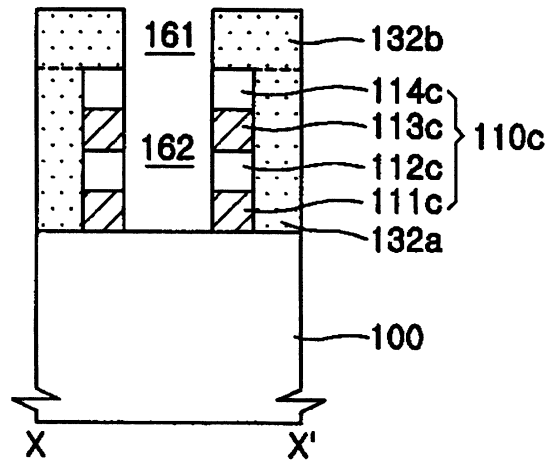


圖 12B

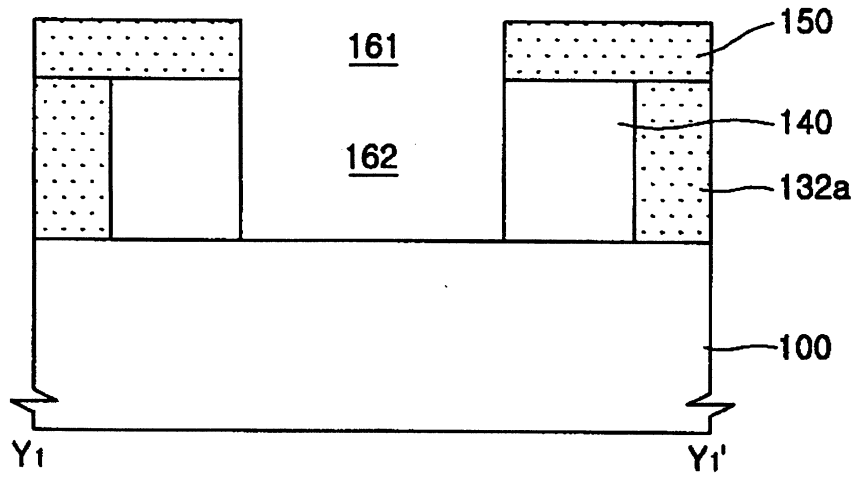


圖 12C

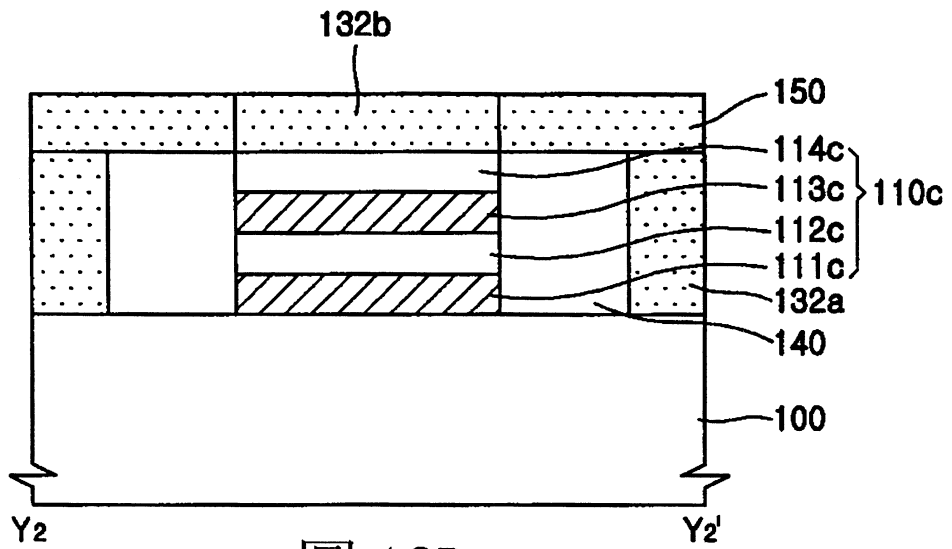


圖 12D

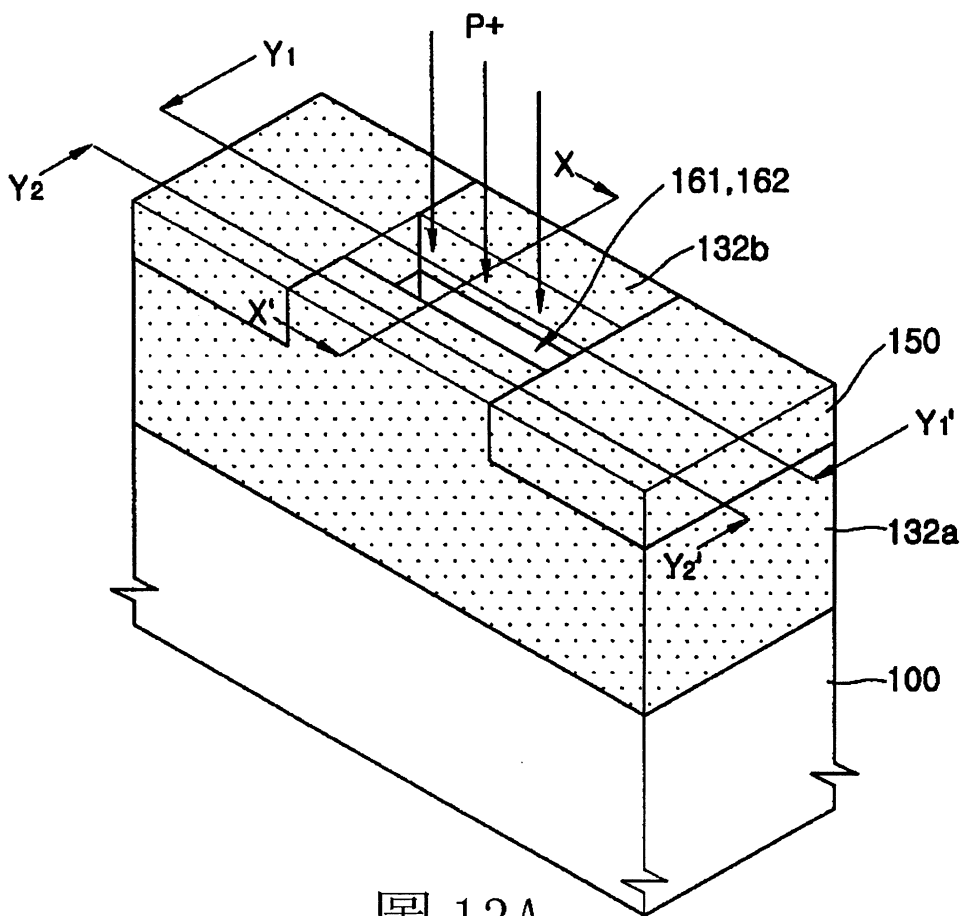


圖 13A

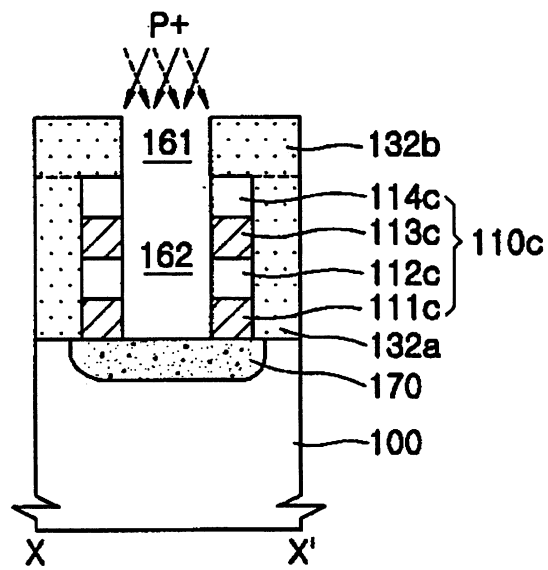


圖 13B

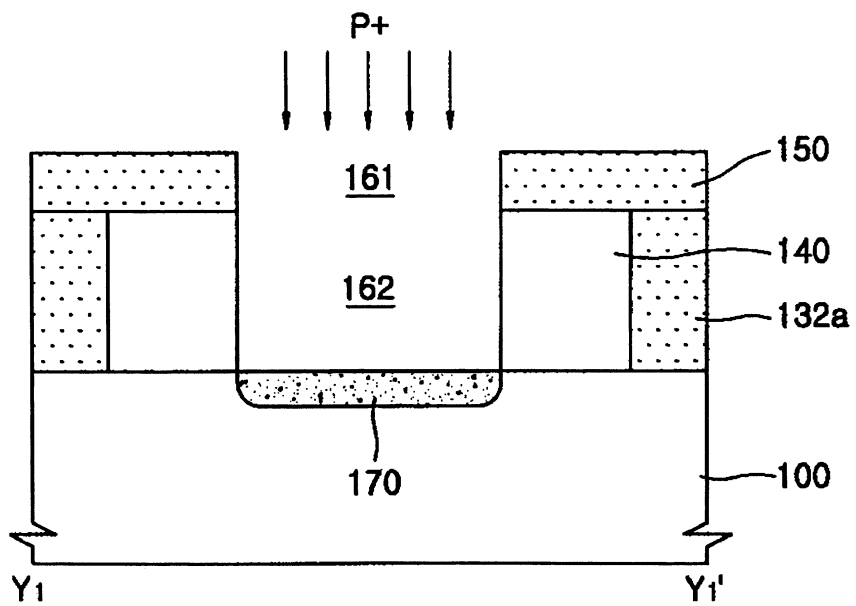


圖 13C

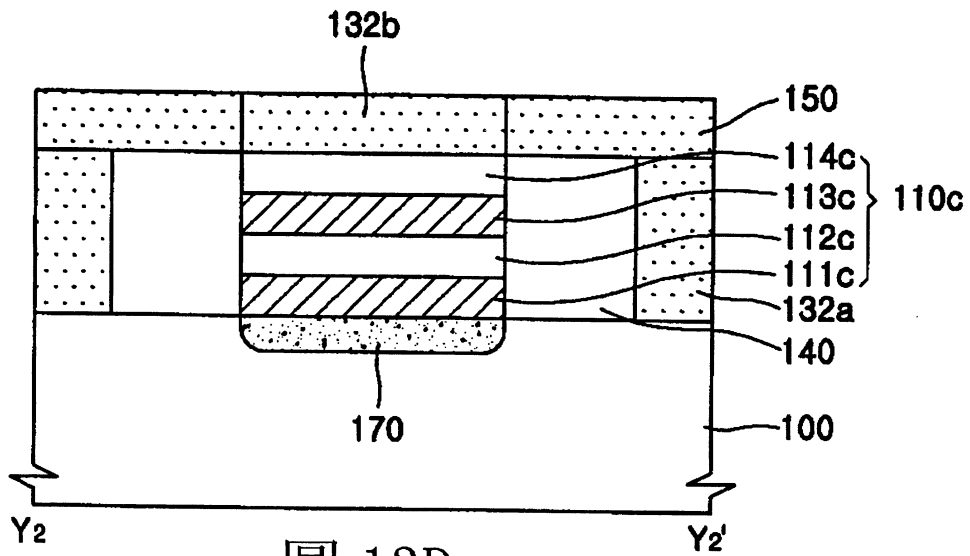


圖 13D

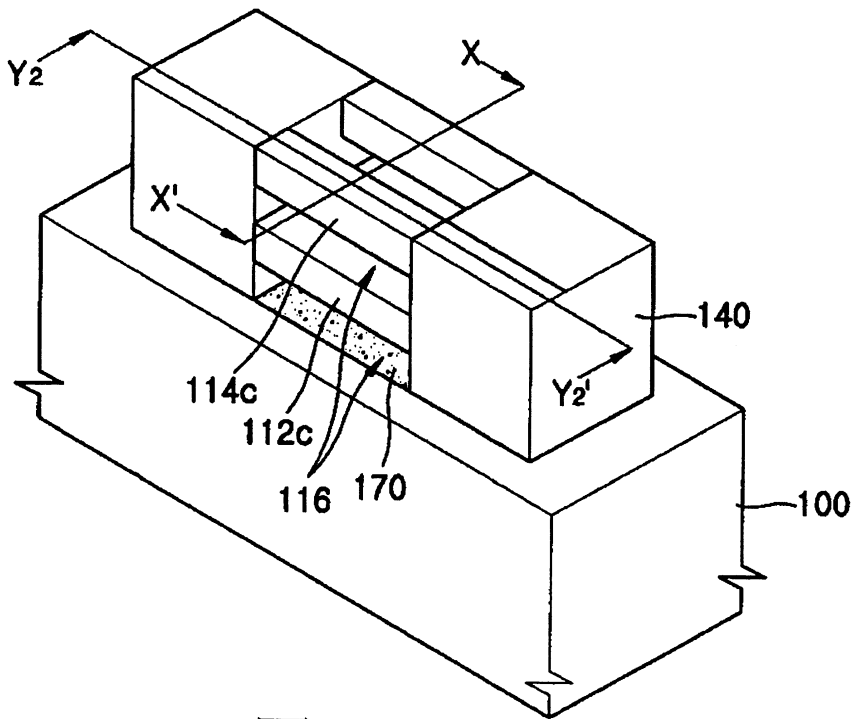


圖 14A

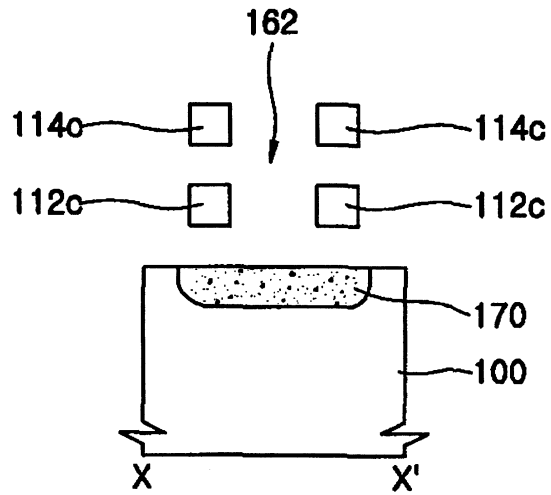


圖 14B

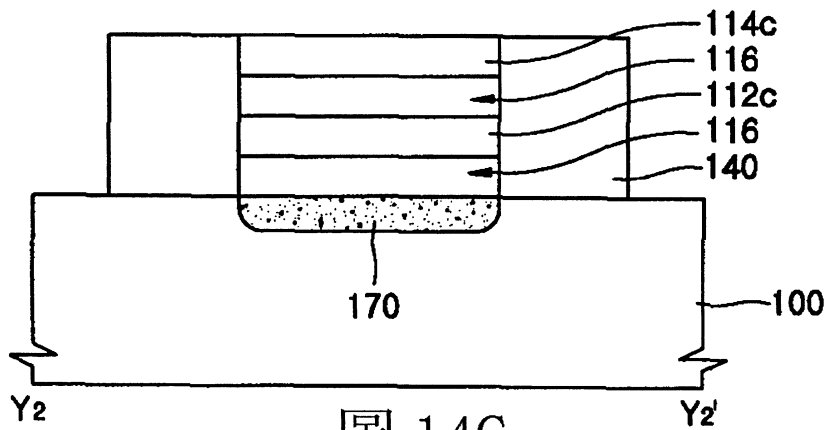


圖 14C

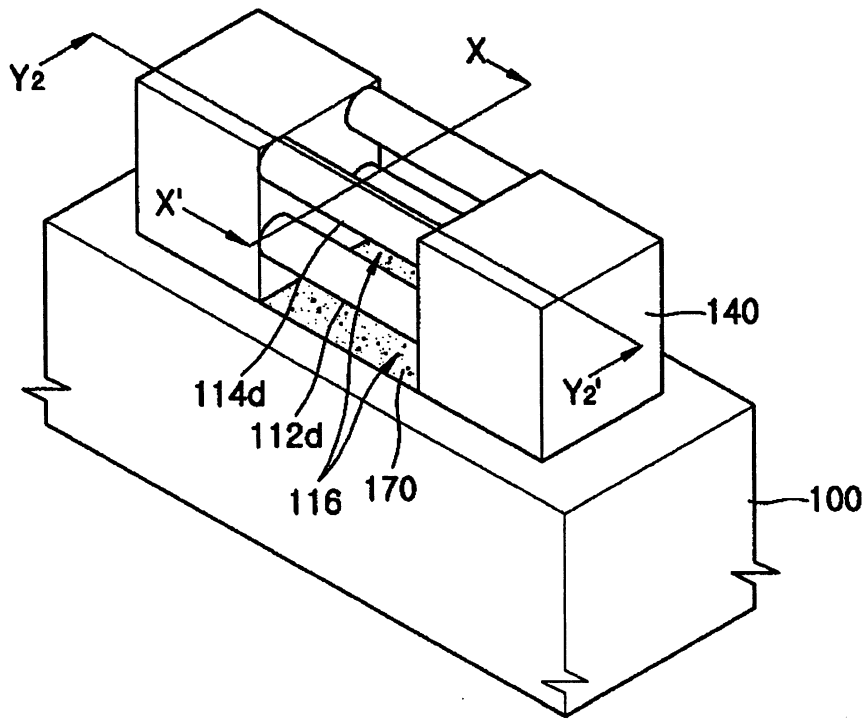


圖 15A

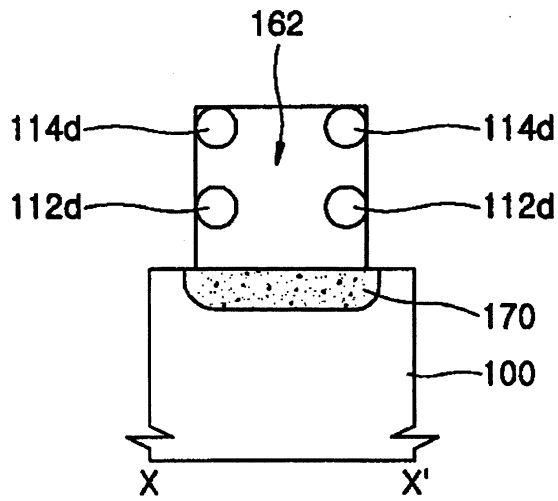


圖 15B

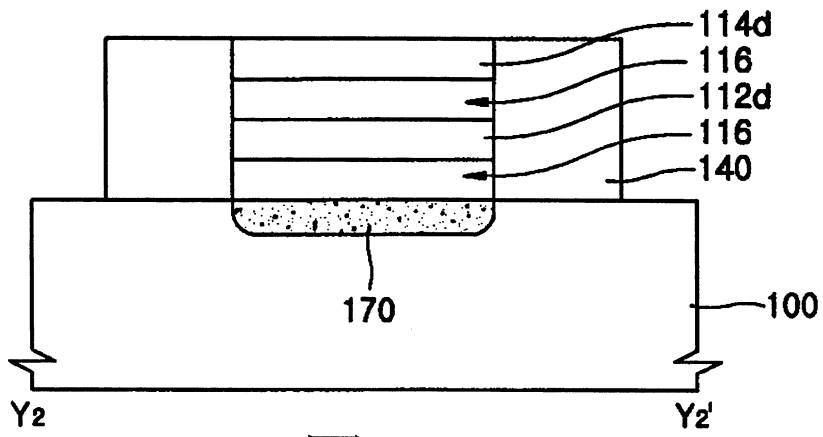


圖 15C

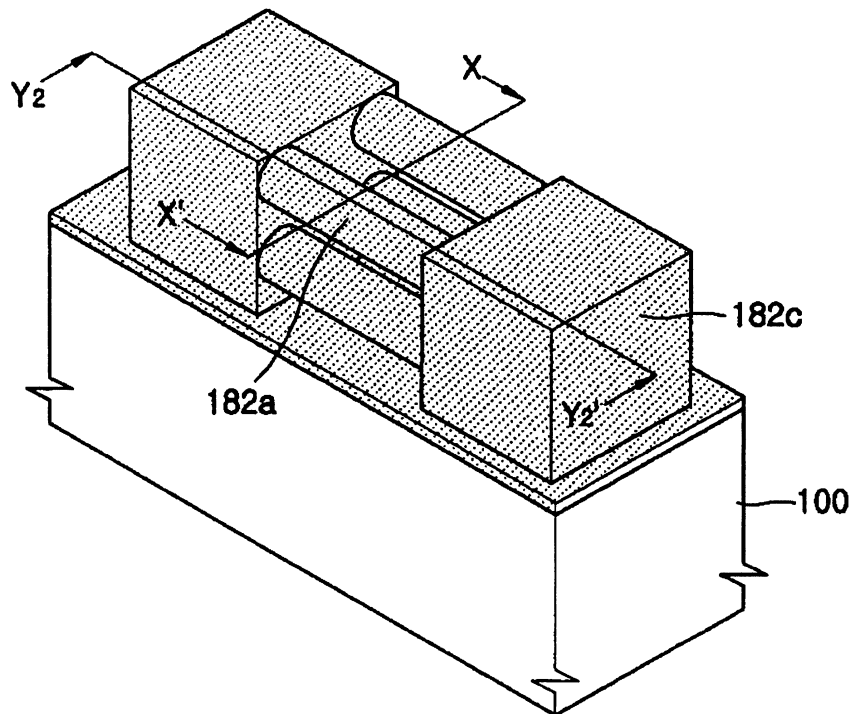


圖 16A

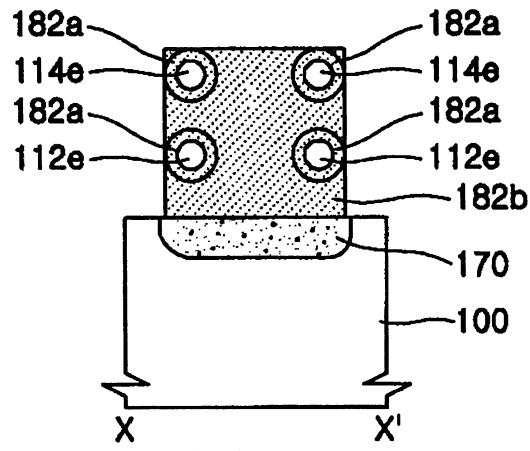


圖 16B

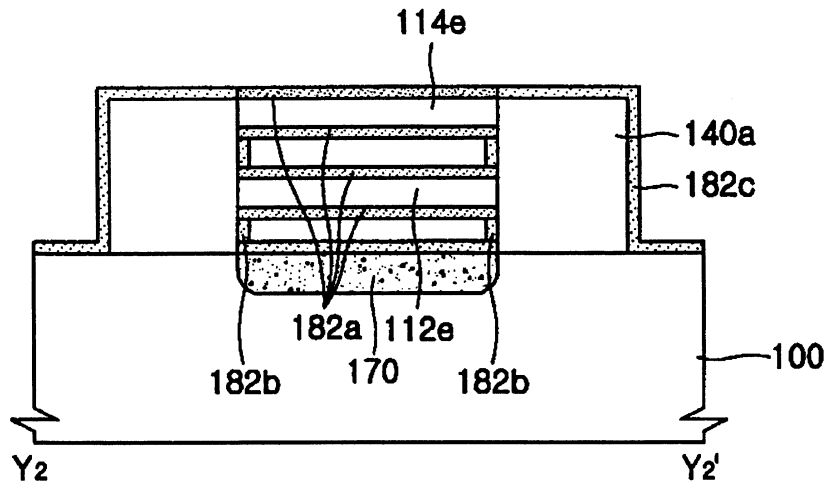


圖 16C



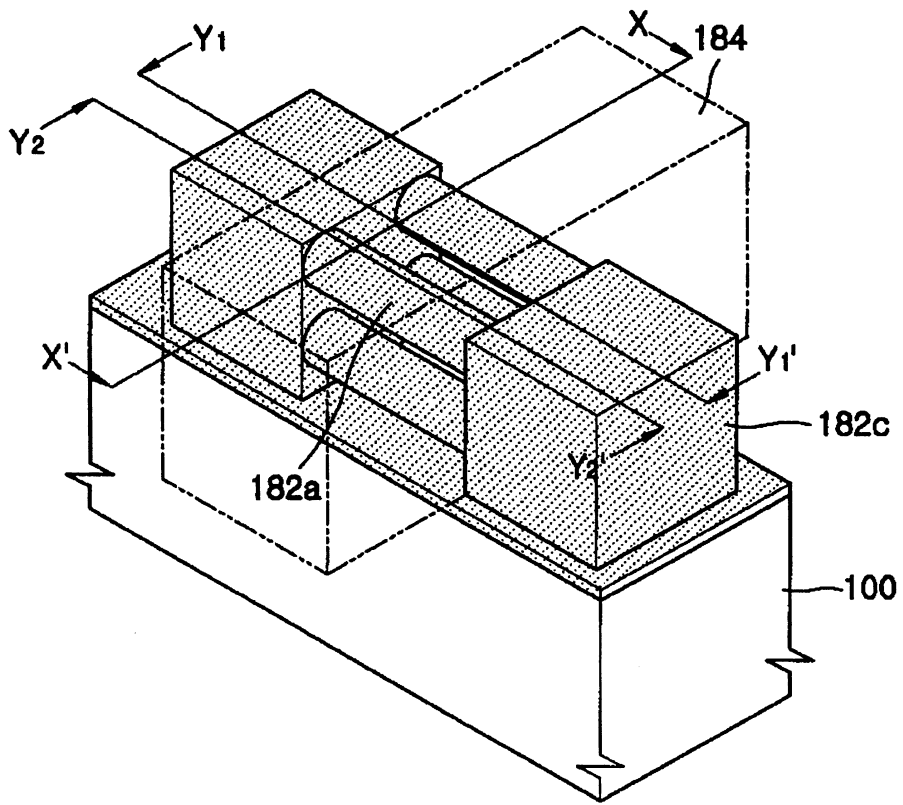


圖 17A

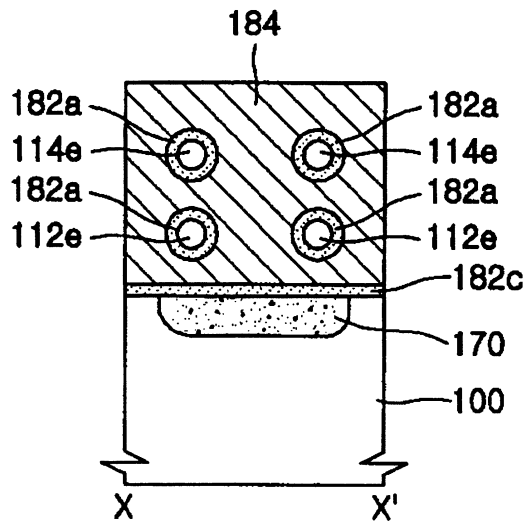


圖 17B

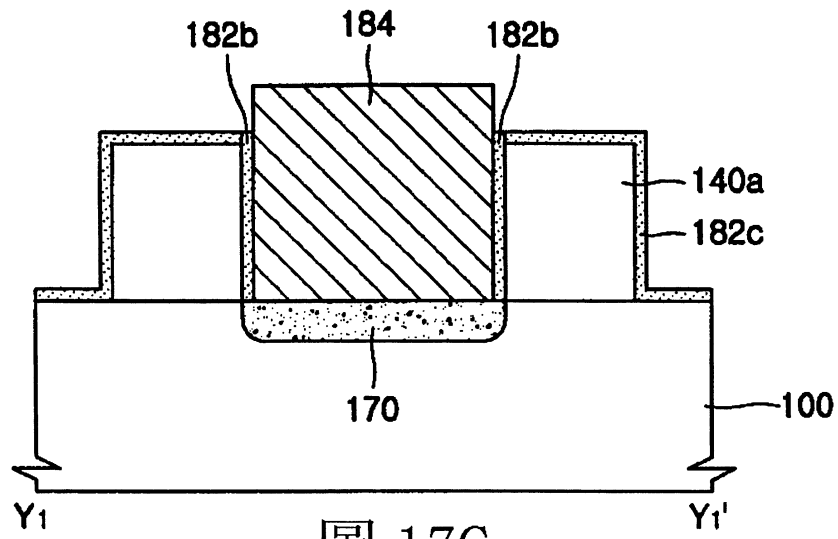


圖 17C

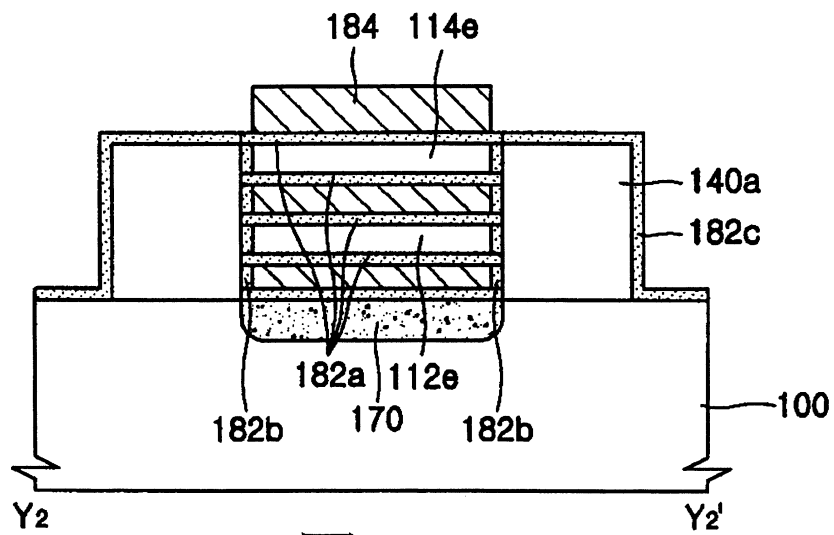


圖 17D

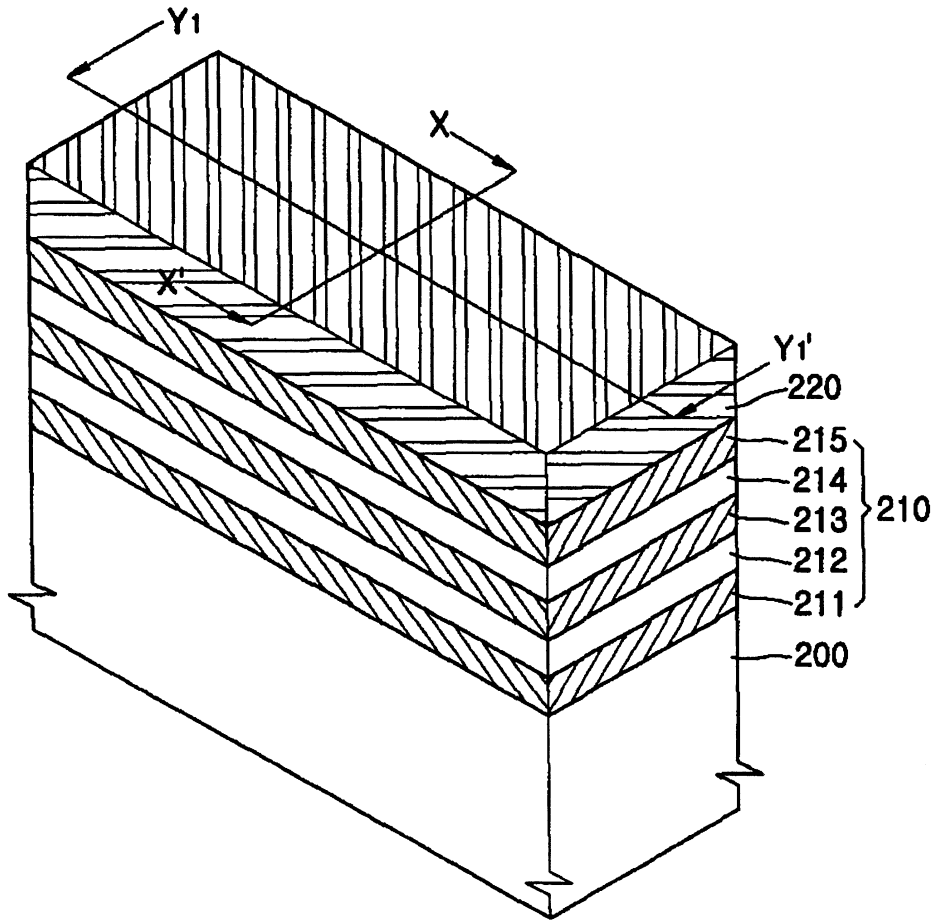


圖 18A

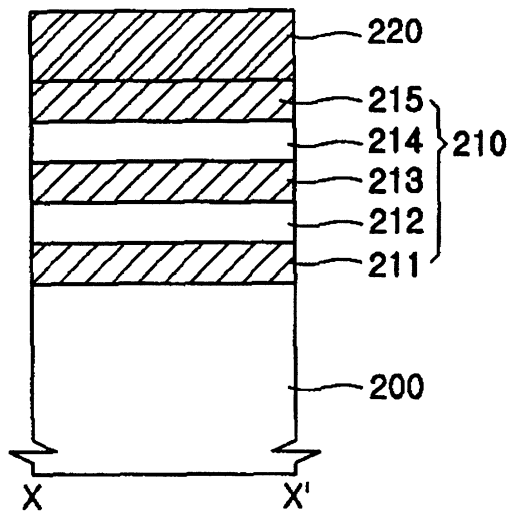


圖 18B

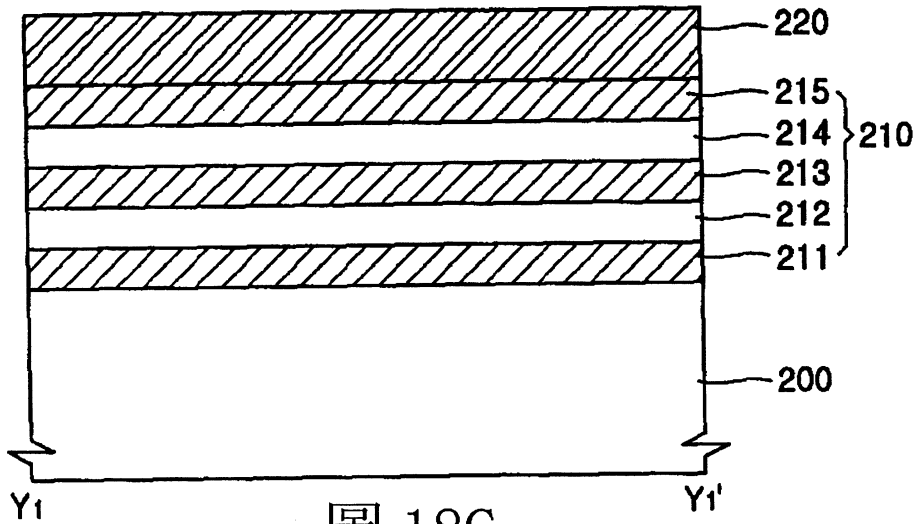


圖 18C

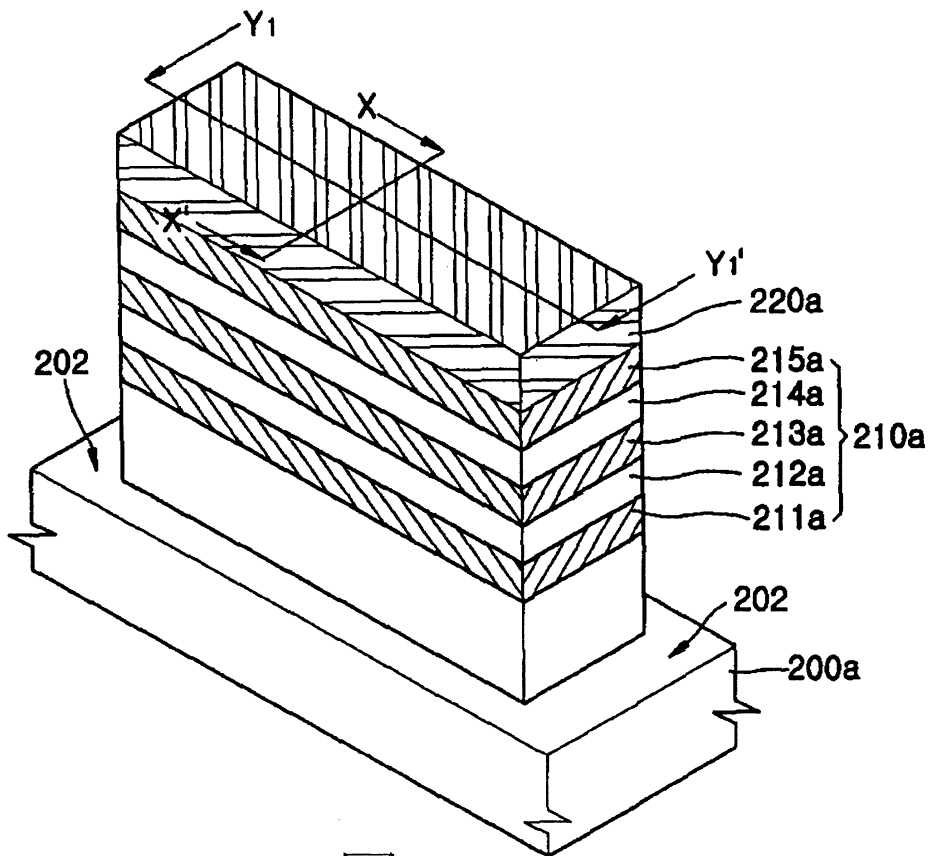


圖 19A

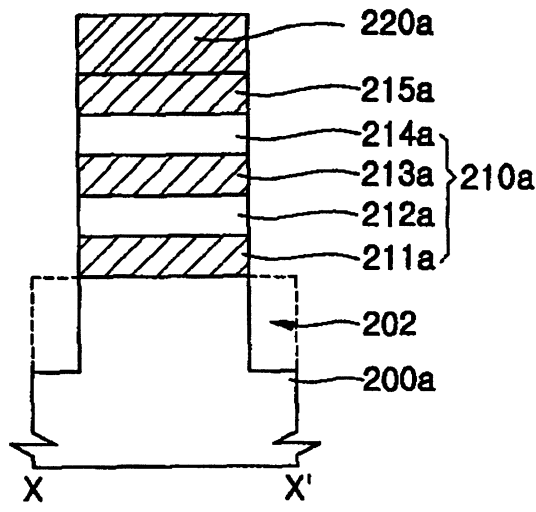


圖 19B

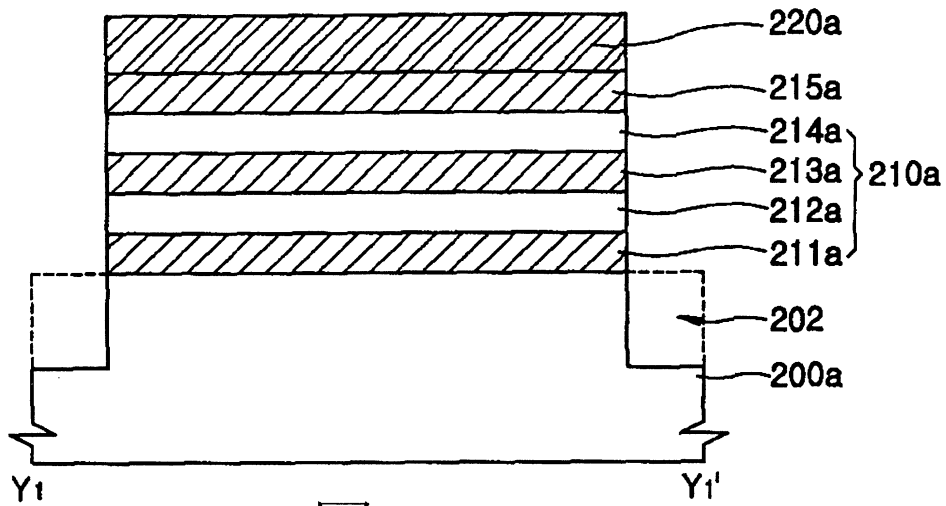


圖 19C

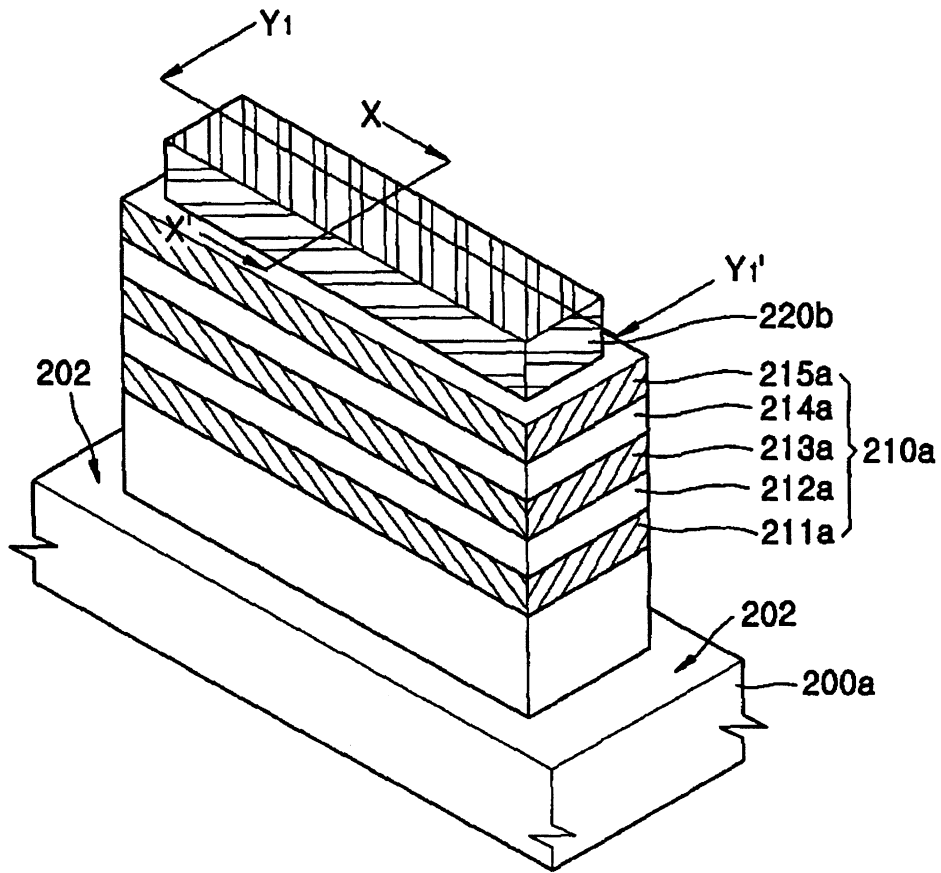


圖 20A

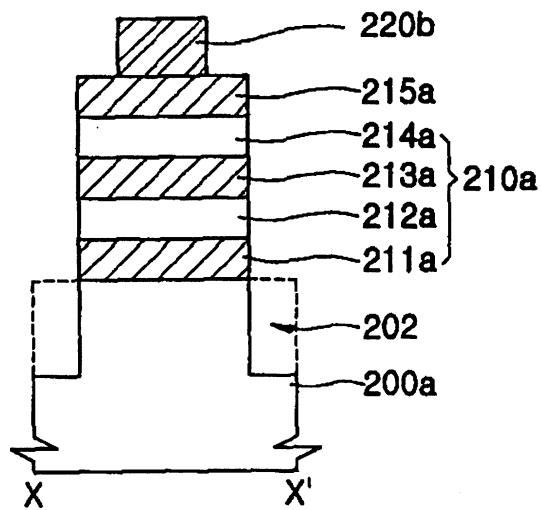


圖 20B

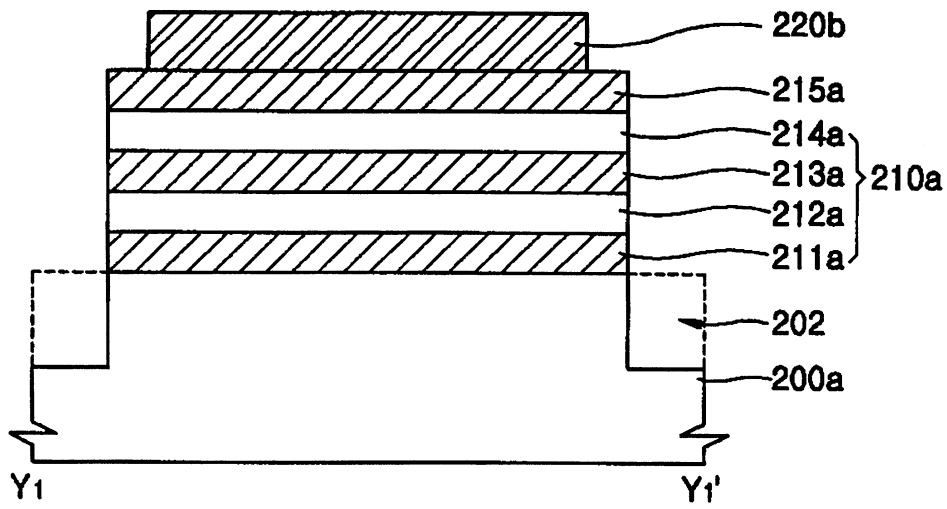


圖 20C

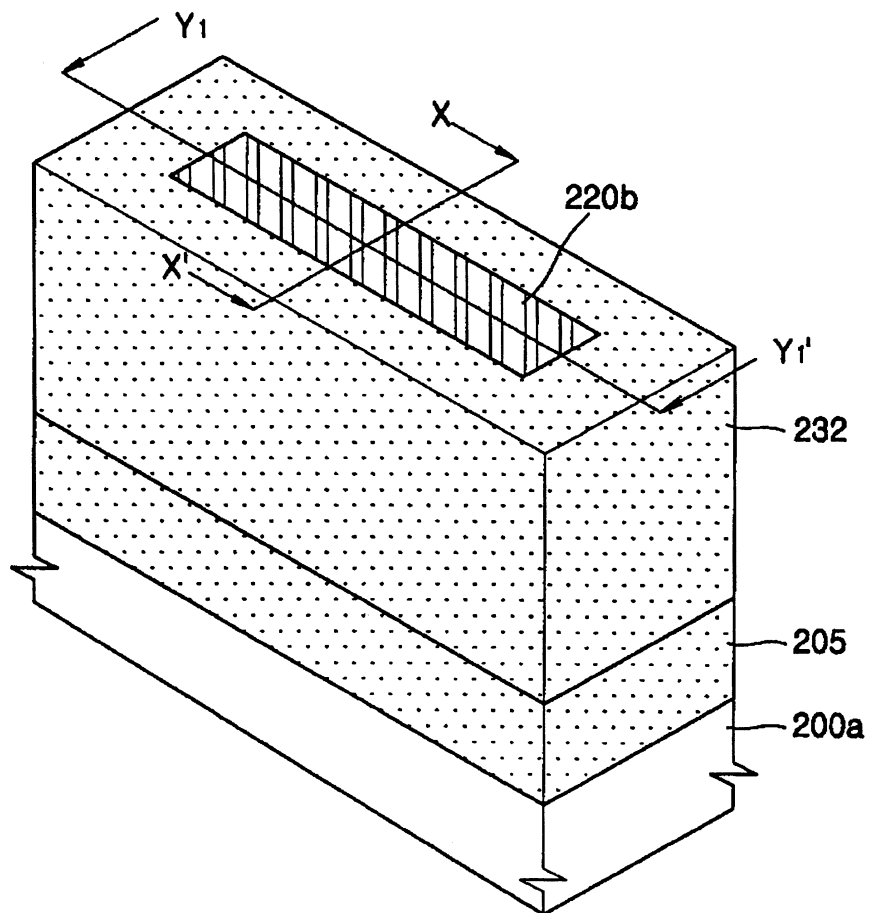


圖 21A

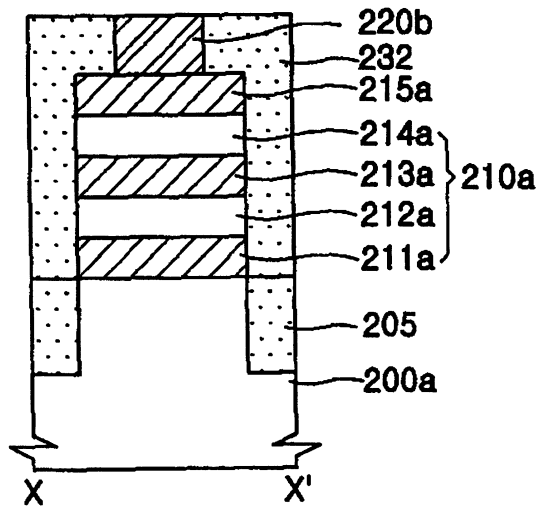


圖 21B

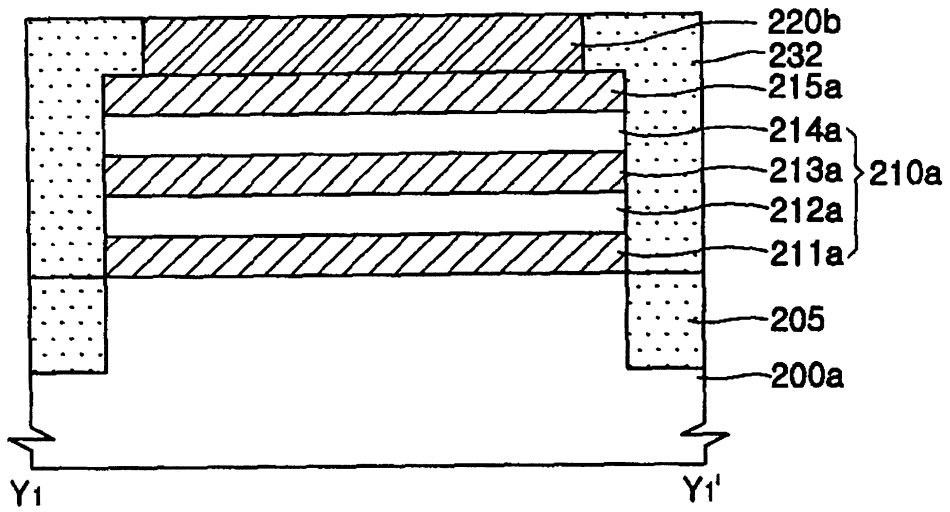


圖 21C



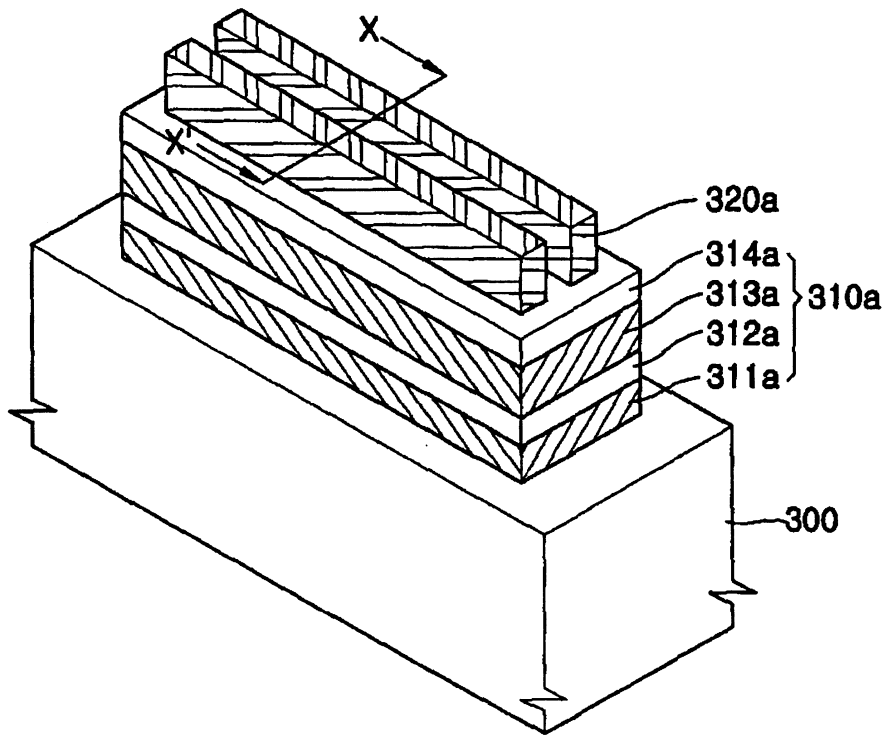


圖 22A

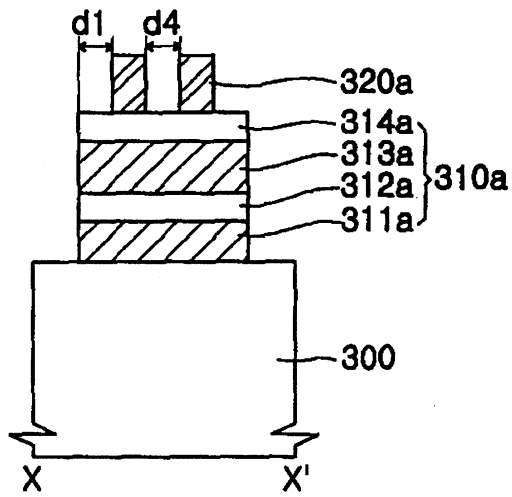


圖 22B

七、指定代表圖：

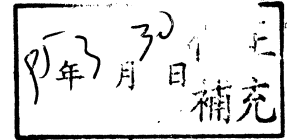
(一)本案指定代表圖為：第 ( 3a ) 圖。

(二)本代表圖之元件符號簡單說明：

100	半導體基板
112e	線通道
114e	線通道
140	源極/汲極圖案
184	導電圖案

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)



溝槽形成硬式遮罩220a之尺寸及厚度凹陷至一預定尺寸。

參看圖21A至21C，用具有優良間隙填充特性之絕緣材料，例如DHP氧化物膜，來塗覆圖20A至圖20C之所得結構之整個表面，且平坦化所塗覆之絕緣材料膜直至暴露出遮罩圖案220b。結果，在該半導體基板200a上形成一填充溝槽202之隔離絕緣膜205，且在該隔離絕緣膜205上形成一環繞通道形成準備圖案210a及遮罩圖案220b之模製圖案232。

當大體上如前文所述之製造FET之方法執行隨後製程時，獲得圖4A至圖4D所說明之FET。因為圖4A至圖4D之線通道212d及214d具有矩形橫截面，可省略如上文所述用於使線通道212d及214d之橫截面變圓之初次退火製程。

在本實施例中，可同時形成該溝槽形成硬式遮罩220a及該通道形成準備圖案210a，且可同時形成該隔離絕緣膜205及該模製圖案232，藉此簡化根據本實施例之製造FET的方法。

此外，在本發明之此實施例中，第三犧牲層圖案215a充當遮罩，以在移除剩餘模製圖案及剩餘緩衝圖案之製程期間保護第二通道層圖案214a，該等製程對應於前述實施例之圖14A至圖14C所說明之製程。因此，可防止對第二通道層圖案214a，即線通道214d之上層列(如圖4A至圖4D所說明)的損壞，藉此產生具有增加之可靠性的FET。

參看圖22A及圖22B，按兩行及三列配置之該等線通道可以形成。

根據本發明之該等實施例，FET之線通道為完全空乏型且

同時具有各向同性結構。因此，載子直線運行的特性得以改良，其防止散射。

此外，根據本發明之一實施例，快速運作是可能的且大量電流可在FET中流動。此外，可輕易地增加線通道之數目，且可使源極/汲極區域之摻雜輪廓垂直統一。結果，可製造出快速且可靠之FET。

本文已揭示本發明之例示性實施例，且儘管使用特殊術語，但是其僅在一般及描述意義上且並非為限制之目的而使用及解釋。因此，一般技術者應瞭解，在不背離申請專利範圍中所陳述之本發明之精神及範疇的情況下，可在形式及細節上作出多種改變。

### 【圖式簡單說明】

圖1A至圖1C說明根據本發明之多種實施例之場效應電晶體(FET)之作用圖案之透視圖；

圖1D係根據本發明之一實施例之FET的垂直掃描電子顯微照片；

圖2說明沿圖1A之線A-A'取得之橫截面圖；

圖3A說明根據本發明之一實施例之FET的示意性透視圖；

圖3B說明沿圖3A之線X-X'取得之橫截面圖；

圖3C說明沿圖3A之線Y<sub>1</sub>-Y<sub>1</sub>'取得之橫截面圖；

圖3D說明沿圖3A之線Y<sub>2</sub>-Y<sub>2</sub>'取得之橫截面圖；

圖4A說明根據本發明之另一實施例之FET的示意性透視圖；

圖4B說明沿圖4A之線X-X'取得之橫截面圖；

圖4C說明沿圖4A之線Y<sub>1</sub>-Y<sub>1</sub>'取得之橫截面圖；

圖4D說明沿圖4A之線Y<sub>2</sub>-Y<sub>2</sub>'取得之橫截面圖；

圖5A至圖17D說明根據本發明之一例示性實施例的製造FET之方法中的階段，其中圖5A、6A、.....、及17A說明該FET之示意性透視圖，圖5B、6B、.....、及17B說明分別沿圖5A、6A、.....、及17A之線X-X'取得之橫截面圖，圖5C、6C、.....、13C及17C說明分別沿圖5A、6A、.....、及17A之線Y<sub>1</sub>-Y<sub>1</sub>'取得之橫截面圖，且圖12D、13D、14C、15C、16C及17D說明分別沿圖12A、13A、.....、及17A之線Y<sub>2</sub>-Y<sub>2</sub>'取得之橫截面圖；

圖18A至圖21C說明根據本發明之另一例示性實施例的製造FET之方法中的階段，其中圖18A、19A、20A及21A說明該FET電晶體之示意性透視圖，圖18B、19B、20B及21B說明分別沿圖18A、19A、20A及21A之線X-X'取得之橫截面圖，且圖18C、19C、20C及21C說明分別沿圖18A、19A、20A及21A之線Y<sub>1</sub>-Y<sub>1</sub>'取得之橫截面圖；及

圖22A及圖22B說明根據本發明之另一實施例之FET的示意性透視圖。

#### 【主要元件符號說明】

12e	下層線通道
14e	中層線通道
16e	下層線通道
40	源極/汲極圖案

42	源極/汲極區域
100	半導體基板
110	通道形成準備層
111	第一犧牲層/第一磊晶SiGe層
111a	第一SiGe圖案
111b	第一SiGe圖案
111c	第一犧牲層圖案/第一SiGe圖案
112	第一通道層/第一磊晶Si層
112a	第一Si圖案
112b	第一Si層/第二Si圖案
112c	第一Si層/第一通道層/第一通道層圖案/線 通道
112d	線通道
112e	線通道
113	第二犧牲層/第二磊晶SiGe層
113a	第二SiGe圖案
113b	第二SiGe圖案
113c	第二犧牲層圖案/第二SiGe圖案
114	第二通道層/第二磊晶Si層
114a	第二Si圖案
114b	第二Si層/第二Si圖案
114c	第二Si層/第二通道層圖案/線通道
114d	線通道
114e	線通道

116	視窗
120	硬式遮罩層
120a	硬式遮罩圖案
120b	硬式遮罩圖案
130b	虛設閘極圖案
132	模製圖案
132a	模製圖案
132b	模製圖案
134	第一開口
140	源極/汲極圖案
140a	源極/汲極圖案
142	源極/汲極區域
150	緩衝層圖案
161	凹槽
162	第二開口
170	通道形成防止層
182a	閘極介電層/閘極絕緣膜/SiO <sub>2</sub> 膜
182b	短路防止絕緣層/SiO <sub>2</sub> 膜
182c	SiO <sub>2</sub> 膜
184	導電圖案
200	半導體基板
200a	半導體基板
202	溝槽
205	隔離絕緣膜/隔離區域

210	通道形成準備層
210a	通道形成準備圖案
211	第一犧牲層
211a	第一犧牲層圖案
212	第一通道層
212a	第一通道層圖案
212d	線通道
213	第二犧牲層
213a	第二犧牲層圖案
214	第二通道層
214a	第二通道層圖案
214d	上層線通道
215	第三犧牲層
215a	第三犧牲層圖案
220	硬式遮罩層
220a	溝槽形成硬式遮罩
220b	遮罩圖案
232	模製圖案
240	源極/汲極圖案
242	源極/汲極區域
270	通道形成防止層
284	導電圖案
284a	多晶矽膜
284b	金屬矽化物膜