

公告本

(13)

申請日期	85 年 9 月 10 日
案 號	85111041
類 別	H01L 21 / 30

A4
C4

318261

318261

Int. Cl. 6

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體裝置之製造方法
	英 文	Method of manufacturing a semiconductor device
二、發明 創作人	姓 名	(1) 山崎舜平 (2) 小山潤 (3) 尾形靖
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都世田谷區成城四--一〇--二〇 (2) 日本國神奈川縣相模原市西橋本--四--二三 (3) 日本國神奈川縣厚木市長谷三〇四--一フラット SELA 棟三〇一號
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導體エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八
	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

318261

申請日期	85 年 9 月 10 日
案 號	85111041
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

發 新 型

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	④ 寺本聰
	國 籍	④ 日本 ④ 日本國神奈川縣厚木市長谷三〇四一ーフラッ トSELB棟二〇五號
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

318261

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 1995 年 9 月 21 日 7-267942 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明領域

本發明係關於一種積體薄膜電晶體裝置之製造方法，且更特別而言，係關於活性矩陣型液晶顯示裝置之製造方法。

2. 習知技藝之說明

活性矩陣型液晶顯示裝置是已知的。此裝置包含以矩陣型式安排數百×數百之圖素電極在一玻璃基底上，和薄膜電晶體個別的安排用於相關的圖素電極。

安排用於相關圖素電極之薄膜電晶體用以控制電荷之流進和流出相關的圖素電極。

再者，已知之技術為用以驅動安排用於圖素電極之薄膜電晶體之週邊驅動電路乃由薄膜電晶體電路構成。此種構造稱為週邊驅動電路積體型式。

當製造此種活性矩陣型液晶顯示裝置時，會發生整合在玻璃基底上之一些薄膜電晶體無法作用之現象。

本發明人積極的研究以解決上述之問題，而獲得下述之結論。

在製造例如活性矩陣型液晶顯示裝置之積體半導體裝置時，使用電漿 C V D 法或濺鍍法和電漿蝕刻形成絕緣膜和接線。

在電漿 C V D 法或濺鍍法和電漿蝕刻法中，有許多高能量（高能量離子）之離子。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

另一方面，使用電漿 C V D 法或濺鍍法形成之絕緣膜具有之問題為膜品質並不密集，且耐壓相當低。通常，耐壓小於約數十 V。

以下檢查如圖 1 2 所示之狀況。圖 1 2 (B) 顯示用以製造具有如圖 1 2 (A) 所示構造之薄膜電晶體之步驟之截面圖。

圖 1 2 (B) 為形成第二中間層絕緣膜 5 5 之狀態。通常，使用電漿 C V D 法或濺鍍法以形成一中間層絕緣膜。在此步驟中，上述之高能離子輸入一樣本中。

一般而言，源電極 5 4 和閘電極 5 1 不導電。因此，當高能離子部份輸入時，會產生源 (S) 電極 5 4 和閘 (G) 電極 5 1 在不同電位準上充電之狀態。

在此種狀況下，介於源 (S) 電極 5 4 和閘 (G) 電極 5 1 間之電位差異可即時由數十 V 達到數百 V。

源電極 5 4 和閘電極 5 1 經由一活性層 5 2 和一閘極接線 5 3 而安排。

如上所述，由 C V D 法或濺鍍法所形成之閘極接線 5 3 之耐壓小於數十 V。因此，依照此狀況，閘極接線 5 3 會電破裂。

當閘絕緣膜破裂時，薄膜電晶體無法工作。

在安排有數百 × 數百薄膜電晶體之活性矩陣型顯示裝置之構造中，且使用例如玻璃或石英之絕緣體當成基底時，上述之現象特別真實。

為了解決上述之問題，在絕緣膜 5 5 之膜形成時，源

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

電極 5 4 和 閘 電 極 5 1 只 可 電 短 路 ， 因 此 兩 電 極 具 有 相 同 的 電 位 。 但 是 ， 在 執 行 最 終 操 作 之 狀 態 中 ， 源 電 極 5 4 和 閘 電 極 5 1 無 法 電 短 路 。

因 此 ， 在 圖 1 2 (B) 所 示 之 步 驟 中 ， 源 電 極 5 4 和 閘 電 極 5 1 保 持 在 電 短 路 之 狀 態 直 到 最 終 階 段 ， 且 介 於 源 電 極 5 4 和 閘 電 極 5 1 間 之 連 接 需 要 在 最 終 階 段 割 除 。 但 是 ， 如 此 會 增 加 步 驟 之 數 目 ， 也 因 此 ， 鑒 於 產 品 之 生 產 量 和 成 本 ， 增 加 步 驟 是 不 好 的 。

發 明 概 要

因 此 ， 本 發 明 之 目 的 乃 在 提 供 一 種 技 術 ， 其 可 避 免 在 生 產 過 程 中 由 來 自 電 漿 之 脈 衝 型 高 電 位 而 引 起 之 半 導 體 裝 置 之 破 裂 ， 並 可 進 一 步 達 成 無 需 複 雜 步 驟 之 技 術 。

依 然 本 發 明 之 一 觀 點 ， 本 發 明 提 供 一 種 半 導 體 裝 置 之 製 造 方 法 ， 包 含 之 步 驟 為 ： 形 成 一 第 一 接 線 ； 形 成 一 絕 緣 膜 在 第 一 接 線 上 ； 形 成 一 第 二 接 線 或 電 極 在 與 第 一 接 線 接 觸 之 絕 緣 膜 上 ； 和 使 用 一 接 觸 部 份 分 割 第 一 接 線 。

依 照 本 發 明 之 另 一 觀 點 ， 本 發 明 提 供 一 種 半 導 體 裝 置 之 製 造 方 法 ， 包 含 之 步 驟 為 ： 形 成 一 第 一 接 線 ； 形 成 一 絕 緣 膜 在 第 一 接 線 上 ； 形 成 一 導 電 材 料 在 與 第 一 接 線 接 觸 之 絕 緣 膜 上 ； 和 經 由 一 接 觸 部 份 (在 開 口 之 底 部 份 上) 分 割 第 一 接 線 。

依 照 本 發 明 之 另 一 觀 點 ， 當 形 成 一 多 層 接 線 時 ， 藉 由 使 用 上 層 接 線 或 電 極 之 定 圖 樣 以 分 割 一 下 層 接 線 。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

依照本發明之另一觀點，當形成一多層接線時，藉由使用在一上層接線或電極上形成之開口而分割一下層接線。

依照本發明之另一觀點，本發明提供一種半導體裝置之製造方法，包含之步驟為：形成一薄膜電晶體之一閘電極和由構成閘電極之材料所製成之一接線；形成一第一絕緣膜以覆蓋閘電極和接線；形成開口到達薄膜電晶體之一源極區域和在第一絕緣膜中之接線之一部份；

形成一電極和／或一接線與源極區域接觸，和一虛擬電極與接線之一部份接觸；

形成一第二絕緣膜覆蓋電極和／或接線，該電極和／或接線與源極區域和虛擬電極接觸；

形成一開口到達薄膜電晶體之一汲極區域，和一開口到達在第一絕緣膜和第二絕緣膜中之虛擬電極；和

形成與汲極區域接觸之一電極和／或一接線（圖素電極），並移去虛擬電極和一部份的接線。

在上述之構造中，薄膜電晶體之閘電極和汲極電極使用接線電連接。此種構造可解決由於在膜形成或蝕刻時來自電漿之脈衝型電位而引起半導體裝置破裂之問題。

在上述之構造中，接線在最終步驟中分割。此分割步驟可輕易的執行而不會使生產步驟複雜化。

再者，在上述的構造中，如果接線使用當成在陽極氧化時用以供應電流之接線時，在陽極氧化後，接線之切割可輕易的進行而無需提供特殊之步驟。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(5)

依照本發明之另一觀點，本發明提供一種半導體裝置之製造方法，包含之步驟為：形成一第一接線在一絕緣器之表面上；形成一第一絕緣膜在第一接線上；在第一接線欲分割之一部份上，在第一絕緣膜中形成一開口；在和第一接線接觸之開口中，形成一金屬部份；形成一第二絕緣膜覆蓋金屬部份；形成一開口在第二絕緣膜中，以曝露金屬部份；形成一導電膜，該導電膜形成在第二絕緣膜上之一電極；和在定圖樣導電膜時，移去金屬部份和在金屬部份下之第一接線。

依照本發明之另一觀點，本發明提供一種半導體裝置之製造方法，包含之步驟為：形成一閘電極和一閘接線，和由製成閘電極和閘接線之相同材料製成之一接線；在形成步驟之後，形成一第一絕緣膜；形成一開口在第一絕緣膜中，和與接線接觸之一金屬部份；形成一第二絕緣膜覆蓋金屬部份；形成一開口到達在第二絕緣膜中之金屬部份；形成一圖素電極在第二絕緣膜上；和當定圖樣圖素電極時，經由開口移去金屬部份，且進一步移去在金屬部份下之接線以分割該接線。

此處，必需執行接線之移除以完全分割該接線。

依照上述之本發明，薄膜電晶體之閘極接線和源極接線連接，且最後切割，因此可避免當形成各種絕緣膜或導電膜時由於電漿之影響而導致閘絕緣膜之破裂。亦即，可避免當閘接線和源極接線即時的由電漿之影響而具有不同的電位時，由於電位差異而引起之閘絕緣膜之破裂。

(請先閱讀背面之注意事項再填寫本頁)

家

訂

五、發明說明(6)

當使用下述之技術以連接閘極接線和源極接線，且最終將它們分割時，可獲得上述之操作和效果，而無需增加掩模和特殊複雜之構造。

亦即，如圖1至3所示，開口形成在每次中間層絕緣膜形成時，在最終分割接線107和108（第一層接線）中，並形成不作用當成電極之虛擬電極126至128。而後，當定圖樣最終電極136時，如圖3（A）和3（B）所示，開口形成在虛擬電極126至128中，且接線107和108經由開口分割。

以上述之構造，當定圖樣電極136時，接線107和108之預定部份可同時分割。

再者，此步驟是非常有用之技術以分割用於電源供應之接線（其使用在執行陽極氧化時）。換言之，在未使用特殊之掩模下，可分割接線用以供應電流。

圖式簡單說明

圖1（A）至1（D）為一活性矩陣型液晶顯示裝置之製造步驟之圖；

圖2（A）至2（C）為一活性矩陣型液晶顯示裝置之製造步驟圖；

圖3（A）至3（C）為一活性矩陣型液晶顯示裝置之製造步驟圖；

圖4為一活性矩陣型液晶顯示裝置之製造步驟圖；

圖5為沿圖3（B）之線A-A'所截取之截面圖；

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(7)

圖 6 為活性矩陣型電路之頂視圖；

圖 7 (A) 至 7 (B) 為接線之形狀之例之圖；

圖 8 (A) 至 8 (D) 為活性矩陣型液晶顯示裝置之製造步驟圖；

圖 9 (A) 至 9 (C) 為活性矩陣型液晶顯示裝置之製造步驟圖；

圖 10 (A) 至 10 (B) 為活性矩陣型液晶顯示裝置之製造步驟圖；

圖 11 為活性矩陣型液晶顯示裝置之生產步驟之圖；
和

圖 12 (A) 至 12 (B) 為習知薄膜電晶體之製造步驟之圖。

本發明之詳細說明

[實施例 1]

此實施例顯示活性矩陣型液晶顯示裝置之圖素區域之製造步驟。在此實施例中，為了達成低截斷電流特性，具有低濃度雜質區域之薄膜電晶體安排用於個別之圖素區域。

圖 1 至 4 概略的顯示此實施例之製造步驟。首先，如圖 1 (A) 所示，厚度為 3000 \AA 之一基膜（未顯示）以電漿 CVD 法或一濺鍍法形成在一玻璃基底 101 上。此處，氧化矽膜使用當成基膜。值得注意的是可使用石英基底當成基底 101。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

其次，厚度為 500 \AA 之非晶矽膜(未顯示)，其為一啓始膜以形成薄膜電晶體之一活性層102，乃由電漿CVD法或低壓熱CVD法形成。其次，以加熱和/或雷射光照射而使非晶矽膜結晶以獲得一結晶矽膜(未顯示)。

此實施例顯示一技術，其中由CVD法所形成之非晶矽膜藉由加熱或以雷射光照射之退火而結晶。但是，結晶矽膜亦可由低壓熱CVD法或電漿CVD法直接形成。

在上述步驟中之結晶結晶矽膜定圖樣以獲得薄膜電晶體之活性層102，如圖1(A)所示。此處，使用用以定圖樣之第一掩模。

其次，以電漿CVD法形成厚度為 1000 \AA 之氧化矽膜100當成閘絕緣膜。

藉由濺鍍法或電子束蒸發法進一步形成用以製造第一層接線之鋁膜(未顯示)。在圖1(A)中之參考數字106，107和108所表示之圖樣於稍後形成，因此可完成第一層接線。

在此鋁膜中，為了抑制小丘或鬚之產生，可加入Sc或Y和選自稀土族元素和放射性元素之一。此處，加入0.1wt%之Sc。

必需注意的是，當鋁膜加熱至 $300\text{ }^\circ\text{C}$ 之溫度或更高之溫度或其以雷射光照射時，小丘或鬚為針形或尖形突起形成在鋁膜之表面上。

在鋁膜形成後，在其上形成非常薄的陽極氧化膜(未

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

顯示)。陽極氧化膜具有一功能以改善欲在後續步驟中安排在鋁膜上之阻止掩模(以103至105表示)之密接黏合程度。

上述非常薄的陽極氧化膜乃藉由使用使含有3%重量百分比之酒石酸之乙二醇溶液和氨水中和而形成之電解溶液形成。此陽極氧化在電解溶液中執行，使用鋁膜當成陽極和鉑當成陰極。

此處所形成之陽極氧化膜具有密的膜品質。膜厚度可由應用電壓所控制。此處之膜厚度為150 Å。

其次，阻止掩模103，104和105設置在鋁膜上。由於密陽極氧化膜(未顯示)形成在鋁膜上，阻止膜可和鋁膜緊密接觸而無間隙。第二掩模使用以形成阻止掩模。

其次，使用阻止掩模103，104和105執行定圖樣，以形成一閘電極106，由閘電極延伸之一閘極接線(未顯示)，在後續步驟連接閘極接線和源極接線之短電路之一部份107，和當對於閘電極之陽極氧化在後續步驟中執行時使用以供應電流之接線之一部份108。以此方式，可獲得如圖1(A)所示之狀態。

其次，如圖1(B)所示，在設置有阻止掩模之狀態中，形成多孔陽極氧化膜109，110和111。

多孔陽極氧化膜使用3%之酒石酸當成電解液而形成。特別的，陽極氧化在上述的溶液中執行，使用形成在圖1(A)之步驟上之第一層接線(由106至108表示

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明(10)

之圖樣)當成陽極和鉑當成陰極，並使電流流經兩電極之間。

同時，由於阻止掩模設置在相關鋁圖樣之上部份上，電解液不會和鋁圖樣之上表面接觸。因此，陽極氧化只在相關鋁圖樣之側表面上進行。

陽極氧化藉由供應電流經由用以供應電流之接線(由108所表示之一部份)而執行。

用以供應電流之接線用以避免陽極氧化膜之厚度因為在陽極氧化時介於活性矩陣區域之兩端間產生之壓降而變成不同。特別的，當液晶板之區域較大時，其必需使用接線以供應電流。

多孔陽極氧化膜之成長距離可由陽極氧化時間所控制。多孔陽極氧化膜之成長距離可選自約3000 Å至10000 Å之範圍。此處，多孔陽極氧化膜之膜厚度(成長距離)為5000 Å。值得注意的是，多孔陽極氧化膜之成長距離可粗略的決定在後續步驟中欲形成之低濃度雜質區域之尺寸。

多孔陽極氧化膜用以形成低濃度雜質區域(此區域通常視為LDD區域)和抑制在介於第一層接線和第二層接線間之兩位準橫切部份上之缺陷之產生。

在形成如圖1(B)之109, 110和111所示之多孔陽極氧化膜後，移除阻止掩模103, 104和105(圖1(B)中未顯示)。

其次，再度形成具有密膜品質之陽極氧化膜。於此形

(請先閱讀背面之注意事項再填寫本頁)

家

訂

五、發明說明 (11)

成陽極氧化膜 1 1 2 , 1 1 3 和 1 1 4 。密陽極氧化膜對於抑制小丘或鬚之產生具有非常大的效果。

藉由使用利用含有 3 % 重量百分比之酒石酸之乙二醇溶液和氨水之中和而形成之電解溶液而執行密陽極氧化膜之形成。

在此步驟中，由於電解溶液導入多孔陽極氧化膜 1 0 9 , 1 1 0 和 1 1 1 , 密陽極氧化膜形成在由表示成 1 1 2 , 1 1 3 和 1 1 4 之剩餘鋁製成之電極和接線 (表示為 1 0 6 至 1 0 8) 之上表面和側表面上。

再者，在此陽極氧化中，使用用以供應電流以提供陽極氧化之接線，(其一部份表示為 1 0 8) ，因此可供應在陽極氧化時之電流。上述之例可採用以更正壓降之影響，因此，所形成之陽極氧化膜之膜厚度整體而言相當均勻。

密陽極氧化膜之厚度為 8 0 0 Å 。如果密陽極氧化膜之厚度太厚時 (例如 2 0 0 0 Å 或更大) ，由於厚部份，在活性層上會形成偏置開區域。但是，當密陽極氧化膜較厚時，應用電壓必需較高 (需要 2 0 0 V 或更多之電壓以獲得 2 0 0 0 Å 或更大的膜厚度) ，有鑒於操作之可再製性和安全性上，其是不佳的。因此，為了獲得抑制小丘和鬚之產生之效果，且為了改善耐電壓，密陽極氧化膜之厚度為 8 0 0 Å 。

在此步驟中，可形成如圖 1 (B) 所示之開電極和開極接線 1 0 6 。和由圖 1 (A) 所示表示為 1 0 6 之形狀

(請先閱讀背面之注意事項再填寫本頁)

袋

訂

五、發明說明 (12)

比較，閘電極和閘極接線 1 0 6 之截面尺寸藉由陽極氧化而降低。

密陽極氧化膜 1 1 3 和 1 1 4 和多孔陽極氧化膜 1 1 0 和 1 1 1 環繞短電路接線之部份 1 0 7 形成，以連接閘極接線至源極接線，和環繞接線之部份 1 0 8 以在陽極氧化時供應電流至閘電極。因此，接線之截面尺寸由陽極氧化所減少。

以此方式，可獲得如圖 1 (B) 所示之狀態。其次，移除曝露之氧化矽膜 1 0 3。移除曝露之氧化矽膜 1 0 3，以在薄膜電晶體之活性層 1 0 2 中形成低濃度雜質區域。以此方式，可獲得如圖 1 (C) 所示之狀態。在此狀態中，氧化矽膜保留在以 1 1 5，1 1 6 和 1 1 7 所指定之部份上。

其次，移除多孔陽極氧化膜 1 0 9，1 1 0 和 1 1 1。藉由使用磷酸，醋酸和硝酸之混合酸可選擇性移除多孔陽極氧化膜。

以此方式，可獲得如圖 1 (D) 所示之狀態。在獲得如圖 1 (D) 所示之狀態後，植入雜質離子以獲得薄膜電晶體之源極區域和汲極區域。此處，植入 P 離子以形成 N 通道型。植入 B 離子以形成非 N 通道型之 P 通道型薄膜電晶體。

在此步驟中，源極區域 1 1 8 和汲極區域 1 2 2 以自我對準方式形成。再者，以 1 1 9 和 1 2 1 表示之低濃度雜質區域亦以自我對準方式形成。形成在通道形成區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

1 2 0 和汲極區域 1 2 2 間之低濃度雜質區域 1 2 1 即所謂的 L D D (低摻雜汲極) 區域 (圖 1 (D)) 。

低濃度雜質區域變成一非常有效的構造以獲得具有低截斷電流特性之薄膜電晶體。特別的，由於安排用於活性矩陣區域之圖素之薄膜電晶體需要低截斷電流特性，其可有效的提低濃度雜質區域以形成低截斷電流特性。

低濃度雜質區域亦具有一功能以避免對薄膜電晶體之特性之破壞。

在雜質離子植入後，執行雷射光之照射，以致動植入雜質離子，並退火由離子植入所損壞之區域。此時，藉由操作先前形成具有密膜品質之陽極氧化膜 1 1 2，1 1 3 和 1 1 4，即可避免在閘電極 1 0 6 和接線 1 0 7 和 1 0 8 上產生小丘和鬚。

其次，以電漿 C V D 法，使用 T E O S 氣體當成原料 (圖 2 (A))，即可形成厚 4 0 0 0 Å 之氧化矽膜當成第一中間層絕緣膜 1 2 3。

關於中間層絕緣膜 1 2 3 方面，可使用氧化矽膜或氮氧化矽膜。氮化矽膜可利用 C V D 法以氮當成原料氣體而形成。氮氧化矽膜可利用電漿 C V D 法以 T E O S 和 N_2O 氣體形成。

再者，關於第一中間層絕緣膜 1 2 3，可使用選自氧化矽膜，氮化矽膜，和氮氧化矽膜之多種膜疊層之疊層構造。

在第一中間層絕緣膜 1 2 3 形成後，形成接觸孔。在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

此步驟中，使用第三掩模。以此方式，可獲得如圖 2 (A) 所示之狀態。

而後，形成由鈦膜，鋁膜和鈦膜之三層膜所製成之第二層電極和接線（通常視為第二層接線）。由於鈦膜僅使用以獲得良好的接觸，其厚度小於數百 Å。在此步驟中，可使用第四掩模（圖 2 (B)）。

關於第二層接線，只可使用鋁膜之單層膜。但是，為了形成和其它電極或接線之良好接觸，在此實施例中仍使用包含鈦膜，鋁膜，和鈦膜之三層構造。

不同的蝕刻劑分別使用以蝕刻鈦膜和鋁膜。在此實施例中，使用氨水以蝕刻鈦膜，且使用鋁混合酸以蝕刻鋁膜。

以此方式，可獲得如圖 2 (B) 所示之狀態。源電極和閘極接線在圖 2 (B) 中以 1 2 4 表示。閘電極指定為 1 2 5。雖然圖 2 中未顯示，閘電極 1 2 5 形成在其由未顯示之閘極接線延伸之狀態。以 1 2 4 和 1 2 5 表示之接線和電極為第二層接線。

再者，在此步驟中，形成在後續分割步驟中會使用之虛擬電極 1 2 6，1 2 7 和 1 2 8。

雖然圖中未顯示，當成第二層接線之源極接線 1 2 4 和閘極接線 1 2 5 經由以 1 0 7 表示之短電路接線所連接。以此構造，即可消除介於源極接線 1 2 4 和閘電極 1 2 5 間之電位差異。

再者，源極接線 1 2 4 安排在陽極氧化時，經由第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

中間層絕緣膜 1 2 8 跨接用以供應電流之接線 1 0 8 。

再者，圖 2 (B) 顯示虛擬電極 (為方便起見將其視為電極) 1 2 6 ， 1 2 7 和 1 2 8 ， 其並未作用當成電極或接線，而是使用於後續的分割步驟。虛擬電極作用在接線 1 0 7 和 1 0 8 分割之最終狀態 (圖 2 (B)) 。

其次，形成第二中間層絕緣膜 1 2 9 。在此實施例中，關於第二中間層膜 1 2 9 ，以電漿 C V D 法形成厚 4 0 0 0 Å 之氧化矽膜。關於第二中間層絕緣膜 1 2 9 ，可使用氮化矽膜，氮氧化矽膜或這些絕緣膜和氧化矽膜之疊層膜。

在第二中間層絕緣膜之膜形成中，源極接線 1 2 4 經由短電路接線 1 0 7 而短路至閘電極 1 2 5 。因此，可避免介於源極接線 1 2 4 和閘電極 1 2 5 間之由於電漿之影響而引起電位差異之發生。而後，可防止由於發生在源極接線 1 2 4 和閘電極 1 2 5 間之電位差異而引起閘絕緣膜 (氧化矽膜) 1 1 5 之破裂。

其次，形成以參考數字 1 3 0 ， 1 3 1 ， 1 3 2 ， 和 1 3 3 表示之接觸孔。此時，使用第五掩模。以此方式，可獲得如圖 2 (C) 所示之狀態。此處，參考數字 1 3 0 表示到達汲極區域之接觸孔，1 3 1 表示使用以分割接線 1 0 7 之開口，和 1 3 2 和 1 3 3 表示使用以分割接線 1 0 8 之開口。

再者，在此步驟中，源極接線 1 2 4 和源極接線之端部份 1 3 4 之表面曝露。此部份隨後變成一外部引出端。

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明 (16)

值得注意的是，源極接線實際的連接至一週邊驅動電路用以驅動一活性矩陣電路，且週邊電路之外部端變成部份 1 3 4。在圖 2 中，爲了避免太複雜，因此未顯示週邊驅動電路。

其次，如圖 3 (A) 所示，藉由濺鍍法形成用以形成圖素電極之 I T O 電極 1 3 5。I T O 電極 1 3 5 定圖樣以形成一圖素電極 1 3 6。此時，使用第六掩模 (圖 3 (B))。

在圖素電極 1 3 6 形成中，在移去變成不需要之 I T O 電極 1 3 5 後，進一步進行指定爲 1 2 6，1 2 7 和 1 2 8 之第二層接線之電極 (虛擬電極) 之蝕刻。再者，指定爲 1 0 7 和 1 0 8 之第一接線之一部份亦利用蝕刻移除。

換言之，在以 1 3 1，1 3 2 和 1 3 3 表示之開口部份中，第二層接線和第一層接線同時移去。結果，接線 1 0 7 和 1 0 8 在由 1 3 1，1 3 2 和 1 3 3 指示之開口部份切割。

此時，由於第二層接線爲鈦膜和鋁膜之疊層膜，必需改變用於每個膜之蝕刻劑以執行蝕刻。

以此方式，可獲得如圖 3 (B) 所示之狀態。由於此步驟和形成圖素電極之定圖樣同時的執行，其可省略新掩模之使用。亦即，可避免生產步驟之複雜化。

第一層接線和第二層接線可同時移除之原因爲，對於例如氧化矽膜之絕緣膜而言，只有金屬材料可選擇性的移

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

除。

再者，與此步驟同時，ITO膜137留在由源極接線124延伸之液晶板之引出部份134之表面上。此

ITO膜當成緩衝膜以避免介於一金屬接線或一欲和引出電極部份接觸之導電墊和一接觸部份間之腐蝕或自我擴散。

再者，在陽極氧化時用以供應電流108之接線在部份132和133切割變成相當重要。

在後續步驟中組裝液晶板中，用於磨擦之樹脂膜形成用以覆蓋第二中間層絕緣膜，並執行用以使液晶定向之磨擦。此時，接線108電浮動。在此狀態中，令人擔心的是由磨擦而生靜電所引起之有害影響。

但是，如此實施例所示，由於接線108在部份132和133上分割，如此可抑制靜電之影響。

必需注意的是，在圖式中，雖然接線107和接線108之分割部份分別為一個和兩個部份，但是分割部份可適當的設定。

圖5為沿圖3(B)之A-A'線所截取之橫截面圖。如圖6所示，源極接線124跨接在陽極氧化時用以供應電流之接線108，以形成三維接線之狀態。此時，由接線128之參考數字501所表示之部份會由於多孔陽極氧化膜之形成而具有階梯形狀。

因此，可使第一中間層絕緣膜123之部份502之表面平滑。結果，可使源極接線免於在部份502上切割

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明 (18)

在獲得如圖 3 (B) 所示之狀態後，執行形成 B M (黑矩陣) 構造之樹脂材料之塗覆。此樹脂材料使用第七掩模定圖樣。以此方式，可完成構成除了圖素電極 1 3 6 外覆蓋以一 B M 1 3 8 之液晶板之一基底 (圖 4) 。

在形成 B M 1 3 8 中，以 1 3 1，1 3 2 和 1 3 3 指示之孔乃充填以形成 B M 之材料。由於形成 B M 之材料為一樹脂材料，以形成 B M 之材料充填相關的開口是相當有效的以獲得高可靠度。

在此實施例中，所執行之蝕刻為濕蝕刻。但是亦可使用乾蝕刻。

[實施例 2]

在此實施例中，顯示由頂表面觀察在圖 1 至 4 所示之構造中之狀態之例。圖 6 為活性矩陣型液晶顯示板之活性矩陣電路之一部份。圖 6 並未指示用以應用一驅動訊號至一源極接線和一閘極接線之一週邊驅動電路。

在如圖 6 所示之構造中，閘極接線 1 2 5 經由短電路接線 1 0 7 而短路至源極接線 1 2 4。短電路接線在如圖 3 (B) 所示之步驟中，在開口 1 3 1 上分割。

在陽極氧化時，用以供應電流之線 1 0 8 在圖 3 (B) 所示之步驟中，在開口 1 3 2 和 1 3 3 上分割。此源極接線 1 2 4 經由中間層絕緣膜 1 2 3 而橫跨分割部份。

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

五、發明說明 (19)

[實施例 3]

此實施例係關於在圖 3 (B) 所示之開口 1 3 2 和 1 3 3 上分割之第一接線之形狀。例如，在完成陽極氧化後，以 1 0 8 所指示之接線變的不必要。但是，令人擔心的是由於局部放電之異常而引起之脈衝電流流經接線 1 0 8，該接線 1 0 8 長延伸在第一中間層絕緣膜 1 2 3 和第二中間層絕緣膜 1 2 9 之膜形成上。

在第一中間層絕緣膜 1 2 3 或第二中間層絕緣膜 1 2 9 之膜形成上，接線 1 0 8 連接至相關的閘電極。因此，當脈衝電流流經接線 1 0 8 時，脈衝電壓應用至相關的閘電極。

在指示此實施例之構造中，如圖 7 所示，接線 1 0 8 在分割部份上形成 U 形。脈衝電流在此部份上消失或衰減。亦即，此實施例之特徵在於分割部份形成脈衝電流可輕易放電之形狀。圖 7 (A) 顯示在分割成之狀態，和圖 7 (B) 顯示分割後之狀態。

在開口部份 1 3 2 和 1 3 3 上 (如圖 3 (B) 所示之開口部份) 之 U 形接線部份移除。

[實施例 4]

此實施例為圖 1 至 4 所示之製造步驟之修飾。此實施例之製造步驟如圖 8 至 1 1 所示。此實施例之特徵乃是在如圖 9 (C) 所示之步驟中形成開口 9 3 1 至 9 3 3 (相當於圖 2 之開口 1 3 1 至 1 3 3) 後，可形成開口

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明 (20)

1 0 3 1 至 1 0 3 3 ，其尺寸大於如圖 1 0 (B) 所示之開口。其它的製造狀況和實施例 1 相同。

[實施例 5]

在此實施例中，在圖 1 (B) 所示之步驟中，並未形成密陽極氧化膜 1 1 2 ， 1 1 3 和 1 1 4 。由於會擔心因為密陽極氧化膜之移除而引起之缺陷，因此在小丘或鬚之產生可抑制之情況下，最好不要使用它們。

在此實施例中，在圖 1 (B) 所示之步驟中，並未形成密陽極氧化膜 1 1 2 ， 1 1 3 和 1 1 4 ，但是在如圖 1 (D) 所示之雜質離子植入後，形成厚度為 1 0 0 Å 至 5 0 0 Å 之氮化矽膜 (未顯示) 。

在形成氮化矽膜後，執行以雷射光之照射以用於致動。因此，氮化矽膜變成一屏蔽以抑制小丘或鬚之產生。而後，可形成第一中間層絕緣膜。在此例中，中間層絕緣膜無可避免的形成多層薄。

如上所述，依照本發明，在半導體裝置之製造過程中可避免半導體裝置由來自電漿之高脈衝型電位而破裂。再者，本發明可分割不需要之接線而無需新的掩模。

(請先閱讀背面之注意事項再填寫本頁)

張

訂

四、中文發明摘要(發明之名稱：

半導體裝置之製造方法

在一種半導體裝置之製造方法中，薄膜電晶體之一閘極接線和之源極接線在製造的過程中連接，且最後分割，因此其可避免在各種絕緣膜或導電膜形成時由於電漿之影響而造成一閘絕緣膜之損壞。更特別而言，在每個中間層絕緣膜形成時，開口形成至最後欲分割之第一層接線，且不當成電極之虛擬電極形成在開口中。當定圖樣最終電極時，開口進一步形成在虛擬電極中，且第一層接線經由開口分割。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：Method of manufacturing a semiconductor device)

In a method of manufacturing a semiconductor device, a gate wiring and a source wiring of a thin film transistor in the course of manufacture are connected, and are finally divided, so that it is possible to prevent breakage of a gate insulating film due to influence of plasma at the formation of various insulating films or conductive films. Specifically, openings are formed at every formation of interlayer insulating films to first layer wirings to be finally divided, and dummy electrodes not serving as electrodes are formed in the openings. When patterning a final electrode, openings are further formed in the dummy electrodes, and the first layer wirings are divided through the openings.

訂

線

六、申請專利範圍

1. 一種半導體裝置之製造方法，包含之步驟為：
形成一第一接線；
形成一絕緣膜在第一接線上；
形成一第二接線或電極在與第一接線接觸之絕緣層上；和
使用一接觸部份分割第一接線。
2. 一種半導體裝置之製造方法，包含之步驟為：
形成一第一接線；
形成一絕緣膜在第一接線上；
形成一導電材料在與第一接線接觸之絕緣膜上；和
經由一接觸部份分割第一接線。
3. 一種半導體裝置之製造方法，包含之步驟為：
當形成一多層接線時，藉由使用上層接線或電極之定圖樣以分割一下層接線。
4. 一種半導體裝置之製造方法，包含之步驟為：
當形成一多層接線時，藉由使用在一上層接線或電極上形成之開口而分割一下層接線。
5. 一種半導體裝置之製造方法，包含之步驟為：
形成一薄膜電晶體之一閘電極和由構成閘電極之材料所製成之一接線；
形成一第一絕緣膜以覆蓋閘電極和接線；
形成開口到達薄膜電晶體之一源極區域和在第一絕緣膜中之接線之一部份；
形成一電極和／或一接線與源極區域接觸，和一虛擬

(請先閱讀背頁之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

電極與接線之一部份接觸；

形成一第二絕緣膜覆蓋電極和／或接線，該電極和／或接線與源極區域和虛擬電極接觸；

形成一開口到達薄膜電晶體之一汲極區域，和一開口到達在第一絕緣膜和第二絕緣膜中之虛擬電極；和

形成與汲極區域接觸之一電極和／或一接線，並移去虛擬電極和一部份的接線。

6．一種半導體裝置之製造方法，包含之步驟為：

形成一薄膜電晶體之一閘電極，和由構成該閘電極之材料所製成之一接線；

形成一第一絕緣膜覆蓋閘電極和接線；

形成開口到達薄膜電晶體之一源極區域，和在第一絕緣膜中之接線之一部份；

形成一電極和／或一接線以接觸源極區域，和一虛擬電極以和接線之一部份接觸；

形成一第二絕緣膜覆蓋電極和／或接線，該電極和／或接線與源極區域和虛擬電極接觸；和

形成與汲極區域接觸之一電極和／或接觸，並移去虛擬電極和接線之一部份。

7．如申請專利範圍第5或6項之半導體裝置之製造方法，其中接線電連接薄膜電晶體之閘電極至汲極區域。

8．如申請專利範圍第5或6項之半導體裝置之製造方法，進一步包含之步驟：在形成閘電極之後，形成一陽極氧化膜在閘電極之一曝露表面上，其中接線使用以供應

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 電流在陽極氧化上。

9 . 如申請專利範圍第 5 或 6 項之半導體裝置之製造方法，進一步包含之步驟為：以一形成一 B M (黑矩陣) 之樹脂材料充填由移去虛擬電極而形成之一開口。

1 0 . 一種半導體裝置之製造方法，包含之步驟為：

形成一第一接線在一絕緣器之表面上；

形成一第一絕緣膜在第一接線上；

在第一接線欲分割之一部份上，在第一絕緣膜中形成一開口；

在和第一接線接觸之開口中，形成一金屬部份；

形成一第二絕緣膜覆蓋金屬部份；

形成一開口在第二絕緣膜中，以曝露金屬部份；

形成一導電膜，該導電膜形成在第二絕緣膜上之一電極；和

在定圖樣導電膜時，移去金屬部份和在金屬部份下之第一接線。

1 1 . 一種半導體裝置之製造方法，包含之步驟為：

形成一閘電極和一閘接線，和由製成閘電極和閘接線之相同材料製成之一接線；

在形成步驟之後，形成一第一絕緣膜；

形成一開口在第一絕緣膜中，和與接線接觸之一金屬部份；

形成一第二絕緣膜覆蓋金屬部份；

形成一開口到達在第二絕緣膜中之金屬部份；

(請先閱讀背頁之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

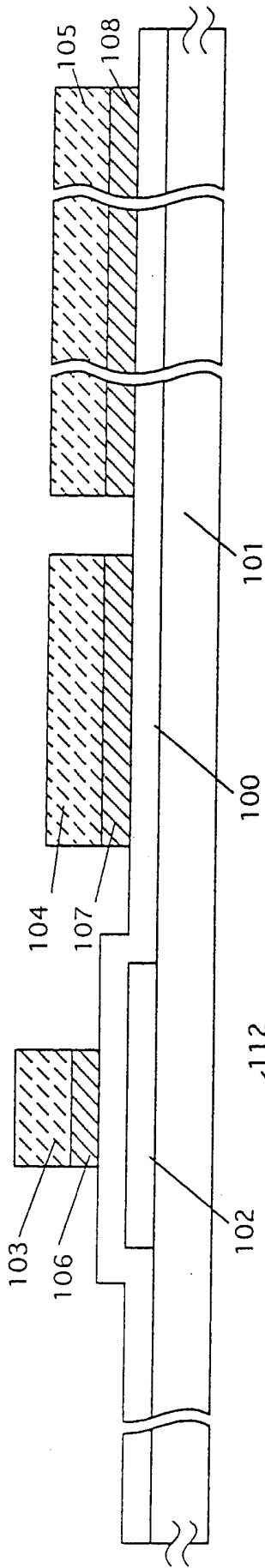
形成一圖素電極在第二絕緣膜上；和

當定圖樣圖素電極時，經由開口移去金屬部份，且進一步移去在金屬部份下之接線以分割該接線。

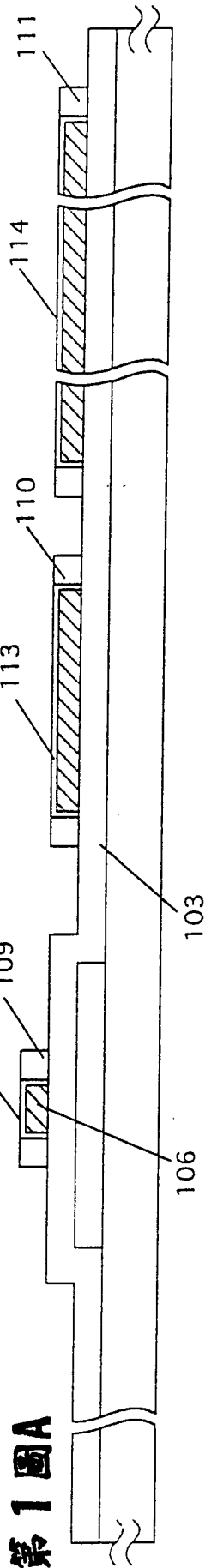
(請先閱讀背面之注意事項再填寫本頁)

裝

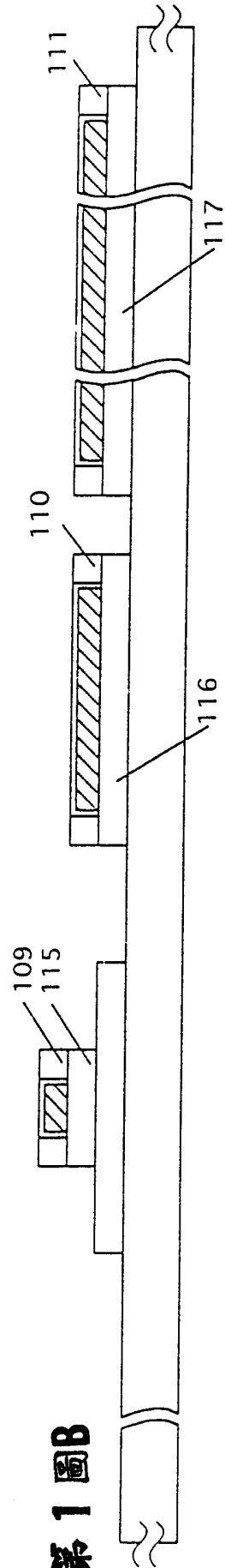
訂



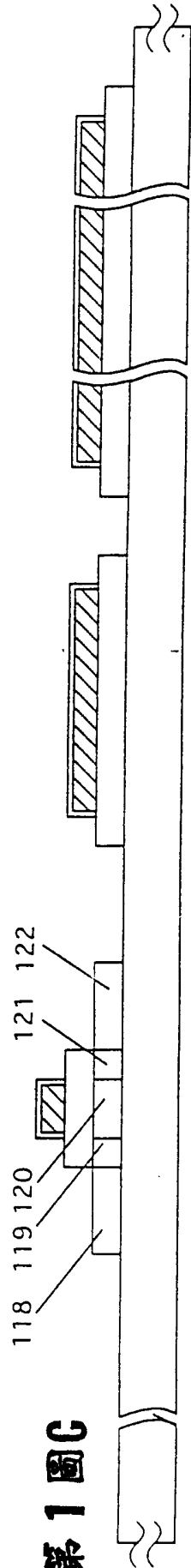
第1圖A



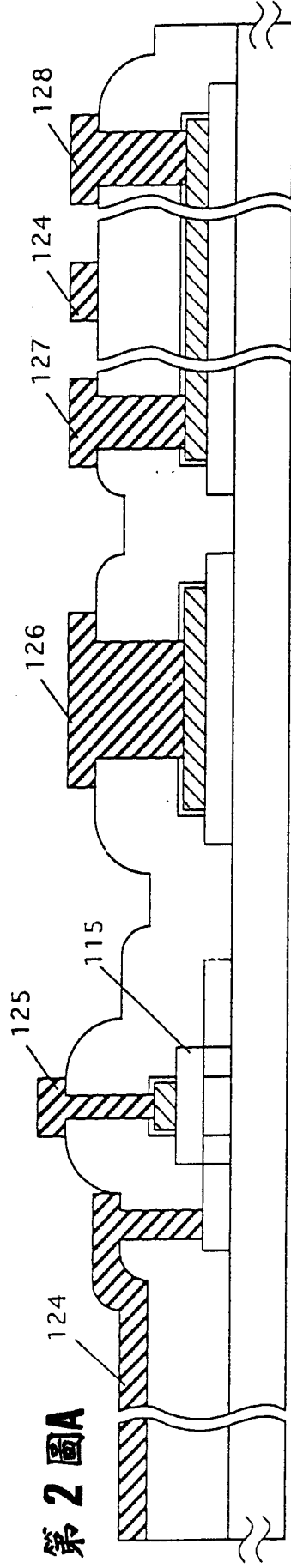
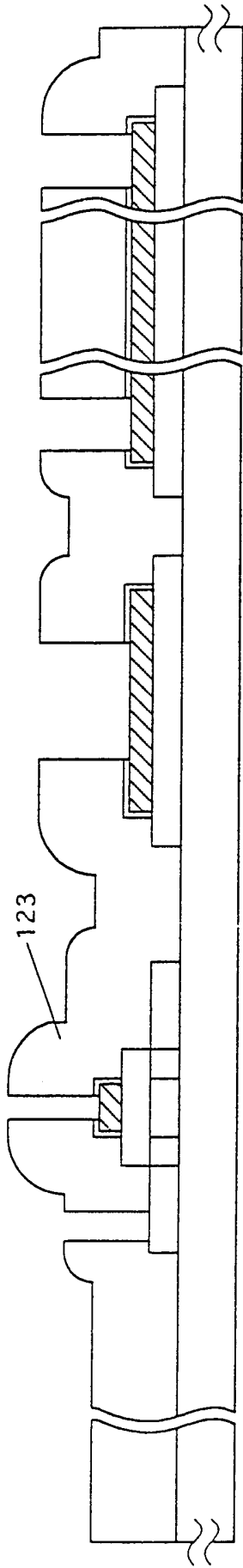
第1圖B



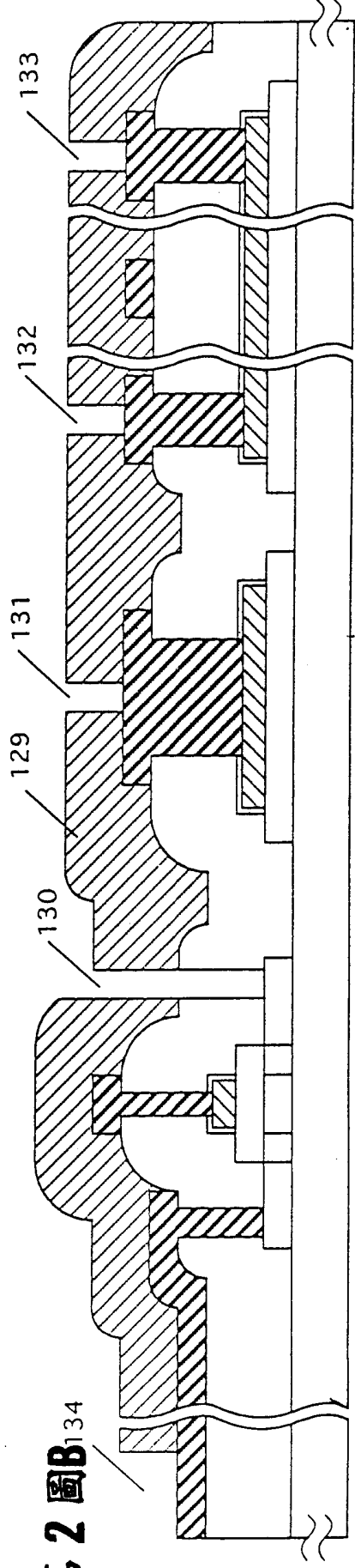
第1圖C



第1圖D

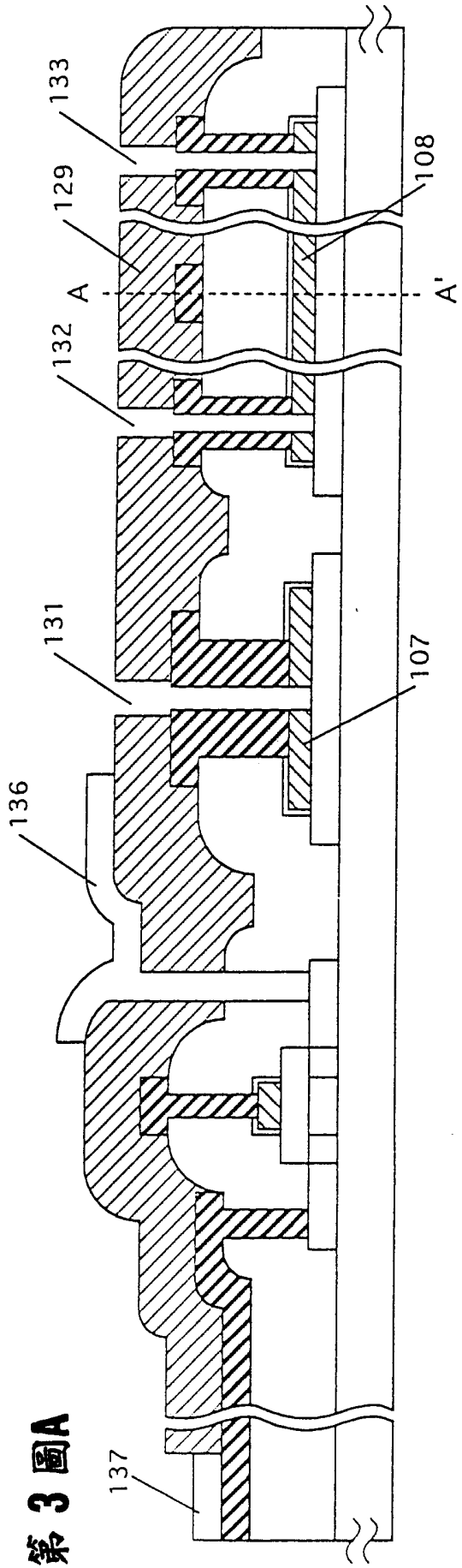
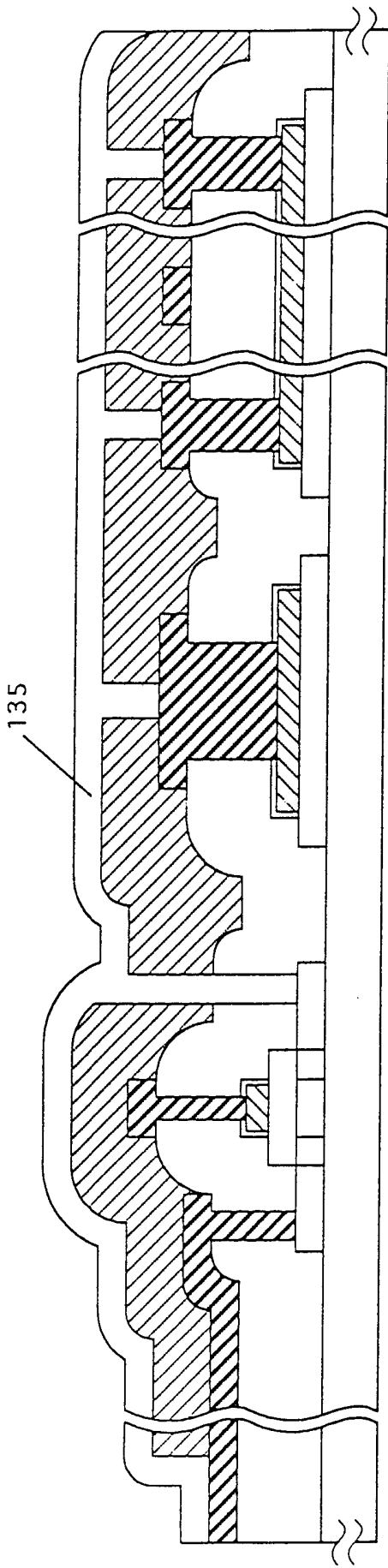


第2圖A



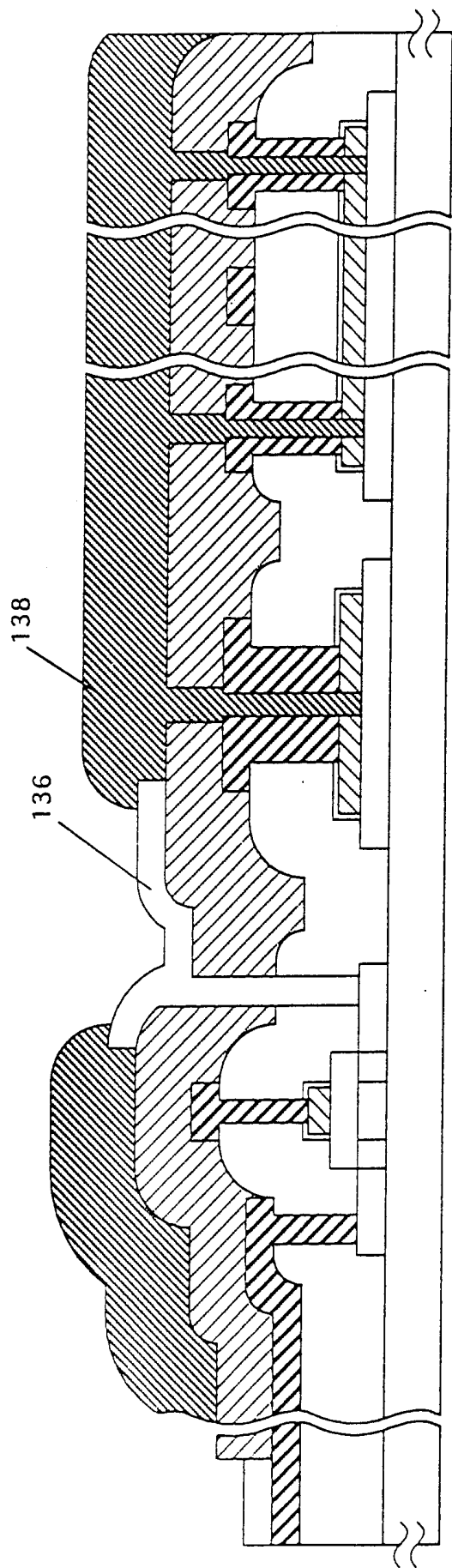
第2圖B₁₃₄

第2圖C

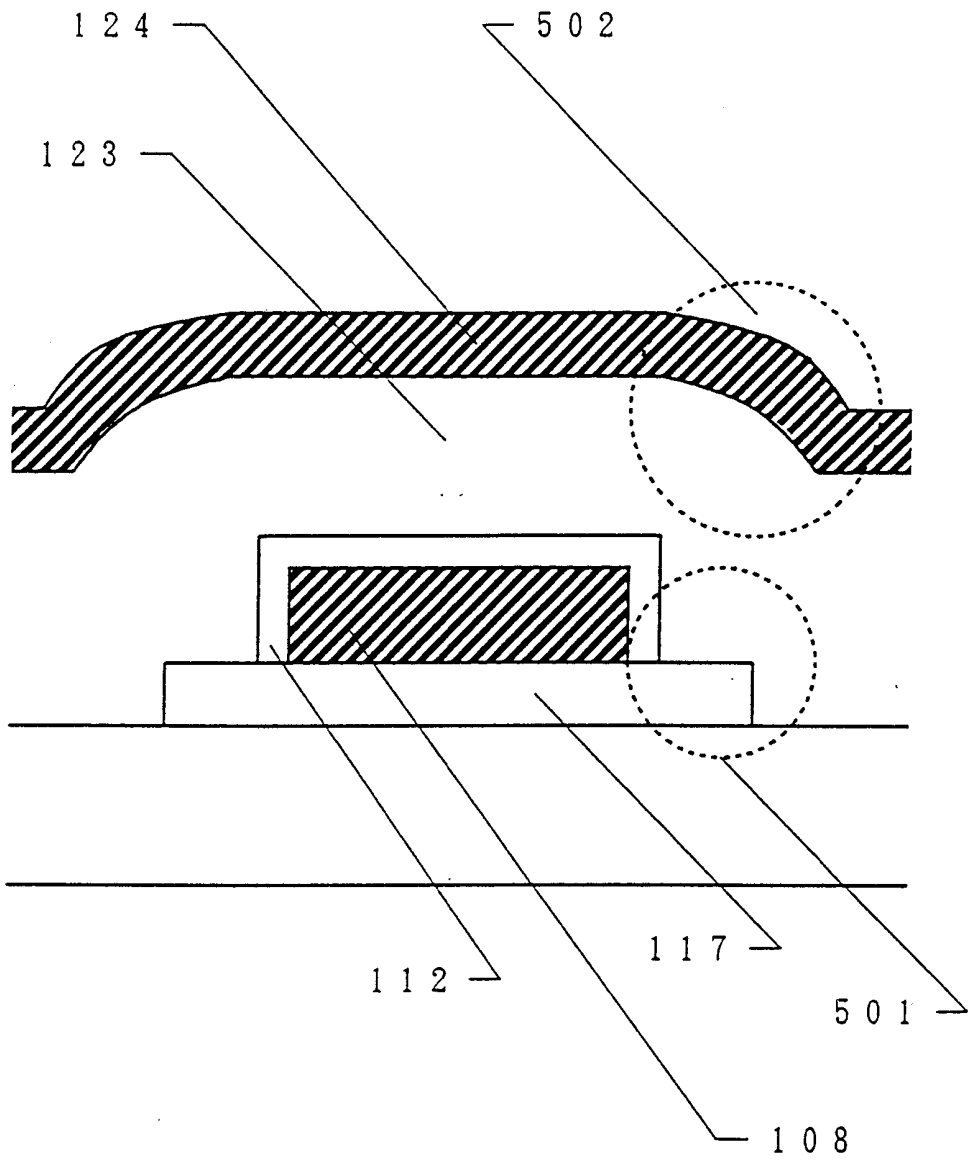


第 3 圖A

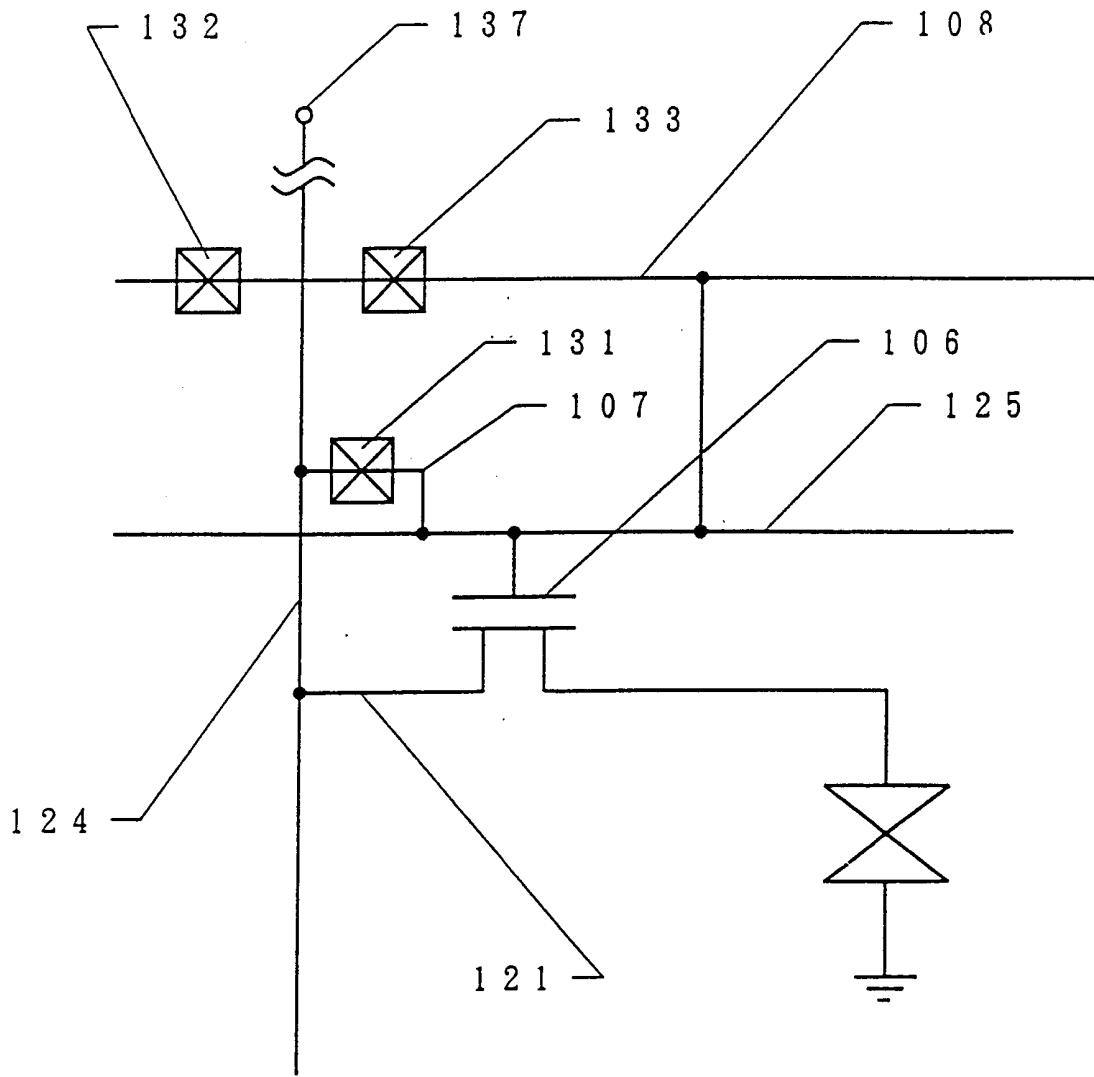
第 3 圖B



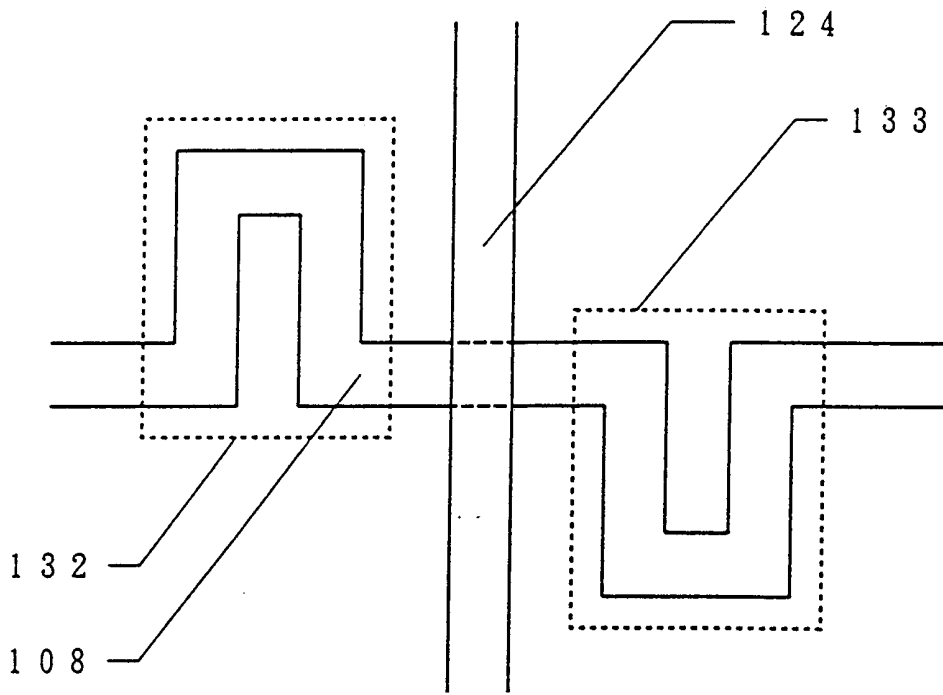
第 4 圖



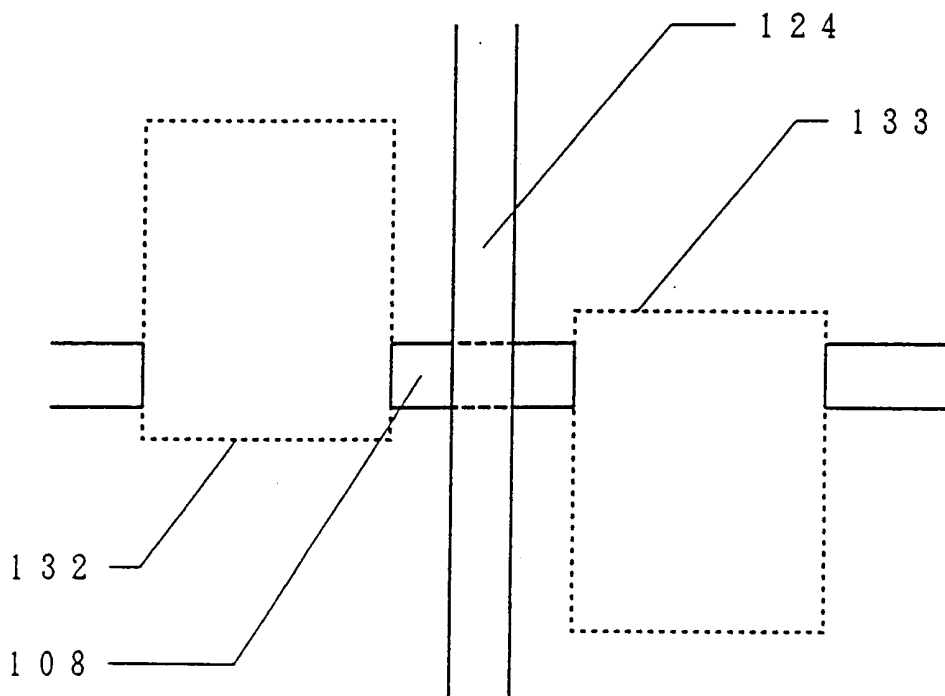
第5圖



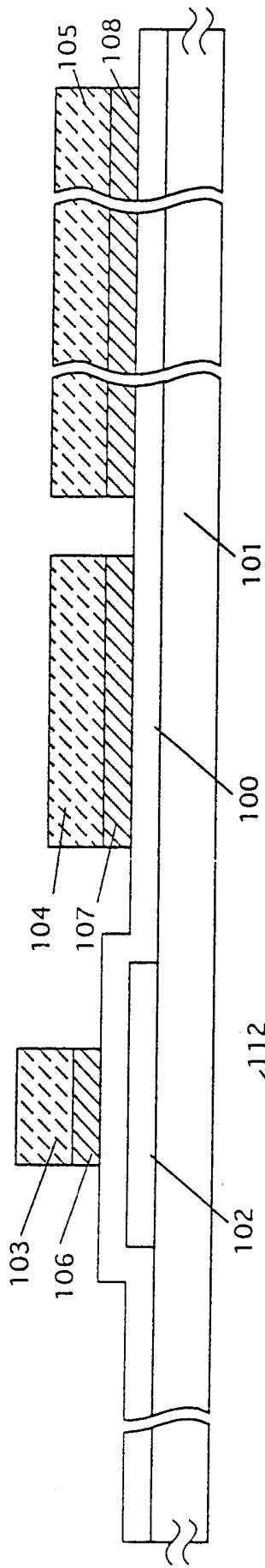
第 6 圖



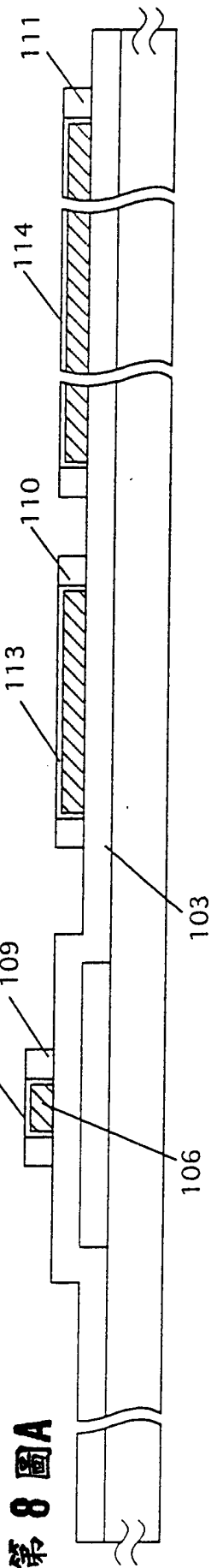
第7圖A



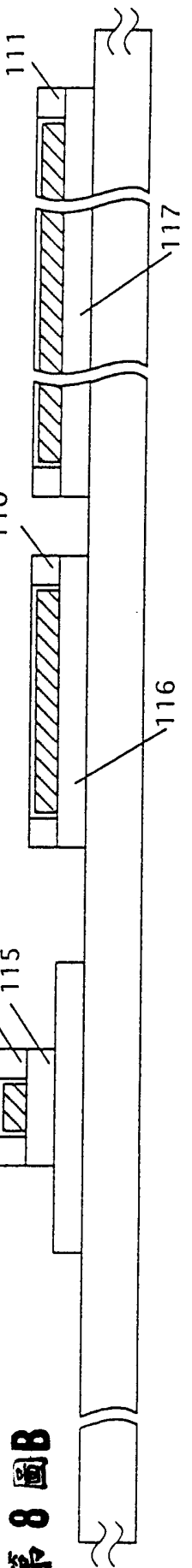
第7圖B



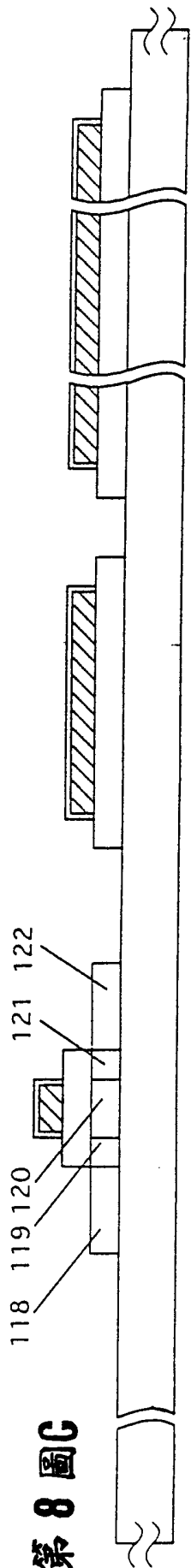
第 8 圖 A



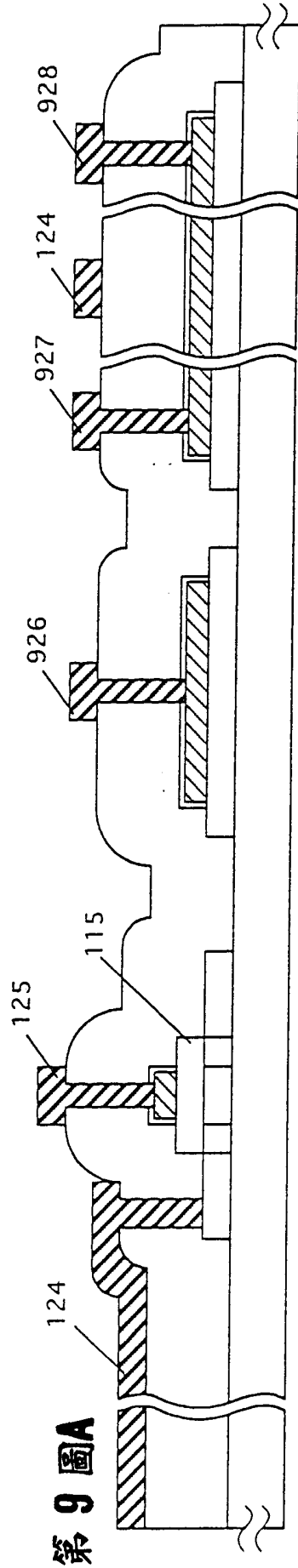
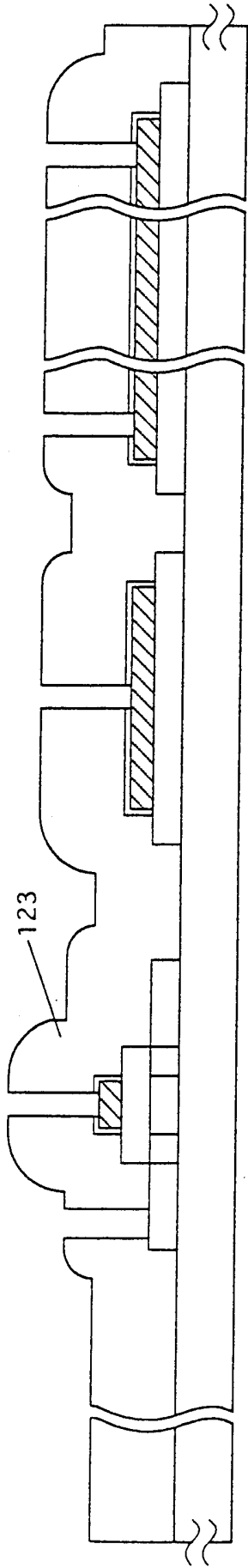
第 8 圖 B



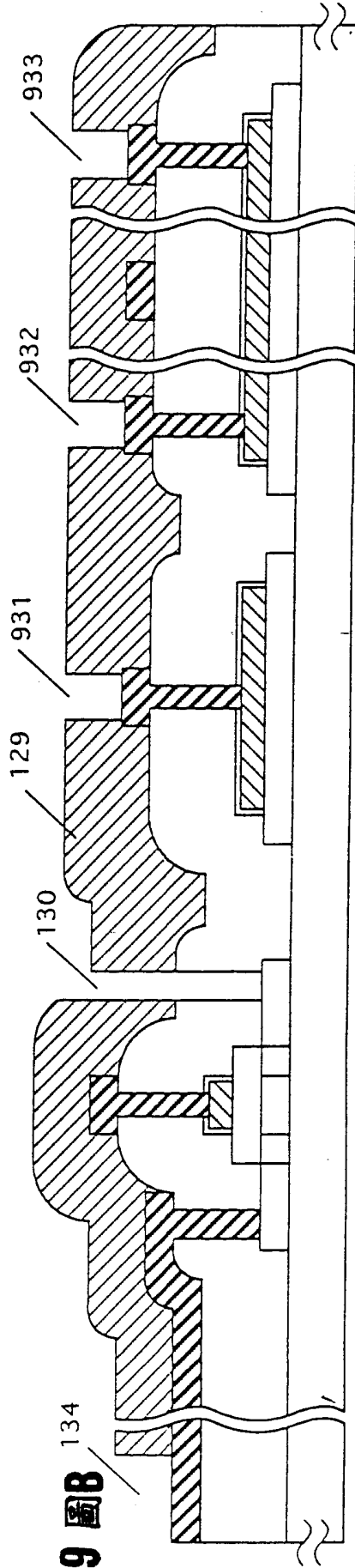
第 8 圖 C



第 8 圖 D

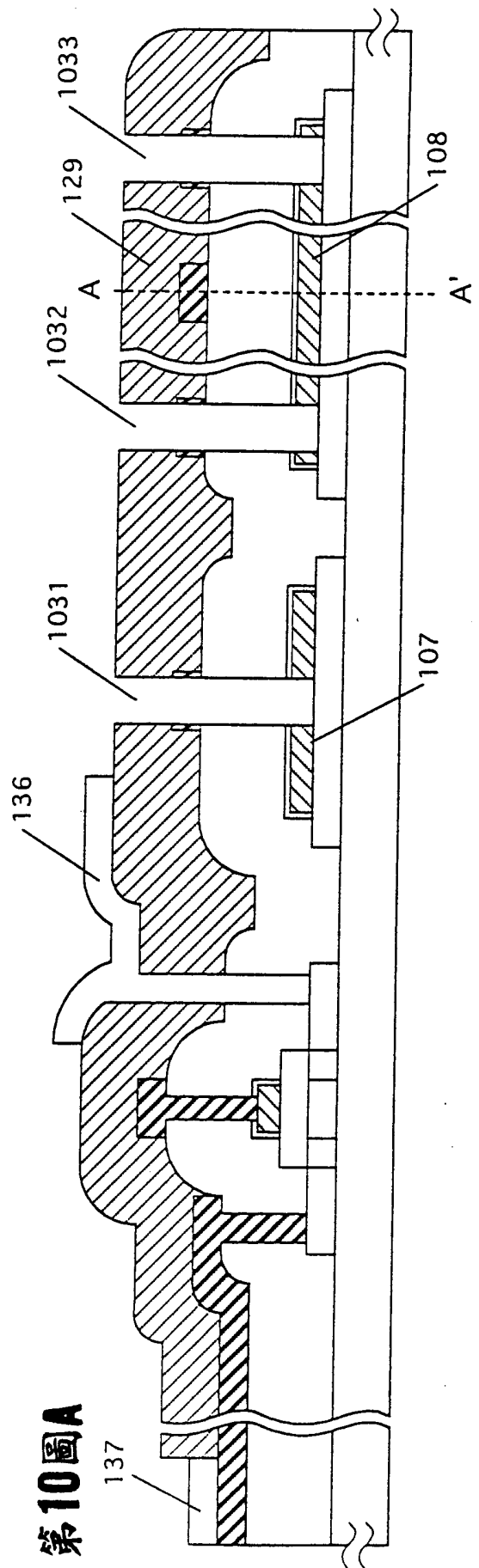
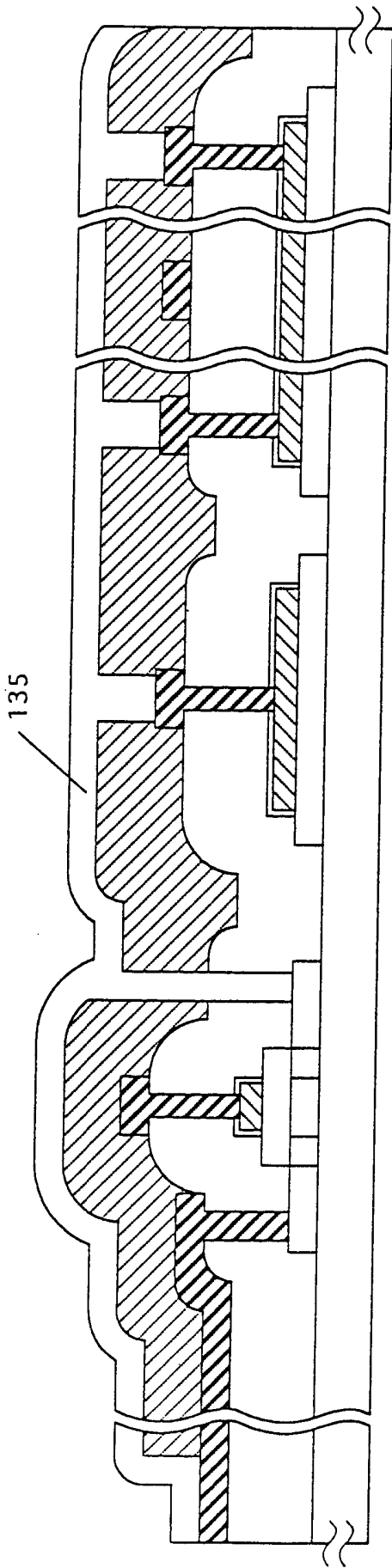


第9圖A



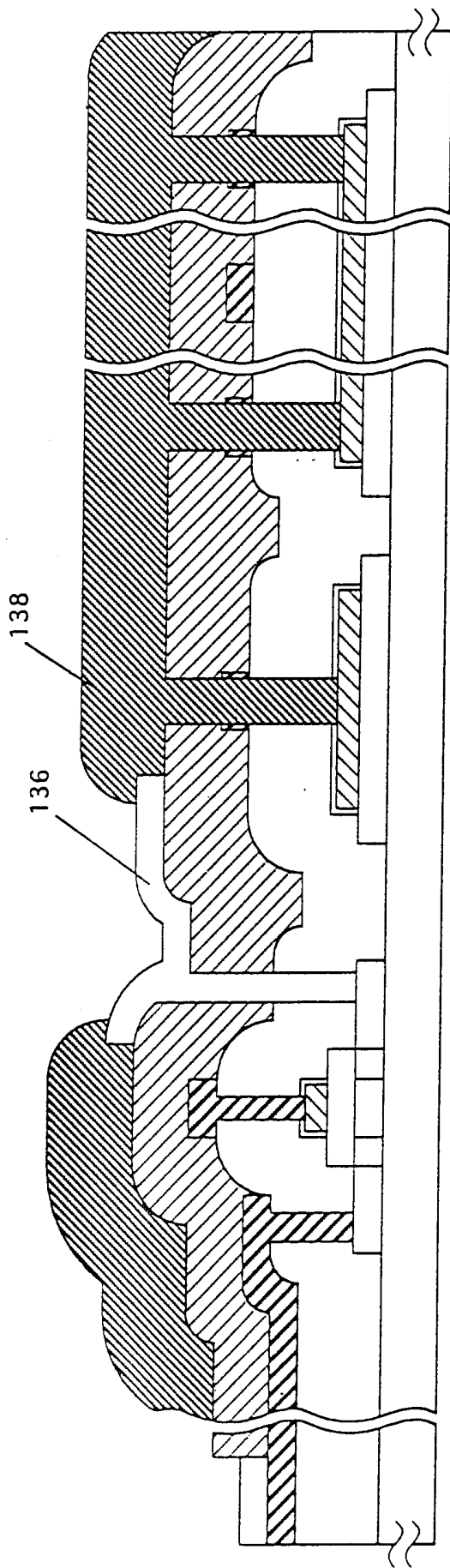
第9圖B

第9圖C

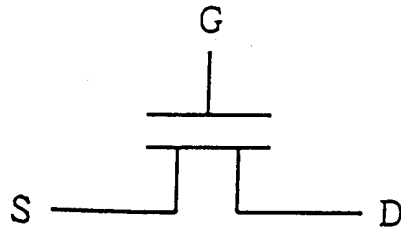


第10圖A

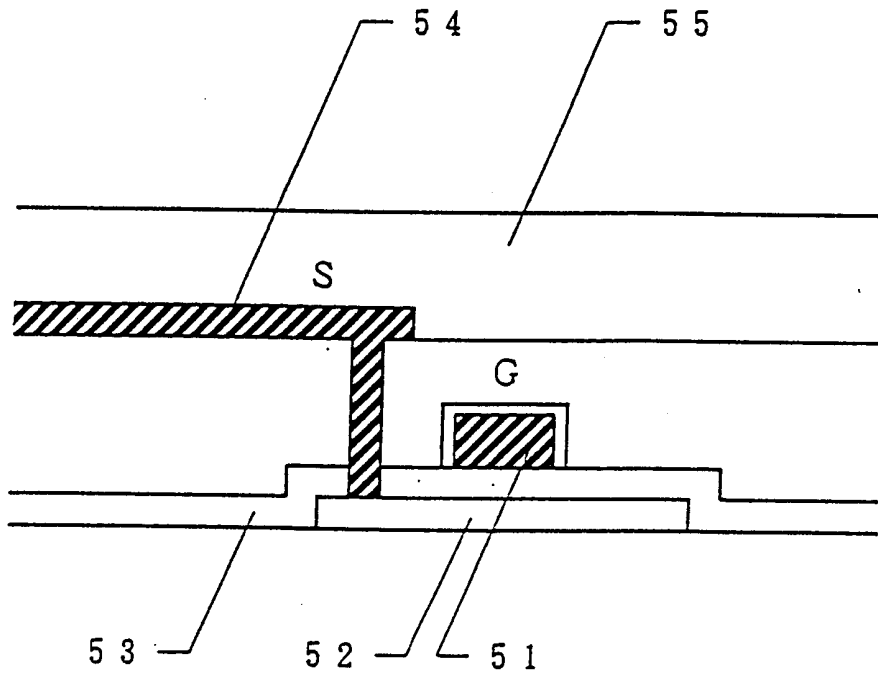
第10圖B



第11圖



第12圖A



第12圖B