



(12)发明专利申请

(10)申请公布号 CN 111510111 A
(43)申请公布日 2020.08.07

(21)申请号 202010342099.9

(22)申请日 2020.04.27

(71)申请人 上海华虹宏力半导体制造有限公司
地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 袁志勇

(74)专利代理机构 上海浦一知识产权代理有限
公司 31211
代理人 戴广志

(51)Int.Cl.
H03K 3/012(2006.01)

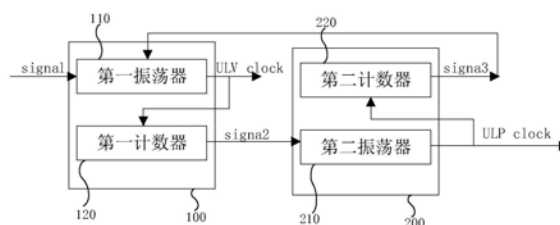
权利要求书1页 说明书5页 附图1页

(54)发明名称

振荡模块及芯片上电方法

(57)摘要

本申请涉及半导体集成电路技术领域,具体涉及一种振荡模块及芯片上电方法。其中振荡模块包括:级联的第一振荡单元和第二振荡单元;第一振荡单元,用于在接收到第一触发信号时,输出第一时钟信号,并在第一时钟信号的脉冲个数达到第一阈值时产生第二触发信号;第二振荡单元,用于在接收到第二触发信号时,输出第二时钟信号给集成电路系统,并在第二时钟信号的脉冲个数达到第二阈值时产生第三触发信号,第三触发信号用于控制第一振荡单元停止输出第一时钟信号。本申请提供的技术方案能够实现低电压启动的同时,避免集成电路复位失效,使得集成电路系统的上电功耗得到有效的控制。



1. 一种振荡模块,其特征在于,所述振荡模块包括:级联的第一振荡单元和第二振荡单元;

第一振荡单元,所述第一振荡单元用于在接收到第一触发信号时,输出第一时钟信号,并在所述第一时钟信号的脉冲个数达到第一阈值时产生第二触发信号;

第二振荡单元,所述第二振荡单元用于在接收到所述第二触发信号时,输出第二时钟信号给集成电路系统,并在所述第二时钟信号的脉冲个数达到第二阈值时产生第三触发信号,所述第三触发信号用于控制所述第一振荡单元停止输出第一时钟信号。

2. 如权利要求1所述的振荡模块,其特征在于,所述第一振荡单元包括:

第一振荡器,所述第一振荡器包括输入端、输出端和控制端;所述第一振荡器的输入端用于接收所述第一触发信号,在接收到所述第一触发信号时,所述第一振荡器的输出端输出第一时钟信号;

第一计数器,所述第一计数器用于接收所述第一时钟信号,并对所述第一时钟信号的脉冲进行计数,在所述第一时钟信号的脉冲个数达到第一阈值时,所述第一计数器产生第二触发信号。

3. 如权利要求2所述的振荡模块,其特征在于,所述第二振荡单元包括:

第二振荡器,所述第二振荡器包括输入端和输出端;所述第二振荡器的输入端用于接收所述第二触发信号,在接收到所述第二触发信号时,所述第二振荡器的输出端输出第二时钟信号;

第二计数器,所述第二计数器用于接收所述第二时钟信号,并对所述第二时钟信号的脉冲进行计数,在所述第二时钟信号的脉冲个数达到第二阈值时,所述第二计数器产生第三触发信号给所述第一振荡器的控制端。

4. 一种芯片上电方法,其特征在于,所述芯片上电方法包括:

确定电源电压增加至第一目标电压时,释放第一触发信号,所述第一触发信号用于触发如权利要求1~3中任一权利要求所述的第一振荡单元;

接收到所述第一触发信号时,振荡形成第一时钟信号;

计算所述第一时钟信号中的脉冲个数,在所述脉冲个数达到第一阈值时产生第二触发信号,所述第二触发信号用于触发如权利要求1~3中任一权利要求所述的第二振荡单元;

接收到所述第二触发信号时,振荡形成第二时钟信号,并传输该第二时钟信号给集成电路系统;

计算所述第二时钟信号中的脉冲个数,在所述脉冲个数达到第二阈值时产生第三触发信号,所述第三触发信号用于控制停止第一时钟信号。

5. 如权利要求4所述的芯片上电方法,其特征在于,在所述脉冲个数达到第一阈值时,所述电源电压达到第二目标电压,所述第二目标电压为正常工作电压的90%~97%。

6. 如权利要求4所述的芯片上电方法,其特征在于,在进行所述芯片上电方法过程中,所述电源电压逐渐增加。

7. 如权利要求4所述的芯片上电方法,其特征在于,在所述脉冲个数达到第二阈值时,所述电源电压达到正常工作电压。

8. 如权利要求4所述的芯片上电方法,其特征在于,第一目标电压的范围为正常工作电压的50%~60%。

振荡模块及芯片上电方法

技术领域

[0001] 本申请涉及半导体集成电路技术领域,具体涉及一种振荡模块及芯片上电方法。

背景技术

[0002] 在半导体集成电路技术领域中,系统上电过程是电源电压缓慢爬坡的过程,此过程中集成电路系统保持静态,直至电源电压达到预定电压时,上电复位(POR:Power On Reset)电路会释放POR信号,使得集成电路系统初始化,在初始化完成后,集成电路开始正常工作。

[0003] 然而,上电复位电路在释放POR信号时,会出现电源所达到的电压低于能保证集成电路系统正常工作的电压的问题。以正常工作电压为高压阈(1.65V~5.5V)的集成电路系统的缓慢上电过程为例,上电复位电路在释放POR信号时,电源电压所达到的电压最低为1V左右,会对集成电路系统的正常复位造成不利影响。

[0004] 相关技术通常采用环形振荡器计时等待电源电压达到正常工作电压,但是环形振荡器产生的时钟信号的占空比精度较差,且其功耗随着电源电压变化很大。

发明内容

[0005] 本申请提供了一种振荡模块及芯片上电方法,可以使得集成电路系统的上电功耗得到有效的控制。

[0006] 作为本申请的第一方面提供一种振荡模块,所述振荡模块包括:级联的第一振荡单元和第二振荡单元;

[0007] 第一振荡单元,所述第一振荡单元用于在接收到第一触发信号时,输出第一时钟信号,并在所述第一时钟信号的脉冲个数达到第一阈值时产生第二触发信号;

[0008] 第二振荡单元,所述第二振荡单元用于在接收到所述第二触发信号时,输出第二时钟信号给集成电路系统,并在所述第二时钟信号的脉冲个数达到第二阈值时产生第三触发信号,所述第三触发信号用于控制所述第一振荡单元停止输出第一时钟信号。

[0009] 可选地,第一振荡器,所述第一振荡器包括输入端、输出端和控制端;所述第一振荡器的输入端用于接收所述第一触发信号,在接收到所述第一触发信号时,所述第一振荡器的输出端输出第一时钟信号;

[0010] 第一计数器,所述第一计数器用于接收所述第一时钟信号,并对所述第一时钟信号的脉冲进行计数,在所述第一时钟信号的脉冲个数达到第一阈值时,所述第一计数器产生第二触发信号。

[0011] 可选地,第二振荡器,所述第二振荡器包括输入端和输出端;所述第二振荡器的输入端用于接收所述第二触发信号,在接收到所述第二触发信号时,所述第二振荡器的输出端输出第二时钟信号;

[0012] 第二计数器,所述第二计数器用于接收所述第二时钟信号,并对所述第二时钟信号的脉冲进行计数,在所述第二时钟信号的脉冲个数达到第二阈值时,所述第二计数器产

生第三触发信号给所述第一振荡器的控制端。

[0013] 作为本申请的第二方面,提供一种芯片上电方法,所述芯片上电方法包括:

[0014] 确定电源电压增加至第一目标电压时,释放第一触发信号,所述第一触发信号用于触发如本申请第一方面所述的第一振荡单元;

[0015] 接收到所述第一触发信号时,振荡形成第一时钟信号;

[0016] 计算所述第一时钟信号中的脉冲个数,在所述脉冲个数达到第一阈值时产生第二触发信号,所述第二触发信号用于触发如本申请第一方面所述的第二振荡单元;

[0017] 接收到所述第二触发信号时,振荡形成第二时钟信号,并传输该第二时钟信号给集成电路系统;

[0018] 计算所述第二时钟信号中的脉冲个数,在所述脉冲个数达到第二阈值时产生第三触发信号,所述第三触发信号用于控制停止第一时钟信号。

[0019] 可选地,在所述脉冲个数达到第一阈值时,所述电源电压达到第二目标电压,所述第二目标电压为正常工作电压的90%~97%。

[0020] 可选地,在进行所述芯片上电方法过程中,所述电源电压逐渐增加。

[0021] 可选地,在所述脉冲个数达到第二阈值时,所述电源电压达到正常工作电压。

[0022] 可选地,第一目标电压的范围为正常工作电压的50%~60%。

[0023] 本申请技术方案,至少包括如下优点:本申请提供的技术方案能够实现低电压启动的同时,避免集成电路复位失效,使得集成电路系统的上电功耗得到有效的控制。

附图说明

[0024] 为了更清楚地说明本申请具体实施方式或现有技术中的技术方案,下面将对具体实施方式或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本申请的一些实施方式,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0025] 图1是本申请第一方面实施例提供的振荡模块结构框图;

[0026] 图2是本申请第二方面实施例提供的芯片上电方法流程图;

[0027] 图3是本申请中在电源电压爬升过程中时序图。

[0028] 100.第一振荡单元,110.第一振荡器,120.第一计数器,200.第二振荡单元,210.第二振荡器,220.第二计数器。

具体实施方式

[0029] 下面将结合附图,对本申请中的技术方案进行清楚、完整的描述,显然,所描述的实施例是本申请的一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在不做出创造性劳动的前提下所获得的所有其它实施例,都属于本申请保护的范畴。

[0030] 在本申请的描述中,需要说明的是,术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。此外,术语“第一”、“第二”、

“第三”仅用于描述目的,而不能理解为指示或暗示相对重要性。

[0031] 在本申请的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电气连接;可以是直接相连,也可以通过中间媒介间接相连,还可以是两个元件内部的连通,可以是无线连接,也可以是有线连接。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本申请中的具体含义。

[0032] 此外,下面所描述的本申请不同实施方式中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

[0033] 作为本发明的第一方面,提供一种振荡模块,参照图1,该振荡模块包括级联的第一振荡单元100和第二振荡单元200;

[0034] 第一振荡单元100,用于在接收到第一触发信号signal1时,振荡输出第一时钟信号ULV clock,并在第一时钟信号ULV clock的脉冲个数达到第一阈值时产生第二触发信号signal2;

[0035] 第二振荡单元200,用于在接收到第二触发信号signal2时,振荡输出第二时钟信号ULP clock给集成电路系统,并在第二时钟信号ULP clock的脉冲个数达到第二阈值时产生第三触发信号signal3,第三触发信号signal3用于控制所述第一振荡单元100停止输出第一时钟信号ULV clock。

[0036] 第一振荡单元100包括:

[0037] 第一振荡器110,该第一振荡器110包括输入端、输出端和控制端;第一振荡器110的输入端用于接收所述第一触发信号signal1,在接收到所述第一触发信号signal1时,第一振荡器110的输出端输出第一时钟信号ULV clock。

[0038] 第一计数器120,所述第一计数器120用于接收所述第一时钟信号ULV clock,并对所述第一时钟信号ULV clock的脉冲进行计数,在所述第一时钟信号ULV clock的脉冲个数达到第一阈值时,所述第一计数器120产生第二触发信号signal2。

[0039] 第二振荡单元200包括:

[0040] 第二振荡器210,所述第二振荡器210包括输入端和输出端;所述第二振荡器210的输入端用于接收所述第二触发信号signal2,在接收到所述第二触发信号signal2时,所述第二振荡器210的输出端输出第二时钟信号ULP clock。

[0041] 第二计数器220,所述第二计数器220用于接收所述第二时钟信号ULP clock,并对所述第二时钟信号ULP clock的脉冲进行计数,在所述第二时钟信号ULP clock的脉冲个数达到第二阈值时,所述第二计数器220产生第三触发信号signal3给所述第一振荡器110的控制端。

[0042] 其中,在集成电路上电过程中,集成电路的电源电压逐渐增加,在电源电压增加至第一目标电压V1时,释放能够使得振荡模块工作的第一触发信号signal1,第一目标电压V1的范围为正常工作电压V3的50%~60%。在第一时钟信号ULV clock的脉冲个数达到第一阈值时,电源电压达到第二目标电压V2,所述第二目标电压V2为正常工作电压V3的90%~97%。在振荡输出第二时钟信号ULP clock给集成电路系统时,该集成电路系统进行初始化,在初始化完成后,集成电路开始正常工作。

[0043] 参照图3,在电源电压到达第一目标电压V1时,振荡模块的第一振荡单元100开始

工作,第一振荡单元100起振形成第一时钟信号ULV clock,对所述第一时钟信号ULV clock的脉冲个数进行计数,当所述第一时钟信号ULV clock的脉冲个数达到第一阈值,电源电压达到为正常工作电压V3的90%~97%的第二目标电压V2,第二振荡单元200产生第二触发信号signal2,在第二振荡单元200接收到第二触发信号signal2时起振形成第二时钟信号ULP clock,并输出第二时钟信号ULP clock给集成电路系统,对所述第二时钟信号ULP clock的脉冲个数进行计数,当所述第二时钟信号ULP clock的脉冲个数达到第二阈值,电源电压达到为正常工作电压V3,控制所述第一振荡单元100停止输出第一时钟信号ULV clock,即集成电路开始正常工作。

[0044] 示例性地:

[0045] 电源电压的正常工作电压V3为1.65V的集成电路系统,在电源电压到达第一目标电压V11V时,振荡模块的第一振荡单元100开始工作,第一振荡单元100起振形成第一时钟信号ULV clock,对所述第一时钟信号ULV clock的脉冲个数进行计数,当所述第一时钟信号ULV clock的脉冲个数达到第一阈值,电源电压达到第二目标电压V21.6V时第二振荡单元200产生第二触发信号signal2,在第二振荡单元200接收到第二触发信号signal2时起振形成第二时钟信号ULP clock,并输出第二时钟信号ULP clock给集成电路系统,该集成电路系统根据第二时钟信号ULP clock进行初始化;对所述第二时钟信号ULP clock的脉冲个数进行计数,当所述第二时钟信号ULP clock的脉冲个数达到第二阈值,电源电压达到为正常工作电压V31.65V,控制所述第一振荡单元100停止输出第一时钟信号ULV clock,即集成电路开始正常工作。

[0046] 作为本申请的第二方面,提供一种基于上述振荡模块的芯片上电方法,参照图2,该芯片上电方法包括:

[0047] S1:确定电源增加至第一目标电压V1,释放第一触发信号signal1,该第一触发信号signal1用于触发本申请第一方面所述的第一振荡单元100。

[0048] 其中,对于步骤S1,在集成电路上电过程中,集成电路的电源电压逐渐增加,在电源的电压增加至第一目标电压V1时,释放能够使得振荡模块工作的第一触发信号signal1,其中第一目标电压V1的范围为正常工作电压V3的50%~60%,从而能够实现低电压启动振荡模块。

[0049] S2:第一振荡单元100接收到所述第一触发信号signal1时,第一振荡单元100起振,振荡形成第一时钟信号ULV clock。

[0050] 示例性地,第一振荡单元100的第一振荡器110接收到所述第一触发信号signal1时,第一振荡器110起振,振荡形成第一时钟信号ULV clock。

[0051] S3:第一振荡单元100计算第一时钟信号ULV clock的脉冲个数,在所述脉冲个数达到第一阈值时产生第二触发信号signal2,该第二触发信号signal2用于触发本申请第一方面所述的第二振荡单元200。

[0052] 其中,对于步骤S3,在所述脉冲个数达到第一阈值时,所述电源电压达到第二目标电压V2,所述第二目标电压V2为正常工作电压V3的90%~97%;

[0053] 第一计数器120计算第一时钟信号ULV clock的脉冲个数,在所述脉冲个数达到第一阈值时产生第二触发信号signal2。

[0054] S4:第二振荡单元200接收到所述第二触发信号signal2时,振荡形成第二时钟信

号ULP clock,并传输该第二时钟信号ULP clock给集成电路系统。

[0055] 示例性地,第二振荡单元200的第二振荡器210接收到所述第二触发信号signal2时,第二振荡器210起振,振荡形成第二时钟信号ULP clock。

[0056] 在电源电压到达正常工作电压V3的90%~97%时,形成并传输第二时钟信号ULP clock给集成电路系统,使得集成电路系统进行初始化,能够避免集成电路复位失效的同时使得振荡模块低功耗运行。

[0057] S5:计算所述第二时钟信号ULP clock中的脉冲个数,在所述脉冲个数达到第二阈值时产生第三触发信号signal3,所述第三触发信号signal3用于控制停止第一时钟信号ULV clock。

[0058] 示例性地,第二振荡单元200的第二计数器220计算所述第二时钟信号ULP clock中的脉冲个数,在所述脉冲个数达到第二阈值时产生第三触发信号signal3。

[0059] 通过在产生第三触发信号signal3时,所述电源电压达到正常工作电压V3,集成电路系统能够进行正常工作,此时控制停止第一时钟信号ULV clock,使得系统的上电功耗得到有效的控制。

[0060] 图3为集电路上电过程中的时序图,其中的斜线为电源电压的爬升状态图,表示了电源电压爬升过程中电源电压值与时间的关系,该斜线上有三个节点,分别为Q1(T1,V1)、Q2(T2,V2)和Q3(T3,V3),其中Q1表示在T1时刻,接收到第一触发电压signal1,电源电压爬升到第一目标电压V1,形成了第一时钟信号ULV clock,该第一时钟信号ULV clock会一直产生,直到在T3时刻接收到第三触发电压signal3停止;Q2表示在T2时刻,接收到第二触发电压signal2,电源电压爬升到第二目标电压V2,形成了第二时钟信号ULP clock,该第二时钟信号ULP clock会一直产生,直到在T3时刻接收到第三触发电压signal3停止;Q3表示在T3时刻,接收到第三触发电压signal3,电源电压爬升到正常工作电压V3。

[0061] 显然,上述实施例仅仅是为清楚地说明所作的举例,而并非对实施方式的限定。对于所属领域的普通技术人员来说,在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引伸出的显而易见的变化或变动仍处于本申请创造的保护范围之内。

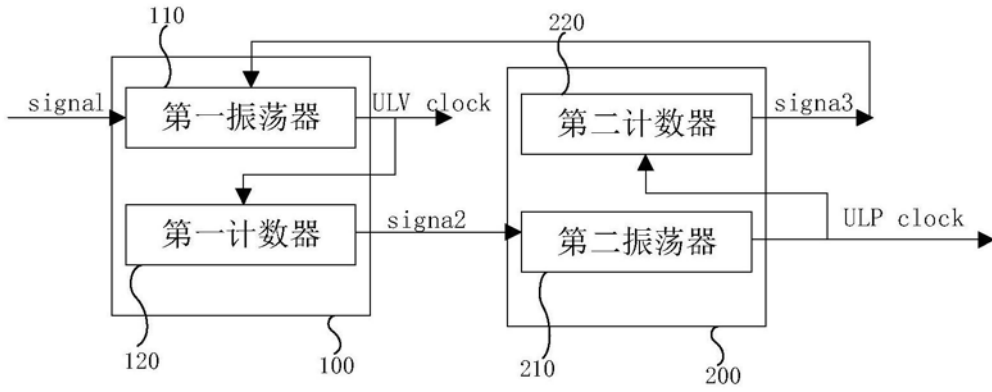


图1

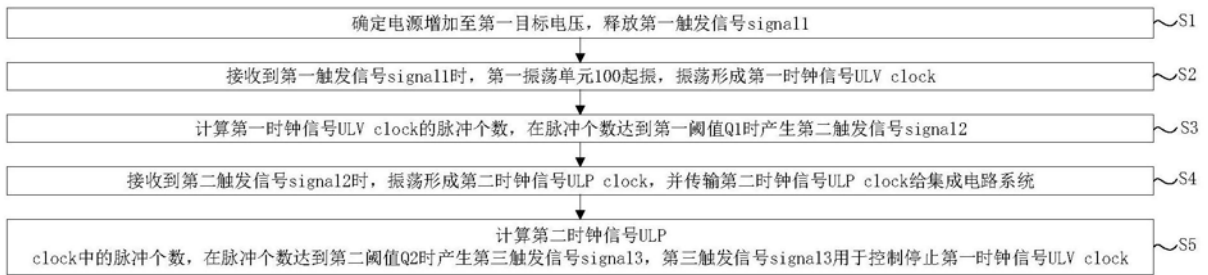


图2

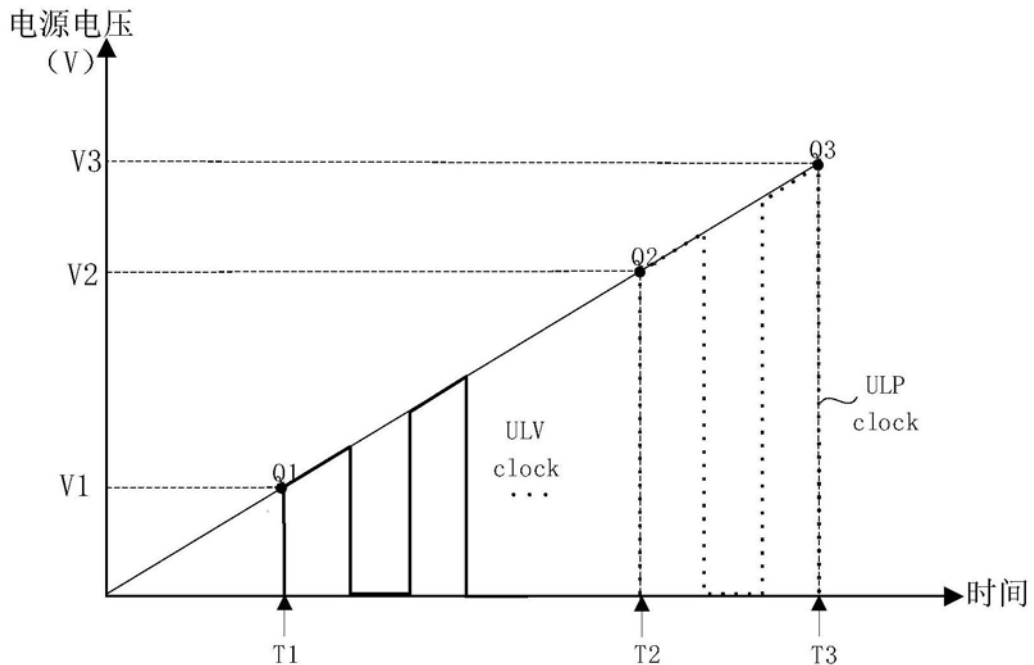


图3