

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6291345号
(P6291345)

(45) 発行日 平成30年3月14日(2018.3.14)

(24) 登録日 平成30年2月16日(2018.2.16)

(51) Int.Cl. F I
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 B
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 21 (全 24 頁)

(21) 出願番号	特願2014-102413 (P2014-102413)	(73) 特許権者	390019839
(22) 出願日	平成26年5月16日(2014.5.16)		三星電子株式会社
(65) 公開番号	特開2014-225668 (P2014-225668A)		Samsung Electronics Co., Ltd.
(43) 公開日	平成26年12月4日(2014.12.4)		大韓民国京畿道水原市靈通区三星路129
審査請求日	平成29年3月13日(2017.3.13)		129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea
(31) 優先権主張番号	10-2013-0056047	(74) 代理人	110000051
(32) 優先日	平成25年5月16日(2013.5.16)		特許業務法人共生国際特許事務所
(33) 優先権主張国	韓国 (KR)	(72) 発明者	安 鎮 燦
			大韓民国 京畿道 華城市 東灘ハンソク 一路 41 619棟 1502号

最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【特許請求の範囲】

【請求項1】

複数の接続端子が配置された基板と、
 前記基板上に配置され、活性面が互いに対向するように配置された1対の半導体チップと、を有する半導体パッケージであって、
 前記1対の半導体チップは、前記基板に近い側に配置される第1半導体チップ、及び前記基板から遠い側に配置される第2半導体チップを含み、
 前記基板上に配置された複数の接続端子は、前記第1半導体チップを介して、前記第2半導体チップ上に配置された複数の端子、及び前記第2半導体チップの1以上の半導体素子と直接電氣的に接続され、
前記基板上に配置された接続端子は、前記第1半導体チップ上に形成された半導体素子と直接電氣的に接続されず、前記第1半導体チップの前記半導体素子は、前記第2半導体チップの入出力(I/O)パッドを通じて、前記基板上の接続端子と接続され、
前記基板上に配置された接続端子は、前記第2半導体チップ上に配置された端子と直接電氣的に接続されるために、前記基板上に配置された接続端子が、前記第1半導体チップ上の第1ルーティング再配線を介して、前記第2半導体チップ上に配置された端子と電氣的に接続され、
前記第1ルーティング再配線は、
前記基板上の対応する接続端子と接続される、前記第1半導体チップの複数の第1ルーティング端子と、

前記第 2 半導体チップの対応するルーティング端子と接続される、前記第 1 半導体チップの複数の第 2 ルーティング端子と、を接続することを特徴とする半導体パッケージ。

【請求項 2】

前記第 1 半導体チップと前記第 2 半導体チップは、それぞれ自体の中心線に隣接して配置された 2 列の入出力パッドを含み、

前記 2 列の入出力パッドのうち、前記第 1 半導体チップ上に配置された第 1 入出力パッドセット、及び前記 2 列の入出力パッドのうち、前記第 2 半導体チップ上に配置された第 2 入出力パッドセットは、対応する入出力パッドの位置及び機能が同一であることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記第 1 ルーティング再配線は、前記中心線を横切って延長されないことを特徴とする請求項 2 に記載の半導体パッケージ。

【請求項 4】

前記第 2 半導体チップは、

複数の前記第 2 ルーティング端子にそれぞれ対応する複数の第 3 ルーティング端子と、複数の前記第 3 ルーティング端子を、それぞれ前記第 2 入出力パッドセットの対応する入出力パッドと電氣的に接続させる第 2 ルーティング再配線と、をさらに含むことを特徴とする請求項 2 に記載の半導体パッケージ。

【請求項 5】

前記第 1 半導体チップと、前記第 2 半導体チップとの活性面を対向させたとき、複数の前記第 2 ルーティング端子と、複数の前記第 3 ルーティング端子は、相互オーバーラップされることを特徴とする請求項 4 に記載の半導体パッケージ。

【請求項 6】

前記第 2 ルーティング再配線は、前記中心線を横切って延長されないことを特徴とする請求項 4 に記載の半導体パッケージ。

【請求項 7】

前記第 1 半導体チップは、外部回路との入出力をバッファリングする第 1 入出力バッファ回路をさらに含み、

前記第 2 半導体チップは、外部回路との入出力をバッファリングする第 2 入出力バッファ回路をさらに含み、

前記第 2 入出力バッファ回路は、前記基板と動作可能になるように接続され、

前記第 1 入出力バッファ回路は、ディセーブル (d i s a b l e) されることを特徴とする請求項 2 に記載の半導体パッケージ。

【請求項 8】

前記第 1 半導体チップは、前記第 2 入出力バッファ回路を介して入出力を行うように構成されることを特徴とする請求項 7 に記載の半導体パッケージ。

【請求項 9】

前記第 1 半導体チップは、自体の内部回路と電氣的に接続された第 4 ルーティング端子をさらに含み、

前記第 2 半導体チップは、自体の内部回路と電氣的に接続された第 5 ルーティング端子をさらに含み、

前記第 4 ルーティング端子と、前記第 5 ルーティング端子とが電氣的に直接接続され、

前記第 1 半導体チップは、前記第 2 入出力バッファ回路を介して入出力するために、前記第 4 ルーティング端子及び前記第 5 ルーティング端子を介して、前記第 2 半導体チップの第 2 入出力バッファと電氣的に接続されることを特徴とする請求項 8 に記載の半導体パッケージ。

【請求項 10】

前記第 1 半導体チップは、前記第 2 入出力バッファ回路を介して入出力を行うために、前記第 2 入出力バッファ回路に比べ、バッファリング容量が小さい補助バッファ回路をさらに含むことを特徴とする請求項 8 に記載の半導体パッケージ。

10

20

30

40

50

【請求項 1 1】

前記第 2 入出力パッドセットの入出力パッドは、それぞれに対応する前記第 2 入出力バッファ回路に電氣的に直接接続され、他の入出力バッファ回路には接続されないことを特徴とする請求項 7 に記載の半導体パッケージ。

【請求項 1 2】

前記第 2 半導体チップの 1 以上の半導体素子は、基板貫通ビアを使用せずに、前記基板上に配置された複数の接続端子に電氣的に接続されることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 1 3】

基板と、

前記基板上に配置され、活性面が互いに対向するように配置された 1 対の半導体チップと、を有する半導体パッケージであって、

前記 1 対の半導体チップは、前記基板に近い側に配置されるスレーブチップ、及び前記基板から遠い側に配置されるマスターチップを含み、

前記マスターチップは、複数の入出力パッドが、前記マスターチップの中心線に隣接して 2 列に対称配列されるセンターパッドタイプの半導体チップであり、

前記マスターチップの入出力パッドと前記基板との間で信号を送受信するための配線が、前記中心線を横切らず、

前記スレーブチップは、前記スレーブチップの中心線に隣接して 2 列に対称配列された複数の第 1 入出力パッドを含み、

前記マスターチップの入出力パッドは、第 2 入出力パッドであり、

前記第 1 入出力パッドと、前記第 2 入出力パッドとの位置と機能とが互いに同一であることを特徴とする半導体パッケージ。

【請求項 1 4】

前記第 2 入出力パッドは、前記基板上に配置された接続端子と直接電氣的に接続されることを特徴とする請求項 1 3 に記載の半導体パッケージ。

【請求項 1 5】

前記第 2 入出力パッドは、前記スレーブチップ上に形成された第 1 ルーティング再配線を介して、前記基板上の接続端子と電氣的に接続されることを特徴とする請求項 1 3 に記載の半導体パッケージ。

【請求項 1 6】

前記第 1 ルーティング再配線は、

前記基板上の対応する接続端子と接続されるための複数の第 1 ルーティング端子を、前記マスターチップの対応する端子と接続されるための複数の第 2 ルーティング端子に接続することを特徴とする請求項 1 5 に記載の半導体パッケージ。

【請求項 1 7】

前記マスターチップは、

複数の前記第 2 ルーティング端子にそれぞれ対応する複数の第 3 ルーティング端子と、複数の前記第 3 ルーティング端子を、それぞれ前記第 2 入出力パッドの対応する入出力パッドと電氣的に接続させる第 2 ルーティング再配線と、を含むことを特徴とする請求項 1 6 に記載の半導体パッケージ。

【請求項 1 8】

前記マスターチップと前記スレーブチップとの大きさが実質的に同一であることを特徴とする請求項 1 7 に記載の半導体パッケージ。

【請求項 1 9】

前記複数の第 1 ルーティング端子は、前記基板上の対応する接続端子とボンディングワイヤで電氣的に直接接続されることを特徴とする請求項 1 6 に記載の半導体パッケージ。

【請求項 2 0】

前記マスターチップは、外部回路との入出力をバッファリングするバッファ回路をさらに含み、

10

20

30

40

50

前記スレーブチップは、前記マスターチップのバッファ回路を介して入出力を行うように構成されることを特徴とする請求項 1 6 に記載の半導体パッケージ。

【請求項 2 1】

前記 2 列に対称配列される複数の入出力パッドの各列は、少なくとも 4 つの入出力パッドを含むことを特徴とする請求項 1 3 に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体パッケージに関し、より詳しくは、半導体チップ上の再配線ルーティングが単純化され、さらに信頼度が高く、かつすぐれた性能を提供する半導体パッケージに関する。

10

【背景技術】

【0 0 0 2】

半導体技術の発展は、高速化、高容量化と同時に、小型化を要求している。高容量化を達成するために 2 個以上の半導体チップを積層する方法が広く利用されているが、それによる再配線ルーティングが、だんだんと複雑化している。一方、小型化の傾向により、再配線ルーティングの線幅もだんだんと狭小になっており、さらに単純な再配線ルーティングが可能な方策が要求されている。

【発明の概要】

20

【発明が解決しようとする課題】

【0 0 0 3】

本発明は上記従来の半導体パッケージにおける問題点に鑑みてなされたものであって、本発明の目的は、半導体チップ上の再配線ルーティングが単純化され、さらに信頼度が高く、かつすぐれた性能を有する半導体パッケージを提供するところにある。

【課題を解決するための手段】

【0 0 0 4】

上記目的を達成するためになされた本発明による半導体パッケージは、複数の接続端子が配置された基板と、前記基板上に配置され、活性面が互いに対向するように配置された 1 対の半導体チップと、を有する半導体パッケージであって、前記 1 対の半導体チップは、前記基板に近い側に配置される第 1 半導体チップ、及び前記基板から遠い側に配置される第 2 半導体チップを含み、前記基板上に配置された複数の接続端子は、前記第 1 半導体チップを介して、前記第 2 半導体チップ上に配置された複数の端子、及び前記第 2 半導体チップの 1 以上の半導体素子と直接電氣的に接続され、前記基板上に配置された接続端子は、前記第 1 半導体チップ上に形成された半導体素子と直接電氣的に接続されず、前記第 1 半導体チップの前記半導体素子は、前記第 2 半導体チップの入出力 (I/O) パッドを通じて、前記基板上の接続端子と接続され、前記基板上に配置された接続端子は、前記第 2 半導体チップ上に配置された端子と直接電氣的に接続されるために、前記基板上に配置された接続端子が、前記第 1 半導体チップ上の第 1 ルーティング再配線を介して、前記第 2 半導体チップ上に配置された端子と電氣的に接続され、前記第 1 ルーティング再配線は、前記基板上の対応する接続端子と接続される、前記第 1 半導体チップの複数の第 1 ルーティング端子と、前記第 2 半導体チップの対応するルーティング端子と接続される、前記第 1 半導体チップの複数の第 2 ルーティング端子と、を接続することを特徴とする。

30

40

【0 0 0 6】

前記第 1 半導体チップと前記第 2 半導体チップは、それぞれ自体の中心線に隣接して配置された 2 列の入出力パッドを含み、前記 2 列の入出力パッドのうち、前記第 1 半導体チップ上に配置された第 1 入出力パッドセット、及び前記 2 列の入出力パッドのうち、前記第 2 半導体チップ上に配置された第 2 入出力パッドセットは、対応する入出力パッドの位置及び機能が同一であることが好ましい。

前記第 1 ルーティング再配線は、前記中心線を横切って延長されないことが好ましい。

50

前記第2半導体チップは、複数の前記第2ルーティング端子にそれぞれ対応する複数の第3ルーティング端子と、複数の前記第3ルーティング端子を、それぞれ前記第2入出力パッドセットの対応する入出力パッドと電氣的に接続させる第2ルーティング再配線と、をさらに含むことが好ましい。

【0007】

前記第1半導体チップと、前記第2半導体チップとの活性面を対向させたとき、複数の前記第2ルーティング端子と、複数の前記第3ルーティング端子は、相互オーバーラップされることが好ましい。

前記第2ルーティング再配線は、前記中心線を横切って延長されないことが好ましい。

前記第1半導体チップは、外部回路との入出力をバッファリングする第1入出力バッファ回路をさらに含み、前記第2半導体チップは、外部回路との入出力をバッファリングする第2入出力バッファ回路をさらに含み、前記第2入出力バッファ回路は、前記基板と動作可能になるように接続され、前記第1入出力バッファ回路は、ディセーブル(disable)されることが好ましい。

【0008】

前記第1半導体チップは、前記第2入出力バッファ回路を介して入出力を行うように構成されることが好ましい。

前記第1半導体チップは、自体の内部回路と電氣的に接続された第4ルーティング端子をさらに含み、前記第2半導体チップは、自体の内部回路と電氣的に接続された第5ルーティング端子をさらに含み、前記第4ルーティング端子と、前記第5ルーティング端子とが電氣的に直接接続され、前記第1半導体チップは、前記第2入出力バッファ回路を介して入出力するために、前記第4ルーティング端子及び前記第5ルーティング端子を介して、前記第2半導体チップの第2入出力バッファと電氣的に接続されることが好ましい。

【0009】

前記第1半導体チップは、前記第2入出力バッファ回路を介して入出力を行うために、前記第2入出力バッファ回路に比べ、バッファリング容量が小さい補助バッファ回路をさらに含むことが好ましい。

前記第2入出力パッドセットの入出力パッドは、それぞれに対応する前記第2入出力バッファ回路に電氣的に直接接続され、他の入出力バッファ回路には接続されないことが好ましい。

前記第2半導体チップの1以上の半導体素子は、基板貫通ビアを使用せずに、前記基板上に配置された複数の接続端子に電氣的に接続されることが好ましい。

【0010】

上記目的を達成するためになされた本発明による半導体パッケージは、基板と、前記基板上に配置され、活性面が互いに対向するように配置された1対の半導体チップと、を有する半導体パッケージであって、前記1対の半導体チップは、前記基板に近い側に配置されるスレーブチップ、及び前記基板から遠い側に配置されるマスターチップを含み、前記マスターチップは、複数の入出力パッドが、前記マスターチップの中心線に隣接して2列に対称配列されるセンターパッドタイプの半導体チップであり、前記マスターチップの入出力パッドと前記基板との間で信号を送受信するための配線が、前記中心線を横切らず、前記スレーブチップは、前記スレーブチップの中心線に隣接して2列に対称配列された複数の第1入出力パッドを含み、前記マスターチップの入出力パッドは、第2入出力パッドであり、前記第1入出力パッドと、前記第2入出力パッドとの位置と機能とが互いに同一であることを特徴とする。

【0011】

前記第2入出力パッドは、前記基板上に配置された接続端子と直接電氣的に接続されることが好ましい。

前記第2入出力パッドは、前記スレーブチップ上に形成された第1ルーティング再配線を介して、前記基板上の接続端子と電氣的に接続されることが好ましい。

10

20

30

40

50

【0012】

前記第1ルーティング再配線は、前記基板上の対応する接続端子と接続されるための複数の第1ルーティング端子を、前記マスターチップの対応する端子と接続されるための複数の第2ルーティング端子に接続することが好ましい。

前記マスターチップは、複数の前記第2ルーティング端子にそれぞれ対応する複数の第3ルーティング端子と、複数の前記第3ルーティング端子を、それぞれ前記第2入出力パッドの対応する入出力パッドと電氣的に接続させる第2ルーティング再配線と、を含むことが好ましい。

【0013】

前記マスターチップと前記スレーブチップとの大きさが実質的に同一であることが好ましい。

10

前記複数の第1ルーティング端子は、前記基板上の対応する接続端子とボンディングワイヤで電氣的に直接接続されることが好ましい。

【0014】

前記マスターチップは、外部回路との入出力をバッファリングするバッファ回路をさらに含み、前記スレーブチップは、前記マスターチップのバッファ回路を介して入出力を行うように構成されることが好ましい。

前記2列に対称配列される入出力パッドの各列は、少なくとも4つの入出力パッドを含むことが好ましい。

【発明の効果】

20

【0015】

本発明に係る半導体パッケージによれば、半導体チップ上の再配線ルーティングが単純化され、さらに信頼度が高く、かつすぐれた性能を有する半導体パッケージを実現することが可能である。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施形態による半導体パッケージを概略的に示す斜視図である。

【図2】本発明の一実施形態による半導体パッケージのy方向の断面を概念的に示す側断面図である。

【図3】第1半導体チップと第2半導体チップとの関係をさらに明確に説明するための回路図である。

30

【図4】本発明の一実施形態による第1半導体チップと基板とを示す平面図である。

【図5】本発明の一実施形態による第1半導体チップと基板とを示す斜視図である。

【図6】本発明の一実施形態による第2半導体チップを示す平面図である。

【図7】本発明の一実施形態による第2半導体チップを示す斜視図である。

【図8】第1半導体チップと第2半導体チップとの結合関係を示す分解斜視図である。

【図9】さらなる補助バッファ回路を有する半導体パッケージを示す回路図である。

【図10】さらなる補助バッファ回路を有する半導体パッケージを示す回路図である。

【図11】本発明の他の実施形態による半導体パッケージのy方向の断面を概念的に示す側断面図である。

40

【図12】本発明の他の実施形態による第1半導体チップと基板とを示す平面図である。

【図13】本発明の他の実施形態による第1半導体チップと基板とを示す斜視図である。

【図14】本発明の他の実施形態による第2半導体チップを示す平面図である。

【図15】本発明の他の実施形態による第2半導体チップを示す斜視図である。

【図16】本発明のさらに他の実施形態による半導体パッケージを示す側断面図である。

【図17】本発明の一実施形態による半導体パッケージを含むメモリ・モジュールの平面図である。

【図18】本発明の一実施形態による半導体パッケージを含むメモリカードの概略図である。

【図19】本発明の一実施形態による半導体パッケージを含むメモリ装置の一例を示すブ

50

ロック図である。

【図20】本発明の一実施形態による半導体パッケージを含む電子システムの一例を示すブロック図である。

【図21】本発明の一実施形態による半導体パッケージの例示的な製造方法を説明するためのフローチャートである。

【図22】活性面が上部に向かうように実装された半導体チップと基板とが直接電氣的に接続される場合の問題点について説明するための斜視図である。

【発明を実施するための形態】

【0017】

次に本発明に係る半導体パッケージを実施するための形態の具体例を図面を参照しながら説明する。

【0018】

しかし、本発明の実施形態は、多種の異なる形態に変形され、本発明の範囲が、以下で述べる実施形態によって限定されるものではないと解釈されるべきものである。本発明の実施形態は、当業者に、本発明についてより完全に説明するために提供するものであると解釈されることが望ましい。同一の符号は、始終同一の要素を意味する。さらに、図面での多様な要素と領域は、概略的に示している。従って、本発明は、添付した図面に示した相対的な大きさや間隔によって制限されるものではない

第1、第2のような用語は、多様な構成要素について説明するのに使用するものであるが、前記構成要素は、前記用語によって限定されるものではない。前記用語は、1つの構成要素を他の構成要素から区別する目的のみに使用される。例えば、本発明の権利範囲を外れずに、第1構成要素は、第2構成要素と命名し、反対に、第2構成要素は、第1構成要素と命名することもある。

【0019】

本出願で使用した用語は、ただ、特定の実施形態について説明するために使用したものであり、本発明を限定する意図ではない。単数の表現は、文脈上明白に取り立てて意味しない限り、複数の表現を含む。本出願において、「含む」または「有する」というような表現は、明細書に記載した特徴、個数、段階、動作、構成要素、部分品またはそれらを組み合わせたものが存在するというを指定するものであり、一つまたはそれ以上の他の特徴、個数、動作、構成要素、部分品またはそれらを組み合わせたものなどの存在または付加の可能性をあらかじめ排除するものではないと理解されなければならない。

取り立てて定義されない限り、ここで使用される全ての用語は、技術用語と科学用語とを含み、本発明が属する技術分野で当業者であるならば、共通して理解しているところと同一の意味を有する。また、一般的に使用される、前もって定義されたような用語は、関連技術との兼ね合いで、それらが意味するところと一貫する意味を有するものであると解釈され、そこで明示的に定義しない限り、過度に形式的な意味に解釈されることがあってはならないと理解されるものである。

【0020】

図1は、本発明の一実施形態による半導体パッケージ10を概略的に示す斜視図である。

図1を参照すると、基板300上に、第1半導体チップ100と、第2半導体チップ200とが順次積層される。例えば、第1半導体チップ100は、基板300と、第2半導体チップ200との間にある。以下では、基板300は、特にパッケージ基板300とも呼ぶ。このとき、第1半導体チップ100と、第2半導体チップ200は、活性面が互いに対向するように配置される。

例えば、前記第1半導体チップ100は、第1半導体チップ100の背面（例えば、回路が形成されていない側の面）が、パッケージ基板300を向き、活性面（例えば、回路が形成された側の面）がその反対側を向くように、パッケージ基板300上に配置される。第2半導体チップ200は、第2半導体チップ200の活性面が、第1半導体チップ100の活性面を向くように、第1半導体チップ100上に配置される。また、第1半導体

10

20

30

40

50

チップ100と、第2半導体チップ200は、封止材400によって封止される。

【0021】

まず、基板300は、パッケージ基板であり、特に、絶縁基板に、導電体で回路が形成されている基板である。例えば、印刷回路基板(PCB: printed circuit board)であるが、硬質印刷回路基板でもよく、可撓性印刷回路基板(FPCB: flexible printed circuit board)でもよく、またはテープ基板でもよい。しかし、それらの例に限定されるものではない。

第1半導体チップ100と、第2半導体チップ200は、それぞれメモリチップである。メモリチップは、多様な形態のメモリ回路、例えば、DRAM(dynamic random access memory)、SRAM(static random access memory)、NANDメモリまたはNORメモリのようなフラッシュメモリ、相変化メモリ(PRAM: phase change random access memory)、抵抗メモリ(RRAM(登録商標): resistive random access memory)、強誘電体メモリ(FerRAM(登録商標): ferroelectric random-access memory)、磁気抵抗メモリ(MRAM: magnetoresistive random access memory)などであるが、それらに限定されるものではない。

【0022】

しかし、第1半導体チップ100と、第2半導体チップ200との少なくとも一つは、メモリチップに限定されず、ロジックチップ(logic chip)でもよい。場合によっては、第1半導体チップ100と、第2半導体チップ200との少なくとも一つは、アプリケーション・プロセッサ(AP: application processor)でもよい。

第1半導体チップ100と、第2半導体チップ200は、互いに同一の半導体チップでもよく、互いに異なる半導体チップでもよい。後述するが、第1半導体チップ100と、第2半導体チップ200との活性面上には、各半導体チップを、外部の湿気、熱、衝撃などから保護するためのパッシベーション層が形成されている。パッシベーション層の内部及び/または上部には、再配線(Redistribution)のための導電ラインが形成される。

【0023】

封止材400は、レジンのような高分子物質から形成される。例えば、封止材400は、エポキシモルディング・コンパウンド(EMC: epoxy molding compound)であるが、それに限定されるものではない。一実施形態において、封止材400は、第1半導体チップ100と、第2半導体チップ200との側面及び/または上部面を封止する。また、封止材400は、互いに対向する第1半導体チップ100と、第2半導体チップ200との間の空間を充填する。

【0024】

図2は、本発明の一実施形態による半導体パッケージ10のy方向の断面を概念的に示す側断面図である。

図2を参照すると、第1半導体チップ100と、第2半導体チップ200は、それぞれ自体の中心線Cに隣接して、2列の入出力パッドを含む。第1半導体チップ100に具備された入出力パッドを、第1入出力パッド110といい、第2半導体チップ200に具備された入出力パッドを、第2入出力パッド210という。

ここでは、入出力パッドが2列に具備される例を挙げたが、当業者は、本発明がそれに限定されるものではなく、2列以外の他の配列で、入出力パッドが具備されるということも理解するであろう。

【0025】

一実施形態において、第2入出力パッド210は、再配線、端子、パッド及び/またはバンプのような導電性部品を介して、基板300上に具備された接続端子310に直接電氣的に接続される。ここで、第2入出力パッド210が、接続端子310と「直接電氣的

10

20

30

40

50

に接続される」ということは、第2入出力パッド210と、接続端子310との間に、能動素子や受動素子が介在されず、ただ導電性の配線、端子、パッド及び/またはバンプのような導電性部品のみを介在して電氣的に接続されるということを意味する。

従って、ある実施形態において、直接電氣的に接続された2部品は(誘電体、空気または絶縁物質のような)電氣的不導体物質の介在なしに、電気伝導性の物質(例えば、導電体)の連続的なセットを介して物理的に接続される。

【0026】

図2から分かるように、第1及び第2入出力パッド(110、210)は、矢印で表示した経路に沿って、基板300上の対応する接続端子310に、直接電氣的に接続される。このとき、接続端子310は、第1半導体チップ100内の半導体素子とは、直接電氣的に接続はされない。

10

尚、第2半導体チップ200の1以上の半導体素子は、基板貫通ビアを使用せずに配置された基板上の接続端子310と直接電氣的に接続される構造としてもよい。

特に、接続端子310と直接電氣的に接続される第2入出力パッド210を含む第2半導体チップ200は、マスターチップ(master chip)の役割を行うことができる。また、接続端子310と直接電氣的に接続される半導体素子を有さない第1半導体チップ100は、スレーブチップ(slave chip)の役割を行う。

【0027】

図3は、本発明の一実施形態による、第1半導体チップ100と、第2半導体チップ200との関係を、さらに明確に説明するための回路図である。

20

図3を参照すると、第1半導体チップ100と、第2半導体チップ200は、それぞれ第1入出力パッド110と、第2入出力パッド210とを具備し、それらは、それぞれ第1入出力バッファ回路150及び第2入出力バッファ回路250に接続される。

また、第1入出力バッファ回路150及び第2入出力バッファ回路250は、それぞれ第1半導体チップ100の内部回路105、及び第2半導体チップ200の内部回路205と接続される。例えば、第1入出力バッファ回路150及び前記第2入出力バッファ回路250と、内部回路(105、205)は、抵抗、キャパシタ及びトランジスタのような、半導体素子及び回路要素を含んでもよい。

【0028】

第1半導体チップ100の内部回路105と、第1入出力パッド110との間に、端子160が具備され、第2半導体チップ200の内部回路205と、第2入出力パッド210との間に、端子260が具備され、端子160と端子260は、互いに直接電氣的に接続される。

30

第2入出力パッド210が、基板300の接続端子310から、信号DQ0を受けると、チップ選択信号CSによって、第1半導体チップ100の内部回路105、または第2半導体チップ200の内部回路205に、それを伝達することができる。

【0029】

もしチップ選択信号CSが、第2半導体チップ200を選択する場合、第2半導体チップ200は、第2入出力パッド210 - 第2入出力バッファ回路250 - 端子260 - 内部回路205の経路に沿って、基板300と、信号及び/またはデータをやり取りすることができる。

40

【0030】

もしチップ選択信号CSが、第1半導体チップ100を選択する場合、第1半導体チップ100は、第2入出力パッド210 - 第2入出力バッファ回路250 - 端子260 - 端子160 - 内部回路105の経路に沿って、基板300と、信号及び/またはデータをやり取りすることができる。従って、その場合、第1入出力パッド110及び第1入出力バッファ回路150は、ディセーブル(disable)になった状態である。

以上で説明したように、第1半導体チップ100は、第2半導体チップ200を経由して、基板300と、信号及び/またはデータをやり取りすることができる。

【0031】

50

図4及び図5は、それぞれ本発明の一実施形態による第1半導体チップ100と基板300とを示す平面図及び斜視図である。

図4及び図5を参照すると、基板300上に、第1半導体チップ100が配置される。第1半導体チップ100の活性面上には、第1半導体チップ100の中心線Cに隣接して、2列に対称配列された入出力パッドである第1入出力パッドセット110aが提供される。第1入出力パッドセット110aは、複数の入出力パッドを含んでもよい。図4及び図5には、4個のパッドを示すが、各列にさらなるパッドを含んでもよい。

【0032】

また、第1半導体チップ100の中心線Cと平行な両方エッジに沿って、第1ルーティング再配線120が具備される。第1ルーティング再配線120は、第1ルーティング端子130及び第2ルーティング端子140に接続される。単一の導電性部品を形成するために結合されたり、あるいは互いに直接接続される1以上の導電性部品は、導電性連結体(*conductive interconnects*)と呼ばれる。従って、第1ルーティング端子130、第1ルーティング再配線120及び第2ルーティング端子140は、ここで、導電性連結体と呼ぶ。

10

【0033】

第1ルーティング端子130は、それぞれ基板300上の対応する接続端子310と直接電氣的に接続される。例えば、第1ルーティング端子130は、ボンディングワイヤを介して、接続端子310と電氣的に接続される。

一実施形態において、第1ルーティング端子130は、第1半導体チップ表面の導電性パッドである。一実施形態において、前記パッドは、第1半導体チップの内部回路に接続されるものではない。しかし、本発明がそれに限定されるものではない。

20

【0034】

第2ルーティング端子140は、第1ルーティング再配線120をそれぞれ第2半導体チップ200の対応する端子と接続するように提供される。

図5では、第2ルーティング端子140がバンプであるように図示したが、それに限定されるものではない。例えば、特定の実施形態において、類似の方式に例示されたそれら、及び他のルーティング端子は、他のルーティング端子と、一対一方式で電氣的に及び物理的に接続される導電性材料を含んでもよい。例えば、第2ルーティング端子140は、加熱され、他のソルダ物質または導電性パッドや端子に物理的にボンディングされるように、ソルダ物質を含んでもよい。2つの端子は、1つの導電性連結体を形成することができる。

30

【0035】

図4及び図5から分かるように、第1ルーティング再配線120は、第1半導体チップ100の中心線Cを横切らないように延長され、第1ルーティング端子130と第2ルーティング端子140とを互いに接続する。

また、図4及び図5では、基板300と第1半導体チップ100とが接続される端子が8対である場合を示したが、当業者は、端子の対が、それよりさらに多くも少なくもある可能性があるということを理解するであろう。

また、図4及び図5では、第1ルーティング再配線120の延長される部分が、上部表面外部に露出するように表現したが、第1ルーティング再配線120の延長される部分が、第1半導体チップ100のパッシベーション層によって被覆されてもよい。

40

【0036】

図6及び図7は、それぞれ本発明の一実施形態による第2半導体チップ200を示す平面図及び斜視図である。

図6及び図7を参照すると、第2半導体チップ200の活性面上には、第2半導体チップ200の中心線Cに隣接して2列に対称配列された入出力パッドである第2入出力パッドセット210aが提供される。

第2入出力パッドセット210aそれぞれに対して、第2ルーティング再配線220が提供される。このとき、第2ルーティング再配線220は、第2半導体チップ200の中

50

心線Cを横切らないように延長される。

また、図6及び図7では、第2ルーティング再配線220の延長される部分が、上部表面外部に露出するように表現したが、第2ルーティング再配線220の延長される部分が、第2半導体チップ200のパッシベーション層によって被覆されてもよい。

【0037】

第2入出力パッドセット210aから延長された第2ルーティング再配線220の他方末端には、第3ルーティング端子230が設けられる。第3ルーティング端子230は、第1半導体チップ100上に設けられた対応する第2ルーティング端子140と物理的及び/または電氣的に接続される。

従って、第2ルーティング端子140及び第3ルーティング端子230の位置は、この点を考慮し、第1半導体チップ100と、第2半導体チップ200との活性面が互いに対向するように重ねたとき、同一位置でオーバーラップするように構成される。

10

【0038】

図4、図5、図6及び図7を共に参照すると、基板300の接続端子310から、第2半導体チップ200の第2入出力パッドセット210aまでの入出力経路は、第2半導体チップ200の中心線Cを横切らないように構成される。

第1半導体チップ100は、自体の内部回路105と電氣的に接続された複数の第4ルーティング端子160aを含んでもよい。また、第2半導体チップ200は、自体の内部回路205と電氣的に接続された複数の第5ルーティング端子260aを含んでもよい。

複数の第4ルーティング端子160aと、それに対応する複数の第5ルーティング端子260aは、第1半導体チップ100と、第2半導体チップ200との活性面が互いに対向するように重ねたとき、互いにオーバーラップするように構成される。

20

【0039】

その場合、複数の第4ルーティング端子160aと、それに対応する複数の第5ルーティング端子260aは、電氣的に直接接続される。さらに、複数の第4ルーティング端子160aと、それに対応する複数の第5ルーティング端子260aは、物理的に直接接触する。一実施形態において、第4ルーティング端子160aのそれぞれは、対応する第5ルーティング端子260aと、少なくとも端子の一部が物理的に共有するようにボンディングされる。

【0040】

図8は、第1半導体チップ100と、第2半導体チップ200との結合関係を示す分解斜視図である。

30

図8の各個別構成要素については、図4、図5、図6及び図7を参照して説明したので、ここでは反復説明を避ける。

図8を参照すると、第1及び第2半導体チップ(100、200)の中心線Cと平行な軸を中心に、第2半導体チップ200を裏返して、第1半導体チップ100上に重なるように構成される。このとき、第1半導体チップ100の第2ルーティング端子140と、第2半導体チップ200の第3ルーティング端子230が互いに重なるように構成される。また、第1半導体チップ100の第4ルーティング端子160aと第2半導体チップ200の第5ルーティング端子260aが互いに重なるように構成される。

40

【0041】

また、一実施形態において、第1半導体チップ100は、第2半導体チップ200と同一サイズを有する。例えば、第1半導体チップ100と、第2半導体チップ200は、上部表面または下部表面の表面積が同一である。第1半導体チップ100と、第2半導体チップ200は、異なるルーティング端子が、前述のように接続されたとき、整列される外側エッジ(edge)を有する。

そのとき、第1半導体チップ100の第1入出力パッドセット110aは、第2半導体チップ200の第2入出力パッドセット210aと、同数でもって同一位置に配置される。

さらに、第1半導体チップ100の第1入出力パッドセット110aと、第2半導体チ

50

チップ200の第2入出力パッドセット210aは、同一の機能を有することができる。ただし、第1半導体チップ100の第1入出力パッドセット110aと、第2半導体チップ200の第2入出力パッドセット210aとが同一の機能を有することができるとしても、いずれか一方がディセーブルになっており、実際の使用時には作動しないこともある。

【0042】

第2半導体チップ200を、第1半導体チップ100上に重ねたとき、第2半導体チップ200が、マスターチップ(master chip)として作用する場合、論理的な観点において、基板300は、第2半導体チップ200を経由して、スレーブチップである第1半導体チップ100と通信することができる。

例えば、基板300は、第2半導体チップ200の能動回路部品と直接電氣的に通信することができ、第1半導体チップ100の能動回路部品とは、電氣的に間接的に通信する。

10

しかし、物理的な観点から見れば、基板300が送受信する信号/データが、第1半導体チップ100に伝送された後、第2半導体チップ200に伝達されるが、第1半導体チップ100の内部回路105には、直接伝達されず、第2半導体チップ200にだけ直接電氣的に伝達される。

【0043】

さらに具体的には、基板300の接続端子310を介して、第1ルーティング端子130に伝達された信号/データは、第1半導体チップ100の第1ルーティング再配線120と、第2ルーティング端子140とを経て、第2半導体チップ200の第3ルーティング端子230に伝達される。

20

次に、信号/データは、第2ルーティング再配線220を介して、第2入出力パッド210に伝達されることにより、第2半導体チップ200に伝達される。第2半導体チップ200から基板300に伝達される信号/データは、その逆順に伝送される。

【0044】

基板300上に具備された複数の接続端子310は、JEDEC(joint electronic device engineering council)を始めとした多くの標準に、その作用と配置とが規定されているので、その任意変更は、製造コスト及び効率において不利である。

基板300上に具備された複数の接続端子310は、基板300上に、1つの半導体チップがフリップチップ(flip-chip)形態で実装されることを前提にして、その作用と配置とが規定されている。そのために、図8のように、基板300と直接電氣的に接続されるセンターパッドタイプの半導体チップの活性面が、基板300側を向くのではなく、基板300の反対側を向く場合、その半導体チップの入出力パッドと基板とを接続するための再配線が入り組んでしまう。

30

【0045】

図22は、そのように、活性面が上部に向かうように実装されたセンターパッドタイプ半導体チップと基板とが、直接電氣的に接続される場合の問題点について説明するための斜視図である。

図22を参照すると、基板P30上に、半導体チップP10が実装される。前述のように、JEDECを始めとした多くの標準が、基板P30上にセンターパッドタイプの半導体チップが、フリップチップ実装されることを前提にして制定され、現在活用されている。そのために、それに対して大規模の設計変更を行うことは、製造効率や製造コストにおいて有利ではない。

40

【0046】

半導体チップP10の中心線Cを中心に、全体半導体パッケージを2つの部分、すなわち、I部分とII部分とに分けることができるが、前記標準によれば、I部分の入出力パッドP11は、II部分の基板P30に具備された接続端子P31と接続されることが想定されている。また、前記標準によれば、II部分の入出力パッドP12は、I部分の基板P30に具備された接続端子P31と接続されることが想定されている。

50

そのために、半導体チップ P 1 0 がフリップチップで構成される場合には、各入出力パッド (P 1 1、P 1 2) から引き出されて延長される再配線 P 1 3 が中心線 C を横切らずに基板 P 3 0 の接続端子 P 3 1 まで直接電氣的に接続することが可能であった。

【 0 0 4 7 】

しかし、半導体チップ P 1 0 の活性面が、基板 P 3 0 を向かず、図 2 2 のように、その反対方向を向く場合には、各入出力パッド (P 1 1、P 1 2) は、中心線 C を基準として反対側に位置する接続端子 P 3 1 に接続されるために、入出力パッド (P 1 1、P 1 2) の間で、中心線 C を横切りながら延長されてしまう。半導体素子の小型化によって、入出力パッド (P 1 1、P 1 2) 間の間隔も極めて微細化されているために、その間に通過する再配線の数や幅も限界に達している状況で、このような理由により、再配線ルーティングの単純化が要求される。

10

【 0 0 4 8 】

一方、一実施形態において、図 4、図 5、図 6、図 7 及び図 8 を参照して説明したように、基板 3 0 0 と第 1 及び第 2 半導体チップ (1 0 0、2 0 0) とを構成することにより、再配線のルーティングを大きく単純化させることができる。

一方、基板 3 0 0 において、第 2 半導体チップ 2 0 0 に、信号 / データが送信される時、第 1 半導体チップ 1 0 0 を経るが、第 1 半導体チップ 1 0 0 の内部回路 1 0 5 と、第 1 入出力バッファ回路 1 5 0 は、経ないこともある。さらに、基板 3 0 0 から第 2 半導体チップ 2 0 0 に信号 / データが送信される時、第 1 半導体チップ 1 0 0 を経るが、第 1 半導体チップ 1 0 0 のいかなる能動素子及び / または受動素子も経ずに、電氣的に直接送信される。

20

【 0 0 4 9 】

このように、基板 3 0 0 から第 2 半導体チップ 2 0 0 へ、またはその反対に信号 / データが伝送される時、第 2 半導体チップ 2 0 0 の中心線を物理的に横切らずに伝送される。

このような方式で回路を構成する場合、結果的に、第 1 半導体チップ 1 0 0 も、第 2 半導体チップ 2 0 0 の入出力バッファ回路である第 2 入出力バッファ回路 2 5 0 (図 3) を活用するが、それだけでは十分な入出力バッファリングが達成されるものではない。従って、さらなる補助バッファ回路が、少なくとも第 1 半導体チップ 1 0 0 にさらに付加される。

30

【 0 0 5 0 】

図 9 及び図 1 0 は、前述のような理由により、さらなる補助バッファ回路を有する、特定実施形態による半導体パッケージを示した回路図である。

図 9 を参照すると、第 1 半導体チップ 1 0 0 a は、端子 1 6 0 と内部回路 1 0 5 との間に、補助入出力バッファ回路 1 5 5 をさらに含む。補助入出力バッファ回路 1 5 5 は、第 1 入出力バッファ回路 1 5 0 に比べ、バッファリング容量がさらに小さい。

そのため、チップ選択信号 C S が、第 1 半導体チップ 1 0 0 a を選択した場合、第 2 入出力バッファ回路 2 5 0 と、補助入出力バッファ回路 1 5 5 とが回路的に直列で接続されても、総括的な (o v e r a l l) キャパシタンス増加が大きくなり、高速動作に大きい障害にならない。

40

【 0 0 5 1 】

もし第 1 半導体チップと第 2 半導体チップとが同一のチップであることが要求される場合には、図 1 0 に示されているように回路を構成することができる。

図 1 0 を参照すると、第 1 半導体チップ 1 0 0 b 及び第 2 半導体チップ 2 0 0 b は、共に補助入出力バッファ回路 (1 5 5、2 5 5) を具備するように回路が構成される。さらに具体的には、第 1 及び第 2 入出力バッファ回路 (1 5 0、2 5 0) に、補助入出力バッファ回路 (1 5 5、2 5 5) と、内部回路 (1 0 5、2 0 5) とが並列に接続されるように回路が構成される。

【 0 0 5 2 】

図 1 1 は、本発明の他の実施形態による半導体パッケージ 2 0 の y 方向の断面を概念的

50

に示す側断面図である。

図 1 1 を参照すると、第 1 半導体チップ 1 0 0 c と、第 2 半導体チップ 2 0 0 c との個別構成は、図 2 を参照して説明したので、ここでは詳細な説明を省略する。

図 1 1 から分かるように、第 2 入出力パッド 2 1 0 は、矢印で表示した経路に沿って、基板 3 0 0 上の対応する接続端子 3 1 0 に直接電氣的に接続される。

そのとき、接続端子 3 1 0 は、第 1 半導体チップ 1 0 0 c 内の半導体素子とは、直接電氣的に接続されるものではない。

特に、接続端子 3 1 0 と直接電氣的に接続される第 2 入出力パッド 2 1 0 を含む第 2 半導体チップ 2 0 0 c は、マスターチップの役割を行うことができる。また、接続端子 3 1 0 と直接電氣的に接続される半導体素子を有さない第 1 半導体チップ 1 0 0 c は、スレーブチップの役割を行うことができる。

10

【 0 0 5 3 】

図 1 2 及び図 1 3 は、それぞれ本発明の他の実施形態による第 1 半導体チップ 1 0 0 c と基板 3 0 0 とを示す平面図及び斜視図である。

図 1 2 及び図 1 3 を参照すると、基板 3 0 0 上に、第 1 半導体チップ 1 0 0 c が配置される。第 1 半導体チップ 1 0 0 c の活性面上には、第 1 半導体チップ 1 0 0 c の中心線 C に隣接して 2 列に対称配列された入出力パッドである第 1 入出力パッドセット 1 1 0 a が設けられる。

しかし、前述の実施形態とは異なり、第 1 ルーティング再配線や第 2 ルーティング端子は具備されず、第 1 ルーティング端子 1 3 0 が具備される。

20

第 1 ルーティング端子 1 3 0 は、それぞれ基板 3 0 0 上の対応する接続端子 3 1 0 と直接電氣的に接続される。例えば、第 1 ルーティング端子 1 3 0 は、ボンディングワイヤを介して、接続端子 3 1 0 と電氣的に接続される。しかし、本発明がそれに限定されるものではない。

【 0 0 5 4 】

図 1 4 及び図 1 5 は、それぞれ本発明の他の実施形態による第 2 半導体チップ 2 0 0 c を示す平面図及び斜視図である。

図 1 4 及び図 1 5 を参照すると、第 2 半導体チップ 2 0 0 c の活性面上には、第 2 半導体チップ 2 0 0 c の中心線 C に隣接して 2 列に対称配列された入出力パッドである第 2 入出力パッドセット 2 1 0 a が設けられる。

30

第 2 入出力パッドセット 2 1 0 a のそれぞれに対して、第 2 ルーティング再配線 2 2 0 が設けられる。そのとき、第 2 ルーティング再配線 2 2 0 は、第 2 半導体チップ 2 0 0 c の中心線 C を横切らないように延長される。

【 0 0 5 5 】

第 2 入出力パッドセット 2 1 0 a から延長された第 2 ルーティング再配線 2 2 0 の他方末端には、第 3 ルーティング端子 2 3 0 が設けられる。第 3 ルーティング端子 2 3 0 は、図 1 2 及び図 1 3 の第 1 半導体チップ 1 0 0 c 上に提供された対応する第 1 ルーティング端子 1 3 0 と、物理的及び / または電氣的に接続される。

従って、第 1 ルーティング端子 1 3 0 及び第 3 ルーティング端子 2 3 0 の位置は、この点を考慮し、第 1 半導体チップ 1 0 0 c と、第 2 半導体チップ 2 0 0 c との活性面が互い

40

に対向するように重ねたとき、同一位置でオーバーラップするように構成される。

【 0 0 5 6 】

第 1 半導体チップ 1 0 0 c は、自体の内部回路 1 0 5 と電氣的に接続された複数の第 4 ルーティング端子 1 6 0 a を含んでもよい。また、第 2 半導体チップ 2 0 0 c は、自体の内部回路 2 0 5 と電氣的に接続された複数の第 5 ルーティング端子 2 6 0 a を含んでもよい。

複数の第 4 ルーティング端子 1 6 0 a と、それに対応する複数の第 5 ルーティング端子 2 6 0 a は、第 1 半導体チップ 1 0 0 c と、第 2 半導体チップ 2 0 0 c との活性面が互い

に対向するように重ねたとき、互いにオーバーラップするように構成される。

その場合、複数の第 4 ルーティング端子 1 6 0 a と、それに対応する複数の第 5 ルーテ

50

ィング端子 260a は、電氣的に直接接続される。

【0057】

図12、図13、図14及び図15を共に参照すると、図4、図5、図6及び図7の実施形態とは異なり、基板300の接続端子310を介して、第1ルーティング端子130に伝達された信号/データは、第1半導体チップ100cの第1ルーティング再配線と、第2ルーティング端子とを経ずに、すぐに第2半導体チップ200cの第3ルーティング端子230に伝達される。

次に、信号/データは、第2ルーティング再配線220を介して、第2入出力パッド210に伝達されることにより、第2半導体チップ200cに伝達される。第2半導体チップ200cから基板300に伝達される信号/データは、その逆順に送信される。

10

【0058】

図16は本発明のさらに他の実施形態による半導体パッケージ30を示す側断面図である。

図16を参照すると、基板300上に第1半導体チップセット10a及び第2半導体チップセット10bが垂直積層されている。第1半導体チップセット10a及び第2半導体チップセット10bは、接着層500を介して互いに結合される。接着層500は、接着性を有する任意の物質または粘着性テープなどであるが、特別に限定されるものではない。

【0059】

第1半導体チップセット10aは、第1半導体チップ100及び第2半導体チップ200を含む。一実施形態において、第1半導体チップ100及び第2半導体チップ200の構成は、図2、図4、図5、図6及び図7を参照して説明した構成と同一であるので、ここでは説明を省略する。

20

また、第2半導体チップセット10bも、第1半導体チップセット10aと同一の構成を有することができ、ここでは、具体的な説明を省略する。第1半導体チップセット10aの第2半導体チップ200の背面は、第2半導体チップセット10bの第1半導体チップ100の背面に付着されて連結される。

【0060】

基板300上には、第1半導体チップセット10aとボンディングワイヤを介して電氣的に接続される第1の接続端子312、及び第2半導体チップセット10bとボンディングワイヤを介して電氣的に接続される第2の接続端子314が具備される。

30

あるいは、第1半導体チップセット10aと、第2半導体チップセット10bは、それぞれボンディングワイヤを介して、基板300上の共通接続パッドに電氣的に接続されることもある。

このように構成する場合、半導体チップのフットプリント (foot print) を増大させずに、高容量及び高集積度の半導体パッケージを得ることができる。

1以上の前記実施形態による半導体パッケージを利用すれば、半導体チップ上の再配線ルーティングが単純化され、さらに信頼度が高く、かつすぐれた性能を有する半導体パッケージを得ることができる。

【0061】

40

図17は、本発明の一実施形態による半導体パッケージを含むメモリ・モジュール1000の平面図である。

具体的には、メモリ・モジュール1000は、印刷回路基板1100、及び複数の半導体パッケージ1200を含む。

複数の半導体パッケージ1200は、本発明の技術的思想に基づく実施形態による半導体パッケージであるか、あるいはそれを含んでもよい。特に、複数の半導体パッケージ1200は、前述の本発明の技術的思想に基づく実施形態による半導体パッケージのうち選択される少なくとも1つの半導体パッケージを含んでもよい。

【0062】

本発明の一実施形態によるメモリ・モジュール1000は、印刷回路基板の一面にのみ

50

複数の半導体パッケージ1200を搭載したSIMM(single in-lined memory module)、または複数の半導体パッケージ1200が両面に配列されたDIMM(dual in-lined memory module)である。また、本発明の一実施形態によるメモリ・モジュール1000は、外部からの信号を複数の半導体パッケージ1200にそれぞれ提供するAMB(advanced memory buffer)を有するFBDIMM(fully buffered DIMM)でもよい。

【0063】

図18は、本発明の一実施形態による半導体パッケージを含むメモリカード2000の概路図である。

10

具体的には、メモリカード2000は、コントローラ2100とメモリ2200とが電気的な信号を交換するように配置される。例えば、コントローラ2100で命令を下せば、メモリ2200は、データを伝送することができる。

メモリ2200は、本発明の技術的思想に基づく実施形態による半導体パッケージを含んでもよい。特に、メモリ2200は、前述の本発明の技術的思想に基づく実施形態による半導体パッケージのうち選択される少なくとも1つの半導体パッケージの構造を含んでもよい。

【0064】

メモリカード2000は、多種のカード、例えば、メモリスティック(登録商標)カード(memory stick card)、スマートメディア(登録商標)カード(SM: smart media card)、セキュアデジタルカード(SD: secure digital card)、ミニセキュアデジタルカード(mini-secure digital card)、及びマルチメディアカード(MMC: multimedia card)のような多様なメモリカードを構成することができる。

20

【0065】

図19は、本発明の一実施形態による半導体パッケージを含むメモリ装置3200の一例を示すブロック図である。

図19を参照すると、本発明の一実施形態によるメモリ装置3200は、メモリ・モジュール3210を含む。メモリ・モジュール3210は、前述の実施形態に開示された半導体パッケージのうち少なくとも一つを含んでもよい。また、メモリ・モジュール3210は、他の形態の半導体記憶素子(例えば、不揮発性記憶装置及び/またはSRAM装置など)をさらに含む。メモリ装置3200は、ホスト(host)とメモリ・モジュール3210とのデータ交換を制御するメモリコントローラ3220を含んでもよい。

30

【0066】

メモリコントローラ3220は、メモリカードの全般的な動作を制御するプロセッシングユニット(CPU)3222を含む。また、メモリコントローラ3220は、プロセッシングユニット3222の動作メモリとして使用されるSRAM3221を含む。さらに、メモリコントローラ3220は、ホスト・インターフェース(I/F)3223、メモリ・インターフェース(I/F)3225をさらに含む。ホスト・インターフェース3223は、メモリ装置3200とホストとのデータ交換プロトコルを具備する。メモリ・インターフェース3225は、メモリコントローラ3220とメモリ・モジュール3210とを接続させることができる。

40

【0067】

さらに、メモリコントローラ3220は、エラー訂正ブロック(ECC)3224をさらに含む。エラー訂正ブロック3224は、メモリ・モジュール3210から読み取られたデータのエラーを検出及び訂正を行うことができる。

図示していないが、メモリ装置3200は、ホストとのインタフェーシングのためのコードデータを保存するROM装置(read-only memory device)をさらに含むこともできる。メモリ装置3200は、コンピュータシステムのハードディスクを代替することができるソリッドステートドライブ(SSD: solid stat

50

e drive)としても具現される。

【0068】

図20は、本発明の一実施形態による半導体パッケージを含む電子システム4100の一例を示すブロック図である。

図20を参照すると、本発明の一実施形態による電子システム4100は、コントローラ4110、入出力装置(I/O)4120、メモリ装置4130、インターフェース4140及びバス4150を含む。コントローラ4110、入出力装置4120、メモリ装置4130及び/またはインターフェース4140は、バス4150を介して互いに接続される。バス4150は、データが移動される通路(path)に該当する。

【0069】

コントローラ4110は、マイクロプロセッサ、デジタル信号プロセッサ、マイクロコントローラ、及びそれらと類似した機能を遂行することができる論理素子のうち少なくとも一つを含む。入出力装置4120は、キーパッド(key pad)、キーボード及びディスプレイ装置などを含んでもよい。

メモリ装置4130は、データ及び/または命令などを保存することができる。メモリ装置4130は、前述の実施形態に開示された半導体パッケージのうち少なくとも一つを含んでもよい。また、メモリ装置4130は、他の形態の半導体メモリ素子(例えば、不揮発性メモリ装置及び/またはSRAM装置など)をさらに含む。

【0070】

インターフェース4140は、通信ネットワークにデータを伝送したり、あるいは通信ネットワークからデータを受信する機能を遂行することができる。インターフェース4140は、有線または無線の形態でもある。例えば、インターフェース4140は、アンテナまたは有無線トランシーバなどを含んでもよい。

図示していないが、電子システム4100は、コントローラ4110の動作を向上させるための動作メモリ素子として、高速のDRAM素子及び/またはSRAM素子などをさらに含んでもよい。

【0071】

電子システム4100は、個人携帯用情報端末機(PDA: personal digital assistant)、ポータブルコンピュータ(portable computer)、ウェブタブレット(web tablet)、無線電話機(wireless phone)、モバイルフォン(mobile phone)、デジタルミュージックプレーヤ(digital music player)、メモリカード(memory card)、または情報を無線環境で送信及び/または受信することができる全ての電子製品に適用される。

【0072】

図21は、本発明の一実施形態による半導体パッケージの製造方法1600を説明するためのフローチャートである。

段階S1610で、基板、第1半導体チップ及び第2半導体チップを設けて提供する。例えば、図1ないし図8、あるいは他の実施形態で説明した基板300のような基板を設けて提供する。また図1ないし図8あるいは他の実施形態で説明した第1半導体チップ100と、第2半導体チップ200とを設けて提供する。

段階S1620で、第1半導体チップ(例えば、第1半導体チップ100)を基板(例えば、基板300)上に実装し、基板の端子を、第1半導体チップの対応する端子に接続するために、ワイヤボンディングを遂行する。

【0073】

段階S1630で、第2半導体チップを、第1半導体チップと活性面が対向するように、第1半導体チップ上に整列させ配置する。

段階S1640で、第1半導体チップ及び第2半導体チップの対応する端子を、互いに接続する。

段階S1610ないし段階S1640の結果、複数の第1導電性連結体は、基板の端子

10

20

30

40

50

を、第1半導体チップの端子を介して、第2半導体チップの入出力パッドに直接電氣的に接続することができる。また、複数の第2導電性連結体は、入出力パッドに接続された第2半導体チップの内部回路を、第1半導体チップの内部回路に接続することができる。

【0074】

段階S1650で、第1半導体チップ、第2半導体チップ及び基板の上面を被覆するように、基板上にモールドイングを行う。モールドイングは、基板、第1半導体チップ及び第2半導体チップの間の空間を充填する。

図21は、各段階を特定の順序で遂行するように示すが、それらは、必ずしもこのような順序で遂行するものではない。例えば、段階S1630及び段階S1640は、段階S1620に先行して遂行してもよい。また、一実施形態において、段階S1630及び段階S1640は、同時に遂行してもよい。

10

【0075】

以上で説明したように、本発明の望ましい実施形態について詳細に記述したが、本発明が属する技術分野において通常の知識を持った人であるならば、特許請求の範囲に定義された本発明の意図及び範囲を外れずに、本発明をさまざまに変形して実施することができるであろう。従って、本発明の今後の実施形態の変更は、本発明の技術を外れることはないであろう。

【産業上の利用可能性】

【0076】

本発明の半導体パッケージは、例えば、電子システム関連の技術分野に効果的に適用可能である。

20

【符号の説明】

【0077】

10、20、30、1200 半導体パッケージ

10a 第1半導体チップセット

10b 第2半導体チップセット

100、100a、100b、100c 第1半導体チップ

105、205 内部回路

110 第1入出力パッド

110a 第1入出力パッドセット

30

120 第1ルーティング再配線

130 第1ルーティング端子

140 第2ルーティング端子

150、250 入出力バッファ回路

155、255 補助入出力バッファ回路

160、260 端子

160a 第4ルーティング端子

200、200b、200c 第2半導体チップ

210 第2入出力パッド

210a 第2入出力パッドセット

40

220 第2ルーティング再配線

230 第3ルーティング端子

260a 第5ルーティング端子

300 基板、(パッケージ基板)

310、312、314 接続端子

400 封止材

500 接着層

1000、3210 メモリ・モジュール

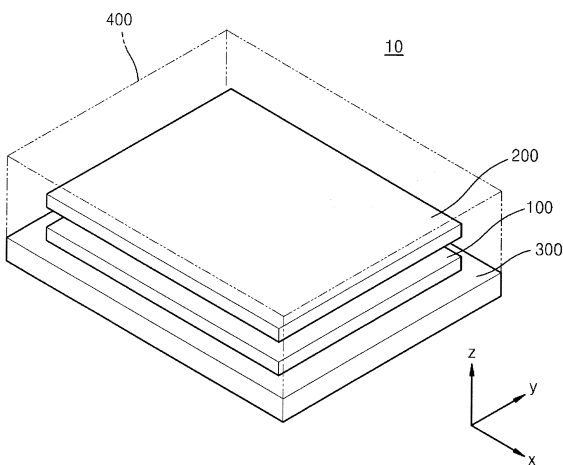
1100 印刷回路基板

2000 メモリカード

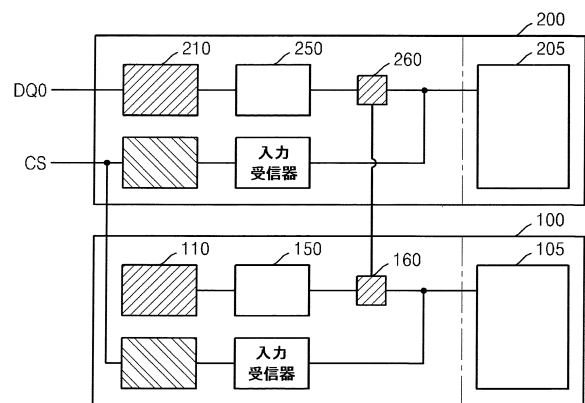
50

- 2 1 0 0、4 1 1 0 コントローラ
- 2 2 0 0 メモリ
- 3 2 0 0、4 1 3 0 メモリ装置
- 3 2 2 0 メモリコントローラ
- 3 2 2 1 S R A M
- 3 2 2 2 プロセッシングユニット (C P U)
- 3 2 2 3 ホスト・インターフェース
- 3 2 2 4 エラー訂正ブロック (E C C)
- 3 2 2 5 メモリ・インターフェース
- 4 1 0 0 電子システム
- 4 1 2 0 入出力装置 (I / O)
- 4 1 5 0 バス

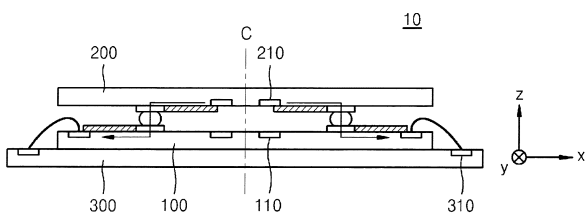
【 図 1 】



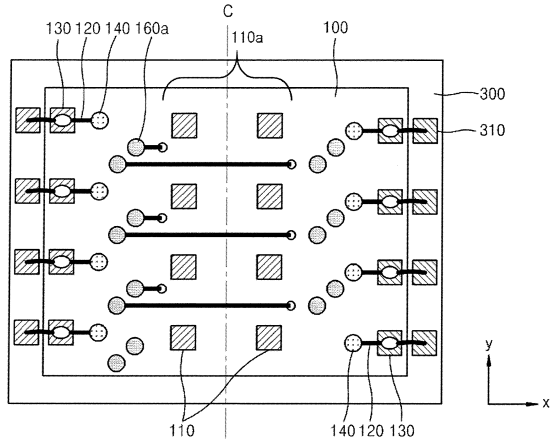
【 図 3 】



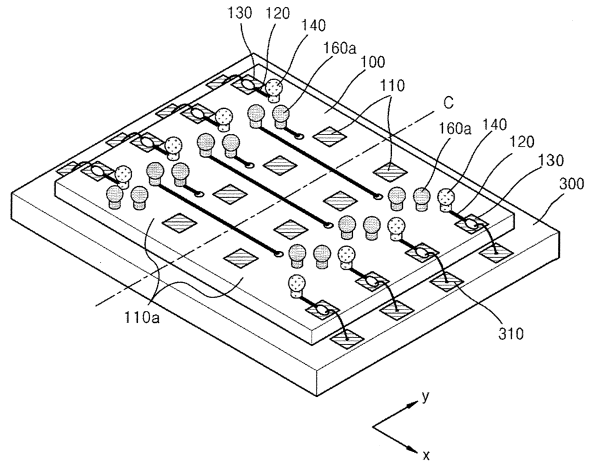
【 図 2 】



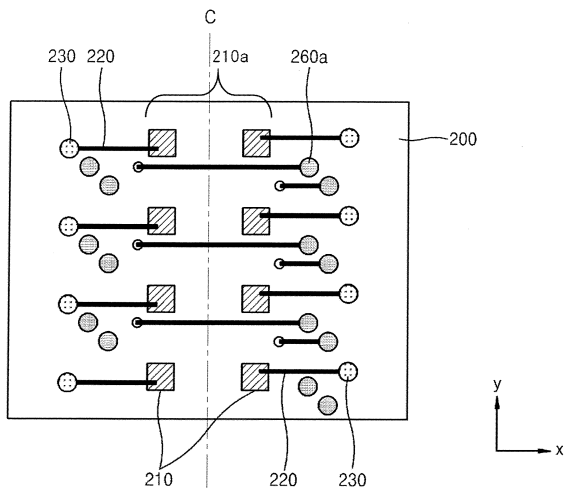
【図4】



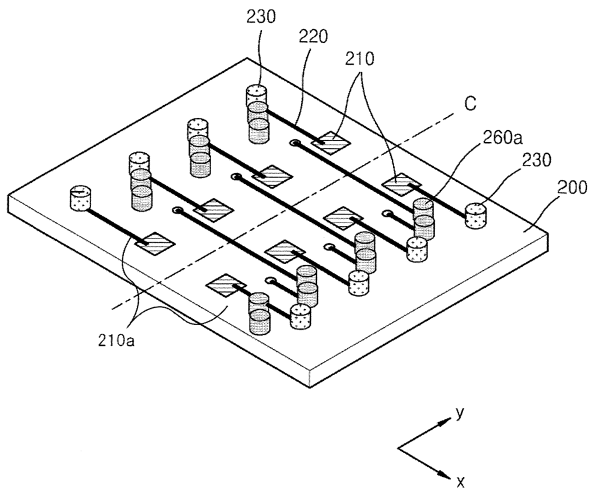
【図5】



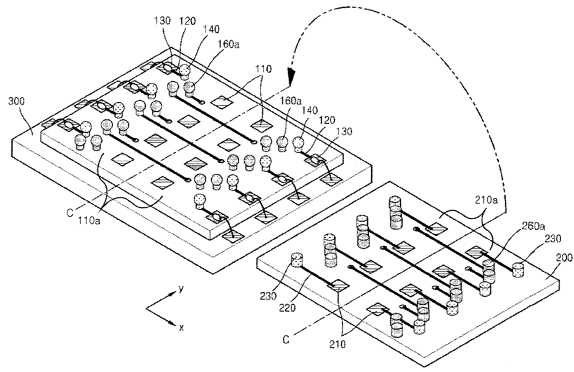
【図6】



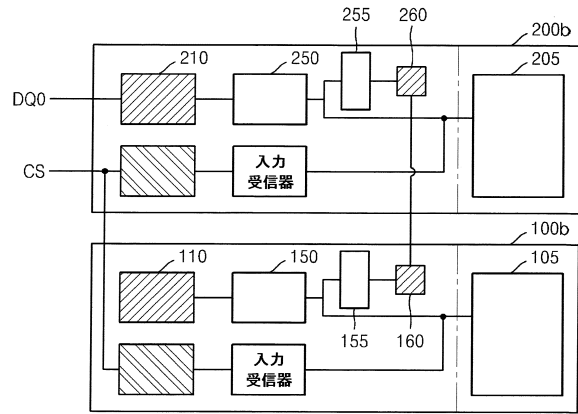
【図7】



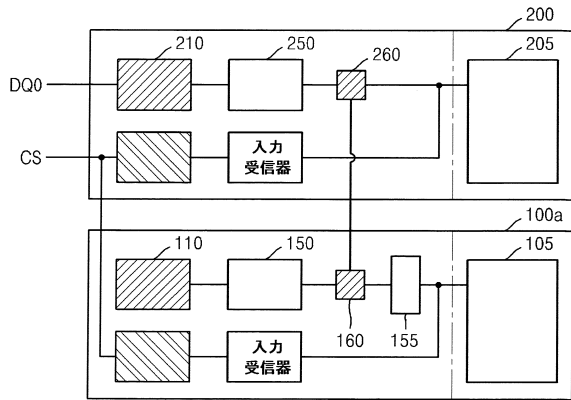
【図 8】



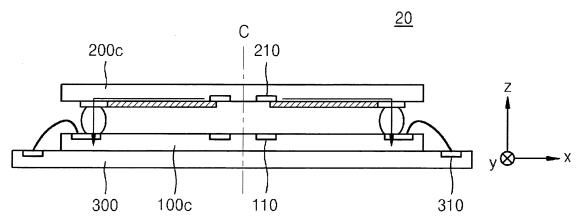
【図 10】



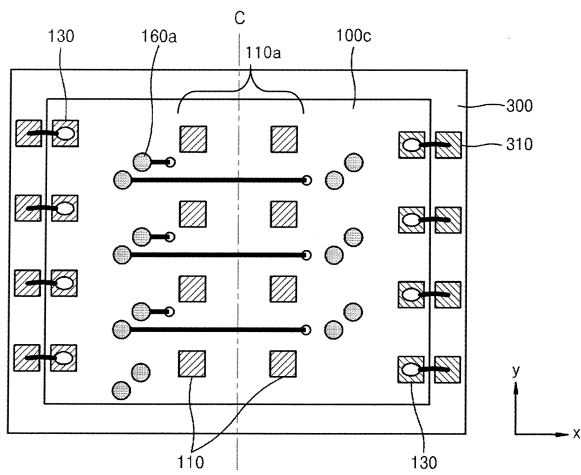
【図 9】



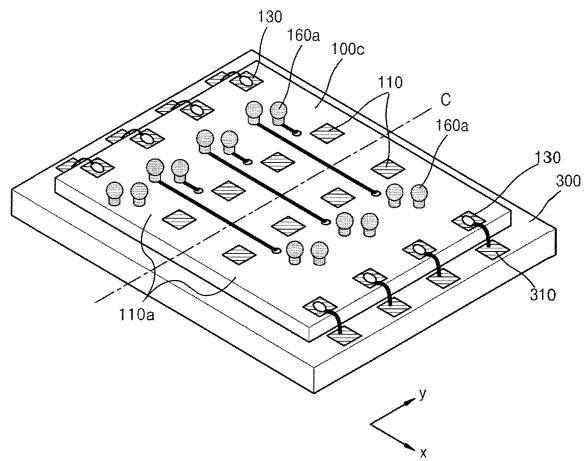
【図 11】



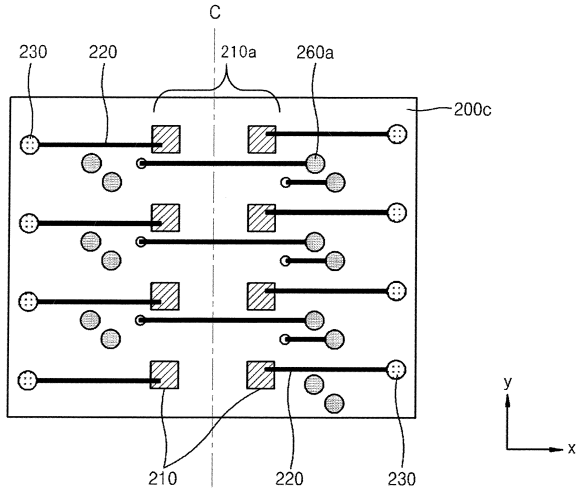
【図 12】



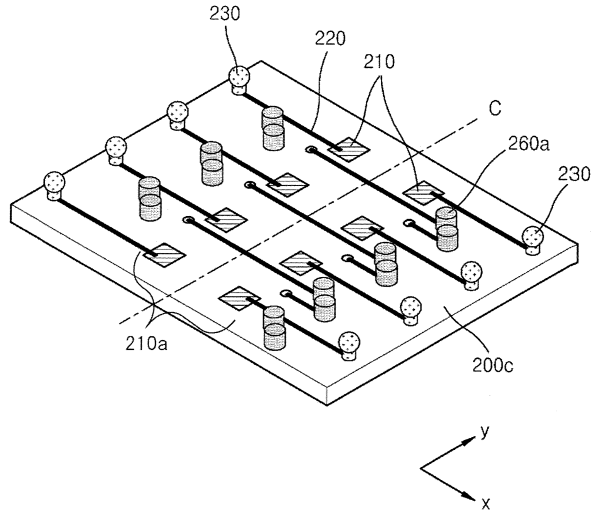
【図 13】



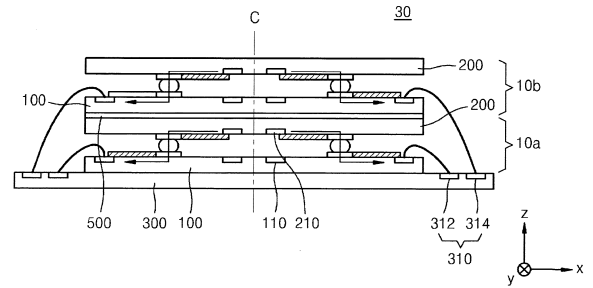
【図14】



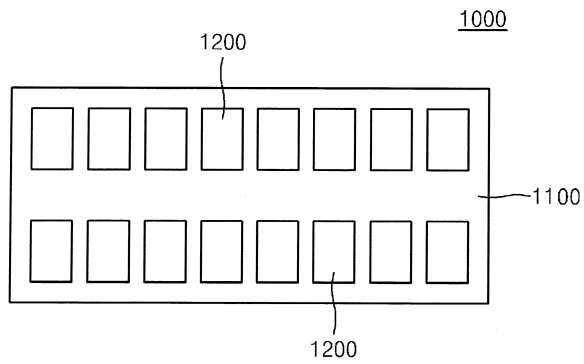
【図15】



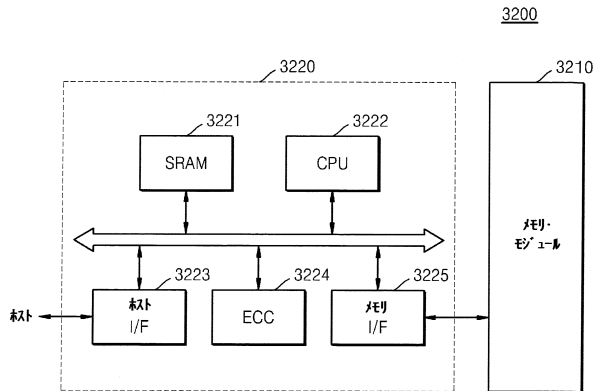
【図16】



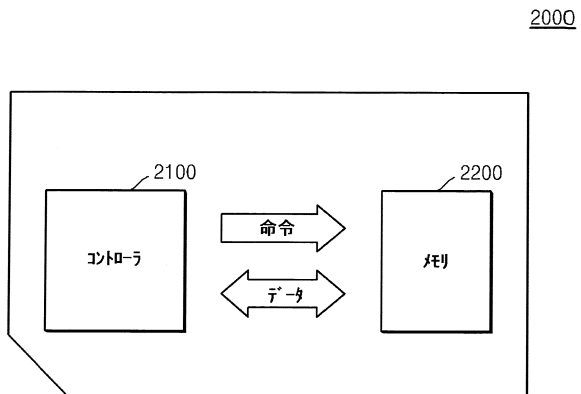
【図17】



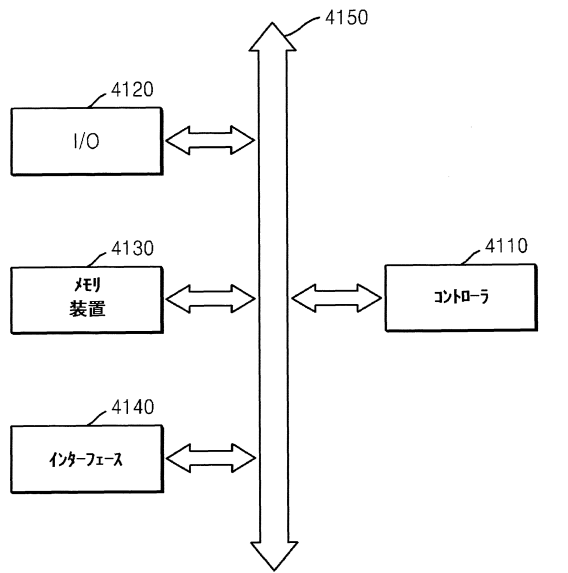
【図19】



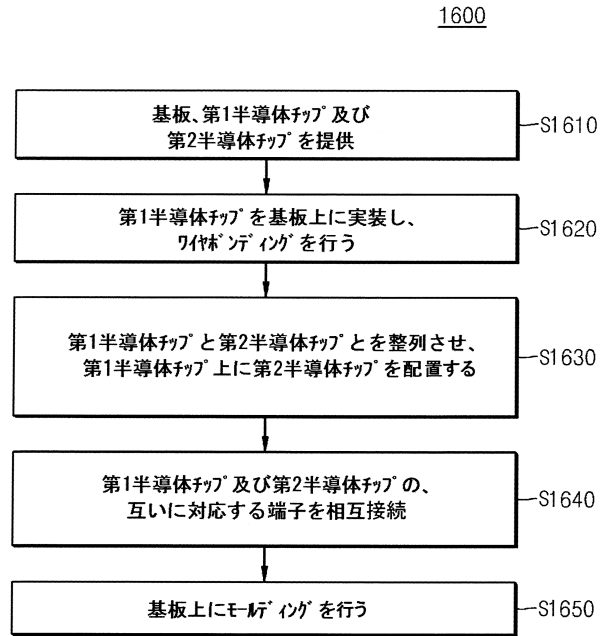
【図18】



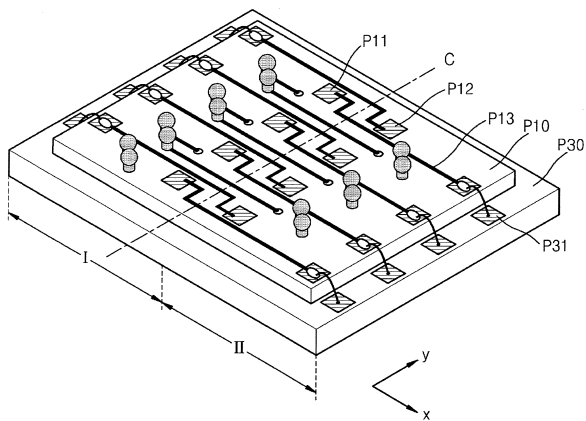
【図20】



【図21】



【図22】



フロントページの続き

(72)発明者 姜 善 遠

大韓民国 京畿道 城南市 盆唐区 ネジョン - 路 152 136棟 1302号

審査官 木下 直哉

(56)参考文献 米国特許出願公開第2008/0265397(US, A1)

特開2012-169440(JP, A)

特開2004-327993(JP, A)

米国特許出願公開第2008/0001276(US, A1)

米国特許出願公開第2006/0201704(US, A1)

米国特許出願公開第2013/0082381(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18