



(12) 发明专利申请

(10) 申请公布号 CN 104051505 A

(43) 申请公布日 2014. 09. 17

(21) 申请号 201410283340. X

(22) 申请日 2014. 06. 23

(71) 申请人 北京大学

地址 100871 北京市海淀区颐和园路 5 号

(72) 发明人 王源 张立忠 陆光易 贾嵩

张钢刚 张兴

(74) 专利代理机构 北京路浩知识产权代理有限公司

11002

代理人 李相雨

(51) Int. Cl.

H01L 29/06 (2006. 01)

H01L 29/78 (2006. 01)

H01L 23/60 (2006. 01)

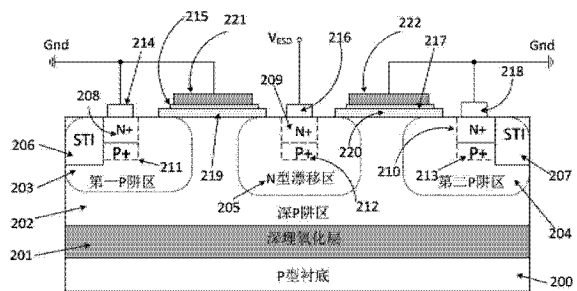
权利要求书1页 说明书3页 附图1页

(54) 发明名称

一种 LDMOS ESD 器件

(57) 摘要

本发明涉及集成电路的静电放电保护技术领域,尤其涉及一种 LDMOS ESD 器件。本发明的 LDMOS ESD 器件在源漏区的下方引入 P+ 掺杂区,使得在 LDMOS ESD 器件获得更高的二次击穿电流。当 ESD 冲击发生时,寄生的晶体管作为主要静电放电器件,使得新型 LDMOS ESD 器件的单位面积静电放电电流增大,从而获得高的 ESD 保护水平。另外,本发明的 LDMOS ESD 器件的触发电压由 LDMOS 晶体管 P+ 掺杂层的引入,实现了触发电压可调节。



1. 一种 LDMOS ESD 器件,其特征在于,所述器件包括阱区,所述阱区包括第一 P 型阱区、第二 P 型阱区和 N 型漂移区;所述第一 P 型阱区内形成有第一 N+ 掺杂区,所述第二 P 型阱区内形成有第二 N+ 掺杂区,所述 N 型漂移区内形成有第三 N+ 掺杂区;

在所述第一 N+ 掺杂区和第二 N+ 掺杂区下方分别形成有第一 P+ 掺杂区和第二 P+ 掺杂区;和/或,

在所述第三 N+ 掺杂区下方形成有第三 P+ 掺杂区。

2. 根据权利要求 1 所述 LDMOS ESD 器件,其特征在于,所述第一 P 型阱区内形成有第一 STI 区,所述第二 P 型阱区内形成有第二 STI 区;所述第一 STI 区和第二 STI 区由氧化物的绝缘材料形成。

3. 根据权利要求 1 或 2 所述 LDMOS ESD 器件,其特征在于,所述第一 N+ 掺杂区和第二 N+ 掺杂区上方分别设有第一源电极和第二源电极;所述第三 N+ 掺杂区上方设有漏电极。

4. 根据权利要求 1 或 2 所述 LDMOS ESD 器件,其特征在于,所述阱区上方设有栅区,所述栅区包括第一栅氧化区和第二栅氧化区;所述第一栅氧化区设于第一 P 型阱区和 N 型漂移区之间,所述第二栅氧化区设于第二 P 型阱区和 N 型漂移区之间。

5. 根据权利要求 1 或 2 所述 LDMOS ESD 器件,其特征在于,所述器件还包括衬底区和绝缘氧化层区,所述的绝缘氧化层区形成于衬底区之上,所述的阱区形成于绝缘氧化层之上。

一种 LDMOS ESD 器件

技术领域

[0001] 本发明涉及集成电路的静电放电保护技术领域,尤其涉及一种 LDMOS ESD 器件。

背景技术

[0002] 集成电路的静电放电 (Electrostatic Discharge, ESD) 现象是芯片在浮接的情况下,大量的电荷从外向内灌入集成电路的瞬时过程。由于集成电路芯片的内阻很低,当 ESD 现象发生时,会产生一个瞬时 (耗时 100 ~ 200 纳秒,上升时间仅约 0.1 ~ 10 纳秒)、高峰值 (几安培) 的电流,并且产生大量焦耳热,从而会造成集成电路芯片失效问题。

[0003] 对于高压功率集成电路,横向双扩散金属-氧化物-半导体 (Lateral Double Diffusion Metal-Oxide-Semiconductor, LDMOS) 晶体管由于能够承受较高的击穿电压被广泛选用为高压输入/输出管脚的保护器件。LDMOS ESD 器件是一种 ESD 保护器件。

[0004] 现有的 LDMOS ESD 器件中,由于 LDMOS 晶体管漂移区的存在,在 ESD 脉冲到来之际可以将最大电场强度转移到 N 型漂移区和 P 型深阱区接触面位置处,漏区载流子在电场的加速下获得足够多的能量而发生雪崩倍增效应,大量电子空穴对的产生使得漏区电流急剧增加,同时 LDMOS 晶体管内部寄生的双极型晶体管开启,产生集电极到发射极的电流,并使维持雪崩击穿的电压降低,形成电压减小,电流增大的负阻回滞效应,直至器件达到热击穿烧毁。LDMOS 的雪崩击穿电压不仅取决于 N 型漂移区和 P 型深阱区的掺杂浓度,还取决于 N 型漂移区的长度,N 型漂移区可以起到很好的耐压作用,从而可以通过改变漂移区的长度来调节 LDMOS ESD 器件的触发电压。但 LDMOS 晶体管内部寄生的双极型晶体管受到基区展宽效应的影响,发生雪崩击穿后会发产生较大的回滞,并且电流迅速上升,进入回滞点时, LDMOS 晶体管迅速进入热击穿状态,无法继续进行静电放电。因此,现有的 LDMOS ESD 器件单位面积静电放电电流较小,难以获得较高的 ESD 保护水平。

发明内容

[0005] 为了增加单位面积静电放电电流,从而提高 ESD 的保护水平,本发明提供了一种 LDMOS ESD 器件。

[0006] 本发明 LDMOS ESD 器件,包括阱区,所述阱区包括第一 P 型阱区、第二 P 型阱区和 N 型漂移区;所述第一 P 型阱区内形成有第一 N+ 掺杂区,所述第二 P 型阱区内形成有第二 N+ 掺杂区,所述 N 型漂移区内形成有第三 N+ 掺杂区;

[0007] 在所述第一 N+ 掺杂区和第二 N+ 掺杂区下方分别形成有第一 P+ 掺杂区和第二 P+ 掺杂区;和/或,

[0008] 在所述第三 N+ 掺杂区下方形成有第三 P+ 掺杂区。

[0009] 所述第一 P 型阱区内形成有第一 STI 区,所述第二 P 型阱区内形成有第二 STI 区;所述第一 STI 区和第二 STI 区由氧化物的绝缘材料形成。

[0010] 所述第一 N+ 掺杂区和第二 N+ 掺杂区上方分别设有第一源电极和第二源电极;所述第三 N+ 掺杂区上方设有漏电极。

[0011] 所述阱区上方设有栅区,所述栅区包括第一栅氧化区和第二栅氧化区;所述第一栅氧化区设于第一 P 型阱区和 N 型漂移区之间,所述第二栅氧化区设于第二 P 型阱区和 N 型漂移区之间。

[0012] 所述器件还包括衬底区和绝缘氧化层区,所述的绝缘氧化层区形成于衬底区之上,所述的阱区形成于绝缘氧化层之上。

[0013] 本发明所提供的 LDMOS ESD 器件,在源区和 / 或漏区的 N+ 掺杂区下引入 P+ 掺杂区,这样就形成了纵向的可控硅整流器 (SCR) 结构和横向的双极结型晶体管结构,在静电冲击到来时,在强大的电场下漏区的 N+ 掺杂区和 P+ 掺杂区接触面处将首先发生雪崩击穿,产生的电子空穴对在电场下形成的电流将会从横向和纵向两条路径形成流向源区的电流,从而降低了 LDMOS ESD 器件的开启电压,同时又提高了单位面积静电放电电流,从而获得高的 ESD 保护水平。

附图说明

[0014] 通过参考附图会更加清楚的理解本发明的特征和优点,附图是示意性的而不应该理解为对本发明进行任何限制,在附图中:

[0015] 图 1 是本发明一种实施例 LDMOS ESD 器件的结构示意图;

[0016] 图 2 是现有技术与本发明实施例 LDMOS ESD 器件的性能比较图。

具体实施方式

[0017] 现结合附图和实施例对本发明技术方案作进一步详细阐述。

[0018] 本发明技术方案可有三种实施方式:

[0019] 第一种实施方式为:在所述第一 N+ 掺杂区和第二 N+ 掺杂区下方分别形成有第一 P+ 掺杂区和第二 P+ 掺杂区;

[0020] 第二种实施方式为:在所述第三 N+ 掺杂区下方形成有第三 P+ 掺杂区;

[0021] 第三种实施方式为第一种实施方式和第二种实施方式的组合,即在所述第一 N+ 掺杂区和第二 N+ 掺杂区下方分别形成有第一 P+ 掺杂区和第二 P+ 掺杂区以及在所述第三 N+ 掺杂区下方形成有第三 P+ 掺杂区。

[0022] 第一种和第二种任一种实施方式即可解决本发明所要解决的技术问题,采用第三种实施方式为最优实施方式,能够进一步提高单位面积静电放电电流以及获得更高的 ESD 保护水平。

[0023] 如图 1 所示为本发明第三种实施方式即最优实施方式,该实施例中 LDMOS ESD 器件包括:

[0024] P 型硅衬底区 200;在所述的 P 型硅衬底区 200 上形成绝缘氧化层区 201,在绝缘氧化层 201 上形成 P 型深阱区 202;

[0025] 在所述的 P 型深阱区 202 内部两端形成第一 P 型阱区 203 和第二 P 型阱区 204,在中间位置形成 N 型漂移区 205;

[0026] 在所述第一 P 型阱区 203 形成第一 N+ 掺杂区 208,第一 P+ 掺杂区 211 形成于第一 N+ 掺杂区 208 下方,第一 STI 区 206 形成于第一 N+ 掺杂区 208 左侧;

[0027] 在所述第二 P 型阱区 204 形成第二 N+ 掺杂区 210,第二 P+ 掺杂区 213 形成于第二

N+ 掺杂区 210 下方,第二 STI 区 207 形成于第二 N+ 掺杂区 210 右侧;

[0028] 在所述 N 型漂移区 205 形成第三 N+ 掺杂区 209,第三 P+ 掺杂区 212 形成于第三 N+ 掺杂区 209 下;

[0029] 第一栅氧化区包括第一栅极绝缘氧化层 219 和第一多晶硅栅区 215,第一栅极绝缘氧化层 219 形成于所述深 P 型阱区 202 之上,并且分别与所述第一 P 型阱区 203 和所述 N 型漂移区 205 部分重叠,所述第一多晶硅栅区 215 形成于第一栅极绝缘氧化层 219 上;第二栅氧化区包括第二栅极绝缘氧化层 220 和第二多晶硅栅区 217,第二栅极绝缘氧化层 220 形成于所述深 P 型阱区 202 之上,并且分别与所述第二 P 型阱区 204 和所述 N 型漂移区 205 部分重叠,所述第二多晶硅栅区 217 形成于第二栅极绝缘氧化层 220 上;

[0030] 所述多晶硅栅区 215 上设有栅电极 221,多晶硅栅区 217 上设有栅电极 222,所述源区第一 N+ 掺杂区 208 上设有源电极 214,所述源区第二 N+ 掺杂区 210 上设有源电极 218,所述漏区第三 N+ 掺杂区 209 上设有漏电极 216;所述栅电极 221、222 和源电极 214、218 均接地,所述漏电极 216 作为静电输入端 VESD。

[0031] 本发明实施例中在源漏区的下方引入 P+ 掺杂区,在现有 LDMOSESD 器件内部寄生的横向双极结型晶体管的基础上又引入了纵向 SCR 结构作为 ESD 电流的泄放通路,并且在 ESD 冲击到来时,在高电场的作用下,N+ 漏区和 P+ 掺杂区接触面取代了原来的 N 型漂移区和 P 型深阱区接触面首先发生雪崩击穿,大量的电子空穴对产生,在漏极高电场的推动下形成了流向源极区的电流,由于 N 型漂移区和掺杂浓度的因素,使得新型 LDMOS ESD 器件开启电压减小,在电流通路形成后,大量的载流子在电场的驱动下撞击 N 型漂移区和 P 型深阱区接触面,产生更多的非平衡载流子参与源漏区电流的流动,为了维持电流的大小,维持电压将低于开启电压,从而降低电场强度。而此时主要的电流泄放来自于寄生的 SCR 结构,故单位面积静电放电电流提高,从而获得高的 ESD 保护水平。

[0032] 传输线脉冲 (Transmission Line Pulse, TLP) 测试数据如图 2 所示。通过对比可以看出:首先,本实施例提供的 LDMOS ESD 器件和现有的 LDMOS ESD 器件相比具有更低的触发电压,能够在 ESD 冲击到来之时及时开启,对芯片起到有效的保护;其次,现有的 LDMOS ESD 器件由于受到基区展宽效应的影响,发生雪崩击穿后会发产生较大的回滞,并且电流迅速上升,进入回滞点时会迅速进入热击穿状态,无法继续进行静电放电,二次击穿电流 I_{t2} 较小 (1.5 安培),而本发明的新型 LDMOS ESD 器件发生雪崩击穿并产生回滞后,寄生的 SCR 晶体管作为主要静电放电器件开始工作,放电电流继续增大,获得较高的二次击穿电流 I_{t2} (2.2 安培),具有高的 ESD 保护水平。

[0033] 通过本发明实施例方案使得在 LDMOS ESD 器件获得更高的二次击穿电流,当 ESD 冲击发生时,寄生的晶体管作为主要静电放电器件,使得 LDMOS ESD 器件的单位面积静电放电电流增大,从而获得高的 ESD 保护水平。另外,本发明实施例 LDMOS ESD 器件的触发电压由 LDMOS 晶体管 P+ 掺杂区引入,实现了触发电压可调节。

[0034] 虽然结合附图描述了本发明的实施方式,但是本领域技术人员可以在不脱离本发明的精神和范围的情况下做出各种修改和变型,这样的修改和变型均落入由所附权利要求所限定的范围之内。

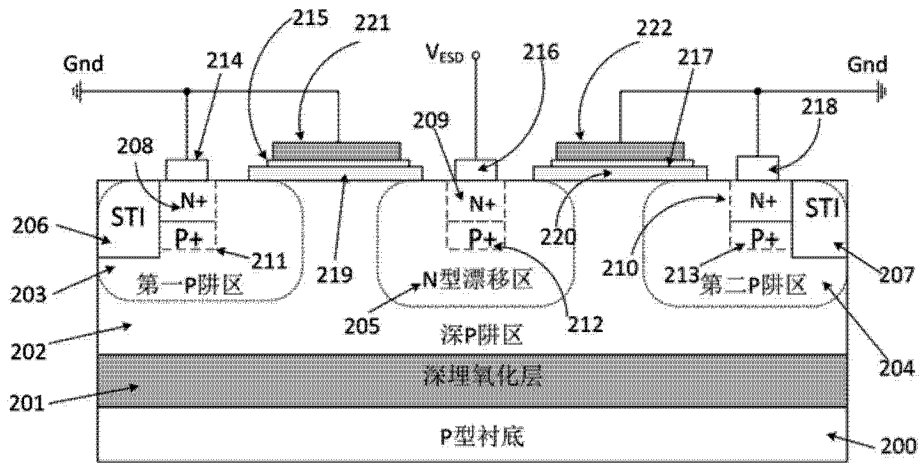


图 1

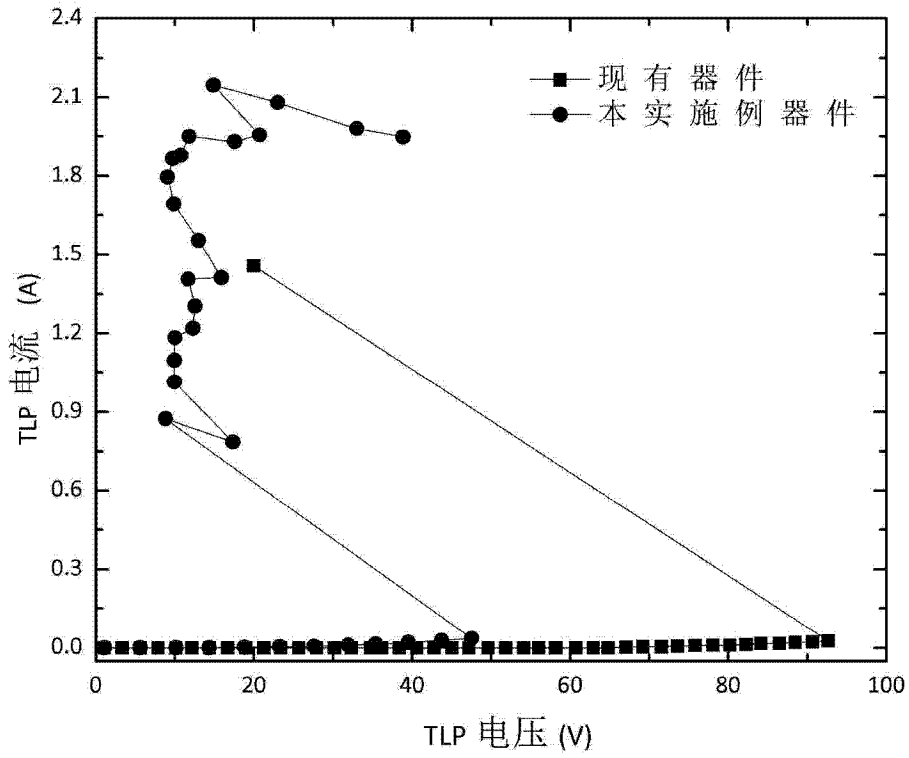


图 2