

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-258080

(P2005-258080A)

(43) 公開日 平成17年9月22日(2005.9.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G03 F 1/08	G O 3 F 1/08 A	2 H O 9 5
G03 F 7/20	G O 3 F 7/20 5 2 1	
H O 1 L 21/027	H O 1 L 21/30 5 O 2 P	

審査請求 未請求 請求項の数 63 O L (全 32 頁)

(21) 出願番号	特願2004-69585 (P2004-69585)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成16年3月11日 (2004.3.11)		大阪府門真市大字門真1006番地
		(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実
		(74) 代理人	100117710 弁理士 原田 智雄

最終頁に続く

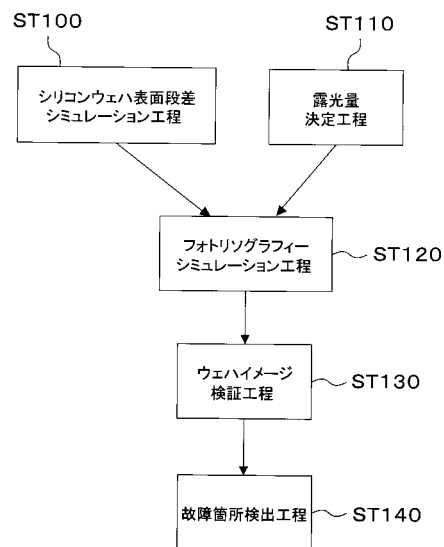
(54) 【発明の名称】 レイアウトデータ検証方法、マスクパターン検証方法および回路動作検証方法

(57) 【要約】

【課題】 半導体集積回路製造時におけるバラつき範囲を考慮したフォトリソグラフィシミュレーションにより得られるレイアウトパターンを元に、十分に補正できなかったレイアウトパターンが回路動作に与える影響を検証し、また歩留まり計算に反映することで精度を向上する。

【解決手段】 回路情報の抽出方法において、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを、所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンであって、半導体集積回路の動作上を模倣する回路情報を抽出する方法において、フォトリソグラフィ工程における露光量を決定する工程と、フォトリソグラフィ工程を前記露光量に準じて計算機を用いてシミュレーションを行う工程と、前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と、故障箇所を特定し出力する工程を有することを特徴とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、

前記検証方法は、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、

10

所望の設計パターンが得られたか否かを確認する工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 2】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、

前記検証方法は、

前記フォトリソグラフィ工程における焦点を決定する工程と、

20

前記フォトリソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 3】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、

30

前記検証方法は、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 4】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

40

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、

前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、

50

故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項5】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

10

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記焦点に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、

故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項6】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

20

、
前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量と前記焦点に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、

故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

30

【請求項7】

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを用い、半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

40

、
故障箇所を特定し出力する工程とを備える、
ことを特徴とする回路情報の抽出方法。

【請求項8】

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを用い、半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

50

、
故障箇所を特定し出力する工程とを備える、
ことを特徴とする回路情報の抽出方法。

【請求項 9】

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを用い、半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行う工程と、 10

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
故障箇所を特定し出力する工程とを備える、
ことを特徴とする回路情報の抽出方法。

【請求項 10】

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを用い、半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、 20

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程とを備える、

ことを特徴とする回路情報の抽出方法。

【請求項 11】

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを用い、半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、 30

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記焦点に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程とを備える、

ことを特徴とする回路情報の抽出方法。

【請求項 12】 40

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを用い、半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量と前記焦点に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と 50

を備える、
ことを特徴とする回路情報の抽出方法。

【請求項 1 3】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、
前記検証方法は、
前記フォトリソグラフィ工程における露光量を決定する工程と、
前記フォトリソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 1 4】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、
前記検証方法は、
前記フォトリソグラフィ工程における焦点を決定する工程と、
前記フォトリソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 1 5】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、
前記検証方法は、
前記フォトリソグラフィ工程における露光量を決定する工程と、
前記フォトリソグラフィ工程における焦点を決定する工程と、
前記フォトリソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 1 6】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、 10

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 17】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記焦点に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、 30

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 18】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、 40

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量と前記焦点に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。 50

【請求項 19】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、 10

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
前記回路情報を用いて回路動作シミュレーションをする工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 20】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、 20

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、 30

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
前記回路情報を用いて回路動作シミュレーションをする工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 21】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり 40

、
前記検証方法は、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、 50

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
前記回路情報を用いて回路動作シミュレーションをする工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 2 2】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

10

、
前記検証方法は、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程における露光量を決定する工程と、
前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

20

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
前記回路情報を用いて回路動作シミュレーションをする工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 2 3】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

30

、
前記検証方法は、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程における焦点を決定する工程と、

前記フォトリソグラフィ工程のシミュレーションを前記段差と前記焦点に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

40

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
前記回路情報を用いて回路動作シミュレーションをする工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 2 4】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

50

前記検証方法は、
 シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、
 前記フォトリソグラフィ工程における露光量を決定する工程と、
 前記フォトリソグラフィ工程における焦点を決定する工程と、
 前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量と前記焦点に準じて計算機を用いて行う工程と、
 製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
 前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
 前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と、
 前記回路情報を用いて回路動作シミュレーションをする工程と、
 故障箇所を特定し出力する工程とを備える、
 ことを特徴とするマスクパターン検証方法。

10

【請求項 25】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

20

前記検証方法は、
 前記マスクパターンを一律に縮小する工程と、
 前記フォトリソグラフィ工程における露光量を決定する工程と、
 前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、
 所望の設計パターンが得られたか否かを確認する工程と、
 故障箇所を特定し出力する工程とを備える、
 ことを特徴とするマスクパターン検証方法。

30

【請求項 26】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

前記検証方法は、
 前記マスクパターンを一律に縮小する工程と、
 前記フォトリソグラフィ工程における焦点を決定する工程と、
 前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、
 所望の設計パターンが得られたか否かを確認する工程と、
 故障箇所を特定し出力する工程とを備える、
 ことを特徴とするマスクパターン検証方法。

40

【請求項 27】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

前記検証方法は、
 前記マスクパターンを一律に縮小する工程と、
 前記フォトリソグラフィ工程における露光量を決定する工程と、

50

前記フォトリソグラフィ工程における焦点を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 28】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 29】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記段差と前記焦点に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 30】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、
前記フォトリソグラフィ工程における焦点を決定する工程と、

30

40

50

前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量と前記焦点に準じて計算機を用いて行う工程と、

所望の設計パターンが得られたか否かを確認する工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 3 1】

半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを一律に縮小する工程と、

フォトリソグラフィ工程における露光量を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについてのフォトリソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、故障箇所を特定し出力する工程とを備える、

ことを特徴とする回路情報の抽出方法。

【請求項 3 2】

半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを一律に縮小する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについてのフォトリソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、故障箇所を特定し出力する工程とを備える、

ことを特徴とする回路情報の抽出方法。

【請求項 3 3】

半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを一律に縮小する工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについてのフォトリソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、故障箇所を特定し出力する工程とを備える、

ことを特徴とする回路情報の抽出方法。

【請求項 3 4】

半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを一律に縮小する工程と、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成さ

10

20

30

40

50

れる段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについてのフォトリソグラフィ工程のシミュレーションを前記段差と前記露光量に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程とを備える、

ことを特徴とする回路情報の抽出方法。

【請求項 35】

半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

10

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを一律に縮小する工程と、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについてのフォトリソグラフィ工程のシミュレーションを前記段差と前記焦点に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程とを備える、

20

ことを特徴とする回路情報の抽出方法。

【請求項 36】

半導体集積回路の動作上を模倣する回路情報を抽出する方法であって、

フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたマスクパターンを一律に縮小する工程と、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

30

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについてのフォトリソグラフィ工程のシミュレーションを前記段差と前記露光量と前記焦点に準じて計算機を用いて行う工程と、

前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程とを備える、

ことを特徴とする回路情報の抽出方法。

【請求項 37】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、

40

前記検証方法は、

前記マスクパターンを一律に縮小する工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーシ

50

ョン結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 38】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパ
ターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
前記フォトリソグラフィ工程における焦点を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリ
ソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う
工程と、
前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーシ
ョン結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 39】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパ
ターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
前記フォトリソグラフィ工程における露光量を決定する工程と、
前記フォトリソグラフィ工程における焦点を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリ
ソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行
う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う
工程と、
前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーシ
ョン結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 40】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパ
ターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成さ
れる段差のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程における露光量を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリ
ソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う

10

20

30

40

50

工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 4 1】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、

前記検証方法は、

前記マスクパターンを一律に縮小する工程と、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 4 2】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、

前記検証方法は、

前記マスクパターンを一律に縮小する工程と、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程における露光量を決定する工程と、

前記フォトリソグラフィ工程における焦点を決定する工程と、

前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行う工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 4 3】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、

前記検証方法は、

前記マスクパターンを一律に縮小する工程と、

10

20

30

40

50

前記フォトリソグラフィ工程における露光量を決定する工程と、
 前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記露光量に準じて計算機を用いて行う工程と、
 製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
 前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
 前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
 前記回路情報を用いて回路動作シミュレーションをする工程と、 10
 故障箇所を特定し出力する工程とを備える、
 ことを特徴とするマスクパターン検証方法。

【請求項 4 4】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
 前記検証方法は、
 前記マスクパターンを一律に縮小する工程と、
 前記フォトリソグラフィ工程における焦点を決定する工程と、 20

前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記焦点に準じて計算機を用いて行う工程と、
 製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
 前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
 前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
 前記回路情報を用いて回路動作シミュレーションをする工程と、
 故障箇所を特定し出力する工程とを備える、 30
 ことを特徴とするマスクパターン検証方法。

【請求項 4 5】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
 前記検証方法は、
 前記マスクパターンを一律に縮小する工程と、
 前記フォトリソグラフィ工程における露光量を決定する工程と、
 前記フォトリソグラフィ工程における焦点を決定する工程と、 40

前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記露光量と前記焦点に準じて計算機を用いて行う工程と、
 製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
 前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
 前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

、
 前記回路情報を用いて回路動作シミュレーションをする工程と、 50

故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 4 6】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程における露光量を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量に準じて計算機を用いて行う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と、
前記回路情報を用いて回路動作シミュレーションをする工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 4 7】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程における焦点を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記段差と前記焦点に準じて計算機を用いて行う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と、
前記回路情報を用いて回路動作シミュレーションをする工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 4 8】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、
前記マスクパターンを一律に縮小する工程と、
シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程における露光量を決定する工程と、
前記フォトリソグラフィ工程における焦点を決定する工程と、
前記一律に縮小する工程により縮小された前記マスクパターンについての前記フォトリソグラフィ工程のシミュレーションを前記段差と前記露光量と前記焦点に準じて計算機を用いて行う工程と、
製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、
前記フォトリソグラフィ工程のシミュレーション結果と前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、
前記シミュレーションの結果から得られた転写イメージから回路情報を抽出する工程と

10

、
前記回路情報を用いて回路動作シミュレーションをする工程と、
故障箇所を特定し出力する工程とを備える、
ことを特徴とするマスクパターン検証方法。

【請求項 49】

シリコンウェハ上の各領域の段差が各々異なる場合にどの領域に対して最適露光量に設定するかを決定するために、各領域の段差を保持する工程と、前記各領域の段差の平均値を算出する工程と、前記各領域の段差の分散を算出する工程と、前記各領域の段差の平均値と前記各領域の分散を基準に欠陥数が最小となる最適露光量を探索する工程と、を有する露光量の決定方法。

20

【請求項 50】

シリコンウェハ上の各領域の段差が各々異なる場合にどの領域に対して最適焦点に設定するかを決定するために、各領域の段差を保持する工程と、前記各領域の段差の平均値を算出する工程と、前記各領域の段差の分散を算出する工程と、前記各領域の段差の平均値と前記各領域の分散を基準に欠陥数が最小となる最適焦点を探索する工程と、を有する焦点の決定方法。

30

【請求項 51】

シリコンウェハ上の各領域の段差が各々異なる場合にどの領域に対して最適露光量および最適焦点に設定するかを決定するために、各領域の段差を保持する工程と、前記各領域の段差の平均値を算出する工程と、前記各領域の段差の分散を算出する工程と、前記各領域の段差の平均値と前記各領域の分散を基準に欠陥数が最小となる最適露光量と最適焦点の組み合わせを探索する工程と、を有する露光量と焦点の決定方法。

【請求項 52】

半導体製造工程における工程管理パターンが、複数の前記工程管理パターンを有し、露光量シミュレーションの結果から判断して事前に使用する前記工程管理パターンが決定されていることを特徴とする半導体装置の製造方法。

40

【請求項 53】

半導体製造工程における工程管理パターンが、複数の前記工程管理パターンを有し、焦点ズレシミュレーションの結果から判断して事前に使用する前記工程管理パターンが決定されていることを特徴とする半導体装置の製造方法。

【請求項 54】

半導体製造工程における工程管理パターンが、複数の前記工程管理パターンを有し、段差シミュレーション、露光量シミュレーション、焦点ズレシミュレーションの結果を総合して事前に使用する前記工程管理パターンが決定されていることを特徴とする半導体装置の製造方法。

50

【請求項 5 5】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、

前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記シミュレーションにより算出された段差の値を前記半導体回路パターンの密度分布に応じた離散値としてテーブル形式で保持する工程と、

前記段差の値からシリコンウェハ上に形成される半導体回路パターンの寸法変動値へ変換する工程と、

前記寸法変換の結果から半導体回路パターンイメージを生成する工程と、

前記半導体回路パターンイメージから回路情報を抽出する工程と、

前記回路情報を用いて回路動作シミュレーションをする工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 5 6】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、

前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記シミュレーションにより算出された段差の値を前記半導体回路パターンの密度分布に応じた離散値としてテーブル形式で保持する工程と、

前記段差の値からシリコンウェハ上に形成される半導体回路パターンの寸法変動値へ変換する工程と、

前記寸法変換の結果から半導体回路パターンイメージを生成する工程と、

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記半導体回路パターンイメージと前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項 5 7】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり、

前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記シミュレーションにより算出された段差の値を前記半導体回路パターンの密度分布に応じた離散値としてテーブル形式で保持する工程と、

前記段差の値からシリコンウェハ上に形成される半導体回路パターンの寸法変動値へ変換する工程と、

前記寸法変換の結果から半導体回路パターンイメージを生成する工程と、

前記半導体回路パターンイメージから回路情報を抽出する工程と、

ことを特徴とするマスクパターン検証方法。

10

20

30

40

50

前記回路情報を用いて回路動作シミュレーションをする工程と、
 前記回路動作シミュレーションの結果を基に歩留まりのシミュレーションを計算機を用いて行う工程と、
 故障箇所を特定し出力する工程とを備える、
 ことを特徴とするマスクパターン検証方法。

【請求項 58】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

10

、
 前記検証方法は、
 前記マスクパターンを一律に縮小し半導体回路パターンイメージを生成する工程と、
 前記半導体回路パターンイメージから回路情報を抽出する工程とを備える、
 ことを特徴とするマスクパターン検証方法。

【請求項 59】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

20

、
 前記検証方法は、
 シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、
 前記シミュレーションにより算出された段差の値を前記半導体回路パターンの密度分布に応じた離散値としてテーブル形式で保持する工程と、

前記段差の値からシリコンウェハ上に形成される半導体回路パターンの寸法変動値へ変換する工程と、

前記寸法変換の結果から第1の半導体回路パターンイメージを生成する工程と、
 前記第1の半導体回路パターンイメージを一律に縮小し第2の半導体回路パターンイメージを生成する工程と、

30

前記第2の半導体回路パターンイメージから回路情報を抽出する工程と、
 前記回路情報を用いて回路動作シミュレーションをする工程と、

故障箇所を特定し出力する工程とを備える、
 ことを特徴とするマスクパターン検証方法。

【請求項 60】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
 前記検証方法は、
 前記マスクパターンを一律に縮小し半導体回路パターンイメージを生成する工程と、
 製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

40

前記半導体回路パターンイメージと前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、
 ことを特徴とするマスクパターン検証方法。

【請求項 61】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、
 前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

50

、
前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記シミュレーションにより算出された段差の値を前記半導体回路パターンの密度分布に応じた離散値としてテーブル形式で保持する工程と、

前記段差の値からシリコンウェハ上に形成される半導体回路パターンの寸法変動値へ変換する工程と、

前記寸法変換の結果から第1の半導体回路パターンイメージを生成する工程と、

前記第1の半導体回路パターンイメージを一律に縮小し第2の半導体回路パターンイメージを生成する工程と、 10

製造上一定の確率をもって発生する欠陥要因のシミュレーションを計算機を用いて行う工程と、

前記第2の半導体回路パターンイメージと前記欠陥要因のシミュレーション結果とに基づいて歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。

【請求項62】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり 20

、
前記検証方法は、

前記マスクパターンを一律に縮小し半導体回路パターンイメージを生成する工程と、

前記半導体回路パターンイメージから回路情報を抽出する工程と、

前記回路情報を用いて回路動作シミュレーションをする工程と、

前記回路動作シミュレーションの結果を基に歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、

ことを特徴とするマスクパターン検証方法。 30

【請求項63】

製造上問題となる欠陥をマスクパターンから抽出する検証方法であって、

前記マスクパターンは、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンを所望の設計パターンに近い転写イメージが得られるように変形させたものであり

、
前記検証方法は、

シリコンウェハ表面の半導体回路パターンの密度分布からシリコンウェハ表面に形成される段差のシミュレーションを計算機を用いて行う工程と、

前記シミュレーションにより算出された段差の値を前記半導体回路パターンの密度分布に応じた離散値としてテーブル形式で保持する工程と、 40

前記段差の値からシリコンウェハ上に形成される半導体回路パターンの寸法変動値へ変換する工程と、

前記寸法変換の結果から第1の半導体回路パターンイメージを生成する工程と、

前記第1の半導体回路パターンイメージを一律に縮小し第2の前記半導体回路パターンイメージを生成する工程と、

前記第2の半導体回路パターンイメージから回路情報を抽出する工程と、

前記回路情報を用いて回路動作シミュレーションをする工程と、

前記回路動作シミュレーションの結果を基に歩留まりのシミュレーションを計算機を用いて行う工程と、

故障箇所を特定し出力する工程とを備える、 50

ことを特徴とするマスクパターン検証方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の製造に用いるマスクパターンを半導体集積回路の設計値であるレイアウトパターンに対して高精度に形成する方法に関するものである。

【背景技術】

【0002】

従来、マスクパターン補正方法は、下地層の高さの差による露光時の焦点ずれと、補正パターンの近接効果により生ずる寸法誤差を補正している（例えば、特許文献1参照）。 10

【0003】

また、レイアウト設計パターンデータの光学シミュレーション結果を用いた補正を適用して、行なっているものもある（例えば、特許文献2参照）。

【特許文献1】特開2002-333701号公報（第3頁-段落0016、第1図）

【特許文献2】特開2002-174890号公報（第2頁-段落0008、第1図）

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来、技術では、レイアウトパターンを可能な限り忠実に再現することを目的とし、マスクパターンの補正を行う補正技術に着目している。この場合、補正技術の理論的な限界 20
による誤差を含むことが知られており、この誤差によるレイアウトパターンの変形に伴う回路動作にかかわる検証はできていない。たとえば、製造バラツキの絶対値が ± 5 nmであれば、最小加工寸法350 nmの場合では誤差が $\pm 1.43\%$ であるのに対して、最小加工寸法100 nmの場合では誤差が $\pm 5\%$ であり、相対的なバラツキは大きくなる。この潜在的なバラツキ誤差が回路設計上許容できているかどうかの検証を行うことができていなかった。

【0005】

製造プロセスの微細化に伴い将来発生するであろう不具合、また現状で発生する可能性を含む潜在的な不具合は、通常の製造バラツキ範囲をシミュレーションする限りでは、レイアウトデータを基準にしても検証することができていない。たとえば、最小加工寸法3 30
50 nmの場合では問題なく製造できるものが、最小加工寸法250 nmの場合では問題が発生する場合がある。これを最小加工寸法350 nmの製造技術で発見するために、最小加工寸法350 nmのレイアウトデータを倍率71%で縮小し、最小加工寸法350 nmの製造技術で製造することで、最小加工寸法250 nmの場合に発生する可能性のある問題を検出することが可能となる。また、ここで発生した問題点は、最小加工寸法350 nmの場合であっても製造技術に余裕のないところであり、潜在的な問題点（将来問題となり表面化する可能性を含む）である。

【0006】

半導体集積回路の製造における歩留まり予測では、レイアウトデータを基準にした場合、シリコンウェハ上の回路パターンの仕上がり形状を考慮しないため、実際の歩留まり値 40
とは乖離があり、その予測値に誤差を含む。たとえば、シリコンウェハ上に形成されるレイアウトパターンは、製造バラツキの範囲内での露光量、焦点ずれ、レイアウトパターンから算出される段差に影響され、元のレイアウトパターンと比べると部分的に太く仕上がっている箇所、細く仕上がっている箇所が散在し、半導体集積回路としての歩留まり予測としては、回路のオープン（パターンの切断）や回路のショート（隣接パターンの接触）に対する感度が低くなってしまいう傾向にある。

【課題を解決するための手段】

【0007】

シリコンウェハ上に形成されるであろうレイアウトパターンの変形をシミュレーションする工程と、変形されたレイアウトパターンからシリコンウェハ上に形成された回路構成 50

を抽出する工程と、抽出された回路の動作シミュレーションする工程を有し、製造バラツキの範囲内での露光量、焦点ずれ、レイアウトパターンから算出される段差を基に、レイアウトパターンの変形度合いを算出し、変形されたレイアウトパターンからその回路構成を抽出し、回路シミュレーションを行うことで、レイアウトパターンの変形による回路動作への影響を検証する。

【0008】

レイアウトパターンを一定の割合で縮小する工程と、シリコンウェハ上に形成されるであろう縮小されたレイアウトパターンの変形をシミュレーションする工程を有し、製造バラツキの範囲内での露光量、焦点ずれ、レイアウトパターンから算出される段差を基に、レイアウトパターンの変形度合いを算出し、縮小されたレイアウトパターンの変形による回路動作への影響を検証する。

10

【0009】

シリコンウェハ上に形成されるであろうレイアウトパターンの変形をシミュレーションする工程と、製造工程で発生する不規則な不具合をシミュレーションする工程を有し、製造バラツキの範囲内での露光量、焦点ずれ、レイアウトパターンから算出される段差を基に、レイアウトパターンの変形度合いを算出し、製造工程の不規則な不具合に依る歩留まり低下を検出し、レイアウトパターンの変形による回路動作への影響を検証する。

【発明の効果】

【0010】

ウェハ上に形成されるであろうレイアウトパターンの変形による回路動作の不具合を検出することができ、すべてのマスクパターンを補正するのではなく、回路動作上問題となる箇所のマスクパターンに対してのみ適当な補正を施すことができる。また、補正することが出来ない場合には回路設計に立ち返り、正常な動作が可能なように回路構成を変更することができる。

20

【0011】

レイアウトパターンを一定の割合で縮小することにより、次世代の半導体集世紀回路の設計を行ったときの問題点を事前に検討することができ、また現状の潜在的な不具合を起こす箇所を検証することができる。

【0012】

ウェハ上に形成されるであろうレイアウトパターンの変形に基づいて歩留まりを算出することにより、実際の歩留まり値をより精度よく算出することができ、問題となる箇所のマスクパターンに対して適当な補正を施すことができる。また、補正することが出来ない場合にはレイアウト設計に立ち返り、正常な動作が可能なようにレイアウトパターンを変更することができる。

30

【発明を実施するための最良の形態】

【0013】

(第1の実施形態)

図1は、本発明の第1の実施形態によるマスクパターン検証方法の手順を示すフローチャートである。この検証方法は、シリコンウェハ表面段差シミュレーション工程ST100と、露光量決定工程ST110と、フォトリソグラフィシミュレーション工程ST120と、ウェハイメージ検証工程ST130と、故障箇所検出工程ST140とを備える。以下、各工程について具体的に説明する。

40

【0014】

<シリコンウェハ表面段差シミュレーション工程ST100>

シリコンウェハ段差シミュレーション工程ST100において行われる処理の流れを図2に示す。

【0015】

まず、マスクパターン全体を碁盤目状に領域分割する(ST101)。この領域分割においては、各分割マスクパターン領域が、各分割マスクパターン領域の各層毎のフォトリソグラフィシミュレーションにおいて、領域境界部まで正しいシミュレーション結果と

50

してのレイアウトパターンが得られるように、隣の分割マスクパターン領域と一定量領域が重なり合うように構成しておく。

【0016】

次に、各分割レイアウトパターン領域毎に、各層の面積率を計算する（ST102）。この各層の面積率に各層の高さに関する係数を乗ずることで、各分割レイアウトパターン領域の各層の高さを求め、さらに各層の高さの累積として、各フォトリソグラフィ工程におけるシリコンウェハ高さを求めることができる。

【0017】

次に、リソグラフィシミュレーションの焦点設定との差（デフォーカス）をシリコンウェア表面段差として求める（ST103）。

10

【0018】

<露光量決定工程ST110>

一方、露光量決定工程ST110において、半導体集積回路製造時に製造工程で発生する露光量のバラつき範囲において、要求される解析精度に応じてステップ幅を決定し、バラつき範囲の下限から上限の範囲をステップ幅で走査するように変化させるよう露光量を決定する。

【0019】

<フォトリソグラフィシミュレーション工程ST120>

フォトリソグラフィシミュレーション工程ST120においては、シリコンウェア段差シミュレーション工程ST100で定めたデフォーカス値と露光量決定工程ST110で定めた各ステップ幅における露光量に準じて、半導体集積回路製造時におけるフォトリソグラフィ工程を計算機上で再現するシミュレーションを行う。この結果としてシリコンウェハ上に形成されるレイアウトパターン形状（ウェハイメージ）を得る。

20

【0020】

<ウェハイメージ検証工程ST130>

次のウェハイメージ検証工程ST130では、リソグラフィシミュレーションの結果として得られたレイアウトパターンと設計レイアウトパターンのパターン比較を行う。

【0021】

<故障箇所検出工程ST140>

最後の故障箇所検出工程ST140では、ウェハイメージ検証工程ST130にて短絡または断線が確認できた場合は当然故障箇所として検出するが、短絡または断線に至らなくともその可能性が高い場合（例えば図3、図4の実線パターン（b））は故障箇所として検出できるよう許容範囲を設けて、その許容範囲を超える箇所を故障箇所としてエラーとする。なお、図3は短絡の可能性が高いパターンの例、図4は断線の可能性が高いパターンの例である。また、図3および図4において、参照符号（a）は設計レイアウトパターンを示し、参照符号（b）はリソグラフィシミュレーションの結果として得られたレイアウトパターンを示す。

30

【0022】

（第2の実施形態）

図5は、本発明の第2の実施形態による回路情報抽出方法の手順を示すフローチャートである。この方法は、露光量決定工程ST200と、フォトリソグラフィシミュレーション工程ST210と、回路情報抽出工程ST220と、故障箇所検出工程ST230とを備える。以下、各工程について具体的に説明する。

40

【0023】

<露光量決定工程ST200>

露光量決定工程ST200において行われる処理の流れを図6に示す。露光量決定工程ST200では、半導体集積回路製造時に製造工程で発生する露光量のバラつき範囲において、要求される解析精度に応じてステップ幅を決定し（ST201）、バラつき範囲の下限から上限の範囲をステップ幅で走査するように変化させるよう露光量を決定する（ST202）。

50

【 0 0 2 4 】

< フォトリソグラフィシミュレーション工程 S T 2 1 0 >

フォトリソグラフィシミュレーション工程 S T 2 1 0 において行われる処理の流れを図 7 に示す。フォトリソグラフィシミュレーション工程 S T 2 1 0 では、露光量決定工程 S T 2 0 0 で定めた各ステップ幅における露光量に応じて、半導体集積回路製造時におけるフォトリソグラフィ工程を計算機上で再現するシミュレーションを行う (S T 2 1 1 ~ S T 2 1 3)。この結果としてシリコンウェハ上に形成されるレイアウトパターン形状を得る (S T 2 1 4)。

【 0 0 2 5 】

< 回路情報抽出工程 S T 2 2 0 >

回路情報抽出工程 S T 2 2 0 において行われる処理の流れを図 8 に示す。回路情報抽出工程 S T 2 2 0 では、シリコンウェハ上に形成されるレイアウトパターン形状を入力として、回路情報の抽出を容易にするためにレイアウトパターンの簡略化を行う (S T 2 2 1 ~ S T 2 2 2)。簡略化の一例を図 9 に示す。図 9 (a) は元のレイアウトデータ (斜線領域) を示し、図 9 (b) はシリコンウェハ上に形成されるレイアウトパターン形状 (斜線領域) を示す。図 9 (b) は曲線または非常に頂点数の多い多角形で表現されたシリコンウェハ上に形成されるレイアウトパターン形状 (斜線領域) であり、半導体集積回路の情報の抽出を行うための前処理として、元のレイアウトパターンと同程度の頂点数を持つ図形にまで簡略化を行う。この場合、元のレイアウトデータを示す多角形の辺を基準にして辺を移動させることで図 9 (c) のようにシリコンウェハ上に形成されるレイアウトパターン形状を近似する (斜線領域)。

【 0 0 2 6 】

次に、簡略化されたレイアウトパターンから半導体集積回路の情報を抽出する (S T 2 2 3)。ここで抽出する情報としては、たとえばトランジスタ素子におけるトランジスタゲート長、トランジスタゲート幅、半導体素子間を接続するための配線幅が挙げられる。これらの情報を元に、半導体集積回路の情報を再構築する。

【 0 0 2 7 】

< 故障箇所検出工程 S T 2 3 0 >

次に故障箇所検出工程 S T 2 3 0 において、半導体集積回路の情報から、回路動作シミュレーションを実施し、不具合のある回路を特定する。

【 0 0 2 8 】

(第 3 の実施形態)

図 1 0 は、本発明の第 3 の実施形態によるマスクパターン検証方法の手順を示すフローチャートである。以下、図 1 0 を参照しつつ説明する。

【 0 0 2 9 】

回路情報抽出工程 S T 3 0 1 (ここでの処理は第 2 の実施形態で説明したのと同様である。) で抽出したシリコンウェハ上に形成されるレイアウトパターン形状の近似データ 1 0 0 1 をクリティカルエリア算出工程 S T 3 0 2 に入力する。

【 0 0 3 0 】

クリティカルエリア算出工程 S T 3 0 2 では、図形論理演算によりレイアウトデータ 1 0 0 1 をライン領域とスペース領域に切り分ける。さらにリサイズ処理、図形論理演算によりライン領域についてはライン幅別に数種類に分類し、それぞれのクリティカルエリアの総面積を求める。スペース領域についても同様に、スペース別に数種類に分類し、クリティカルエリアの総面積を求める。これによりシリコンウェハ上に形成イメージのクリティカルエリア 1 0 0 2 が算出される。

【 0 0 3 1 】

歩留り予測工程 S T 3 0 3 では、式 1 (後述) によりシリコンウェハ上に形成イメージの歩留り予測が可能となり、回路のオープン、ショートそれぞれのランダム欠陥予測ができる。

【 0 0 3 2 】

10

20

30

40

50

製造時における歩留まり予測の実施例について説明する。欠陥の分布曲線と実際に欠陥が不良の要因となるクリティカルエリアを歩留まり予測に使用する方法などが提案されている (ISSM1997, 0.25um Integrated Circuit Yield Model Design and Validation)。

【0033】

プロセスの総合的な歩留まりは、一般的にシステムによって決まるシステムチック歩留まり (Ys) とランダム欠陥によって決まる歩留まり (YR) の積で表される。

【0034】

ランダム欠陥によって決まる歩留まりをYSとすると、例えばポアソン分布モデルによるとYは (式1) で表される。

【0035】

$$YS = \exp(-DD * Ac) \quad (\text{式1})$$

DD: 単位クリティカルエリアあたりの欠陥数

Ac: クリティカルエリア

ここでクリティカルエリアというのは実際チップのなかで欠陥の存在によって不良になりうる面積の総和である。

【0036】

次に配線層のショートについてのクリティカルエリアの考え方を図11を用いて説明する。配線層30がライン幅31、スペース32で平走している場合、図11(a)のように欠陥33がスペース32よりも小さい場合、クリティカルエリアはゼロである。図11(b)のように欠陥33がスペース32よりも大きい場合、クリティカルエリアとなる可能性があり、ライン幅31とスペース32と欠陥33の関係をパラメータ化しておけば、レイアウトデータをライン幅別に抽出することでクリティカルエリアの面積を算出することが可能である。

【0037】

配線層のオープンについても同様の考え方でクリティカルエリアの算出が可能である。

【0038】

これによって、シミュレーション結果から回路情報抽出後のデータをもとにクリティカルエリアを算出し、式1のモデルを適用すれば、シリコンウェハ上の形成パターンでの歩留り予測が可能となる。

【0039】

(第4の実施形態)

図12は、本発明の第4の実施形態による回路設計検証方法の手順を示すフローチャートである。この検証方法は、レイアウトパターン一律シュリンク方式を用いた潜在的なバラツキ誤差による回路設計検証方法である。以下、各工程について具体的に説明する。

【0040】

レイアウトパターン一律シュリンク工程ST400において行われる処理の流れを図13に示す。

【0041】

レイアウトパターン一律シュリンク工程ST400では、図13に示すようにシュリンク率を入力としてシュリンク後のチップサイズを算出し (ST401 ~ ST402)、そのチップサイズからシリコンウェハ上の可能取れ数を算出する (ST403)。また一方で、レイアウトパターンに対し一律シュリンクを行い (ST404)、そのデータに対する予測歩留を算出する (ST405)。シリコンウェハ上の可能取れ数算出結果と予測歩留算出結果からシリコンウェハ上の良品取れ数を算出する (ST406)。シュリンク率を100%から順に下げたものに対してシリコンウェハ上の良品取れ数を算出する。図14に示すように、シュリンク率を下げると歩留は減少し、また一方でシリコンウェハ上の可能チップ取れ数は増大する。歩留とシリコンウェハ上の可能チップ取れ数を掛け合わせることにより、それぞれのシュリンク率に対するシリコンウェハ上の良品取れ数が算出でき、図14から良品取れ数が最大となるシュリンク率を求めることができる。

【0042】

10

20

30

40

50

露光量決定工程 S T 4 1 0 では、半導体集積回路製造時に製造工程で発生する露光量のバラつき範囲において、要求される解析精度に応じてステップ幅を決定し、バラつき範囲の下限から上限の範囲をステップ幅で走査するように変化させるよう露光量を決定する。

【 0 0 4 3 】

フォトリソグラフィシミュレーション工程 S T 4 2 0 では、露光量決定工程 S T 4 1 0 で定めた各ステップ幅における露光量に応じて、半導体集積回路製造時におけるフォトリソグラフィ工程を計算機上で再現するシミュレーションを行う。この結果としてシリコンウェハ上に形成されるレイアウトパターン形状を得る。

【 0 0 4 4 】

次に故障箇所検出工程 S T 4 3 0 において、半導体集積回路の情報から、回路動作シミュレーションを実施し、不具合のある回路を特定する。 10

【産業上の利用可能性】

【 0 0 4 5 】

本発明にかかるレイアウトデータ検証方法、マスクパターン補正方法および回路動作検証方法は、フォトリソグラフィシミュレーション工程とシリコンウェハ段差シミュレーション工程と回路情報抽出工程と歩留まり計算工程を有し、マスクパターンの検証等として有用である。また検証結果から半導体集積回路の製造時における歩留まり予測等の用途にも応用できる。また潜在的な不具合要因の検出にも応用できる。

【図面の簡単な説明】

【 0 0 4 6 】

【図 1】第 1 の実施形態によるマスクパターン検証方法の手順を示すフローチャートである。 20

【図 2】図 1 に示したシリコンウェハ段差シミュレーション工程において行われる処理の手順を示すフローチャートである。

【図 3】短絡の可能性が高いパターンの一例を示す図である。

【図 4】断線の可能性が高いパターンの一例を示す図である。

【図 5】第 2 の実施形態による回路情報抽出方法の手順を示すフローチャートである。

【図 6】図 5 に示した露光量決定工程において行われる処理の手順を示すフローチャートである。

【図 7】図 5 に示したフォトリソグラフィシミュレーション工程において行われる処理の手順を示すフローチャートである。 30

【図 8】図 5 に示した回路情報抽出工程において行われる処理の手順を示すフローチャートである。

【図 9】回路情報抽出工程におけるレイアウトパターンの簡略化の模式図である。

【図 10】第 3 の実施形態によるマスクパターン検証方法の手順を示すフローチャートである。

【図 11】クリティカルエリアについて説明するための図である。

【図 12】第 4 の実施形態による回路設計検証方法の手順を示すフローチャートである。

【図 13】図 12 に示したレイアウトパターン一律シュリンク工程における処理の手順を示すフローチャートである。 40

【図 14】レイアウトパターン一律シュリンク率に対するシリコンウェハ上の可能取れ数とチップの予測歩留とシリコンウェハ上の良品取れ数の関係を示したグラフである。

【符号の説明】

【 0 0 4 7 】

S T 1 0 0 シリコンウェハ表面段差シミュレーション工程

S T 1 1 0 , S T 2 0 0 , S T 4 1 0 露光量決定工程

S T 1 2 0 , S T 2 1 0 , S T 4 2 0 フォトリソグラフィシミュレーション工程

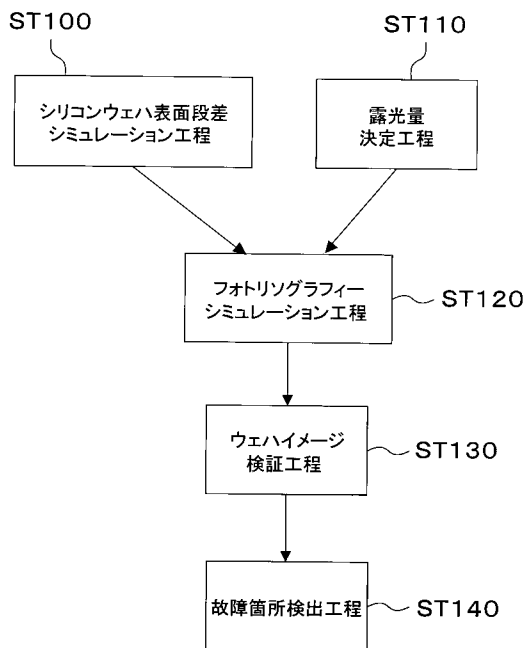
S T 1 3 0 ウェハイメージ検証工程

S T 1 4 0 , S T 2 3 0 , S T 4 3 0 故障箇所検出工程

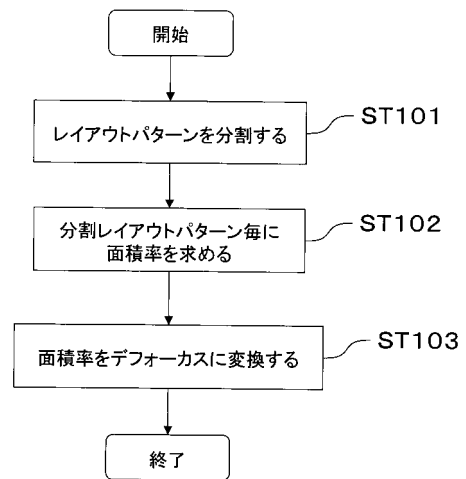
S T 2 2 0 , S T 3 0 1 回路情報抽出工程 50

- ST302 クリティカルエリア算出工程
- ST303 歩留り予測工程
- ST400 レイアウトパターン一律シュリンク工程
- 1 レイアウトパターン
- 2 フトリソグラフィーシミュレーション結果
- 3 簡略化されたフトリソグラフィーシミュレーション結果

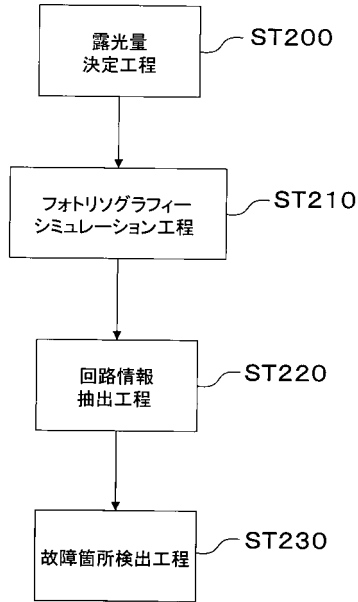
【図1】



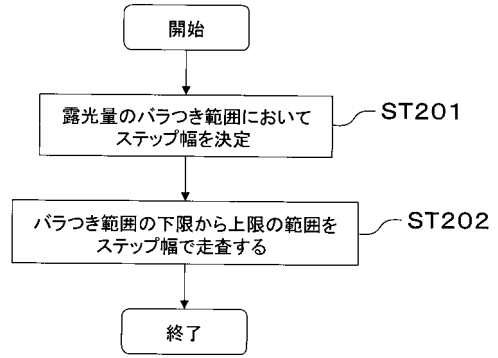
【図2】



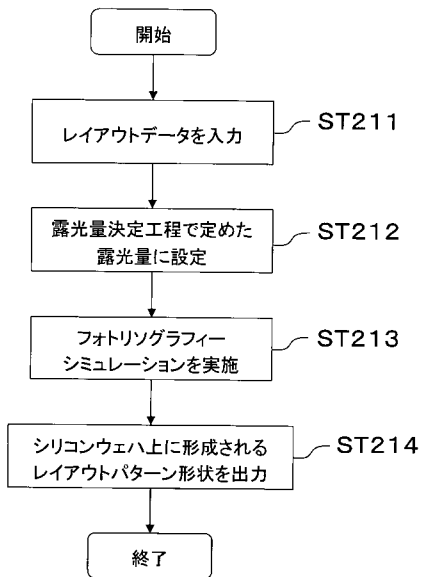
【 図 5 】



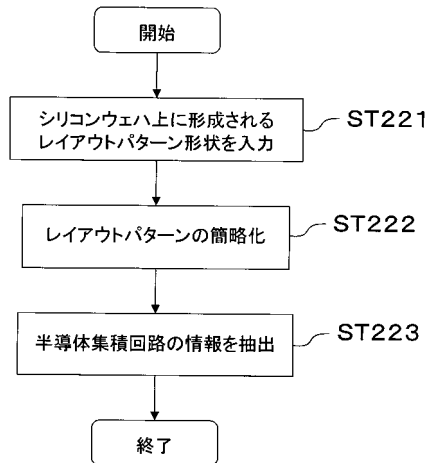
【 図 6 】



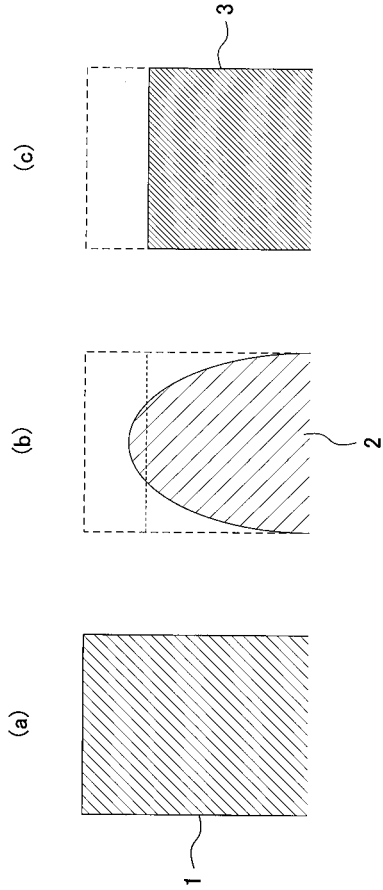
【 図 7 】



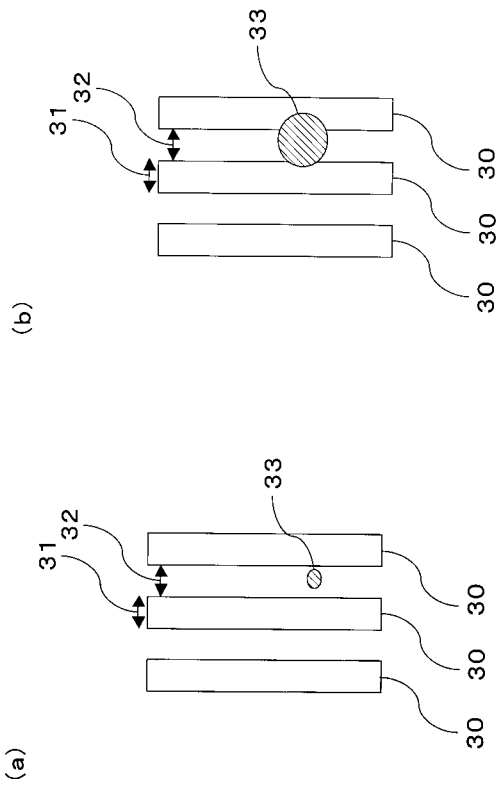
【 図 8 】



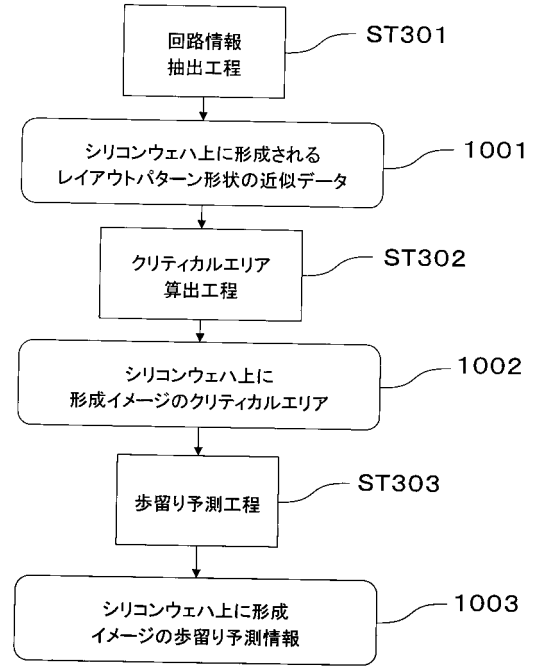
【図9】



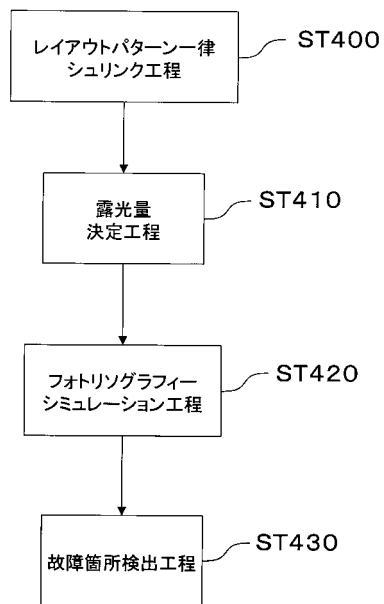
【図11】



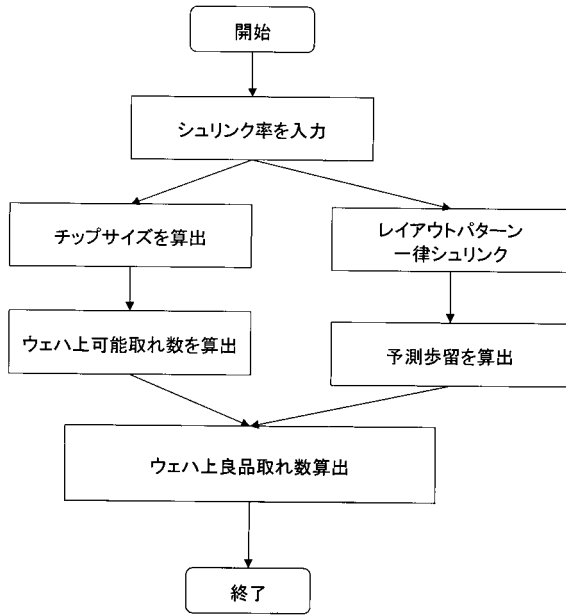
【図10】



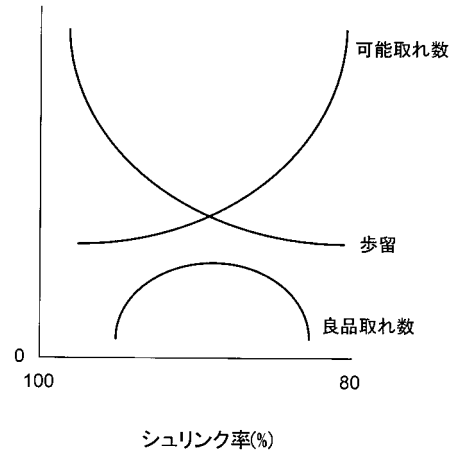
【図12】



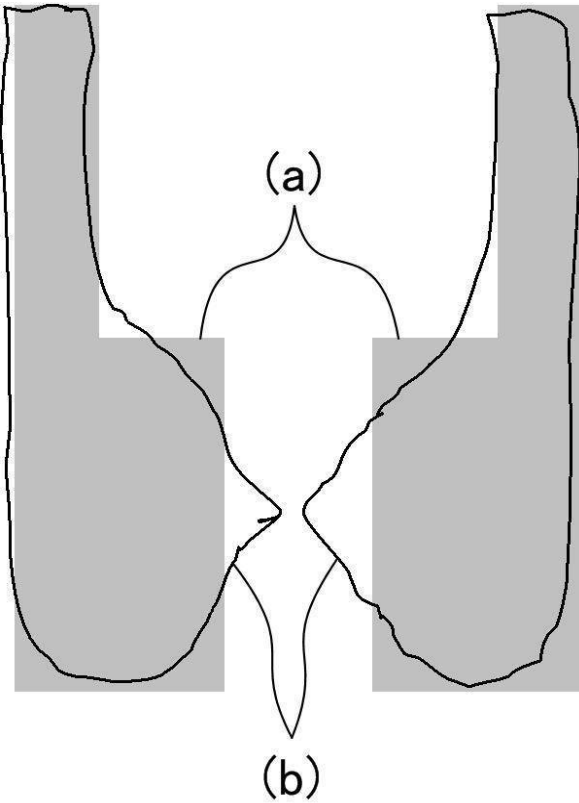
【 図 1 3 】



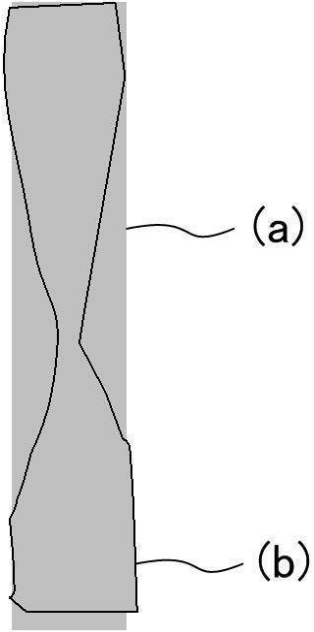
【 図 1 4 】



【 図 3 】



【 図 4 】



フロントページの続き

- (72)発明者 向井 清士
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 伊藤 光実
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 尾添 りつ子
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 大橋 達夫
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 辻川 洋行
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- Fターム(参考) 2H095 BB01 BB32 BC09 BD02