



(12) 发明专利申请

(10) 申请公布号 CN 112216675 A

(43) 申请公布日 2021.01.12

(21) 申请号 202010955717.7

H05K 3/00 (2006.01)

(22) 申请日 2020.09.11

(71) 申请人 中国电子科技集团公司第十三研究所

地址 050051 河北省石家庄市合作路113号

(72) 发明人 杨建军 李泊

(74) 专利代理机构 石家庄国为知识产权事务所 13120

代理人 王朝

(51) Int.Cl.

H01L 23/498 (2006.01)

H01L 23/13 (2006.01)

H01L 21/48 (2006.01)

H01L 21/50 (2006.01)

H01L 21/60 (2006.01)

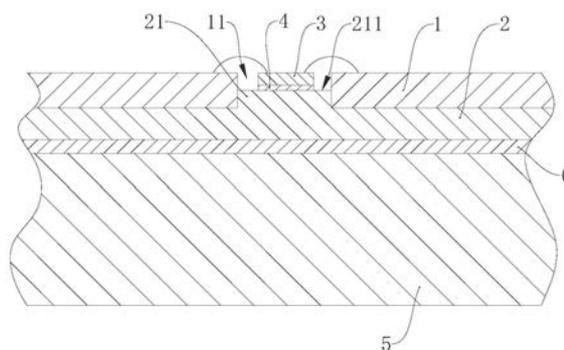
权利要求书1页 说明书5页 附图4页

(54) 发明名称

微组装基板结构及芯片微组装方法

(57) 摘要

本发明提供了一种微组装基板结构及芯片微组装方法,属于微波半导体产品微组装工艺技术领域,微组装基板结构包括印制电路板和接地铜箔;其中,印制电路板为单层结构或多层层叠结构,单层结构的正面或多层层叠结构的正面及各层之间用于印刷电路图形,印制电路板开设有用于容纳芯片的安装槽;接地铜箔与印制电路板的背面贴合,用于与组装盒体焊接,接地铜箔上设有伸入安装槽内部的铜凸台,铜凸台的台面为用于焊接或通过导电胶粘接芯片的安装面,安装面上镀覆有镍金层。本发明还提供了一种采用上述微组装基板结构进行芯片安装的芯片微组装方法。本发明提供的微组装基板结构及芯片微组装方法,能够提高芯片微组装的效率和质量。



1. 微组装基板结构,其特征在于,包括:

印制电路板,为单层结构或多层层叠结构,所述单层结构的正面或所述多层层叠结构的正面及各层之间用于印刷电路图形,所述印制电路板上开设有用于容纳芯片的安装槽;

接地铜箔,与所述印制电路板的背面贴合,用于与组装箱体焊接,所述接地铜箔上设有伸入所述安装槽内部的铜凸台,所述铜凸台的台面为用于焊接或通过导电胶粘接所述芯片的安装面,所述安装面上镀覆有镍金层。

2. 如权利要求1所述的微组装基板结构,其特征在于,所述接地铜箔的厚度为195~205 μm ;所述铜凸台伸入所述安装槽内的深度为95~105 μm 。

3. 芯片微组装方法,其特征在于,包括以下步骤:

在印制电路板的芯片安装位置开槽露出接地铜箔,获得所述芯片的安装槽;

于所述安装槽内露出的所述接地铜箔上电镀铜,获得伸入所述安装槽内部的安装面;

在获得的所述安装面上镀覆镍金层;

将所述接地铜箔与组装箱体进行烧焊;

将所述芯片焊接或粘接于镀覆了所述镍金层的所述安装面上;

将焊接或粘接于所述安装面上的所述芯片的键合线与所述印制电路板上的相应的电路图形进行键合。

4. 如权利要求3所述的芯片微组装方法,其特征在于,所述在印制电路板的芯片安装位置开槽露出接地铜箔,获得所述芯片的安装槽之前还包括:在所述印制电路板的背面粘合接地铜箔;

其中,所述接地铜箔的厚度为195~205 μm ,且所述安装面伸入所述安装槽内的深度为95~105 μm 。

5. 如权利要求3所述的芯片微组装方法,其特征在于,所述在获得的所述安装面上镀覆镍金层包括:在所述安装面上依次电镀镍、电镀金,获得所述镍金层。

6. 如权利要求3所述的芯片微组装方法,其特征在于,所述将所述芯片焊接于镀覆了所述镍金层的所述安装面上包括:将所述芯片与所述安装面通过焊料片进行真空焊接,所述焊料片为In97Ag3焊料,焊接温度为160~170 $^{\circ}\text{C}$ 。

7. 如权利要求3所述的芯片微组装方法,其特征在于,所述将所述芯片焊接于镀覆了所述镍金层的所述安装面上包括:

在所述芯片背面进行搪锡;

在所述安装面上进行搪锡;

将搪锡后的所述芯片通过焊料片烧焊于搪锡后的所述安装面上。

8. 如权利要求7所述的芯片微组装方法,其特征在于,所述搪锡采用的焊料为In97Ag3焊料;所述焊料片为In97Ag3焊料,烧焊温度为160~170 $^{\circ}\text{C}$ 。

9. 如权利要求6-8任一项所述的芯片微组装方法,其特征在于,所述焊料片的厚度为50~100 μm 。

10. 如权利要求3所述的芯片微组装方法,其特征在于,所述将所述芯片粘接于镀覆了所述镍金层的所述安装面上包括:将所述芯片与所述安装面通过导电胶进行粘接并固化。

微组装基板结构及芯片微组装方法

技术领域

[0001] 本发明属于微波半导体产品的微组装工艺技术领域,更具体地说,是涉及一种微组装基板结构及芯片微组装方法。

背景技术

[0002] 目前,微波半导体产品的微组装技术的工艺流程为在基板上用于安装芯片的位置开设通槽,基板烧焊在组装盒体上,通过将芯片焊接或粘接在芯片载体(采用钼铜、钨铜、可伐等与芯片热膨胀系数相近的载体)上,然后再将芯片载体于通槽内与组装盒体进行烧焊或者粘接。这种方式由于基板烧焊在组装盒体上采用的焊料与芯片载体焊接在组装盒体上采用的焊料不同,因此,在芯片载体焊接前,对于基板烧焊后溢出在组装盒体的安装面(与通槽位置对应的裸露部分)上的焊料,必须用工具清除干净并整平,这项工作操作难度极大,尤其对小尺寸芯片对应的安装槽而言,在清除过程中,常常由于将基板钎坏或清理过度而露出盒体不可润湿的铝基材,从而使产品报废,且焊料清理不净还会导致焊接或导电胶粘结不牢的问题,另外,由于清除对于焊料耗费时间长,十分影响芯片微组装的工作效率。

发明内容

[0003] 本发明的目的在于提供一种微组装基板结构及芯片微组装方法,旨在解决现有技术的芯片微组装工艺可靠性差、效率低的问题。

[0004] 为实现上述目的,本发明采用的技术方案是:提供一种微组装基板结构,包括印制电路板和接地铜箔;其中,印制电路板为单层结构或多层层叠结构,单层结构的正面或多层层叠结构的正面及各层之间用于印刷电路图形,印制电路板上开设有用于容纳芯片的安装槽;接地铜箔与印制电路板的背面贴合,用于与组装盒体焊接,接地铜箔上设有伸入安装槽内部的铜凸台,铜凸台的台面为用于焊接或通过导电胶粘接芯片的安装面,安装面上镀覆有镍金层。

[0005] 作为本申请另一实施例,接地铜箔的厚度为 $195\sim 205\mu\text{m}$;铜凸台伸入安装槽内的深度为 $95\sim 105\mu\text{m}$ 。

[0006] 本发明提供的微组装基板结构的有益效果在于:与现有技术相比,本发明微组装基板结构,在进行芯片微组装时,开设的安装槽无需将整个基板完全挖通,只需挖通印制电路板露出接地铜箔,然后在露出的接地铜箔上镀铜形成伸入安装槽内部的铜凸台,铜凸台的台面作为安装面进行镀覆镍金层后能够与芯片直接进行焊接或粘接,工艺过程简单,芯片的微组装效率高;且由于接地铜箔无需挖通,因此安装面与组装盒体表面之间能够保持隔绝状态,从而能够避免接地铜箔与组装盒体进行焊接时向安装槽内溢出焊料,能够确保安装面的表面平整清洁,提高芯片与安装面之间的焊接或粘接可靠性,进而提高芯片微组装的成品率。

[0007] 本发明还提供了一种芯片微组装方法,包括以下步骤:

[0008] 在印制电路板的芯片安装位置开槽露出接地铜箔,获得芯片的安装槽;

- [0009] 于安装槽内露出的接地铜箔上电镀铜,获得伸入安装槽内部的安装面;
- [0010] 在获得的安装面上镀覆镍金层;
- [0011] 将接地铜箔与组装盒体进行烧焊;
- [0012] 将芯片焊接或粘接于镀覆了镍金层的安装面上;
- [0013] 将焊接或粘接于安装面上的芯片的键合线与印制电路板上的相应的电路图形进行键合。
- [0014] 作为本申请另一实施例,在印制电路板的芯片安装位置开槽露出接地铜箔,获得芯片的安装槽之前还包括:在印制电路板的背面粘合接地铜箔;
- [0015] 其中,接地铜箔的厚度为 $195\sim 205\mu\text{m}$,且安装面伸入安装槽内的深度为 $95\sim 105\mu\text{m}$ 。
- [0016] 作为本申请另一实施例,在获得的安装面上镀覆镍金层包括:在安装面上依次电镀镍、电镀金,获得镍金层。
- [0017] 作为本申请另一实施例,将芯片焊接于镀覆了镍金层的安装面上包括:将芯片与安装面通过焊料片进行真空焊接,焊料片为In97Ag3焊料,焊接温度为 $160\sim 170^\circ\text{C}$ 。
- [0018] 作为本申请另一实施例,将芯片焊接于镀覆了镍金层的安装面上包括:
- [0019] 在芯片背面进行搪锡;
- [0020] 在安装面上进行搪锡;
- [0021] 将搪锡后的芯片通过焊料片烧焊于搪锡后的安装面上。
- [0022] 作为本申请另一实施例,搪锡采用的焊料为In97Ag3焊料;焊料片为In97Ag3焊料,烧焊温度为 $160\sim 170^\circ\text{C}$ 。
- [0023] 作为本申请另一实施例,焊料片的厚度为 $50\sim 100\mu\text{m}$ 。
- [0024] 作为本申请另一实施例,将芯片粘接于镀覆了镍金层的安装面上包括:将芯片与安装面通过导电胶进行粘接并固化。
- [0025] 本发明提供的芯片微组装方法的有益效果在于:与现有技术相比,本发明芯片微组装方法无需进行组装前的载体准备(包括载体设计、加工、管理等工作)、安装槽刮锡、载体两次搪锡、芯片与载体烧焊或粘接等多道工序,从而提高了芯片的微组装工作效率;由于开设的安装槽并未贯通接地铜箔,因此安装面与组装盒体表面之间能够保持隔绝状态,从而能够避免接地铜箔与组装盒体进行焊接时向安装槽内溢出焊料,能够确保安装面的表面平整清洁,提高芯片与安装面之间的焊接或粘接可靠性,进而提高芯片微组装的成品率。

附图说明

[0026] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0027] 图1为本发明实施例提供的微组装基板结构的结构示意图一;

[0028] 图2为本发明实施例提供的微组装基板结构的结构示意图二;

[0029] 图3为本发明实施例提供的芯片微组装方法的流程框图一;

[0030] 图4为本发明实施例提供的芯片微组装方法的流程框图二;

[0031] 图5为传统芯片微组装方法的工艺流程框图。

[0032] 图中:1、印制电路板;11、安装槽;2、接地铜箔;21、铜凸台;211、安装面;3、芯片;4、焊料片;5、组装箱体;6、焊接层。

具体实施方式

[0033] 为了使本发明所要解决的技术问题、技术方案及有益效果更加清楚明白,以下结合附图及实施例,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0034] 请一并参阅图1至图3,现对本发明提供的微组装基板结构进行说明。所述微组装基板结构,包括印制电路板1和接地铜箔2;其中,印制电路板1为单层结构或多层层叠结构,单层结构的正面或多层层叠结构的正面及各层之间用于印刷电路图形,印制电路板1上开设有用于容纳芯片3的安装槽11;接地铜箔2与印制电路板1的背面贴合,用于与组装箱体5焊接,接地铜箔2上设有伸入安装槽11内部的铜凸台21,铜凸台21的台面为用于焊接或通过导电胶粘接芯片3的安装面211,安装面211上镀覆有镍金层。

[0035] 应当说明,通常微组装基板上根据需要安装一个或多个芯片3,本实施例中只对其中一个安装位置的结构进行了说明,对于安装多个芯片3的微组装基板,相应的具有多个安装位置,每个安装位置都采用与本发明微组装结构描述的结构形式。

[0036] 另外,印制电路板1有单层结构的(参见图1),也有多层层叠结构的(参见图2),其中,单层结构的正面用于印刷电路图形,多层层叠结构的在每层的上表面即正面均印刷有相应的电路图形。

[0037] 本发明提供的微组装基板机构的制作方式:应当理解,采用单层结构或多层层叠结构的印制电路板1的微组装基板的制作方式相同,在此以单层结构进行说明,印制电路板1为刚性或柔性绝缘材料,一面用于印刷电路图形,另一面用于粘合铜箔,安装槽11采用挖槽的方式加工,安装槽11的深度以将印制电路板1挖透并漏出贴合于其背面的接地铜箔2为准,安装槽11挖成后,通过在露出的接地铜箔2上进行镀铜,镀铜层填充于安装槽11内部,可根据印制电路板1的厚度,镀铜层以电镀至安装槽11的中间位置(接近印制电路板1厚度的一半)为宜,从而形成伸入安装槽11内部的铜凸台21,最终将铜凸台21上进行度镀覆镍金层,形成用于焊接或粘接芯片3的安装面211。

[0038] 本发明提供的微组装基板结构,与现有技术相比,在进行芯片3微组装时,开设的安装槽11无需将整个基板完全挖通,只需挖通印制电路板1露出接地铜箔2,然后在露出的接地铜箔2上镀铜形成伸入安装槽11内部的铜凸台21,铜凸台21的台面作为安装面211,安装面211进行镀覆镍金层后能够与芯片3直接进行焊接或粘接,工艺过程简单,芯片3的微组装效率高;且由于接地铜箔2无需挖通,因此安装面211与组装箱体5表面之间能够保持隔绝状态,从而能够避免接地铜箔2与组装箱体5进行焊接时(图1中接地铜箔2与组装箱体5之间为焊接层6)向安装槽11内溢出焊料,能够确保安装面211的表面平整清洁,提高芯片3与安装面211之间的焊接或粘接可靠性,进而提高芯片3微组装的成品率。

[0039] 作为本发明提供的微组装基板结构的一种具体实施方式,请参阅图1及图2,接地铜箔2的厚度为195~205 μm ;铜凸台21伸入安装槽11内的深度为95~105 μm 。

[0040] 由于传统的接地铜箔2的厚度约为50 μm ,若芯片3直接安装到这种接地铜箔2上容

易发生变形,导致芯片3受力开裂,在此采用厚度为195~205 μm 的接地铜箔2,并且将铜凸台21的镀铜厚度加工至95~105 μm ,能够提高接地铜箔2的刚度,减小芯片3焊接或粘接变形,从而避免芯片3由于应力作用而开裂,能够提高芯片3的安装稳定性和微组装成品率。

[0041] 本发明还提供一种芯片微组装方法。请参阅图1至图3,所述芯片微组装方法,包括以下步骤:

[0042] 步骤S101:在印制电路板1的芯片安装位置开槽露出接地铜箔2,获得芯片3的安装槽11;

[0043] 步骤S102:于安装槽11内露出的接地铜箔2上电镀铜,获得伸入安装槽11内部的安装面211;

[0044] 步骤S103:在获得的安装面211上镀覆镍金层;

[0045] 步骤S104:将接地铜箔2与组装箱体5进行烧焊;

[0046] 步骤S105:将芯片3焊接或粘接于镀覆了镍金层的安装面211上;

[0047] 步骤S106:将焊接或粘接于安装面211上的芯片3的键合线与印刷于印制电路板1上的相应的电路图形进行键合。

[0048] 应当理解,请参阅图5,传统的微组装工艺中采用焊接组装的工艺过程依次为:载体准备(包括载体的设计、加工及管理)、安装槽刮锡、载体一次搪锡、芯片搪锡、芯片和载体烧焊、箱体搪锡、载体二次搪锡、载体和箱体烧焊。传统的微组装工艺中采用粘接组装的过程依次为:载体准备(包括载体的设计、加工及管理)、安装槽刮锡、芯片和载体粘接、载体和箱体粘接。其中,由于基板背面的接地铜箔与箱体表面焊接时产生的多余焊料进入安装槽区域,在安装面上形成凹凸不平的焊料烧结层,影响载体与箱体焊接或粘接的可靠性,因此,两种方式(焊接或粘接)均需要进行载体准备及安装槽的刮锡操作,由于对于刮锡操作过程而言,操作难度大,刮锡完成后也无法保证安装面的平整度,而且在刮锡过程中容易因力度控制失误而导致损伤箱体表面,造成箱体内部的铝基材暴露而润湿,从而使箱体无法继续使用,产生废品。

[0049] 本发明提供的芯片微组装方法,无需进行组装前的载体准备(包括载体设计、加工、管理等工作)、安装槽刮锡、载体两次搪锡、芯片与载体烧焊或粘接等多道工序,从而提高了芯片的微组装工作效率;由于开设的安装槽11并未贯通接地铜箔2,因此安装面211与组装箱体5表面之间能够保持隔绝状态,从而能够避免接地铜箔2与组装箱体5进行焊接时向安装槽11内溢出焊料,能够确保安装面211的表面平整清洁,提高芯片3与安装面211之间的焊接或粘接可靠性,进而提高芯片3微组装的成品率。

[0050] 作为本发明提供的芯片微组装方法的一种具体实施方式,请参阅图1、图2及图4,在印制电路板1的芯片安装位置开槽露出接地铜箔2,获得芯片3的安装槽11之前还包括:

[0051] 步骤S100:在印制电路板1的背面粘合接地铜箔2;

[0052] 其中,接地铜箔2的厚度为195~205 μm ,且安装面211伸入安装槽11内的深度为95~105 μm 。

[0053] 采用厚度为195~205 μm 的接地铜箔2,并且将铜凸台21的镀铜厚度加工至95~105 μm ,能够提高接地铜箔2的刚度,减小芯片3焊接或粘接变形,从而避免芯片3由于应力作用而开裂,能够提高芯片3的安装稳定性和微组装成品率。

[0054] 作为本发明实施例的一种具体实施方式,请参阅图1、图2及图4,在获得的安装面

211上镀覆镍金层包括：在安装面211上依次电镀镍、电镀金，获得镍金层。在安装面211上先进行电镀镍，再进行电镀金，从而使镀镍层作为安装面211（铜）与镀金层之间的阻挡层，能够避免在基板（接地铜箔2与组装箱体5烧焊）焊接、芯片3焊接（芯片3与安装面211焊接）或导电胶固化等高温环境下，铜料扩散至镀金层表面产生氧化而对后续键合造成影响，提高成品率。

[0055] 作为本发明实施例的一种具体实施方式，请参阅图1、图2及图4，将芯片3焊接于镀覆了镍金层的安装面211上包括：将芯片3与安装面211通过焊料片4进行真空焊接，焊料片4为In97Ag3焊料，焊接温度为160~170℃。应当说明，接地铜箔2优先采用铜纯度较高的无氧铜材料，In97Ag3焊料的热导率高、焊接应力低，将芯片3与安装面211直接进行焊接，无需再采用热导率远低于铜的钎铜或钨铜载体，不仅能够通过焊料的形变吸收焊接应力，还能够保证高热导率，从而能够提高芯片3安装可靠性，且利于芯片3散热，尤其对于大功率芯片3而言，能够具备良好的散热性能，从而提升产品性能优势。

[0056] 作为本发明实施例的一种具体实施方式，请参阅图1、图2及图4，将芯片3焊接于镀覆了镍金层的安装面211上包括：在芯片3背面进行搪锡；在安装面211上进行搪锡；将搪锡后的芯片3通过焊料片4烧焊于搪锡后的安装面211上。通过在芯片3背面和安装面211上分别进行搪锡，能够提高两个焊接面之间的润湿程度，确保焊接质量，提高芯片3组装可靠性。

[0057] 在本实施例中，搪锡采用的焊料为In97Ag3焊料；焊料片4为In97Ag3焊料，烧焊温度为160~170℃。与真空焊接相同，采用In97Ag3焊料在160~170℃的焊接温度下进行焊接，能够利用焊料的低应力或无应力特性吸收焊接应力，利用焊料的高热导率特性降低热阻，从而提高产品散热性能。

[0058] 具体的，焊料片4的厚度为50~100μm。方便通过焊料的形变充分充分释放焊接过程中产生的热应力，从而降低焊接空洞率，提高焊接可靠性，确保芯片3组装的质量高。

[0059] 作为本发明实施例的一种具体实施方式，请参阅图1、图2及图4，将芯片3粘接于镀覆了镍金层的安装面211上包括：将芯片3与安装面211通过导电胶进行粘接并固化。芯片3与安装面211直接通过导电胶进行粘接固化，工艺过程简单，操作方便，芯片3与安装面211之间的连接可靠，导通性好。具体的，导电胶可以为ME8456，将芯片3粘接于安装面211后，置于150℃的粘接环境中固化3h，即可完成芯片3的组装，当然，对于其它导电胶产品，应当根据导电胶自身特性对其固化温度和时间进行相应的调整，以保证芯片3的组装可靠。

[0060] 以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

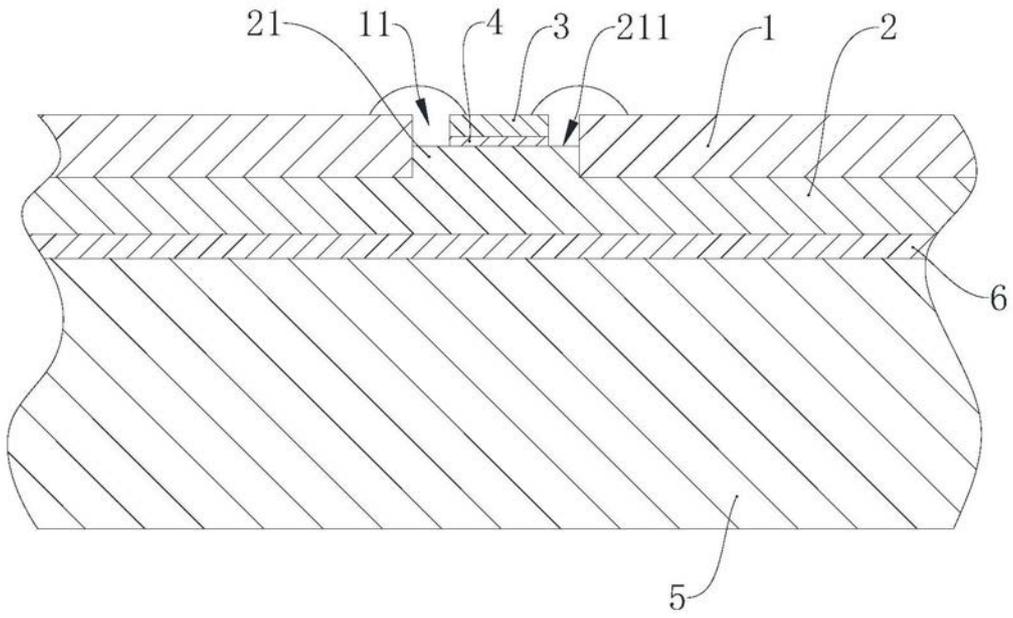


图1

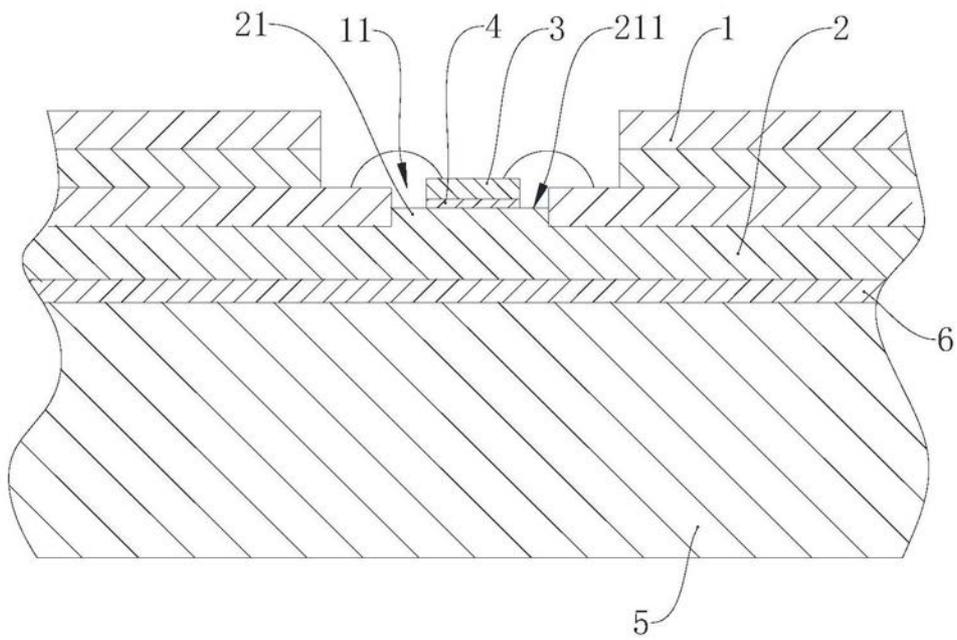


图2

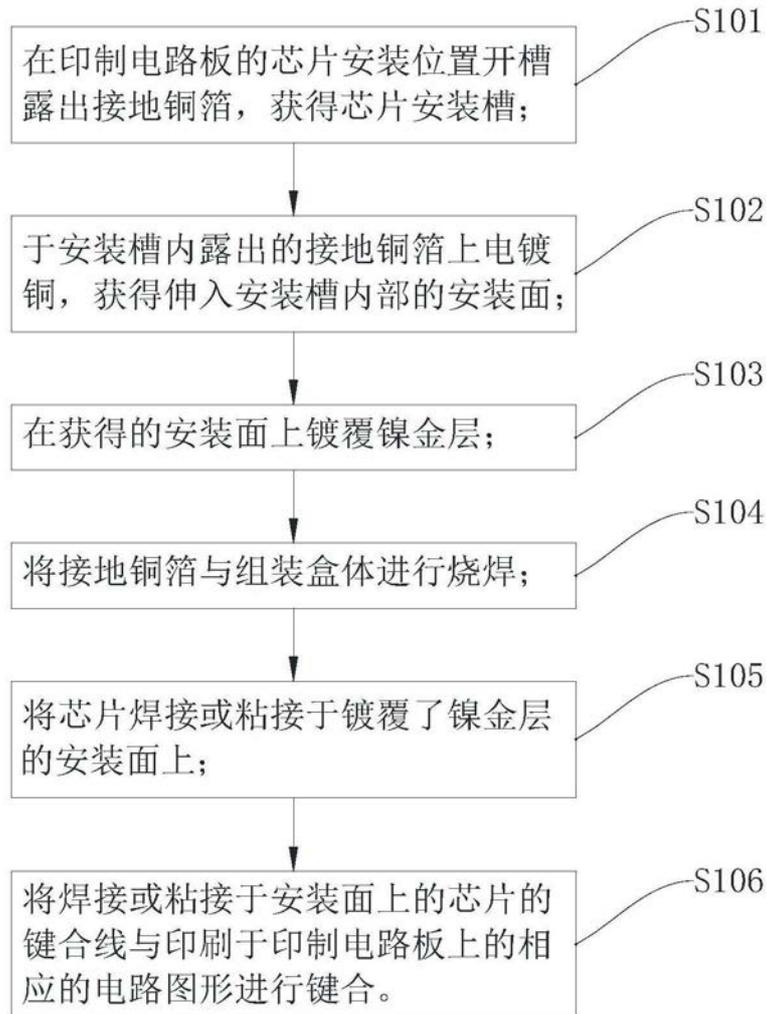


图3

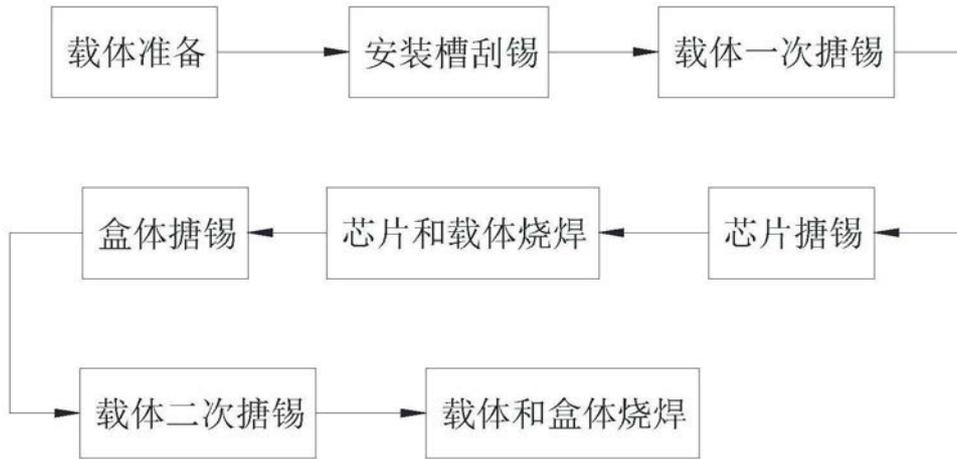


图5