



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0012992
(43) 공개일자 2015년02월04일

(51) 국제특허분류(Int. Cl.)
H04N 5/353 (2011.01) H04N 5/369 (2011.01)
(21) 출원번호 10-2014-0023909
(22) 출원일자 2014년02월28일
심사청구일자 2014년02월28일
(30) 우선권주장
JP-P-2013-155437 2013년07월26일 일본(JP)

(71) 출원인
가부시끼가이샤 도시바
일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고
(72) 발명자
미하라 다카히코
일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바 지적재산실 내
다츠자와 유키야스
일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바 지적재산실 내
(74) 대리인
장수길, 박충범

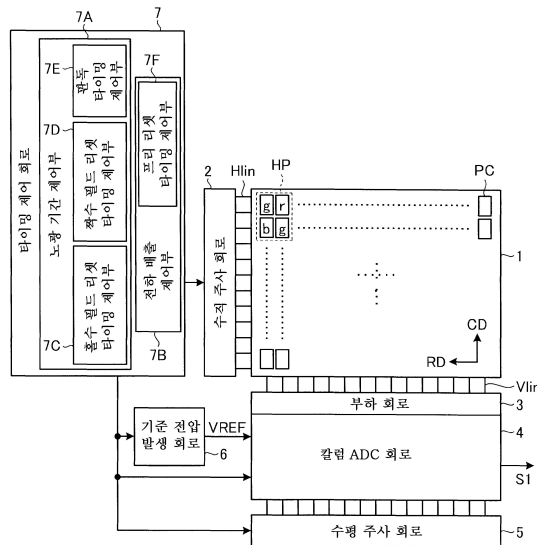
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **고체 촬상 장치**

(57) 요약

하나의 실시 형태에 따르면, 화소 어레이부는 광전 변환된 전하를 축적하는 화소가 매트릭스 형상으로 배치되고, 노광 기간 제어부는 상기 화소의 노광 기간을 필드마다 제어하여, 상기 화소 어레이부로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어하고, 전하 배출 제어부는 상기 화소의 비노광 기간에 상기 화소에 축적된 전하의 배출 제어를 행한다.

대표도 - 도1



특허청구의 범위

청구항 1

광전 변환된 전하를 축적하는 화소가 매트릭스 형상으로 배치된 화소 어레이부와,
 상기 화소의 노광 기간을 필드마다 제어하여, 상기 화소 어레이부로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어하는 노광 기간 제어부와,
 상기 화소의 비노광 기간에 상기 화소에 축적된 전하의 배출 제어를 행하는 전하 배출 제어부를 구비하는, 고체 촬상 장치.

청구항 2

제1항에 있어서, 상기 노광 기간 제어부는,
 상기 화소 어레이부로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어하는 판독 타이밍 제어부와,
 홀수 필드의 상기 화소에 축적된 전하의 리셋 타이밍을 제어하는 홀수 필드 리셋 타이밍 제어부와,
 짝수 필드의 상기 화소에 축적된 전하의 리셋 타이밍을 제어하는 짝수 필드 리셋 타이밍 제어부를 구비하는, 고체 촬상 장치.

청구항 3

제2항에 있어서, 상기 전하 배출 제어부는,
 상기 홀수 필드 또는 상기 짝수 필드 비노광 기간에 있어서, 상기 홀수 필드 또는 상기 짝수 필드의 상기 화소에 축적된 전하의 리셋 타이밍을 제어하는 프리 리셋 타이밍 제어부를 구비하는 것을 특징으로 하는, 고체 촬상 장치.

청구항 4

제3항에 있어서, 상기 프리 리셋 타이밍 제어부는 홀수 필드 노광 시간, 짝수 필드 노광 시간 및 1프레임 시간의 대소 관계에 기초하여, 상기 홀수 필드 또는 상기 짝수 필드 비노광 기간의 리셋 타이밍을 설정하는 것을 특징으로 하는, 고체 촬상 장치.

청구항 5

제4항에 있어서, 홀수 필드 노광 시간 및 짝수 필드 노광 시간이 1프레임 시간보다 짧은 경우, 상기 홀수 필드 비노광 기간 및 상기 짝수 필드 비노광 기간의 리셋을 행하는, 고체 촬상 장치.

청구항 6

제4항에 있어서, 홀수 필드 노광 시간 및 짝수 필드 노광 시간이 1프레임 시간 이상인 경우, 상기 홀수 필드 비노광 기간 및 상기 짝수 필드 비노광 기간의 리셋을 행하지 않는, 고체 촬상 장치.

청구항 7

제4항에 있어서, 홀수 필드 노광 시간 및 짝수 필드 노광 시간 중 어느 한쪽이 1프레임 시간 이상이고, 다른 쪽이 1프레임 시간보다 짧고, 또한 짧은 쪽의 노광 시간과 1프레임 시간의 합이 긴 쪽의 노광 시간 이하인 경우, 비노광 기간이 긴 쪽의 필드만의 비노광 기간의 리셋을 행하는, 고체 촬상 장치.

청구항 8

제4항에 있어서, 홀수 필드 노광 시간 및 짝수 필드 노광 시간 중 어느 한쪽이 1프레임 시간 이상이고, 다른 쪽이 1프레임 시간보다 짧고, 또한 짧은 쪽의 노광 시간과 1프레임 시간의 합이 긴 쪽의 노광 시간보다 긴 경우, 비노광 기간이 짧은 쪽의 필드만의 비노광 기간의 리셋을 행하는 것을 특징으로 하는, 고체 촬상 장치.

청구항 9

제1항에 있어서, 판독 대상이 되는 화소를 수직 방향으로 주사하는 수직 주사 회로와,
상기 화소와의 사이에서 소스 팔로워 동작을 행함으로써, 상기 화소로부터 수직 신호선에 칼럼마다 신호를 판독하는 부하 회로와,
각 화소의 신호 성분을 CDS에 의해 칼럼마다 검출하는 칼럼 ADC 회로와,
판독 대상이 되는 화소를 수평 방향으로 주사하는 수평 주사 회로를 구비하는, 고체 촬상 장치.

청구항 10

제1항에 있어서, 상기 비노광 기간의 리셋 타이밍의 라인 사이의 시간 간격은 상기 노광 기간을 개시시키는 리셋 타이밍의 라인 사이의 시간 간격과 동등한, 고체 촬상 장치.

청구항 11

제1항에 있어서, 상기 화소는,
광전 변환을 행하는 포토 다이오드와,
판독 신호에 기초하여 상기 포토 다이오드로부터 플로팅 디퓨전으로 신호를 전송하는 판독 트랜지스터와,
리셋 신호에 기초하여 상기 플로팅 디퓨전에 축적되어 있는 신호를 리셋하는 리셋 트랜지스터와,
상기 플로팅 디퓨전의 전위를 검출하는 증폭 트랜지스터를 구비하는 것을 특징으로 하는, 고체 촬상 장치.

청구항 12

제1항에 있어서, 상기 화소는 베이어 배열을 이루고,
상기 홀수 필드 및 상기 짝수 필드는 2라인씩 교대로 설정되는 것을 특징으로 하는, 고체 촬상 장치.

청구항 13

제1항에 있어서, 상기 홀수 필드의 화소로부터 얻어진 출력 신호와 상기 짝수 필드의 화소로부터 얻어진 출력 신호를 합성하는 합성 처리부를 구비하는 것을 특징으로 하는, 고체 촬상 장치.

청구항 14

제13항에 있어서, 상기 화소 어레이부로부터 출력된 출력 신호를 노광 기간마다 분리하고, 상기 노광 기간마다의 출력 신호의 타이밍을 일치시켜 출력하는 라인 메모리를 구비하는 것을 특징으로 하는, 고체 촬상 장치.

청구항 15

제1항에 있어서, 상기 전하 배출 제어부는 상기 화소의 비노광 기간에 상기 화소에 축적된 전하의 배출 제어를 라인마다 복수회 행하는 것을 특징으로 하는, 고체 촬상 장치.

청구항 16

광전 변환된 전하를 축적하는 화소가 매트릭스 형상으로 배치된 화소 어레이부와,
판독 대상이 되는 화소를 수직 방향으로 주사하는 수직 주사 회로와,
상기 화소와의 사이에서 소스 팔로워 동작을 행함으로써, 상기 화소로부터 수직 신호선에 칼럼마다 신호를 판독하는 부하 회로와,
각 화소의 신호 성분을 CDS에 의해 칼럼마다 검출하는 칼럼 ADC 회로와,
판독 대상이 되는 화소를 수평 방향으로 주사하는 수평 주사 회로와,
상기 화소의 노광 기간을 필드마다 제어하여, 상기 화소 어레이부로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어하는 노광 기간 제어부와,

상기 화소의 비노광 기간에 상기 화소에 축적된 전하의 배출 제어를 행하는 전하 배출 제어부를 구비하고,
상기 노광 기간 제어부는,
상기 화소 어레이부로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어하는 판독 타이밍 제어부와,
홀수 필드의 상기 화소에 축적된 전하의 리셋 타이밍을 제어하는 홀수 필드 리셋 타이밍 제어부와,
짝수 필드의 상기 화소에 축적된 전하의 리셋 타이밍을 제어하는 짝수 필드 리셋 타이밍 제어부를 구비하는, 고
체 촬상 장치.

청구항 17

제16항에 있어서, 상기 전하 배출 제어부는,
상기 홀수 필드 또는 상기 짝수 필드 비노광 기간에 있어서, 상기 홀수 필드 또는 상기 짝수 필드의 상기 화소
에 축적된 전하의 리셋 타이밍을 제어하는 프리 리셋 타이밍 제어부를 구비하는 것을 특징으로 하는 고체 촬상
장치.

청구항 18

제17항에 있어서,
상기 프리 리셋 타이밍 제어부는 홀수 필드 노광 시간, 짝수 필드 노광 시간 및 1프레임 시간의 대소 관계에 기
초하여, 상기 홀수 필드 또는 상기 짝수 필드 비노광 기간의 리셋 타이밍을 설정하는 것을 특징으로 하는, 고체
촬상 장치.

청구항 19

제16항에 있어서, 상기 화소는 베이어 배열을 이루고,
상기 홀수 필드 및 상기 짝수 필드는 2라인씩 교대로 설정되는 것을 특징으로 하는, 고체 촬상 장치.

청구항 20

제19항에 있어서, 상기 홀수 필드의 화소로부터 얻어진 출력 신호와 상기 짝수 필드의 화소로부터 얻어진 출력
신호를 합성하는 합성 처리부를 구비하는 것을 특징으로 하는, 고체 촬상 장치.

명세서

기술분야

[0001] 본 출원은 2013년 7월 26일에 출원된 일본 특허 출원 번호 제2013-155437호의 우선권의 이익을 향수하고, 그 일
본 특허 출원의 전체 내용은 본 출원에 있어서 인용된다.

[0002] 본 실시 형태는 일반적으로, 고체 촬상 장치에 관한 것이다.

배경기술

[0003] 고체 촬상 장치에서는 저조도 시의 감도를 유지하면서 다이내믹 레인지를 확대하기 위해, 인터레이스 판독에 있
어서, 홀수 필드와 짝수 필드에서 노광 시간을 별개로 설정하여, 이들 홀수 필드와 짝수 필드를 합성함으로써
하나의 화상을 얻는 것이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는, 인터레이스 판독에 있어서 저조도 시의 감도를 유지하면서 다이내믹 레인지
를 확대함과 함께, 블루밍을 억제하는 것이 가능한 고체 촬상 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 일 실시 형태의 고체 촬상 장치는 광전 변환된 전하를 축적하는 화소가 매트릭스 형상으로 배치된 화소 어레이부와, 상기 화소의 노광 기간을 필드마다 제어하여, 상기 화소 어레이부로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어하는 노광 기간 제어부와, 상기 화소의 비노광 기간에 상기 화소에 축적된 전하의 배출 제어를 행하는 전하 배출 제어부를 구비한다.

[0006] 다른 실시 형태의 고체 촬상 장치는 광전 변환된 전하를 축적하는 화소가 매트릭스 형상으로 배치된 화소 어레이부와, 판독 대상이 되는 화소를 수직 방향으로 주사하는 수직 주사 회로와, 상기 화소와의 사이에서 소스 팔로워 동작을 행함으로써, 상기 화소로부터 수직 신호선에 칼럼마다 신호를 판독하는 부하 회로와, 각 화소의 신호 성분을 CDS에 의해 칼럼마다 검출하는 칼럼 ADC 회로와, 판독 대상이 되는 화소를 수평 방향으로 주사하는 수평 주사 회로와, 상기 화소의 노광 기간을 필드마다 제어하여, 상기 화소 어레이부로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어하는 노광 기간 제어부와, 상기 화소의 비노광 기간에 상기 화소에 축적된 전하의 배출 제어를 행하는 전하 배출 제어부를 구비하고,

[0007] 상기 노광 기간 제어부는,

[0008] 상기 화소 어레이부로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어하는 판독 타이밍 제어부와, 홀수 필드의 상기 화소에 축적된 전하의 리셋 타이밍을 제어하는 홀수 필드 리셋 타이밍 제어부와, 짝수 필드의 상기 화소에 축적된 전하의 리셋 타이밍을 제어하는 짝수 필드 리셋 타이밍 제어부를 구비한다.

발명의 효과

[0009] 상기 구성의 고체 촬상 장치에 따르면, 인터레이스 판독에 있어서 저조도 시의 감도를 유지하면서 다이내믹 레인지를 확대함과 함께, 블루밍을 억제하는 것이 가능하다.

도면의 간단한 설명

[0010] 도 1은 제1 실시 형태에 관한 고체 촬상 장치의 개략 구성을 도시하는 블록도.

도 2는 도 1의 고체 촬상 장치의 화소의 구성예를 도시하는 회로도.

도 3의 (a)는 홀수 필드 노광 기간에 있어서의 도 2의 화소의 각 부의 전압 파형을 도시하는 타이밍 차트, 도 3의 (b)는 짝수 필드 노광 기간에 있어서의 도 2의 화소의 각 부의 전압 파형을 도시하는 타이밍 차트.

도 4의 (a)는 제1 조건에 있어서의 홀수 필드 및 짝수 필드의 리셋 타이밍과 판독 타이밍을 라인마다 도시하는 타이밍 차트, 도 4의 (b)는 홀수 필드 노광 기간에 있어서의 PD 전하량을 도시하는 타이밍 차트, 도 4의 (c)는 짝수 필드 노광 기간에 있어서의 PD 전하량을 도시하는 타이밍 차트.

도 5는 제2 조건에 있어서의 홀수 필드 및 짝수 필드의 리셋 타이밍과 판독 타이밍을 라인마다 도시하는 타이밍 차트.

도 6은 제3 조건에 있어서의 홀수 필드 및 짝수 필드의 리셋 타이밍과 판독 타이밍을 라인마다 도시하는 타이밍 차트.

도 7은 제4 조건에 있어서의 홀수 필드 및 짝수 필드의 리셋 타이밍과 판독 타이밍을 라인마다 도시하는 타이밍 차트.

도 8은 도 4 내지 도 7의 제1 조건으로부터 제4 조건에 있어서의 프리 리셋 동작을 도시하는 흐름도.

도 9는 홀수 필드 노광 기간 및 짝수 필드 노광 기간에 판독된 신호를 합성하는 화상 처리 장치의 개략 구성을 도시하는 블록도.

도 10은 제2 실시 형태에 관한 고체 촬상 장치가 적용된 디지털 카메라의 개략 구성을 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

[0011] 하나의 실시 형태에 따르면, 화소 어레이부와, 노광 기간 제어부와, 전하 배출 제어부가 설치되어 있다. 화소 어레이부는 광전 변환된 전하를 축적하는 화소가 매트릭스 형상으로 배치되어 있다. 노광 기간 제어부는 상기 화소의 노광 기간을 필드마다 제어하여, 상기 화소 어레이로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어한다. 전하 배출 제어부는 상기 화소의 비노광 기간에 상기 화소에 축적된 전하의 배출 제어를 행한다.

[0012] 이하에 첨부 도면을 참조하여, 실시 형태에 관한 고체 촬상 장치를 상세하게 설명한다. 또한, 이들 실시 형태

에 의해 본 발명이 한정되는 것은 아니다.

- [0013] (제1 실시 형태)
- [0014] 도 1은 제1 실시 형태에 관한 고체 촬상 장치의 개략 구성을 도시하는 블록도이다.
- [0015] 도 1에 있어서, 고체 촬상 장치에는 화소 어레이부(1)가 설치되어 있다. 화소 어레이부(1)에는 광전 변환된 전하를 축적하는 화소 PC가 로우 방향 RD 및 칼럼 방향 CD에 매트릭스 형상으로 배치되어 있다. 또한, 이 화소 어레이부(1)에 있어서, 로우 방향 RD에는 화소 PC의 판독 제어를 행하는 수평 제어선 H1in이 설치되고, 칼럼 방향 CD에는 화소 PC로부터 판독된 신호를 전송하는 수직 신호선 V1in이 설치되어 있다.
- [0016] 또한, 고체 촬상 장치에는 판독 대상이 되는 화소 PC를 수직 방향으로 주사하는 수직 주사 회로(2), 화소 PC와의 사이에서 소스 팔로워 동작을 행함으로써, 화소 PC로부터 수직 신호선 V1in에 칼럼마다 신호를 판독하는 부하 회로(3), 각 화소 PC의 신호 성분을 CDS에 의해 칼럼마다 검출하는 칼럼 ADC 회로(4), 판독 대상이 되는 화소 PC를 수평 방향으로 주사하는 수평 주사 회로(5), 칼럼 ADC 회로(4)에 기준 전압 VREF를 출력하는 기준 전압 발생 회로(6) 및 각 화소 PC의 판독이나 축적의 타이밍을 제어하는 타이밍 제어 회로(7)가 설치되어 있다. 또한, 기준 전압 VREF는 램프파를 사용할 수 있다.
- [0017] 또한, 화소 어레이부(1)에서는 촬상 화상을 컬러화하기 위해, 4개의 화소 PC를 1조로 한 베이어 배열 HP를 이룰 수 있다. 이 베이어 배열 HP에서는, 한쪽의 대각 방향으로 2개의 녹색용 화소 g가 배치되고, 다른 쪽의 대각 방향으로 1개의 적색용 화소 r과 1개의 청색용 화소 b가 배치된다.
- [0018] 타이밍 제어 회로(7)에는 노광 기간 제어부(7A) 및 전하 배출 제어부(7B)가 설치되어 있다. 노광 기간 제어부(7A)에는 홀수 필드 리셋 타이밍 제어부(7C), 짝수 필드 리셋 타이밍 제어부(7D) 및 판독 타이밍 제어부(7E)가 설치되어 있다. 전하 배출 제어부(7B)에는 프리 리셋 타이밍 제어부(7F)가 설치되어 있다. 노광 기간 제어부(7A)는 화소 PC의 노광 기간을 필드마다 제어하여, 화소 어레이부(1)로부터 인터레이스 판독이 행해지도록 판독 타이밍을 제어한다. 전하 배출 제어부(7B)는 화소 PC의 비노광 기간에 화소 PC에 축적된 전하의 배출 제어를 행한다. 판독 타이밍 제어부(7E)는 화소 어레이부(1)로부터 인터레이스 판독이 행해지도록 화소 PC에 축적된 전하의 판독 타이밍을 제어한다. 홀수 필드 리셋 타이밍 제어부(7C)는 홀수 필드의 화소 PC에 축적된 전하의 리셋 타이밍을 제어한다. 짝수 필드 리셋 타이밍 제어부(7D)는 짝수 필드의 화소 PC에 축적된 전하의 리셋 타이밍을 제어한다. 프리 리셋 타이밍 제어부(7F)는 홀수 필드 또는 짝수 필드 비노광 기간에 있어서, 홀수 필드 또는 짝수 필드의 화소 PC에 축적된 전하의 리셋 타이밍을 제어한다. 또한, 홀수 필드와 짝수 필드는 화소 어레이부(1) 상에서 교대로 설정할 수 있다. 예를 들어, 베이어 배열 HP에서는, 홀수 필드는 화소 어레이부(1)의 4n+1(n은 0 이상의 정수)행째와 4n+2행째, 짝수 필드는 화소 어레이부(1)의 4n+3행째와 4n+4행째로 설정할 수 있다.
- [0019] 그리고, 수직 주사 회로(2)에 의해 화소 PC가 수직 방향으로 주사됨으로써, 로우 방향 RD에 화소 PC가 선택된다. 그리고, 부하 회로(3)에 있어서, 그 화소 PC와의 사이에서 소스 팔로워 동작이 행해짐으로써, 화소 PC로부터 판독된 신호가 수직 신호선 V1in을 통해 전송되어, 칼럼 ADC 회로(4)로 보내진다. 또한, 기준 전압 발생 회로(6)에 있어서, 기준 전압 VREF로서 램프파가 설정되어, 칼럼 ADC 회로(4)로 보내진다. 그리고, 칼럼 ADC 회로(4)에 있어서, 화소 PC로부터 판독된 신호 레벨과 리셋 레벨이 램프파의 레벨에 일치할 때까지 클록의 카운트 동작이 행해지고, 그때의 신호 레벨과 리셋 레벨의 차분이 취해짐으로써 각 화소 PC의 신호 성분이 CDS에 의해 검출되어, 출력 신호 S1로서 출력된다.
- [0020] 여기서, 홀수 필드와 짝수 필드에서 노광 기간이 다르도록 화소 PC에 축적된 전하의 리셋 타이밍을 제어함으로써, 홀수 필드와 짝수 필드에서 화소 PC의 감도를 다르게 할 수 있다. 이로 인해, 홀수 필드의 화소 PC로부터 생성된 출력 신호 S1과 짝수 필드의 화소 PC로부터 생성된 출력 신호 S1을 합성함으로써, 다이내믹 레인지를 향상시킬 수 있다.
- [0021] 또한, 홀수 필드 또는 짝수 필드 비노광 기간에 있어서, 홀수 필드 또는 짝수 필드의 화소 PC에 축적된 전하의 리셋 타이밍을 제어함으로써, 비노광 기간에 홀수 필드 또는 짝수 필드의 화소 PC에 축적되는 전하를 감소시킬 수 있다. 이로 인해, 홀수 필드 또는 짝수 필드의 화소 PC에 비노광 기간에 축적되는 전하가 인접 화소로 넘치는 것을 억제할 수 있어, 블루밍을 저감시킬 수 있다.
- [0022] 도 2는 도 1의 고체 촬상 장치의 화소의 구성예를 도시하는 회로도이다.
- [0023] 도 2에 있어서, 화소 PC에는 포토 다이오드 PD, 행 선택 트랜지스터 Ta, 증폭 트랜지스터 Tb, 리셋 트랜지스터

Tc 및 판독 트랜지스터 Td가 각각 설치되어 있다. 또한, 증폭 트랜지스터 Tb와 리셋 트랜지스터 Tc와 판독 트랜지스터 Td의 접속점에는 검출 노드로서 플로팅 디퓨전 FD가 형성되어 있다.

[0024] 그리고, 판독 트랜지스터 Td의 소스는 포토 다이오드 PD에 접속되고, 판독 트랜지스터 Td의 게이트에는 판독 신호 READ가 입력된다. 또한, 리셋 트랜지스터 Tc의 소스는 판독 트랜지스터 Td의 드레인에 접속되고, 리셋 트랜지스터 Tc의 게이트에는 리셋 신호 RESET가 입력되고, 리셋 트랜지스터 Tc의 드레인은 전원 전위 VDD에 접속되어 있다. 또한, 행 선택 트랜지스터 Ta의 게이트에는 행 선택 신호 ADRES가 입력되고, 행 선택 트랜지스터 Ta의 드레인은 전원 전위 VDD에 접속되어 있다. 또한, 증폭 트랜지스터 Tb의 소스는 수직 신호선 Vlin에 접속되고, 증폭 트랜지스터 Tb의 게이트는 판독 트랜지스터 Td의 드레인에 접속되고, 증폭 트랜지스터 Tb의 드레인은 행 선택 트랜지스터 Ta의 소스에 접속되어 있다.

[0025] 또한, 도 1의 수평 제어선 Hlin은 판독 신호 READ, 리셋 신호 RESET 및 행 선택 신호 ADRES를 로우마다 화소 PC로 전송할 수 있다.

[0026] 도 3의 (a)는 홀수 필드 노광 기간에 있어서의 도 2의 화소의 각 부의 전압 파형을 도시하는 타이밍 차트, 도 3의 (b)는 짝수 필드 노광 기간에 있어서의 도 2의 화소의 각 부의 전압 파형을 도시하는 타이밍 차트이다.

[0027] 도 3의 (a)에 있어서, 도 1의 화소 어레이부(1)의 홀수 필드의 화소 PC에는 홀수 필드 노광 기간 EXO가 설정되고, 도 3의 (b)에 있어서, 도 1의 화소 어레이부(1)의 짝수 필드의 화소 PC에는 짝수 필드 노광 기간 EXE가 설정된다. 이때, 홀수 필드 노광 기간 EXO는 짝수 필드 노광 기간 EXE보다도 길게 할 수 있다. 또한, 짝수 필드 노광 기간 EXE는 홀수 필드 노광 기간 EXO보다도 길게 하도록 해도 된다.

[0028] 그리고, 도 3의 (a)에 도시한 바와 같이, 홀수 필드의 화소 PC에서는, 행 선택 신호 ADRES가 로우 레벨인 경우, 행 선택 트랜지스터 Ta가 오프 상태로 되어, 수직 신호선 Vlin에 화소 신호 VSIG는 출력되지 않는다. 이때, 판독 신호 READ와 리셋 신호 RESET가 하이 레벨로 되면(ta1), 판독 트랜지스터 Td가 온으로 되어, 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD에 축적되어 있던 전하가 플로팅 디퓨전 FD에 배출된다. 그리고, 리셋 트랜지스터 Tc를 통해 전원 전위 VDD에 배출된다.

[0029] 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD에 축적되어 있던 전하가 전원 전위 VDD에 배출된 후, 판독 신호 READ가 로우 레벨로 되면, 포토 다이오드 PD에서는 홀수 필드 비노광 기간 NXO에 있어서의 전하의 축적이 개시된다.

[0030] 그 후, 판독 신호 READ와 리셋 신호 RESET가 다시 하이 레벨로 되면(ta2), 판독 트랜지스터 Td가 온으로 되어, 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD에 축적되어 있던 전하가 플로팅 디퓨전 FD에 다시 배출된다. 그리고, 리셋 트랜지스터 Tc를 통해 전원 전위 VDD에 배출된다.

[0031] 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD에 축적되어 있던 전하가 전원 전위 VDD에 다시 배출된 후, 판독 신호 READ가 로우 레벨로 되면, 포토 다이오드 PD에서는 유효한 신호 전하의 축적이 개시되어, 홀수 필드 비노광 기간 NXO로부터 홀수 필드 노광 기간 EXO로 이행한다.

[0032] 다음에, 행 선택 신호 ADRES가 하이 레벨로 되면(ta3), 화소 PC의 행 선택 트랜지스터 Ta가 온으로 되어, 증폭 트랜지스터 Tb의 드레인에 전원 전위 VDD가 인가된다.

[0033] 그리고, 행 선택 트랜지스터 Ta가 온의 상태이고 리셋 신호 RESET가 하이 레벨로 되면(ta4), 리셋 트랜지스터 Tc가 온으로 되어, 플로팅 디퓨전 FD에 누설 전류 등에서 발생한 여분의 전하가 리셋된다. 그리고, 플로팅 디퓨전 FD의 리셋 레벨에 따른 전압이 증폭 트랜지스터 Tb의 게이트에 가해져, 증폭 트랜지스터 Tb의 게이트에 인가된 전압에 수직 신호선 Vlin의 전압이 추종됨으로써, 리셋 레벨의 화소 신호 VSIG가 수직 신호선 Vlin에 출력된다.

[0034] 그리고, 리셋 레벨의 화소 신호 VSIG는 칼럼 ADC 회로(4)에 입력되어, 기준 전압 VREF와 비교된다. 그리고, 그 비교 결과에 기초하여 리셋 레벨의 화소 신호 VSIG가 디지털값으로 변환되어 보유 지지된다.

[0035] 다음에, 화소 PC의 행 선택 트랜지스터 Ta가 온의 상태이고 판독 신호 READ가 하이 레벨로 되면(ta5), 판독 트랜지스터 Td가 온으로 되어, 홀수 필드 노광 기간 EXO에 포토 다이오드 PD에 축적되어 있던 전하가 플로팅 디퓨전 FD로 전송된다. 그리고, 플로팅 디퓨전 FD의 신호 판독 레벨에 따른 전압이 증폭 트랜지스터 Tb의 게이트에 가해져, 증폭 트랜지스터 Tb의 게이트에 인가된 전압에 수직 신호선 Vlin의 전압이 추종됨으로써, 신호 판독 레벨의 화소 신호 VSIG가 수직 신호선 Vlin에 출력된다.

- [0036] 그리고, 신호 판독 레벨의 화소 신호 VSIG는 칼럼 ADC 회로(4)에 입력되어, 기준 전압 VREF와 비교된다. 그리고, 그 비교 결과에 기초하여 리셋 레벨의 화소 신호 VSIG와 신호 판독 레벨의 화소 신호 VSIG의 차분이 디지털값으로 변환되어, 홀수 필드 노광 기간 EXO에 따른 출력 신호 S1로서 출력된다.
- [0037] 한편, 도 3의 (b)에 도시한 바와 같이, 짝수 필드의 화소 PC에서는, 행 선택 신호 ADRES가 로우 레벨인 경우, 행 선택 트랜지스터 Ta가 오프 상태로 되어, 수직 신호선 Vlin에 화소 신호 VSIG는 출력되지 않는다. 이때, 판독 신호 READ와 리셋 신호 RESET가 하이 레벨로 되면(tb1), 판독 트랜지스터 Td가 온으로 되어, 짝수 필드 비노광 기간 NXE에 포토 다이오드 PD에 축적되어 있던 전하가 플로팅 디퓨전 FD에 배출된다. 그리고, 리셋 트랜지스터 Tc를 통해 전원 전위 VDD에 배출된다.
- [0038] 짝수 필드 비노광 기간 NXE에 포토 다이오드 PD에 축적되어 있던 전하가 전원 전위 VDD에 배출된 후, 판독 신호 READ가 로우 레벨로 되면, 포토 다이오드 PD에서는, 짝수 필드 비노광 기간 NXE에 있어서의 전하의 축적이 개시된다.
- [0039] 그 후, 판독 신호 READ와 리셋 신호 RESET가 다시 하이 레벨로 되면(tb2), 판독 트랜지스터 Td가 온으로 되어, 짝수 필드 비노광 기간 NXE에 포토 다이오드 PD에 축적되어 있던 전하가 플로팅 디퓨전 FD에 다시 배출된다. 그리고, 리셋 트랜지스터 Tc를 통해 전원 전위 VDD에 배출된다.
- [0040] 짝수 필드 비노광 기간 NXE에 포토 다이오드 PD에 축적되어 있던 전하가 전원 전위 VDD에 다시 배출된 후, 판독 신호 READ가 로우 레벨로 되면, 포토 다이오드 PD에서는, 유효한 신호 전하의 축적이 개시되어, 짝수 필드 비노광 기간 NXE로부터 짝수 필드 노광 기간 EXE로 이행한다.
- [0041] 다음에, 행 선택 신호 ADRES가 하이 레벨로 되면(tb3), 화소 PC의 행 선택 트랜지스터 Ta가 온으로 되어, 증폭 트랜지스터 Tb의 드레인에 전원 전위 VDD가 인가된다.
- [0042] 그리고, 행 선택 트랜지스터 Ta가 온의 상태이고 리셋 신호 RESET가 하이 레벨로 되면(tb4), 리셋 트랜지스터 Tc가 온으로 되어, 플로팅 디퓨전 FD에 누설 전류 등에서 발생한 여분의 전하가 리셋된다. 그리고, 플로팅 디퓨전 FD의 리셋 레벨에 따른 전압이 증폭 트랜지스터 Tb의 게이트에 가해져, 증폭 트랜지스터 Tb의 게이트에 인가된 전압에 수직 신호선 Vlin의 전압이 추종함으로써, 리셋 레벨의 화소 신호 VSIG가 수직 신호선 Vlin에 출력된다.
- [0043] 그리고, 리셋 레벨의 화소 신호 VSIG는 칼럼 ADC 회로(4)에 입력되어, 기준 전압 VREF와 비교된다. 그리고, 그 비교 결과에 기초하여 리셋 레벨의 화소 신호 VSIG가 디지털값으로 변환되어 보류 지지된다.
- [0044] 다음에, 화소 PC의 행 선택 트랜지스터 Ta가 온의 상태이고 판독 신호 READ가 하이 레벨로 되면(tb5), 판독 트랜지스터 Td가 온으로 되어, 짝수 필드 노광 기간 EXE에 포토 다이오드 PD에 축적되어 있던 전하가 플로팅 디퓨전 FD로 전송된다. 그리고, 플로팅 디퓨전 FD의 신호 판독 레벨에 따른 전압이 증폭 트랜지스터 Tb의 게이트에 가해져, 증폭 트랜지스터 Tb의 게이트에 인가된 전압에 수직 신호선 Vlin의 전압이 추종함으로써, 신호 판독 레벨의 화소 신호 VSIG가 수직 신호선 Vlin에 출력된다.
- [0045] 그리고, 신호 판독 레벨의 화소 신호 VSIG는 칼럼 ADC 회로(4)에 입력되어, 기준 전압 VREF와 비교된다. 그리고, 그 비교 결과에 기초하여 리셋 레벨의 화소 신호 VSIG와 신호 판독 레벨의 화소 신호 VSIG의 차분이 디지털값으로 변환되어, 짝수 필드 노광 기간 EXE에 따른 출력 신호 S1로서 출력된다.
- [0046] 도 4의 (a)는 제1 조건에 있어서의 홀수 필드 및 짝수 필드의 리셋 타이밍과 판독 타이밍을 라인마다 도시하는 타이밍 차트, 도 4의 (b)는 홀수 필드 노광 기간에 있어서의 PD 전하량을 도시하는 타이밍 차트, 도 4의 (c)는 짝수 필드 노광 기간에 있어서의 PD 전하량을 도시하는 타이밍 차트이다. 또한, 도 4의 (a) 내지 도 4의 (c)의 예에서는, 화소 PC가 베이어 배열 HP를 이루고, 홀수 필드(라인 L1, L2, L5, L6, L9, L10)와 짝수 필드(라인 L3, L4, L7, L8, L11, L12)가 2라인씩 교대로 설정되는 경우를 나타냈다. 또한, 제1 조건은 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE가 1프레임 시간 FH보다 짧은 경우이다. 이 제1 조건에서는, 홀수 필드 비노광 기간 NXO 및 짝수 필드 비노광 기간 EXE에 있어서 프리 리셋을 행한다.
- [0047] 도 4의 (a) 내지 도 4의 (c)에 있어서, 라인 L1, L2, L5, L6, L9, L10에서는 홀수 필드 노광 기간 EXO 및 홀수 필드 비노광 기간 NXO가 설정되고, 라인 L3, L4, L7, L8, L11, L12에서는 짝수 필드 노광 기간 EXE 및 짝수 필드 비노광 기간 NXE가 설정된다.
- [0048] 그리고, 예를 들어 라인 L2의 화소 PC에서는 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD에 축적된 전하가 배출됨으로써(t1, t7), 홀수 필드 비노광 기간 NXO로부터 홀수 필드 노광 기간 EXO로 이행한다. 다음에, 홀수

필드 노광 기간 EXO에 포토 다이오드 PD에 축적된 전하가 관독됨으로써(t_3, t_9), 홀수 필드 노광 기간 EXO로부터 홀수 필드 비노광 기간 NXO로 이행한다. 그리고, 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD에 축적된 전하가 배출되어(t_5, t_{11}), 홀수 필드 비노광 기간 NXO가 유지된다.

[0049] 한편, 예를 들어 라인 L3의 화소 PC에서는 짝수 필드 비노광 기간 NXE에 포토 다이오드 PD에 축적된 전하가 배출됨으로써(t_4, t_{10}), 짝수 필드 비노광 기간 NXE로부터 짝수 필드 노광 기간 EXE로 이행한다. 다음에, 짝수 필드 노광 기간 EXE에 포토 다이오드 PD에 축적된 전하가 관독됨으로써(t_6, t_{12}), 짝수 필드 노광 기간 EXE로부터 짝수 필드 비노광 기간 NXE로 이행한다. 그리고, 짝수 필드 비노광 기간 NXE에 포토 다이오드 PD에 축적된 전하가 배출되어(t_2, t_8), 짝수 필드 비노광 기간 NXE가 유지된다.

[0050] 또한, 홀수 필드의 리셋은 홀수 필드 리셋 동기 신호 STO에 따라서 행해진다. 홀수 필드의 관독은 홀수 필드 관독 동기 신호 SRO에 따라서 행해진다. 짝수 필드의 리셋은 짝수 필드 리셋 동기 신호 STE에 따라서 행해진다. 짝수 필드의 관독은 짝수 필드 관독 동기 신호 SRE에 따라서 행해진다. 도 4의 (a)에서는 홀수 필드 리셋 동기 신호 STO 및 홀수 필드 관독 동기 신호 SRO를 라인 L1에 대해 도시하고, 짝수 필드 리셋 동기 신호 STE 및 짝수 필드 관독 동기 신호 SRE를 라인 L3에 대해 도시하였다.

[0051] 여기서, 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE가 1프레임 시간 FH보다 짧으면, 짝수 필드 비노광 기간 NXE 및 홀수 필드 비노광 기간 NXO가 1프레임 시간 FH보다 길어진다. 이 결과, 포토 다이오드 PD의 입사광량이 크면, 짝수 필드 비노광 기간 NXE 및 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD로 축적된 전하가 넘쳐, 라인 L3 상의 화소 PC로부터 라인 L2 상의 화소 PC로 전하가 유입되거나, 라인 L2 상의 화소 PC로부터 라인 L3 상의 화소 PC로 전하가 유입된다. 라인 L3 상의 화소 PC로부터 라인 L2 상의 화소 PC로 전하가 유입되면, 라인 L2 상의 화소 PC의 전하량은 점선으로 나타낸 바와 같이 증대되어, 블루밍이 발생한다. 라인 L2 상의 화소 PC로부터 라인 L3 상의 화소 PC로 전하가 유입되면, 라인 L3 상의 화소 PC의 전하량은 점선으로 나타낸 바와 같이 증대되어, 블루밍이 발생한다. 이로 인해, 짝수 필드 비노광 기간 NXE 및 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD로 축적된 전하를 짝수 필드 비노광 기간 NXE 및 홀수 필드 비노광 기간 NXO에 복수회 반복해서 포토 다이오드 PD로부터 배출시킴으로써, 짝수 필드 비노광 기간 NXE 및 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD에 축적되는 전하량을 감소시킬 수 있고, 짝수 필드 비노광 기간 NXE 및 홀수 필드 비노광 기간 NXO에 포토 다이오드 PD에 축적된 전하가 넘치는 것을 억제할 수 있다.

[0052] 또한, 짝수 필드 비노광 기간 NXE 및 홀수 필드 비노광 기간 NXO의 프리 리셋 타이밍의 라인 사이의 시간 간격은 홀수 필드 노광 기간 EXO 및 짝수 필드 노광 기간 EXE를 개시시키는 리셋 타이밍의 라인 사이의 시간 간격과 동등하게 할 수 있다. 이때, 예를 들어 라인 L2의 프리 리셋 타이밍은 라인 L4의 리셋 타이밍과 동등하게 할 수 있고, 라인 L3의 프리 리셋 타이밍은 라인 L5의 리셋 타이밍과 동등하게 할 수 있다. 이에 의해, 홀수 필드 및 짝수 필드의 프리 리셋 타이밍을, 홀수 필드 및 짝수 필드의 리셋 타이밍과 정합시킬 수 있어, 이들 타이밍 제어를 용이화하는 것이 가능해지므로, 회로 구성의 번잡화를 방지할 수 있다.

[0053] 도 5는 제2 조건에 있어서의 홀수 필드 및 짝수 필드의 리셋 타이밍과 관독 타이밍을 라인마다 도시하는 타이밍 차트이다. 또한, 제2 조건은 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE가 1프레임 시간 FH 이상인 경우이다. 이 제2 조건에서는 홀수 필드 비노광 기간 NXO 및 짝수 필드 비노광 기간 NXE에 있어서 프리 리셋을 행하지 않는다.

[0054] 도 5에 있어서, 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE가 1프레임 시간 FH 이상이면, 짝수 필드 비노광 기간 NXE 및 홀수 필드 비노광 기간 NXO가 1프레임 시간 FH보다 짧아진다. 노광 시간을 길게 하는 케이스에서는 포토 다이오드 PD의 입사광량은 작기 때문에, 비노광 기간에 축적하는 전하도 작다고 생각된다. 그 결과, 프리 리셋을 넣지 않아도 블루밍의 발생을 억제할 수 있다.

[0055] 또한, 홀수 필드 비노광 기간 NXO 및 짝수 필드 비노광 기간 NXE에 있어서 프리 리셋을 행하지 않도록 함으로써, 홀수 필드 및 짝수 필드의 리셋 타이밍과 정합이 취해지지 않는 위치에 프리 리셋이 삽입되는 것을 방지할 수 있어, 회로 구성의 번잡화를 방지할 수 있다.

[0056] 도 6은 제3 조건에 있어서의 홀수 필드 및 짝수 필드의 리셋 타이밍과 관독 타이밍을 라인마다 도시하는 타이밍 차트이다. 또한, 제3 조건은 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE 중 어느 한쪽이 1프레임 시간 FH 이상이고, 다른 쪽이 1프레임 시간 FH보다 짧고, 또한 짧은 쪽의 노광 시간과 1프레임 시간 FH의 합이 긴 쪽의 노광 시간 이하인 경우이다. 이 제3 조건에서는 비노광 기간이 긴 쪽의 필드만의 비노광 기간의 프리 리셋을 행한다. 또한, 도 6의 예에서는, 홀수 필드 노광 시간 EHO의 쪽이 짝수 필드 노광 시간 EHE보다도 긴 경

우를 나타냈다.

- [0057] 도 6에 있어서, 홀수 필드 노광 시간 EHO가 1프레임 시간 FH 이상이고, 짝수 필드 노광 시간 EHE가 1프레임 시간 FH보다 짧고, 또한 짝수 필드 노광 시간 EHE와 1프레임 시간 FH의 합이 홀수 필드 노광 시간 EHO 이하이면, 홀수 필드 비노광 기간 NXO가 1프레임 시간 FH보다 짧아지고, 짝수 필드 비노광 기간 NXE가 1프레임 시간 FH보다 길어진다. 이 경우, 홀수 필드 비노광 기간 NXO가 짧으므로, 포토 다이오드 PD에 축적되는 전하량은 적다. 또한, 짝수 필드 비노광 기간 NXE 기간 중에 프리 리셋을 가함으로써, 짝수 필드 비노광 기간 NXE에 포토 다이오드 PD에 축적된 전하를 배출시킬 수 있어, 블루밍의 발생을 억제할 수 있다.
- [0058] 또한, 홀수 필드 비노광 기간 NXO에 프리 리셋을 행하지 않도록 함으로써, 홀수 필드 및 짝수 필드의 리셋 타이밍과 정합이 취해지지 않는 위치에 프리 리셋이 삽입되는 것을 방지할 수 있어, 회로 구성의 번잡화를 방지할 수 있다.
- [0059] 도 7은 제4 조건에 있어서의 홀수 필드 및 짝수 필드의 리셋 타이밍과 관독 타이밍을 라인마다 도시하는 타이밍 차트이다. 또한, 제4 조건은 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE 중 어느 한쪽이 1프레임 시간 FH 이상이고, 다른 쪽이 1프레임 시간 FH보다 짧고, 또한 짧은 쪽의 노광 시간과 1프레임 시간 FH의 합이 긴 쪽의 노광 시간보다 긴 경우이다. 이 제4 조건에서는 비노광 기간이 짧은 쪽의 필드만의 비노광 기간의 프리 리셋을 행한다. 또한, 도 6의 예에서는 홀수 필드 노광 시간 EHO의 쪽이 짝수 필드 노광 시간 EHE보다도 긴 경우를 나타냈다. 또한, 이 제4 조건에서는 홀수 필드 비노광 기간 NXO 및 짝수 필드 비노광 기간 NXE에 있어서 프리 리셋을 행하지 않도록 해도 된다.
- [0060] 도 7에 있어서, 홀수 필드 노광 시간 EHO가 1프레임 시간 FH 이상이고, 짝수 필드 노광 시간 EHE가 1프레임 시간 FH보다 짧고, 또한 짝수 필드 노광 시간 EHE와 1프레임 시간 FH의 합이 홀수 필드 노광 시간 EHO 이하이면, 홀수 필드 비노광 기간 NXO가 1프레임 시간 FH보다 짧아지고, 짝수 필드 비노광 기간 NXE가 1프레임 시간 FH보다 길어진다. 이때, 짝수 필드 비노광 기간 NXE에 프리 리셋을 행하지 않도록 함으로써, 홀수 필드 및 짝수 필드의 리셋 타이밍과 정합이 취해지지 않는 위치에 프리 리셋이 삽입되는 것을 방지할 수 있어, 회로 구성의 번잡화를 방지할 수 있다.
- [0061] 도 8은 도 4로부터 도 7의 제1 조건으로부터 제4 조건에 있어서의 프리 리셋 동작을 도시하는 흐름도이다.
- [0062] 도 8에 있어서, 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE가 1프레임 시간 FH보다 짧은지 여부(제1 조건)를 판단한다(S1). 그리고, 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE가 1프레임 시간 FH보다 짧은 경우, 홀수 필드 비노광 기간 NXO 및 짝수 필드 비노광 기간 NXE에 있어서 프리 리셋 동작을 삽입한다(S5).
- [0063] 한편, 제1 조건을 만족시키지 않는 경우, 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE가 1프레임 시간 FH 이상인지 여부(제2 조건)를 판단한다(S2). 그리고, 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE가 1프레임 시간 FH 이상인 경우, 홀수 필드 비노광 기간 NXO 및 짝수 필드 비노광 기간 NXE에 있어서 프리 리셋 동작을 삽입하지 않는다(S6).
- [0064] 한편, 제2 조건을 만족시키지 않는 경우, 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE 중 어느 한쪽이 1프레임 시간 FH 이상이고, 다른 쪽이 1프레임 시간 FH보다 짧고, 또한 짧은 쪽의 노광 시간과 1프레임 시간 FH의 합이 긴 쪽의 노광 시간 이하인지 여부(제3 조건)를 판단한다(S3). 그리고, 홀수 필드 노광 시간 EHO 및 짝수 필드 노광 시간 EHE 중 어느 한쪽이 1프레임 시간 FH 이상이고, 다른 쪽이 1프레임 시간 FH보다 짧고, 또한 짧은 쪽의 노광 시간과 1프레임 시간 FH의 합이 긴 쪽의 노광 시간 이하인 경우, 긴 쪽의 노광 시간을 기준으로 단시간 노광 필드에 프리 리셋 동작을 삽입한다(S7).
- [0065] 한편, 제3 조건을 만족시키지 않는 경우(제4 조건), 짧은 쪽의 노광 시간을 기준으로 장시간 노광 필드에 프리 리셋 동작을 삽입한다(S4).
- [0066] 도 9는 홀수 필드 노광 기간 및 짝수 필드 노광 기간에 관독된 신호를 합성하는 화상 처리 장치의 개략 구성을 도시하는 블록도이다.
- [0067] 도 9에 있어서, 화상 처리 장치(12)에는 센서 제어부(13), 라인 메모리(14), 합성 처리부(15) 및 센서 신호 처리부(16)가 설치되어 있다. 그리고, 화상 처리 장치(12)는 이미지 센서(11)에 접속되어 있다. 또한, 이미지 센서(11)는 도 1의 구성을 사용할 수 있다.
- [0068] 여기서, 센서 제어부(13)는 유저 조작 등에 따라서 제어 신호를 생성하여, 이미지 센서(11)의 각 부에 제어 신

호를 공급함으로써, 이미지 센서(11)가 유저 조작에 따른 동작이 되도록 제어한다. 또한, 센서 제어부(13)는 이미지 센서(11)를 제어하여, 예를 들어 홀수 필드와 짝수 필드에서 노광 시간이 별개로 설정된 출력 신호 S1을 생성시킬 수 있다.

[0069] 라인 메모리(14)는 이미지 센서(11)로부터 출력된 출력 신호 S1을 노광 기간마다 분리하고, 노광 기간마다의 출력 신호 S1의 타이밍을 일치시켜 출력할 수 있다. 합성 처리부(15)는 홀수 필드와 짝수 필드의 출력 신호 S1을 합성함으로써, 다이내믹 레인지의 확장된 화상 신호를 생성할 수 있다. 센서 신호 처리부(16)는 화이트 밸런스 조정이나 디모자이크 처리, 화질 조정 등의 신호 처리를 행할 수 있다.

[0070] 그리고, 라인 메모리(14)에는 홀수 필드와 짝수 필드의 출력 신호 S1 중, 예를 들어 홀수 필드의 출력 신호 S2가 보존된다. 그리고, 다음의 라인 판독의 타이밍에 있어서, 이미지 센서(11)로부터 짝수 필드의 출력 신호 S3이 출력되면, 그와 동시에 라인 메모리(14)로부터 홀수 필드의 출력 신호 S2가 판독되어, 합성 처리부(15)로 보내진다. 그리고, 합성 처리부(15)에 있어서 출력 신호 S2, S3이 합성된 후, 센서 신호 처리부(16)에서 신호 처리가 행해짐으로써, 다이내믹 레인지의 확대된 화상 신호 S4가 출력된다.

[0071] 또한, 상술한 실시 형태에 있어서, 포토 다이오드 PD에 축적된 전하의 배출을 홀수 필드 비노광 기간 NX0에 1회 이하, 짝수 필드 비노광 기간 NXE에 1회 이하 행하는 방법에 대해 설명하였지만, 2회 이상의 복수회 행해도 된다.

[0072] 또한, 상술한 실시 형태에서는, 다이내믹 레인지를 확대하기 위해, 장시간 노광과 단시간 노광의 2개의 다른 노광 시간을 라인마다 설정하는 방법에 대해 설명하였지만, 장시간 노광과 중간 시간 노광과 단시간 노광의 3개의 다른 노광 시간을 라인마다 설정하도록 해도 되고, 4 이상의 다른 노광 시간을 라인마다 설정하도록 해도 된다.

[0073] (제2 실시 형태)

[0074] 도 10은 제2 실시 형태에 관한 고체 촬상 장치가 적용된 디지털 카메라의 개략 구성을 도시하는 블록도이다.

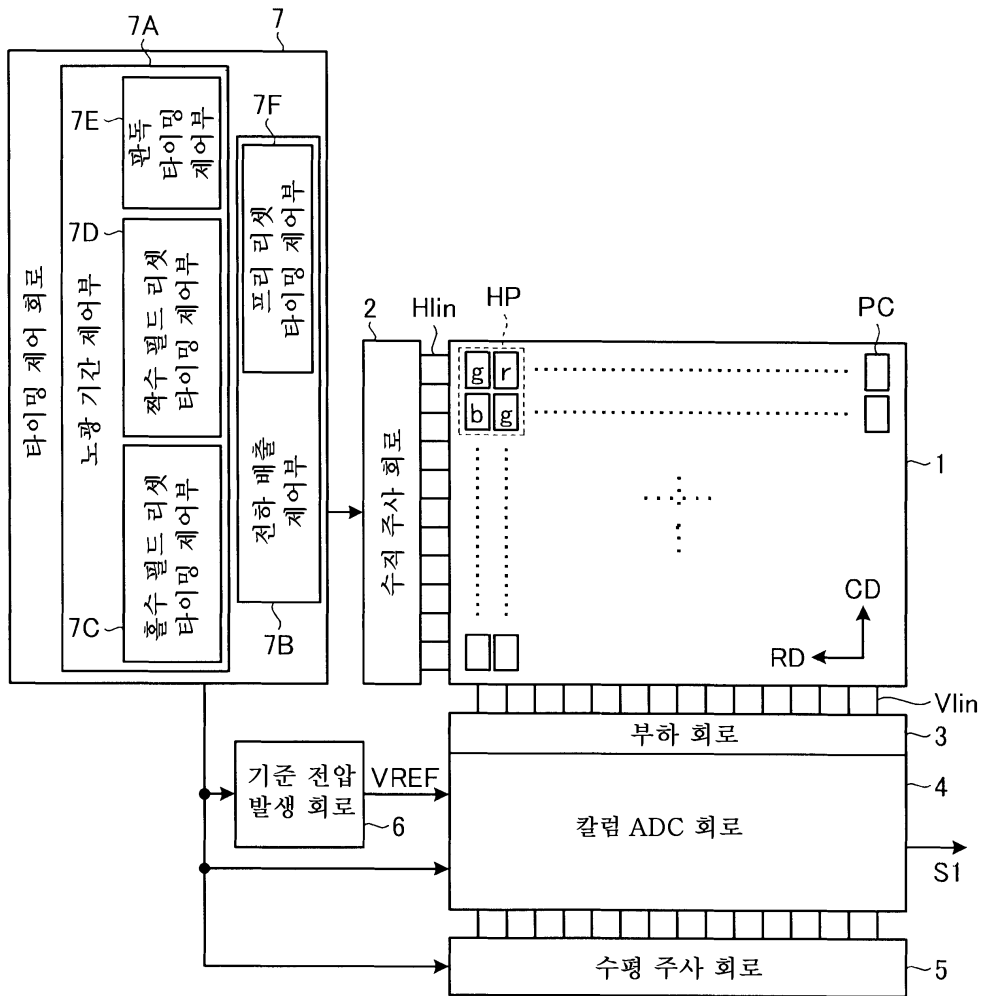
[0075] 도 10에 있어서, 디지털 카메라(21)는 카메라 모듈(22) 및 후단 처리부(23)를 갖는다. 카메라 모듈(22)은 촬상 광학계(24) 및 고체 촬상 장치(25)를 갖는다. 후단 처리부(23)는 이미지 시그널 프로세서(ISP)(26), 기억부(27) 및 표시부(28)를 갖는다. 또한, 고체 촬상 장치(25)는 도 1의 구성을 사용할 수 있다. 또한, ISP(26)의 적어도 일부의 구성은 고체 촬상 장치(25)와 함께 1칩화하도록 해도 된다.

[0076] 촬상 광학계(24)는 피사체로부터의 광을 도입하여, 피사체상을 결상시킨다. 고체 촬상 장치(25)는 피사체상을 촬상한다. ISP(26)는 고체 촬상 장치(25)에서의 촬상에 의해 얻어진 화상 신호를 신호 처리한다. 기억부(27)는 ISP(26)에서의 신호 처리를 거친 화상을 저장한다. 기억부(27)는 유저의 조작 등에 따라서, 표시부(28)로 화상 신호를 출력한다. 표시부(28)는 ISP(26) 혹은 기억부(27)로부터 입력되는 화상 신호에 따라서 화상을 표시한다. 표시부(28)는, 예를 들어 액정 디스플레이이다. 또한, 카메라 모듈(22)은 디지털 카메라(21) 이외에도, 예를 들어 카메라가 부착된 휴대 단말기 등의 전자 기기에 적용하도록 해도 된다.

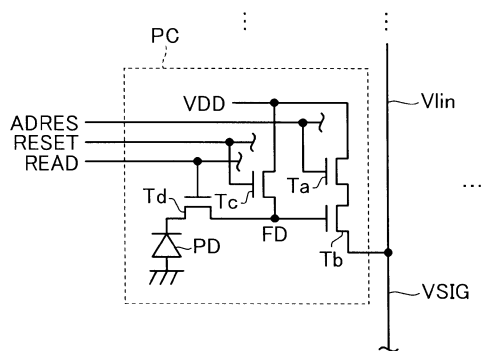
[0077] 본 발명의 몇 개의 실시 형태를 설명하였지만, 이들 실시 형태는 예로서 제시한 것으로, 발명의 범위를 한정하는 것은 의도하고 있지 않다. 이들 신규의 실시 형태는 그 밖의 다양한 형태로 실시되는 것이 가능하고, 발명의 요지를 이탈하지 않는 범위에서, 다양한 생략, 치환, 변경을 행할 수 있다. 이들 실시 형태나 그 변형은 발명의 범위나 요지에 포함됨과 함께, 특허청구의 범위에 기재된 발명과 그 균등한 범위에 포함된다.

도면

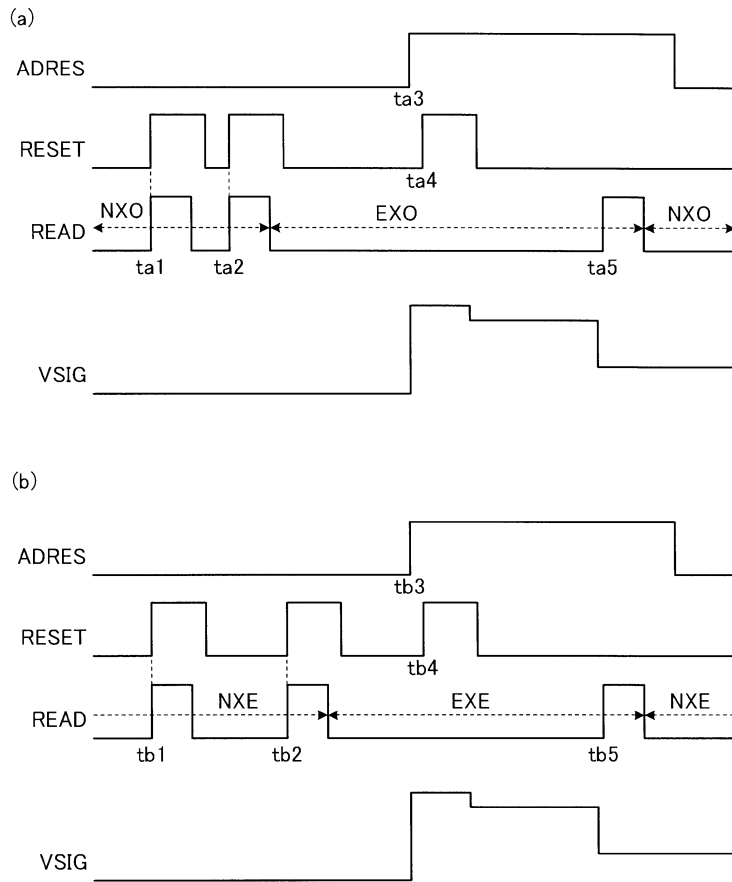
도면1



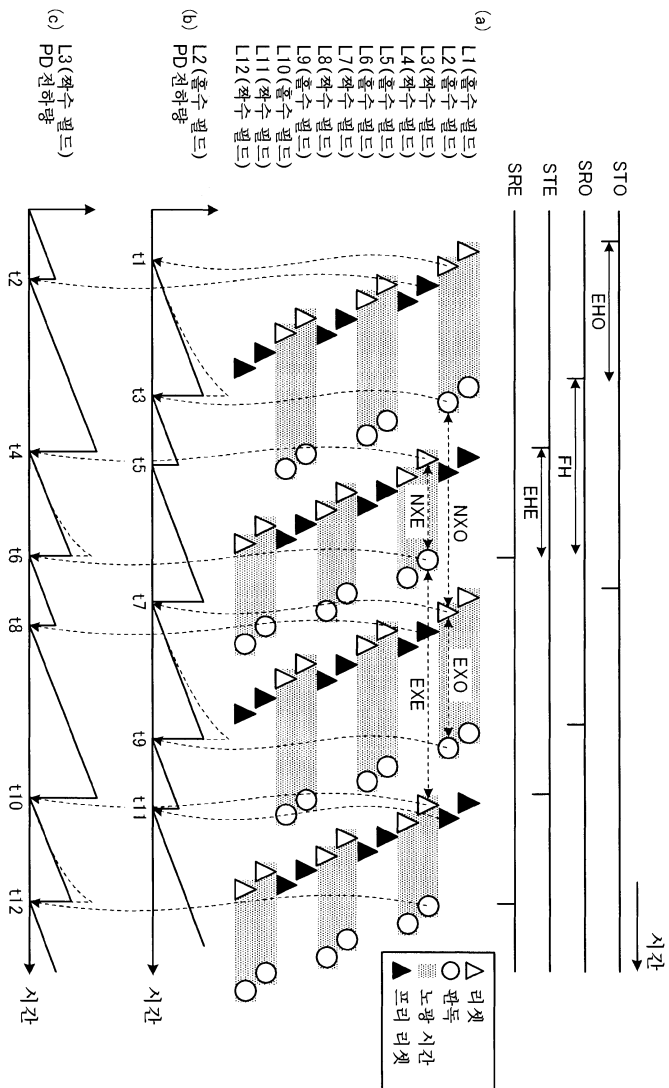
도면2



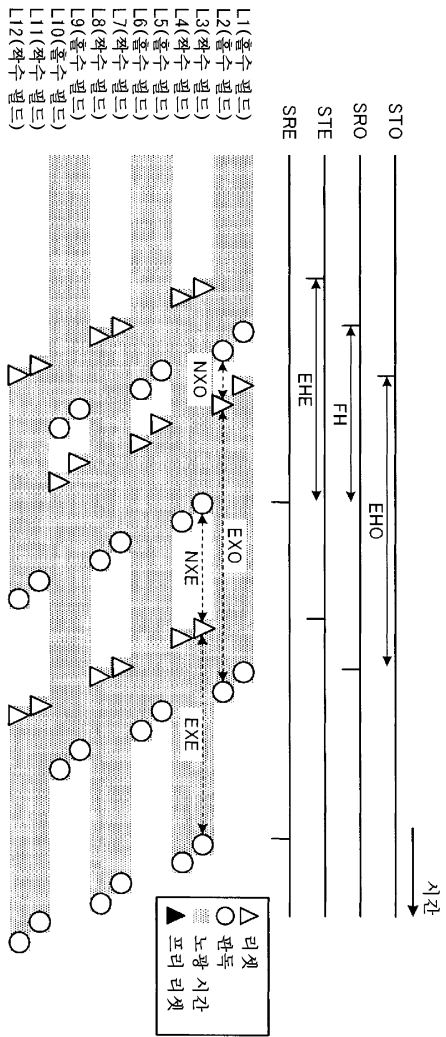
도면3



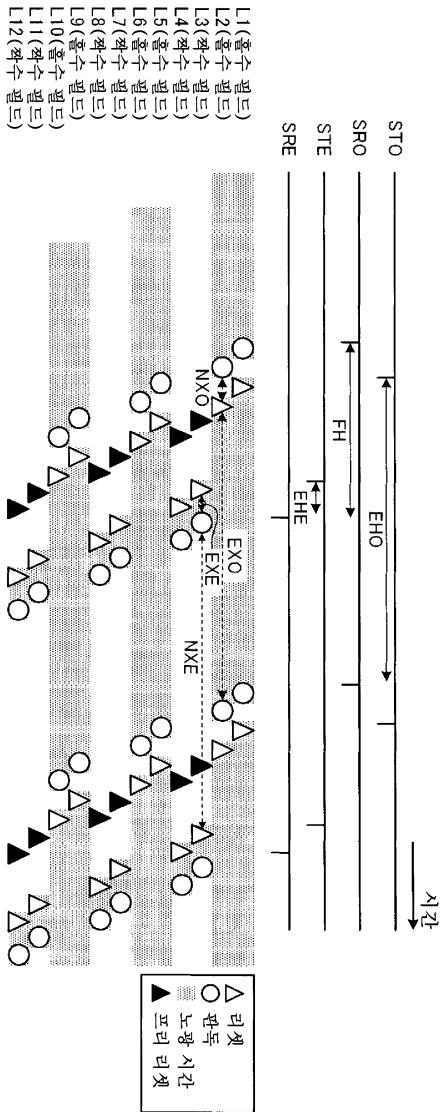
도면4



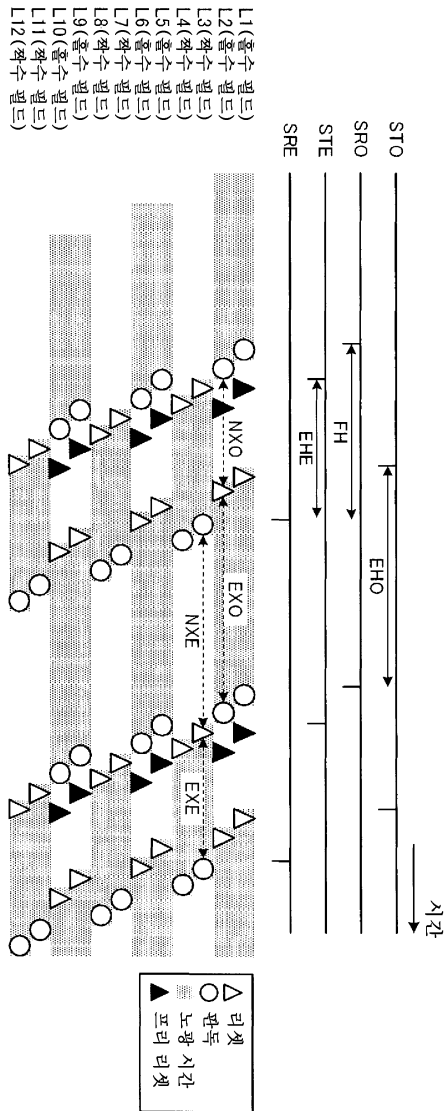
도면5



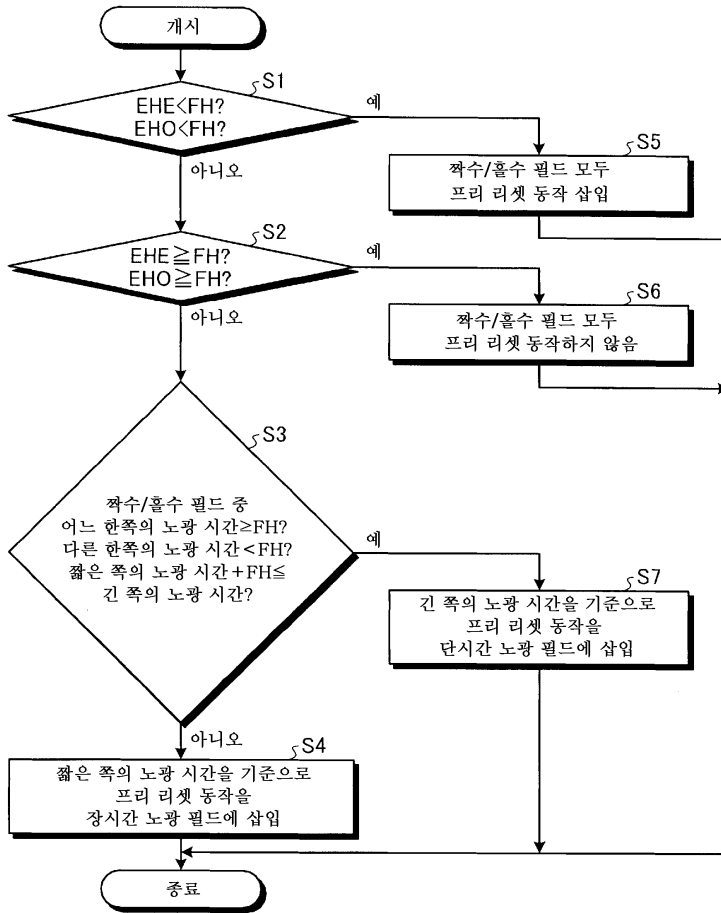
도면6



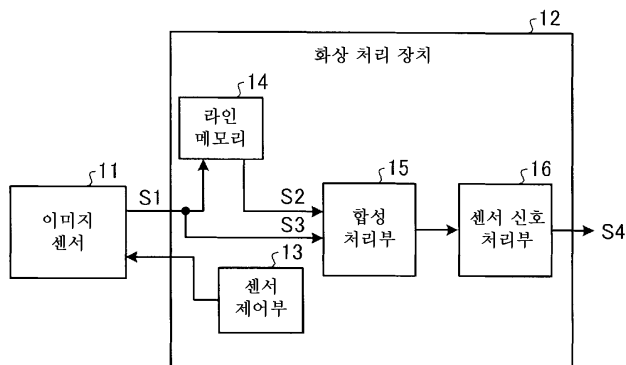
도면7



도면8



도면9



도면10

