



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I789918 B

(45)公告日：中華民國 112 (2023) 年 01 月 11 日

(21)申請案號：110135417

(22)申請日：中華民國 110 (2021) 年 09 月 23 日

(51)Int. Cl. : G11C7/12 (2006.01)

G11C7/22 (2006.01)

G11C8/08 (2006.01)

(30)優先權：2020/11/20

中國大陸

202011311624.7

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

大陸商台積電 (南京) 有限公司 (中國大陸) TSMC NANJING COMPANY LIMITED
(CN)

中國大陸

大陸商台積電 (中國) 有限公司 (中國大陸) TSMC CHINA COMPANY LIMITED
(CN)

中國大陸

(72)發明人：楊秀麗 YANG, XIULI (CN)；萬和舟 WAN, HE-ZHOU (CN)；葉沐陽 YE, MUYANG
(CN)；孔路平 KONG, LUPING (CN)；張銘宏 CHANG, MING-HUNG (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW 201835930A

US 2014/0010032A1

US 2019/0252015A1

審查人員：劉繼誠

申請專利範圍項數：10 項 圖式數：8 共 67 頁

(54)名稱

記憶體裝置及其控制方法

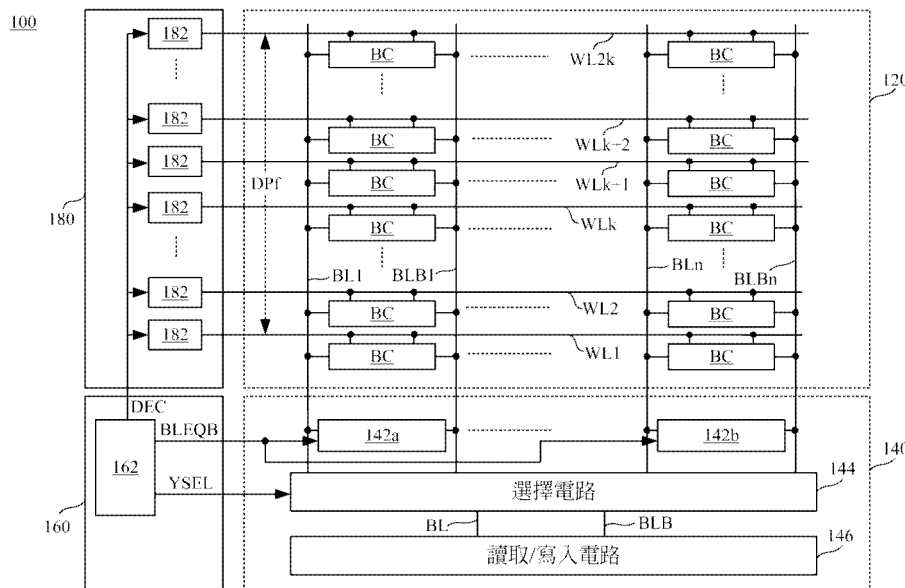
(57)摘要

一種裝置包括記憶體陣列、位元線對、字線、調變電路和控制信號產生器。記憶體陣列具有佈置在列和行中的多個位元單元。每個位元線對連接到相應行的位元單元。每個字線連接到相應列的位元單元。調變電路與至少一個位元線對耦接。控制信號產生器與調變電路耦接。控制信號產生器包括追蹤佈線，追蹤佈線的追蹤長度與字線的深度距離正相關。控制信號產生器被配置為產生控制信號，控制信號參考追蹤長度在第一持續時間內切換到第一電壓位準，以用於控制調變電路。上述裝置的控制方法亦於此揭露。

A device includes a memory array, bit line pairs, word lines, a modulation circuit and a control signal generator. The memory array has bit cells arranged in rows and columns. Each bit line pair is connected to a respective column of bit cells. Each word line is connected to a respective row of bit cells. The modulation circuit is coupled with at least one bit line pair. The control signal generator is coupled with the modulation circuit. The control signal generator includes a tracking wiring with a tracking length positively correlated with a depth distance of the word lines. The control signal generator is configured to produce a control signal,

switching to a first voltage level for a first time duration in reference with the tracking length, for controlling the modulation circuit. A method of controlling aforesaid device is also disclosed.

指定代表圖：



第 1 圖

符號簡單說明：

- 100:記憶體裝置
- 120:記憶體陣列
- 140:本地輸入/輸出電路
- 142a:調變電路
- 142b:調變電路
- 144:選擇電路
- 146:讀取/寫入電路
- 160:主控制電路
- 162:控制信號產生器
- 180:字線解碼器
- 182:解碼器單元
- BC:位元單元
- BL:位元線
- BL1:位元線
- BLn:位元線
- BLB:互補位元線
- BLB1:互補位元線
- BLBn:互補位元線
- WL1:字線
- WL2:字線
- WLk:字線
- WLk+1:字線
- WLk+2 字線
- WL2k:字線



I789918

【發明摘要】

【中文發明名稱】記憶體裝置及其控制方法

【英文發明名稱】MEMORY DEVICE AND CONTROL METHOD THEREOF

【中文】

一種裝置包括記憶體陣列、位元線對、字線、調變電路和控制信號產生器。記憶體陣列具有佈置在列和行中的多個位元單元。每個位元線對連接到相應行的位元單元。每個字線連接到相應列的位元單元。調變電路與至少一個位元線對耦接。控制信號產生器與調變電路耦接。控制信號產生器包括追蹤佈線，追蹤佈線的追蹤長度與字線的深度距離正相關。控制信號產生器被配置為產生控制信號，控制信號參考追蹤長度在第一持續時間內切換到第一電壓位準，以用於控制調變電路。上述裝置的控制方法亦於此揭露。

【英文】

A device includes a memory array, bit line pairs, word lines, a modulation circuit and a control signal generator. The memory array has bit cells arranged in rows and columns. Each bit line pair is connected to a respective column of bit cells. Each word line is connected to a respective row of bit cells. The modulation circuit is coupled with at least one bit line pair. The control signal generator is coupled with the modulation circuit. The control signal generator includes a tracking wiring with a tracking length positively correlated with a depth distance of the word lines. The control signal generator is configured to produce a control signal, switching to a first voltage level for a first time duration in reference with the tracking length, for

controlling the modulation circuit. A method of controlling aforesaid device is also disclosed.

【指定代表圖】第 1 圖。

【代表圖之符號簡單說明】

1 0 0： 記 憶 體 裝 置

1 2 0： 記 憶 體 陣 列

1 4 0： 本 地 輸 入 / 輸 出 電 路

1 4 2 a： 調 變 電 路

1 4 2 b： 調 變 電 路

1 4 4： 選 擇 電 路

1 4 6： 讀 取 / 寫 入 電 路

1 6 0： 主 控 制 電 路

1 6 2： 控 制 信 號 產 生 器

1 8 0： 字 線 解 碼 器

1 8 2： 解 碼 器 單 元

B C： 位 元 單 元

B L： 位 元 線

B L 1： 位 元 線

B L n： 位 元 線

B L B： 互 補 位 元 線

B L B 1： 互 補 位 元 線

B L B n： 互 補 位 元 線

W L 1： 字 線

W L 2 : 字 線

W L k : 字 線

W L k + 1 : 字 線

W L k + 2 字 線

W L 2 k : 字 線

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 記憶體裝置及其控制方法

【英文發明名稱】 MEMORY DEVICE AND CONTROL METHOD THEREOF

【技術領域】

【0001】 本揭示涉及記憶體裝置的控制電路。

【先前技術】

【0002】 電子設備和基於電子的系統需要某種形式的高速記憶體裝置來存儲和檢索資訊。隨機存取記憶體 (random access memory, RAM) 是積體電路中常用的記憶體。嵌入式 RAM 在高速通信、影像處理和片上系統 (system-on-chip, SOC) 應用中特別受歡迎。RAM 包含單獨位元單元的陣列。使用者可以對 RAM 的位元單元執行讀寫操作。

【0003】 RAM 通常在系統中被組織成可定址區塊 (addressable blocks)，每個區塊包含預定數量的位元單元。RAM 中的每個位元單元代表資訊位元。位元單元被組織成列和行。每列位元單元形成字線。列中的每個位元單元耦接到用於啟動列中的位元單元的同一字線。每行記憶體中的位元單元也各自耦接到一對位元線。這些位元線還耦接到本地輸入/輸出 (local input/output, LIO) 線。這些本地輸入/輸出線用於從啟動的記憶體陣列讀取資料或將資料寫入啟動的記憶體陣列。因此，通過啟動適當

的字線和一對位元線來存取位元單元。

【發明內容】

【0004】 根據本揭示的一個實施例，提供了一種記憶體裝置，包括：記憶體陣列，具有佈置在列和行中的多個位元單元；多個位元線對，每個位元線對連接到相應行的位元單元；多個字線，每個字線連接到相應列的位元單元；調變電路，與至少一個位元線對耦接；以及控制信號產生器，與所述調變電路耦接，其中，所述控制信號產生器包括追蹤佈線，所述追蹤佈線的追蹤長度與所述字線的深度距離正相關，所述控制信號產生器被配置為產生控制信號，所述控制信號參考所述追蹤長度在第一持續時間內切換到第一電壓位準，以用於控制所述調變電路。

【0005】 根據本揭示的另一實施例，提供了一種記憶體裝置，包括：記憶體陣列，具有佈置在列和行中的多個位元單元，其中，所述記憶體陣列包括位元單元的第一子陣列和位元單元的第二子陣列；第一位元線對，耦接到所述記憶體陣列的行上的第一子陣列中的位元單元；第二位元線對，耦接到所述記憶體陣列的行上的第二子陣列中的位元單元；多個字線，沿著所述記憶體陣列的多個列延伸；第一調變電路，與所述第一位元線對耦接；第二調變電路，與所述第二位元線對耦接；以及控制信號產生器，與所述第一調變電路和所述第二調變電路耦接，其中，所述控制信號產生器包括第一追蹤佈線，所述第一追蹤佈線的第一追蹤長

度與所述字線的半深度距離正相關，所述控制信號產生器被配置為產生第一控制信號，所述第一控制信號參考所述第一追蹤長度在第一持續時間內切換到第一電壓位準，以用於控制第一調變電路，並且其中，所述控制信號產生器包括第二追蹤佈線，所述第二追蹤佈線的第二追蹤長度與所述字線的全深度距離正相關，所述控制信號產生器被配置為產生第二控制信號，所述第二控制信號參考所述第二追蹤長度在第二持續時間內切換到所述第一電壓位準，以用於控制第二調變電路。

【0006】 根據本揭示的又一實施例，提供了一種控制記憶體裝置的方法，包括：利用第一追蹤佈線將時脈信號延遲為第一延遲時脈信號，所述第一追蹤佈線具有與字線的第一深度距離正相關的第一追蹤長度；以及參考所述時脈信號和所述第一延遲時脈信號生成第一控制信號。

【圖式簡單說明】

【0007】 在結合附圖閱讀下面的具體實施方式時，可以從下面的具體實施方式中最佳地理解本揭示的各個方面。注意，根據行業的標準做法，各種特徵不是按比例繪製的。事實上，為了討論的清楚起見，各種特徵的尺寸可能被任意增大或減小。

第 1 圖是示出根據本揭示的各個實施例的記憶體裝置的示意圖。

第 2 圖是示出根據本揭示的各個實施例的第 1 圖中的調變

電路和控制信號產生器的內部結構的示意圖。

第 3 圖是示出根據本揭示的各個實施例的在第 1 圖和第 2 圖中的記憶體裝置中生成的相關信號的信號波形。

第 4 圖是示出根據本揭示的各個實施例的第 1 圖中的調變電路和控制信號產生器的內部結構的示意圖。

第 5 圖是示出根據本揭示的各個實施例的第 1 圖中的調變電路和控制信號產生器的內部結構的示意圖。

第 6 圖是示出根據本揭示的各個實施例的記憶體裝置的示意圖。

第 7 圖是示出根據本揭示的各個實施例的第 6 圖中的調變電路和控制信號產生器的內部結構的示意圖。

第 8 圖是示出根據本揭示的各個實施例的在第 6 圖和第 7 圖中的記憶體裝置中生成的相關信號的信號波形。

【實施方式】

【0008】 下面的公開內容提供了用於實現所提供的主題的不同特徵的許多不同的實施例或示例。下文描述了組件和佈置的具體示例以簡化本揭示。當然，這些僅僅是示例而不意圖是限制性的。例如，在下面的描述中，在第二特徵之上或上形成第一特徵可以包括以直接接觸的方式形成第一特徵和第二特徵的實施例，並且還可以包括可以在第一特徵和第二特徵之間形成附加特徵，使得第一特徵和第二特徵可以不直接接觸的實施例。此外，本揭示在各個示例中可能重複參考標號和 / 或字母。這種重複是為了簡單性和

清楚性的目的，並且其本身不指示所討論的各個實施例和/或配置之間的關係。

【0009】 本說明書中使用的術語通常在本領域和使用每個術語的特定上下文中具有其普通含義。本說明書中示例的使用（包括本文所討論的任何術語的示例）僅是說明性的，並且絕不限制本揭示或任何示例性術語的範圍和含義。同樣，本揭示不限於本說明書中給出的各個實施例。

【0010】 將理解的是，儘管術語“第一”、“第二”等可用於描述各種元素，但這些元素不應受到這些術語的限制。這些術語用於區分一個元素和另一元素。例如，在不脫離實施例的範圍的情況下，第一元素可以被稱為第二元素，並且類似地，第二元素可以被稱為第一元素。如本文所使用的，術語“和/或”包括一個或多個相關列表項的任何和所有組合。

【0011】 如本文所使用的，術語“包括”、“包含”、“具有”、“含有”、“涉及”等應理解為開放式的，即意味著包括但不限於。

【0012】 在整個說明書中，對“一個實施例”、“實施例”或“一些實施例”的引用意味著結合（一個或多個）實施例描述的特定特徵、結構、實現方式或特性被包括在本揭示的至少一個實施例中。因此，在整個說明書的各個地方使用短語“在一個實施例中”或“在實施例中”或“在一些實施例中”不一定都指代同一實施例。此外，特定特徵、結構、實現方式或特性可以在一個或多個實施例中以任何合適的方

式組合。

【0013】 第 1 圖是示出根據本揭示的各個實施例的記憶體裝置 100 的示意圖。在第 1 圖說明性地示出的實施例中，記憶體裝置 100 包括記憶體陣列 120，記憶體陣列 120 包括佈置在多列和行上的若干位元單元 BC。如在記憶體陣列 120 中所示，同一行上的這些位元單元 BC 連接到一個位元線對。例如，左側第 1 行上的位元單元 BC 連接到一個位元線對，該位元線對包括一個位元線 BL1 和一個互補位元線 BLB1，並且右側第 n 行上的位元單元 BC 連接到另一位元線對，該位元線對包括另一位元線 BLn 和另一互補位元線 BLBn。在一些實施例中，n 是正整數。例如，n 可以是 8、16、32 或其他合適的數字。為了簡潔起見，在第 1 圖中僅示出記憶體陣列 120 的兩行以供說明。然而，本揭示的實施例不限於記憶體陣列 120 中的特定數量的行。

【0014】 如第 1 圖說明性地示出的，在一些實施例中，同一列上的位元單元 BC 連接到同一字線。例如，第 1 列上的位元單元 BC（從記憶體陣列 120 的底側開始）連接到字線 WL1；第 k 列上的位元單元 BC 連接到字線 WLk；第 k+1 列上的位元單元 BC 連接到字線 WLk+1；第 k+2 列上的位元單元 BC 連接到字線 WLk+2；並且，2k 列上的位元單元 BC 連接到字線 WL2k。在一些實施例中，k 是正整數。例如，在具有 2048 列位元單元 BC 的記憶體陣列 120 中，k 等於 1024，並且從記憶體陣列 120 的底側到頂側分佈有 2048 個字線。

【0015】 如第 1 圖說明性地示出的，在一些實施例中，記憶體裝置 100 包括本地輸入/輸出電路 140、主控制電路 160 和字線解碼器 180。主控制電路 160 與本地輸入/輸出 (LIO) 電路 140 和字線解碼器 180 耦接。

【0016】 在一些實施例中，主控制電路 160 包括控制信號產生器 162，並且控制信號產生器 162 被配置為生成一些控制信號以控制/啟動/停用本地輸入/輸出電路 140 和字線解碼器 180 中的功能。如第 1 圖說明性地示出的，在一些實施例中，控制信號產生器 162 被配置為生成用於預充電和均衡的控制信號 BLEQB 到本地輸入/輸出電路 140，生成用於行選擇的選擇信號 YSEL 到本地輸入/輸出電路 140，以及生成又一控制信號 DEC 到字線解碼器 180。在一些其他實施例中，控制信號產生器 162 能夠生成用於控制其它功能的其它控制信號。本揭示的實施例不限於這些控制信號。

【0017】 在一些實施例中，本地輸入/輸出電路 140 包括調變電路 142a - 142b、選擇電路 144 和讀取/寫入電路 146。在寫入操作期間，讀取/寫入電路 146 被配置為生成寫入信號和互補寫入信號到位元線對上，該位元線對包括本地輸入/輸出電路 140 中的位元線 BL 和互補位元線 BLB，並且選擇電路 144 被配置為根據選擇信號 YSEL 將位元線對 (即，位元線 BL 和互補位元線 BLB) 耦接到記憶體陣列 120 中的位元線對之一，以便將資料寫入目標行上的位元單元 BC 中。

【0018】 例如，當目標行是第 1 行時，選擇電路 144 被配置為將本地輸入/輸出電路 140 中的位元線 BL 和互補位元線 BLB 與記憶體陣列 120 中的位元線 BL1 和互補位元線 BLB1 耦接；當目標行是第 n 行時，選擇電路 144 被配置為將本地輸入/輸出電路 140 中的位元線 BL 和互補位元線 BLB 與記憶體陣列 120 中的位元線 BLn 和互補位元線 BLBn 耦接。

【0019】 在一些實施例中，在用於從目標行讀取資料的讀取操作期間，選擇電路 144 被配置為根據選擇信號 YSEL 將位元線對（即，本地輸入/輸出電路 140 中的位元線 BL 和互補位元線 BLB）耦接到與記憶體陣列 120 中的目標行相對應的位元線對之一，讀取/寫入電路 146 被配置為從位元線對感測電壓位準，並且從而從目標行上的位元單元 BC 讀取資料。

【0020】 如第 1 圖說明性地示出的，調變電路 142a 和 142b 與記憶體陣列 120 的行上的位元線對耦接。例如，一個調變電路 142a 與第 1 行上的位元線 BL1 和互補位元線 BLB1 耦接，並且另一調變電路 142b 與第 n 行上的位元線 BLn 和互補位元線 BLBn 耦接。為了簡潔起見，出於例示的目的，第 1 圖中僅示出記憶體陣列 120 的兩行上的兩個調變電路 142a 和 142b。然而，本揭示的實施例不限於特定數量的調變電路。

【0021】 在一些實施例中，調變電路 142a 被配置為當記憶體設備 100 不存取（例如，寫入或讀取）位元單元 BC 時，

調變位元線 $BL1$ 和互補位元線 $BLB1$ 上的電壓位準。例如，在寫入操作或讀取操作期間，位元線 $BL1$ 和互補位元線 $BLB1$ 中的一個將被充電到較高的位準，例如高參考電壓位準 VDD ，而位元線 $BL1$ 和互補位元線 $BLB1$ 中的另一個將被放電到較低的位準，例如低參考電壓位準 VSS 或接地位準。

【0022】 在一些實施例中，在寫入操作或讀取操作之外，調變電路 142a 由控制信號 $BLEQB$ 觸發，並且被配置為將位元線 $BL1$ 和互補位元線 $BLB1$ 相互耦接在一起，從而使位元線 $BL1$ 和互補位元線 $BLB1$ 上的電壓位準相等。在一些實施例中，在寫入操作或讀取操作之外，調變電路 142a 被配置為將位元線 $BL1$ 和互補位元線 $BLB1$ 上的電壓位準預充電到固定位準，例如高參考電壓位準 VDD 。在這種情況下，位元線 $BL1$ 和互補位元線 $BLB1$ 被配置為處於固定位準而不是浮動位準，並且能夠保護存儲在位元單元 BC 中的資料，並且避免這些資料受到位元線 $BL1$ 和互補位元線 $BLB1$ 上的意外浮動位準的影響。

【0023】 另一方面，在寫入操作或讀取操作期間，調變電路 142a 被控制信號 $BLEQB$ 停用，使得位元線 $BL1$ 和互補位元線 $BLB1$ 的電壓位準被釋放並且不受調變電路 142a 的控制。在這種情況下，位元線 $BL1$ 和互補位元線 $BLB1$ 可以在讀取/寫入電路 146 的寫入操作或讀取操作中使用。

【0024】 類似地，在寫入操作或讀取操作之外，調變電路

142b 被配置為使位元線 BL_n 和互補位元線 BLB_n 上的電壓位準相等，和/或被配置為將位元線 BL_n 和互補位元線 BLB_n 上的電壓位準預充電到固定位準。

【0025】 如第 1 圖說明性地示出的，字線解碼器 180 與字線 $WL_1 - WL_{2k}$ 耦接。在一些實施例中，字線解碼器 180 被配置為生成字線信號，以在寫入操作或讀取操作中選擇要寫入或讀取的目標列。回應於第 1 列被選擇，字線解碼器 180 被配置為生成字線信號到字線 WL_1 ，以啟動與字線 WL_1 連接的位元單元 BC 。在這種情況下，記憶體裝置 100 能夠對第 1 列的位元單元 BC 執行寫入操作或讀取操作。回應於第 2 列被選擇，字線解碼器 180 被配置為生成字線信號到字線 WL_2 ，以啟動與字線 WL_2 連接的位元單元 BC 。回應於上側的列被選擇，字線解碼器 180 被配置為生成字線信號到字線 WL_{2k} 以啟動與字線 WL_{2k} 連接的位元單元 BC 。對於具有大資料容量的記憶體裝置 100，記憶體裝置 100 可以具有 512 列、1024 列甚至更多列。在這種情況下，字線 $WL_1 - WL_{2k}$ 中的第一字線 WL_1 和最後字線 WL_{2k} 之間的深度距離 DP_f 相對較長。

【0026】 在一些實施例中，字線解碼器 180 由控制信號產生器 162 所生成的控制信號 DEC 控制。在一些實施例中，字線解碼器 180 包括若干解碼器單元 182，並且每個解碼器單元 182 被配置為向字線 $WL_1 - WL_{2k}$ 之一提供一個字線信號。控制信號 DEC 用於控制字線解碼器 180 中的解碼器單元 182 的定址和閘控 ($gating$) 功能。在一些實施

例中，記憶體陣列 120 可以包括位元單元 BC 的許多列。當控制信號 DEC 從控制信號產生器 162 的側發送到字線解碼器 180 中的解碼器單元 182 時，控制信號 DEC 在不同的時間點到達不同的解碼器單元 182。例如，對於靠近控制信號產生器 162 的底側處的解碼器單元 182，控制信號 DEC 提前到達。另一方面，對於遠離控制信號產生器 162 的頂側處的解碼器單元 182，控制信號 DEC 稍後到達。換句話說，控制信號 DEC 將在不同的時間點到達不同的解碼器單元 182。由於上述控制信號 DEC 的到達時序不同，由字線解碼器 180 中的解碼器單元 182 生成到字線 WL1 - WL2k 的字線信號具有不同時序的脈衝。

【0027】 當深度距離 DPf 較長時，字線 WL1 和字線 WL2k 上的字線信號上的脈衝之間的時間差將更大。如果在不考慮字線 WL1 和字線 WL2k 上的字線信號上的時間差的情況下控制信號產生器 162 生成控制信號 BLEQB，則控制信號 BLEQB 可能無法在正確時序下啟動調變電路 142a 和 142b，並且這可能引起一些問題，例如讀/寫裕度 (read/write margin) 下降、瞬態開路電流 (crowbar current) 增大、位元單元穩定性下降等。進一步的細節將在以下段落中討論。

【0028】 在一些實施例中，控制信號產生器 162 被配置為參考字線 WL1 - WL2k 中的第一字線 WL1 和最後字線 WL2k 之間的深度距離 DPf 來生成控制信號 BLEQB，從而避免上述問題。

【0029】 進一步參考第 2 圖和第 3 圖。第 2 圖是示出根據本揭示的各個實施例的第 1 圖中的調變電路和控制信號產生器的內部結構的示意圖。第 3 圖是示出根據本揭示的各個實施例的在第 1 圖和第 2 圖中的記憶體裝置 100 中生成的相關信號的信號波形。關於第 1 圖的實施例，為了便於理解，第 2 圖和第 3 圖中的類似元件被指定有相同的附圖標記。注意，為了簡潔起見，第 2 圖示出了與記憶體陣列 120 的第 1 行相關的結構。與其他行相關的結構是類似的，並且可以通過第 2 圖中所示的實施例來理解。第 2 圖中說明性地示出的控制信號產生器 162-1 是第 1 圖所示的控制信號產生器 162 的一個實施例。

【0030】 如第 2 圖說明性地示出的，調變電路 142a 包括電晶體 T1、T2 和 T3。電晶體 T1、T2 和 T3 的柵極由控制信號 BLEQB 控制。電晶體 T1 的兩個端子與位元線 BL1 和互補位元線 BLB1 連接。

【0031】 當控制信號 BLEQB 處於低電壓位準（例如，0V、GND 位準或 VSS 位準）時，電晶體 T1 接通以將位元線 BL1 和互補位元線 BLB1（在第 1 行上的位元線對中）相互耦接在一起，從而使位元線 BL1 和互補位元線 BLB1 上的電壓位準相等。當控制信號 BLEQB 處於低電壓位準（例如，0V）時，電晶體 T2 接通以將位元線 BL1 連接到高參考電壓位準 VDD，從而將位元線 BL1 上的電壓位準固定為高參考電壓位準 VDD。當控制信號 BLEQB 處於低電壓位準（例如，0V）時，電晶體 T3 接通以將互補位元線 BLB1 連接

到高參考電壓位準 V_{DD} ，從而將互補位元線 $BLB1$ 上的電壓位準固定為高參考電壓位準 V_{DD} 。在這種情況下，位元線 $BL1$ 和互補位元線 $BLB1$ 被配置為處於固定位準而不是浮動位準，並且能夠保護存儲在位元單元 BC 中的資料，並且避免這些資料受到位元線 $BL1$ 和互補位元線 $BLB1$ 上的意外浮動位準的影響。

【0032】 在一些實施例中，在寫入操作或讀取操作之外，調變電路 142a 還被配置為將位元線 $BL1$ 和互補位元線 $BLB1$ 上的電壓位準預充電到固定位準，例如高參考電壓位準 V_{DD} 。在這種情況下，位元線 $BL1$ 和互補位元線 $BLB1$ 被配置為處於固定位準而不是浮動位準，並且能夠保護存儲在位元單元 BC 中的資料，並且避免這些資料受到位元線 $BL1$ 和互補位元線 $BLB1$ 上的意外浮動位準的影響。

【0033】 當控制信號 $BLEQB$ 處於高電壓位準（例如， $3V$ 、 $5V$ 或 V_{DD} 位準）時，調變電路 142a 中的電晶體 $T1$ 、 $T2$ 和 $T3$ 全部被關斷，使得調變電路 142a 被停用，並且位元線 $BL1$ 和互補位元線 $BLB1$ 上的電壓位準從調變電路 142a 釋放並由第 1 圖所示的讀取/寫入電路 146 控制。

【0034】 如第 2 圖和第 3 圖說明性地示出的，在持續時間 $DWL1$ 期間，到字線 $WL1$ 的字線信號被切換到高電壓位準，與字線 $WL1$ 連接的位元單元 BC 應準備好讀/寫，使得控制信號 $BLEQB$ 的上升沿需要與字線 $WL1$ 上的字線信號的上升沿同時（或在此之前）到達。如果控制信號 $BLEQB$ 的上升沿在字線 $WL1$ 上的字線信號的上升沿之後到達，則調

變電路 142a 可能不會及時釋放位元線 $BL1$ 和互補位元線 $BLB1$ ，使得對位元單元 BC 的讀/寫裕度將降低。

【0035】 如第 1 圖、第 2 圖和第 3 圖說明性地示出的，在持續時間 $DWL2k$ 期間，到字線 $WL2k$ 的字線信號被切換到高電壓位準，與字線 $WL2k$ 連接的位元單元 BC 應準備好讀/寫，使得控制信號 $BLEQB$ 的下降沿需要與字線 $WL2k$ 上的字線信號的下降沿同時（或在此之後）到達。如果控制信號 $BLEQB$ 的下降沿在字線 $WL2k$ 上的字線信號的下降沿之前到達，則調變電路 142a 可以在字線 $WL2k$ 仍然啟動對位元單元 BC 的存取的同時將位元線 $BL1$ 和互補位元線 $BLB1$ 上的電壓位準都提高到高電壓位準，使得存儲在與字線 $WL2k$ 連接的位元單元 BC 中的資料位元可能由於位元線 $BL1$ 和互補位元線 $BLB1$ 上的電壓位準的錯誤配置（例如，位元線 $BL1$ 和互補位元線 $BLB1$ 上的電壓位準都由調變電路 142b 充電到高位準）而被損壞。類似地，如果控制信號 $BLEQB$ 的下降沿在字線 $WL2k$ 上的字線信號的下降沿之前到達，則其他調變電路（例如，調變電路 142b）可以在字線 $WL2k$ 仍然啟動對相應列上的位元單元 BC 的存取的同時將其對應的位元線（例如，位元線 BLn ）和其對應的互補位元線（例如，互補位元線 $BLBn$ ）上的電壓位準都提高到高電壓位準。

【0036】 另外，如第 1 圖所示，位元線 $BL1 - BLn$ 和互補位元線 $BLB1 - BLBn$ 跨字線 $WL1 - WL2k$ 佈置，並且這些信號線之間的信號發生耦合效應。在控制信號 $BLEQB$ 的下降

沿處，控制信號 $BLEQB$ 啟動調變電路 $142a - 142b$ ，使得位元線 $BL1 - BLn$ 和互補位元線 $BLB1 - BLBn$ 上的電壓位準被其相應的調變電路 $142a - 142b$ 升高到高電壓位準。由於耦合效應，字線 $WL1 \sim WL2k$ 上的字線信號根據位元線 $BL1 - BLn$ 和互補位元線 $BLB1 - BLBn$ 上的升高電壓位準而被提高到更高的位準。具體而言，如果控制信號 $BLEQB$ 的下降沿在字線 $WL2k$ 上的字線信號的下降沿之前到達，則字線 $WL2k$ 上的字線信號將進一步升高（例如，超過 VDD 位準），並且可能導致與字線 $WL2k$ 連接的位元單元 BC 不穩定。

【0037】 換句話說，控制信號 $BLEQB$ 切換到高電壓位準的持續時間 $D1$ 需要包含字線 $WL1$ 上的字線信號的上升沿和字線 $WL2k$ 上的字線信號的下降沿。在一些實施例中，控制信號產生器 $162-1$ 能夠參考深度距離 DPf 在正確的時序下生成控制信號 $BLEQB$ 。

【0038】 如第 2 圖所示，在一些實施例中，控制信號產生器 $162-1$ 包括追蹤佈線 TR 、兩個反相器 $INV1$ 、 $INV2$ 和兩個邏輯閘 $NAND1$ 、 $NAND2$ 。在一些實施例中，控制信號產生器 $162-1$ 接收輸入控制信號 PRE 和輸入時脈信號 CKP 。

【0039】 追蹤佈線 TR 的具有的追蹤長度與字線 $WL1 - WL2k$ 的深度距離正相關。如第 2 圖所示，在一些實施例中，追蹤佈線 TR 包括第一追蹤段 $S1$ 和第二追蹤段 $S2$ 。第一追蹤段 $S1$ 從字線 $WL1 - WL2k$ 的底側邊緣向字線

$WL1 - WL2k$ 的一半位置（例如，在字線 WLk 和字線 $WLk+1$ 之間的水準位置）延伸。第二追蹤段 $S2$ 從字線 $WL1 - WL2k$ 的一半位置向字線 $WL1 - WL2k$ 的底側邊緣延伸。在這種情況下，第一追蹤段 $S1$ 和第二追蹤段 $S2$ 的長度之和與深度距離 DPf 相似或近似相等。

【0040】 邏輯閘 $NAND2$ 和反相器 $INV2$ 被配置為根據輸入控制信號 PRE 和輸入時脈信號 CKP 生成控制信號 DEC 到字線解碼器 180。在這種情況下，相對於輸入時脈信號 CKP ，控制信號 DEC 生成具有兩個閘延遲（*gate delays*）（由邏輯閘 $NAND2$ 和反相器 $INV2$ 引起）。

【0041】 反相器 $INV1$ 被配置為將輸入時脈信號 CKP 轉換為反向時脈信號 $CKPB$ 。邏輯閘 $NAND1$ 包括第一輸入端子、第二輸入端子和輸出端子。邏輯閘 $NAND1$ 的第一輸入端子被配置為接收反相時脈信號 $CKPB$ 。邏輯閘 $NAND1$ 的第二輸入端子被配置為接收反相延遲時脈信號 $CKPBd$ （即通過追蹤佈線 TR 延遲後的反向時脈信號 $CKPBd$ ）。

【0042】 邏輯閘 $NAND1$ 的輸出端子被配置為產生控制信號 $BLEQB$ 。邏輯閘 $NAND1$ 被配置為在兩個輸入端子之間執行 $NAND$ 布林函數並生成控制信號 $BLEQB$ 。邏輯閘 $NAND1$ 的輸入和輸出之間的關係如表 1 所示。

第一輸入端 ($CKPB$)	第二輸入端子 ($CKPBd$)	輸出端子 ($BLEQB$)
H	H	L
L	H	H
H	L	H

L	L	H
---	---	---

表 1

【0043】 如第 3 圖和表 1 所示，控制信號 $BLEQB$ 的上升沿由反相時脈信號 $CKPB$ 的下降沿觸發。在第 2 圖所示的實施例中，相對於輸入時脈信號 CKP ，控制信號 $BLEQB$ 的上升沿到達有兩個閘延遲（由反相器 $INV1$ 和邏輯閘 $NAND1$ 引起）。

【0044】 要注意，產生的控制信號 DEC 相對於輸入時脈信號 CKP 具有兩個閘延遲，並且控制信號 DEC 被發送到字線解碼器 180 中（用於觸發第 1 圖所示的解碼器單元 182）以在字線 $WL1 - WL2k$ 上生成字線信號。在這種情況下，相對於輸入時脈信號 CKP ，字線 $WL1$ 上的字線信號的上升沿在兩個閘延遲時（或之後）到達。如上所述，相對於輸入時脈信號 CKP ，控制信號 $BLEQB$ 的上升沿在兩個閘延遲時到達。因此，控制信號 $BLEQB$ 的上升沿能夠圍住（*enclose*）字線 $WL1$ 上的字線信號的上升沿。

【0045】 在一些實施例中，由於反相延遲時脈信號 $CKPBd$ 被對應於深度距離 DPf 的追蹤佈線 TR 延遲，所以反相延遲時脈信號 $CKPBd$ 的時序將類似於控制信號 DEC 到達連接到頂側字線 $WL2k$ 的解碼器單元的時序。如第 3 圖所示，反相延遲時脈信號 $CKPBd$ 的上升沿的時序與字線 $WL2k$ 上的字線信號相似。如第 3 圖和表 1 所示，控制信號 $BLEQB$ 的下降沿由反相延遲時脈信號 $CKPBd$ 的上升沿觸發。如第 3 圖所示的實施例，控制信號 $BLEQB$ 的下降沿

由反相延遲時脈信號 CKP_{Bd} 的上升沿決定，並且當字線 WL_{2k} 上的字線信號的下降沿到達時，控制信號 BLE_{QB} 的下降沿以類似的時序到達。

【0046】 換句話說，控制信號 BLE_{QB} 切換到高電壓位準的持續時間 $D1$ 根據由追蹤佈線 TR 延遲的反相延遲時脈信號 CKP_{Bd} 延長。借助於追蹤佈線 TR 來追蹤關於深度距離 DP_f 的延遲，控制信號 BLE_{QB} 的下降沿能夠圍住字線 WL_{2k} 上的字線信號的下降沿。由於控制信號 BLE_{QB} 的下降沿能夠圍住字線 WL_{2k} 上的字線信號的下降沿，因此可以避免在到位元單元 BC 的存取路徑通過字線 $WL_1 - WL_{2k}$ 上的字線信號被關閉之前過早地啟動調變電路 $142a$ 。因此，這可以避免位元單元中存儲的資料位元被損壞，因為在字線 $WL_1 - WL_{2k}$ 被拉低以關斷位元單元的傳輸門之後，調變電路 $142a$ 被啟動（以對相應的位元線 BL_1 和互補位元線 BL_{B1} 充電），從而可以提高存儲在位元單元中的資料位元的穩定性。

【0047】 要注意，第 2 圖中說明性地示出的控制信號產生器 $162-1$ 是實現第 1 圖所示的控制信號產生器 162 的一個示例性實施例。然而，本揭示並不限於此。進一步參考第 4 圖，第 4 圖示出了根據本揭示的各個實施例的第 1 圖中的調變電路和控制信號產生器的內部結構。第 4 圖中說明性地示出的控制信號產生器 $162-2$ 是第 1 圖所示的控制信號產生器 162 的另一實施例。與第 2 圖中說明性的示出的控制信號產生器 $162-1$ 相比，第 4 圖中的控制信號產生

器 162-2 利用邏輯閘和反相器的不同組合來生成控制信號 BLEQB。如第 2 圖所示，控制信號 BLEQB 由邏輯閘 NAND1 根據反相時脈信號 CKPB 和反相延遲時脈信號 CKPd 生成。另一方面，如第 4 圖所示，控制信號 BLEQB 由邏輯閘 NOR1 和反相器 INV3 根據輸入時脈信號 CKP 和延遲時脈信號 CKPd 生成。

【0048】 如第 4 圖所示，在一些實施例中，控制信號產生器 162-2 包括追蹤佈線 TR、兩個邏輯閘 NAND2、NOR1 和兩個反相器 INV2 和 INV3。在一些實施例中，控制信號產生器 162-2 接收輸入控制信號 PRE 和輸入時脈信號 CKP。

【0049】 追蹤佈線 TR 具有的追蹤長度與字線 WL1-WL2k 的深度距離 DPf 正相關。

【0050】 邏輯閘 NAND2 和反相器 INV2 被配置為根據輸入控制信號 PRE 和輸入時脈信號 CKP 生成控制信號 DEC 到字線解碼器 180。在這種情況下，相對於輸入時脈信號 CKP，控制信號 DEC 生成有兩個閘延遲（由邏輯閘 NAND2 和反相器 INV2 引起）。

【0051】 邏輯閘 NOR1 包括第一輸入端子、第二輸入端子和輸出端子。邏輯閘 NOR1 的第一輸入端子被配置為接收輸入時脈信號 CKP。邏輯閘 NOR1 的第二輸入端子被配置為接收延遲的時脈信號 CKPd（即通過追蹤佈線 TR 被延遲後的輸入時脈信號 CKP）。

【0052】 邏輯閘 NOR1 的輸出端子連接到反相器 INV3。反

相器 $INV3$ 被配置為對來自邏輯閘 $NOR1$ 的輸出信號進行反相，並且相應地產生控制信號 $BLEQB$ 。邏輯閘 $NOR1$ 被配置為在兩個輸入端子之間執行 NOR 布林函數並生成輸出信號，該輸出信號由反相器 $INV3$ 進一步反相為控制信號 $BLEQB$ 。邏輯閘 $NOR1$ 和反相器 $INV3$ 的輸入和輸出之間的關係如表 2 所示。

第一輸入端子 (CKP)	第二輸入端子 (CKPd)	NOR1 的輸出端子	INV3 的輸出端子 (BLEQB)
L	L	H	L
L	H	L	H
H	L	L	H
H	H	L	H

表 2

【0053】 基於布林邏輯：

$$\begin{aligned}
 & \text{由第 4 圖中反相器 } INV3 \text{ 的輸出生成的 } BLEQB \\
 & = NOT[\text{第 4 圖中邏輯閘 } NOR1 \text{ 的輸出}] \\
 & = NOT[NOT[CKP \cup CKPd]] \\
 & = CKP \cup CKPd \\
 & = NOT[CKPB \cap CKPBd] \\
 & = \text{第 2 圖中邏輯閘 } NAND1 \text{ 的輸出}
 \end{aligned}$$

【0054】 換句話說，第 4 圖中的邏輯閘 $NOR1$ 和反相器 $INV3$ 在與第 2 圖的實施例中討論的邏輯閘 $NAND1$ 相同的邏輯中輸出控制信號 $BLEQB$ 。

【0055】 以類似的方式，由第 4 圖中的邏輯閘 $NOR1$ 和反

相器 $INV3$ 生成的控制信號 $BLEQB$ 的上升沿由輸入時脈信號 CKP 的上升沿觸發。借助於追蹤佈線 TR 來追蹤關於深度距離 DPf 的延遲，由第 4 圖中的邏輯閘 $NOR1$ 和反相器 $INV3$ 生成的控制信號 $BLEQB$ 的下降沿由延遲時脈信號 $CKPd$ 的下降沿觸發，該延遲時脈信號 $CKPd$ 等於被追蹤佈線 TR 延遲後的輸入時脈信號 CKP 。在這種情況下，控制信號 $BLEQB$ 能夠圍住字線 $WL1$ 上的字線信號的上升沿以及字線 $WL2k$ 上的字線信號的下降沿。

【0056】 進一步參考第 5 圖，第 5 圖示出了根據本揭示的各個實施例的第 1 圖中的調變電路和控制信號產生器的內部結構。第 5 圖中說明性地示出的控制信號產生器 162-3 是第 1 圖所示的控制信號產生器 162 的另一實施例。與第 2 圖中說明性地示出的控制信號產生器 162-1 和第 4 圖中說明性地示出的控制信號產生器 162-2 相比，第 5 圖中的控制信號產生器 162-3 利用邏輯閘和反相器的不同組合來生成控制信號 $BLEQB$ 。如第 2 圖所示，控制信號 $BLEQB$ 由邏輯閘 $NAND1$ 根據反相時脈信號 $CKPB$ 和反相延遲時脈信號 $CKPBd$ 生成。如第 5 圖所示，控制信號 $BLEQB$ 由邏輯閘 $NOR1$ 和反相器 $INV3$ 根據輸入時脈信號 CKP 和延遲時脈信號 $CKPd$ 生成。與第 4 圖所示的控制信號產生器 162-2 相比，第 5 圖中的控制信號產生器 162-3 包括用於轉換時脈信號的額外反相器。

【0057】 如第 5 圖所示，在一些實施例中，控制信號產生器 162-3 包括追蹤佈線 TR 、邏輯閘 $NAND2$ 和 $NOR1$ 以

及反相器 $INV1-INV4$ 。在一些實施例中，控制信號產生器 162-3 接收輸入控制信號 PRE 和反向輸入時脈信號 $CKPB$ 。追蹤佈線 TR 具有的追蹤長度與字線 $WL1-WL2k$ 的深度距離 DPf 正相關。

【0058】 第 5 圖所示的控制信號產生器 162-3 與第 4 圖所示的控制信號產生器 162-2 相似，除了第 5 圖所示的控制信號產生器 162-3 還包括兩個額外的反相器 $INV1$ 和 $INV4$ 之外。反相器 $INV1$ 被配置為將反相輸入時脈信號 $CKPB$ 反相為輸入時脈信號 CKP ，該輸入時脈信號 CKP 被發送到邏輯閘 $NOR1$ 。反相器 $INV3$ 被配置為對邏輯閘 $NOR1$ 的輸出進行反相，以生成控制信號 $BLEQB$ 。反相器 $INV4$ 被配置為將反相輸入時脈信號 $CKPB$ 反相為輸入時脈信號 CKP ，該輸入時脈信號被發送到邏輯閘 $NAND2$ 。

【0059】 如第 5 圖所示，邏輯閘 $NOR1$ 接收輸入時脈信號 CKP 和延遲輸入時脈信號 $CKPd$ ，並且邏輯閘 $NOR1$ 的輸出被反相器 $INV3$ 進一步反相為控制信號 $BLEQB$ 。基於布林邏輯，第 5 圖所示的實施例中的由反相器 $INV3$ 生成的控制信號 $BLEQB$ 等於第 4 圖所示的實施例中的反相器 $INV3$ 的輸出，並且也等於第 2 圖所示的實施例中的邏輯閘 $NAND1$ 的輸出。

【0060】 以類似的方式，由第 5 圖中的反相器 $INV3$ 和邏輯閘 $NOR1$ 生成的控制信號 $BLEQB$ 的上升沿由輸入時脈信號 CKP 的上升沿觸發。借助於追蹤佈線 TR 來追蹤關於深度距離 DPf 的延遲，由第 5 圖中的反相器 $INV3$ 和邏輯

閘 NOR1 生成的控制信號 BLEQB 的下降沿由延遲時脈信號 CKPd 的下降沿觸發，該延遲時脈信號 CKPd 等於被追蹤佈線 TR 延遲後的輸入時脈信號 CKP。在這種情況下，由第 5 圖中的反相器 INV3 和邏輯閘 NOR1 生成的控制信號 BLEQB 能夠圍住字線 WL1 上的字線信號的上升沿以及字線 WL2k 上的字線信號的下降沿。

【0061】 進一步參考第 6 圖。第 6 圖是示出根據本揭示的各個實施例的另一記憶體裝置 200 的示意圖。與第 1 圖中所示的包括佈置在一個陣列中而不被劃分為子陣列的位元單元 BC 的記憶體裝置 100 相比，第 6 圖中的記憶體裝置 200 包括佈置在不同子陣列中的位元單元 BC 和用於在子陣列中的一個上發送信號的飛位元線(flying bit line)。在第 6 圖所示的實施例中，記憶體裝置 200 包括記憶體陣列 220，記憶體陣列 220 包括佈置在多列和行上的若干位元單元 BC。如第 6 圖的實施例中所示，記憶體陣列 220 包括兩個子陣列 222、另一子陣列 224 和位於這兩個子陣列 222 和 224 之間的條帶單元 226。

【0062】 如第 6 圖說明性地示出的，位於與記憶體陣列 220 的底側相鄰的位元單元 BC 被分組到子陣列 222 中，並且位於與記憶體陣列 220 的頂側相鄰的位元單元 BC 被分組到子陣列 224 中。如第 6 圖說明性地示出的，在一些實施例中，同一列上的位元單元 BC 連接到同一字線。例如，第 1 列(從記憶體陣列 220 的底側開始)上的位元單元 BC 連接到字線 WL1；第 2 列上的位元單元 BC 連接到字線

$W L 2$ ；第 k 列上的位元單元 $B C$ 連接到字線 $W L k$ 。與字線 $W L 1 - W L k$ 連接的位元單元 $B C$ 被分組到子陣列 222 中。

【0063】 另一方面，第 $k+1$ 列上的位元單元 $B C$ 連接到字線 $W L k+1$ ；第 $k+2$ 列上的位元單元 $B C$ 連接到字線 $W L k+2$ ；並且第 $2k$ 列上的位元單元 $B C$ 連接到字線 $W L 2k$ 。與字線 $W L k+1 - W L 2k$ 連接的位元單元 $B C$ 被分組到子陣列 224 中。

【0064】 在一些實施例中， k 是正整數。例如，在具有 2048 列位元單元 $B C$ 的記憶體陣列 120 中， k 等於 1024，並且從記憶體陣列 120 的底側到頂側分佈有 2048 個字線。在該示例中，第 1 列到第 1024 列上的位元單元 $B C$ 在子陣列 222 中，並且第 1025 列到第 2048 列上的位元單元 $B C$ 在子陣列 224 中。

【0065】 同一行上的子陣列 222 中的位元單元 $B C$ 連接到一個位元線對。例如，左側第 1 行上的子陣列 222 中的位元單元 $B C$ 連接到一個位元線對，該位元線對包括一個位元線 $B L 1 d$ 和一個互補位元線 $B L B 1 d$ ，並且右側第 n 行上的子陣列 222 中的位元單元 $B C$ 連接到另一位元線對，該位元線對包括另一位元線 $B L n d$ 和另一互補位元線 $B L B n d$ 。如第 6 圖所示，位元線 $B L 1 d$ 和一個互補位元線 $B L B 1 d$ 從記憶體陣列 220 的底側邊緣沿著子陣列 222 的第 1 行延伸，並且在子陣列 222 和子陣列 224 之間終止。在一些實施例中， n 是正整數。例如， n 可以是大約 8、16、32 或其他合適的數字。為了簡潔起見，出於例示的目的，在

第 6 圖中僅示出記憶體陣列 220 的兩行。然而，本揭示的實施例不限於記憶體陣列 220 中的特定數量的行。

【0066】 同一行上的子陣列 224 中的位元單元 BC 連接到一個位元線對。例如，左側第 1 行上的子陣列 224 中的位元單元 BC 連接到另一位元線對，該位元線對包括一個位元線 BL1u 和一個補充位元線 BLB1u，並且右側第 n 行上的子陣列 222 中的位元單元 BC 連接到另一位元線對，該位元線對包括另一位元線 BLnu 和另一互補位元線 BLBnu。如第 6 圖所示，位元線 BL1u 和一個互補位元線 BLB1u 沿著子陣列 224 的第 1 行從記憶體陣列 220 的條帶單元 226 延伸到記憶體陣列 220 的頂側邊緣。在一些實施例中，條帶單元 226 位於子陣列 222 和 224 之間間隙空間處。在一些實施例中，飛位元線 BL1f 和互補飛位元線 BLB1f 在條帶單元 226 處連接到位元線 BL1u 和一個互補位元線 BLB1u。

【0067】 如第 6 圖說明性地示出的，在一些實施例中，記憶體裝置 200 包括本地輸入/輸出電路 240、主控制電路 260 和字線解碼器 280。主控制電路 260 與本地輸入/輸出 (LIO) 電路 240 和字線解碼器 280 耦接。第 6 圖中的實施例的本地輸入/輸出電路 240、主控制電路 260 和字線解碼器 280 的一些功能和表現與第 1 圖和第 2 圖的實施例的本地輸入/輸出電路 140、主控制電路 160 和字線解碼器 180 相似，並且可以參考在第 1 圖和第 2 圖中討論的上述實施例。

【0068】 在一些實施例中，主控制電路 260 包括控制信號產生器 262，並且控制信號產生器 262 被配置為生成一些控制信號以控制/啟動/停用本地輸入/輸出電路 240 和字線解碼器 280 中的功能。如第 6 圖說明性地示出的，在一些實施例中，控制信號產生器 262 被配置為生成控制信號 BLEQB_d (對應於子陣列 222) 到本地輸入/輸出電路 240，生成另一控制信號 BLEQB_u (對應於子陣列 224) 到本地輸入/輸出電路 240，生成又一控制信號 YSEL 到本地輸入/輸出電路 240，以及生成控制信號 DEC 到字線解碼器 280。在一些其他實施例中，控制信號產生器 262 能夠生成用於控制其它功能的其他控制信號。本揭示的實施例不限於這些控制信號。

【0069】 在一些實施例中，本地輸入/輸出電路 240 包括調變電路 242a - 242b (對應於子陣列 222)、調變電路 243a - 243b (對應於子陣列 224)、選擇電路 244 和讀取/寫入電路 246。

【0070】 在對子陣列 222 的寫入操作期間，讀取/寫入電路 246 被配置為生成寫入信號和互補寫入信號到位元線對上，該位元線對包括本地輸入/輸出電路 240 中的位元線 BL_d 和互補位元線 BLB_d，並且選擇電路 244 被配置為根據選擇信號 YSEL 將位元線對 (即，位元線 BL_d 和互補位元線 BLB_d) 耦接到記憶體陣列 220 的子陣列 222 中的位元線對之一，以便將資料寫入子陣列 222 中的目標行上的位元單元 BC 中。

【0071】 例如，當寫入操作的目標行是子陣列 222 中的第 1 行時，選擇電路 244 被配置為將本地輸入/輸出電路 240 中的位元線 BLd 和互補位元線 $BLBd$ 耦接到記憶體陣列 220 的子陣列 222 中的第 1 行上的位元線 $BL1d$ 和互補位元線 $BLB1d$ ，以便將資料寫入子陣列 222 中的第 1 行上的位元單元 BC 中。

【0072】 在對子陣列 224 的寫入操作期間，讀取/寫入電路 246 被配置為生成寫入信號和互補寫入信號到位元線對上，該位元線對包括本地輸入/輸出電路 240 中的位元線 BLu 和互補位元線 $BLBu$ 。如第 6 圖所示，記憶體陣列 220 還包括一些飛位元線對，這些飛位元線對被配置為將上側的子陣列 224 中的位元線對與位於記憶體陣列 220 的底側下面的選擇電路 244 和讀取/寫入電路 246 連接。

【0073】 例如，當寫入操作的目標行是子陣列 224 中的第 1 行時，選擇電路 244 被配置為經由飛位元線 $BL1f$ 和互補飛位元線 $BLB1f$ 將本地輸入/輸出電路 240 中的位元線 BLu 和互補位元線 $BLBu$ 耦接到記憶體陣列 220 的子陣列 224 中的第 1 行上的位元線 $BL1u$ 和互補位元線 $BLB1u$ ，以便將資料寫入子陣列 224 中的第 1 行上的位元單元 BC 中。

【0074】 記憶體陣列中存在很多列，使得與整個行上的位元單元連接的位元線對上載入的電阻-電容相對較大。通過將記憶體陣列 220 劃分為兩個子陣列 222 和 224，可以減少一個位元線對(例如 $BL1d$ 和 $BLB1d$ ； $BL1u$ 和 $BLB1u$)

上載入的電阻 - 電容。如第 6 圖的實施例所示，記憶體陣列中的每個位元線對連接到同一行上大約一半的位元單元，使得每個位元線對上載入的電阻 - 電容可以減少約 50% (與連接到同一行上的所有位元單元相比)。

【0075】 要注意，有三個位元線對對應於記憶體陣列 220 的第 1 行。這三個位元線對包括將子陣列 222 中的位元單元 BC 連接到選擇電路 244 和讀取/寫入電路 246 的第一位元線對 (例如，位元線 BL1d 和互補位元線 BLB1d)，第二位元線對 (例如，位元線 BL1u 和互補位元線 BLB1u) 連接到子陣列 224 中的位元單元 BC，以及從第二位元線對連接到選擇電路 244 和讀取/寫入電路 246 的第三位元線對 (例如，飛位元線 BL1f 和互補位元線 BLB1f)。類似地，存在與記憶體陣列 220 的第 n 行相對應的另外三位元線對。

【0076】 如第 6 圖說明性地示出的，調變電路 242a 與子陣列 222 中的第 1 行上的位元單元 BC 連接的位元線 BL1d 和互補位元線 BLB1d (即，第一位元線對) 耦接。調變電路 242a 被配置為根據控制信號 BLEQBd 調變子陣列 222 中的位元線 BL1d 和互補位元線 BLB1d 上的電壓位準。

【0077】 調變電路 243a 通過飛位元線 BL1f 和互補位元線 BLB1f (即，第三位元線對) 耦接到子陣列 224 中的位元線 BL1u 和互補位元線 BLB1u (即，第二位元線對)。調變電路 243a 被配置為根據控制信號 BLEQBu 調變子陣列

2 2 4 中的位元線 $BL1u$ 和互補位元線 $BLB1u$ 上的電壓位準。

【0078】 在寫入操作或讀取操作之外，在一些實施例中，調變電路 2 4 2 a 由控制信號 $BLEQBd$ 觸發，並且被配置為將位元線 $BL1d$ 和互補位元線 $BLB1d$ 相互耦接在一起，從而使位元線 $BL1d$ 和互補位元線 $BLB1d$ 上的電壓位準相等。在一些實施例中，在寫入操作或讀取操作之外，調變電路 2 4 2 a 還被配置為將位元線 $BL1d$ 和互補位元線 $BLB1d$ 上的電壓位準預充電到固定位準，例如高參考電壓位準 VDD 。

【0079】 在寫入操作或讀取操作之外，在一些實施例中，調變電路 2 4 3 a 由控制信號 $BLEQBu$ 觸發，並且被配置為將位元線 $BL1u$ 和互補位元線 $BLB1u$ 相互耦接在一起，從而使位元線 $BL1u$ 和互補位元線 $BLB1u$ 上的電壓位準相等。在一些實施例中，在寫入操作或讀取操作之外，調變電路 2 4 3 a 還被配置成將位元線 $BL1u$ 和互補位元線 $BLB1u$ 上的電壓位準預充電到固定位準，例如高參考電壓位準 VDD 。調變電路 2 4 2 a 和 2 4 3 a 的功能和表現可以參考第 2 圖中討論的實施例中的調變電路 1 4 2 a。

【0080】 類似地，調變電路 2 4 2 b 被配置為根據控制信號 $BLEQBd$ 來調變子陣列 2 2 2 中的位元線 $BLnd$ 和互補位元線 $BLBnd$ 上的電壓位準，並且調變電路 2 4 3 b 被配置為根據控制信號 $BLEQBu$ 來調變子陣列 2 2 4 中的位元線 $BLnu$ 和互補位元線 $BLBnu$ 上的電壓位準。

【0081】 在一些實施例中，字線解碼器 280 由控制信號產生器 262 所生成的控制信號 DEC 控制。在一些實施例中，字線解碼器 280 包括若干解碼器單元 282，並且每個解碼器單元 282 被配置為向字線 $WL1-WL2k$ 之一提供一個字線信號。控制信號 DEC 用於控制字線解碼器 280 中的解碼器單元 282 的定址和閘控功能。當控制信號 DEC 從控制信號產生器 262 的側發送到字線解碼器 280 中的解碼器單元 282 時，控制信號 DEC 在不同的時間點到達不同的解碼器單元 282。由於上述控制信號 DEC 的到達時序不同，由字線解碼器 280 中的解碼器單元 282 生成到字線 $WL1-WL2k$ 的字線信號具有不同時序的脈衝。

【0082】 在一些實施例中，控制信號產生器 262 被配置為參考字線 $WL1$ 和字線 $WL2k$ 之間的全深度距離 DPf 來生成控制信號 $BLEQBd$ ，並且還參考字線 $WL1$ 和字線 WLk 之間的半深度距離 DPH 來生成控制信號 $BLEQB_u$ 。

【0083】 進一步參考第 7 圖和第 8 圖。第 7 圖是示出根據本揭示的各個實施例的第 6 圖中的調變電路和控制信號產生器的內部結構的示意圖。第 8 圖是示出根據本揭示的各個實施例的在第 6 圖和第 7 圖中的記憶體裝置 200 中生成的相關信號的信號波形。關於第 6 圖的實施例，為了便於理解，第 7 圖和第 8 圖中的類似元件被指定有相同的附圖標記。注意，為了簡潔起見，第 7 圖示出了與子陣列 222 和子陣列 224 的第 1 行相關的結構。與其他行相關的結構是類似的，並且可以通過第 7 圖中所示的實施例來理解。

第 7 圖中說明性地示出的控制信號產生器 262-1 是第 6 圖所示的控制信號產生器 262 的一個實施例。

【0084】 如第 7 圖說明性地示出的，調變電路 242a 包括三個電晶體。調變電路 242a 中的電晶體的柵極由控制信號 BLEQBd 控制。調變電路 242a 中的電晶體耦接到子陣列 222 中的位元線 BL1d 和互補位元線 BLB1d。當控制信號 BLEQBd 處於低電壓位準（例如，0V、GND 位準或 VSS 位準）時，調變電路 242a 被配置為將位元線 BL1d 和互補位元線 BLB1d（在子陣列 222 中的第 1 行上的位元線對中）耦接在一起，從而使位元線 BL1d 和互補位元線 BLB1d 上的電壓位準相等，當控制信號 BLEQBd 處於低電壓位準（例如 0V）時，調變電路 242a 還被配置為將位元線 BL1d 和互補位元線 BLB1d 連接到高參考電壓位準 VDD，從而將位元線 BL1d 和互補位元線 BLB1d 上的電壓位準固定為高參考電壓位準 VDD。關於調變電路 242a 的表現和細節類似於在上述實施例中連同第 2 圖討論的調變電路 142a。

【0085】 在一些實施例中，在寫入操作或讀取操作之外，調變電路 242a 被配置為將位元線 BL1d 和互補位元線 BLB1d 上的電壓位準預充電到固定位準，例如高參考電壓位準 VDD。在這種情況下，位元線 BL1d 和互補位元線 BLB1d 被配置為固定位準而不是浮動位準，並且可以保護存儲在位元單元 BC 中的資料，並且避免這些資料受到位元線 BL1d 和互補位元線 BLB1d 上的意外浮動位準的影響。

【0086】 類似地，調變電路 243a 包括另外三個電晶體。調變電路 243a 中的電晶體的柵極由控制信號 BLEQB_u 控制。當控制信號 BLEQB_u 處於低電壓位準（例如，0V、GND 位準或 VSS 位準）時，調變電路 243a 被配置為將位元線 BL1_u（經由飛位元線 BL1_f）和互補位元線 BLB1_u（經由互補飛位元線 BLB1_f）耦接在一起，從而使位元線 BL1_u 和互補位元線 BLB1_u 上的電壓位準相等。當控制信號 BLEQB_u 處於低電壓位準（如 0V）時，調變電路 243a 還被配置為將位元線 BL1_u（經由飛位元線 BL1_f）和互補位元線 BLB1_u（經由互補飛位元線 BLB1_f）連接到高參考電壓位準 VDD，從而將位元線 BL1_u 和互補位元線 BLB1_u 上的電壓位準固定為高參考電壓位準 VDD。

【0087】 類似地，在寫入操作或讀取操作之外，調變電路 243a 被配置為將位元線 BL1_u 和互補位元線 BLB1_u 上的電壓位準預充電到固定位準，例如高參考電壓位準 VDD。在這種情況下，調變電路 243a 能夠避免存儲在相應位元單元 BC 中的資料受到位元線 BL1_u 和互補位元線 BLB1_u 上的意外浮動位準的影響。

【0088】 當控制信號 BLEQB_d 處於高電壓位準（例如 VDD 位準）時，調變電路 242a 被停用，並且位元線 BL1_d 和互補位元線 BLB1_d 上的電壓位準從調變電路 242a 中釋放並且由第 6 圖所示的讀取/寫入電路 246 控制。

【0089】 如第 7 圖和第 8 圖說明性地示出的，在持續時間 DWL1 期間，到字線 WL1 的字線信號被切換到高電壓位準，

與字線 $WL1$ 連接的位元單元 BC 應準備好讀/寫，使得控制信號 $BLEQBd$ 的上升沿需要與字線 $WL1$ 上的字線信號的上升沿同時（或在此之前）到達。如果控制信號 $BLEQBd$ 的上升沿在字線 $WL1$ 上的字線信號的上升沿之後到達，則調變電路 242a 可能不會及時釋放位元線 $BL1d$ 和互補位元線 $BLB1d$ ，使得對位元單元 BC 的讀/寫裕度將降級。

【0090】 如第 7 圖和第 8 圖說明性地示出的，在持續時間 $DWL2k$ 期間，到字線 $WL2k$ 的字線信號被切換到高電壓位準，與字線 $WL2k$ 連接的位元單元 BC 應準備好讀/寫，使得控制信號 $BLEQBd$ 的下降沿需要與字線 WLk 上的字線信號的下降沿同時（或在此之後）到達。如果控制信號 $BLEQBd$ 的下降沿在字線 WLk 上的字線信號的下降沿之前到達，則調變電路 242a 可以在字線 WLk 仍然啟動對位元單元 BC 的存取的同時將位元線 $BL1d$ 和互補位元線 $BLB1d$ 上的電壓位準都提高到高電壓位準，使得存儲在位元單元 BC 中的資料位元可能由於位元線 $BL1d$ 和互補位元線 $BLB1d$ 上的電壓位準的錯誤配置而被損壞。

【0091】 換句話說，控制信號 $BLEQBd$ 切換到高電壓位準的持續時間 $D1$ 需要包含字線 $WL1$ 上的字線信號的上升沿和字線 WLk 上的字線信號的下降沿。在一些實施例中，控制信號產生器 262-1 能夠參考半深度距離 DPh 在正確時序下生成控制信號 $BLEQBd$ 。

【0092】 出於類似的原因，控制信號 $BLEQB_u$ 切換到高電壓位準的持續時間 $D2$ 需要包含字線 $WLk+1$ 上的字線信號

的上升沿和字線 $WL2k$ 上的字線信號的下降沿。在一些實施例中，控制信號產生器 262-1 能夠參考半深度距離 DPh 和全深度距離 $D Pf$ 在正確的時序下生成控制信號 $BLEQB u$ 。

【0093】 如第 7 圖所示，在一些實施例中，控制信號產生器 262-1 包括兩個追蹤佈線 $TR1$ 和 $TR2$ 、三個邏輯閘 $NOR1$ 、 $NOR2$ 和 $NAND2$ 以及六個反相器 $INV1a$ 、 $INV1b$ 、 $INV2$ 、 $INV3a$ 、 $INV3b$ 和 $INV4$ 。在一些實施例中，控制信號產生器 262-1 包括與兩組追蹤佈線 $TR1$ 和 $TR2$ 耦接的兩組邏輯閘 $NOR1$ 和 $NOR2$ 。

【0094】 在一些實施例中，控制信號產生器 262-1 接收輸入控制信號 PRE 和反相輸入時脈信號 $CKPB$ 。在一些實施例中，邏輯閘 $NOR1$ 和反相器 $INV3a$ 被配置為根據輸入時脈信號 CKP 和第一延遲時脈信號 $CKPd1$ 生成控制信號 $BLEQB d$ ，該控制信號 $BLEQB d$ 被發送到與子陣列 222 相對應的調變電路 242a。第 7 圖所示的控制信號產生器 262-1 中的邏輯閘 $NOR1$ 和反相器 $INV3a$ 的表現和功能與第 5 圖所示的控制信號產生器 162-1 中的邏輯閘 $NOR1$ 和反相器 $INV3$ 相似。邏輯閘 $NOR1$ 的輸入與反相器 $INV3a$ 的輸出之間的關係如表 3 所示。

第一輸入 端子 (CKP)	第二輸入端 子 ($CKPd1$)	反相器 $INV3a$ 的 輸出端子 ($BLEQB d$)
L	L	L
L	H	H

H	L	H
H	H	H

表 3

【0095】 在一些實施例中，邏輯閘 NOR2 和反相器 INV3b 被配置為根據第一延遲時脈信號 CKPd1 和第二延遲時脈信號 CKPd2 生成控制信號 BLEQBu，該控制信號 BLEQBu 被發送到與子陣列 224 相對應的調變電路 243a。第 7 圖所示的控制信號產生器 262-1 中的邏輯閘 NOR2 和反相器 INV3b 的表現和功能與第 5 圖所示的控制信號產生器 162-1 中的邏輯閘 NOR1 和反相器 INV3 相似。邏輯閘 NOR2 的輸入與反相器 INV3b 的輸出之間的關係如表 4 所示。

第一輸入端子 (CKPd1)	第二輸入端子 (CKPd2)	反相器 INV3a 的輸出端子 (BLEQBu)
L	L	L
L	H	H
H	L	H
H	H	H

表 4

【0096】 如第 7 圖和第 8 圖中的實施例所示，第一延遲時脈信號 CKPd1 通過利用追蹤佈線 TR1 延遲輸入時脈信號 CKP 來生成。追蹤佈線 TR1 具有的追蹤長度與整個記憶體陣列 220 的字線 WL1-WL2k 的半深度距離 DP_h 正相關。換句話說，半深度距離 DP_h 是大約子陣列 222 的字線 WL1-WLk 的全深度距離。如第 7 圖所示，在一些實施例

中，追蹤佈線 $TR1$ 包括第一追蹤段 $S1$ 和第二追蹤段 $S2$ 。第一追蹤段 $S1$ 從字線 $WL1-WL2k$ 的底側邊緣向字線 $WL1-WL2k$ 的四分之一位置延伸。例如，當整個記憶體陣列 220 中總共有 2048 個字線 ($k=1024$) 時，第一追蹤段 $S1$ 從字線 $WL1$ 延伸到第 512 字線 (圖中未示出)。第二追蹤段 $S2$ 從字線 $WL1-WL2k$ 的四分之一位置向字線 $WL1-WL2k$ 的底側邊緣延伸。在這種情況下，第一追蹤段 $S1$ 和第二追蹤段 $S2$ 的長度之和類似或近似等於半深度距離 DPh 。半深度距離 DPh 可被視為子陣列 222 的字線 $WL1-WLk$ 的全深度距離。

【0097】 由第 7 圖和第 8 圖中的反相器 $INV3a$ 和邏輯閘 $NOR1$ 生成的控制信號 $BLEQBd$ 的上升沿由輸入時脈信號 CKP 的上升沿觸發。借助於追蹤佈線 TR 來追蹤關於半深度距離 DPh 的延遲，由第 7 圖中的反相器 $INV3a$ 和邏輯閘 $NOR1$ 生成的控制信號 $BLEQBd$ 的下降沿由第一延遲時脈信號 $CKPd1$ 的下降沿觸發，該第一延遲時脈信號 $CKPd1$ 等於被追蹤佈線 $TR1$ 延遲後的輸入時脈信號 CKP 。在這種情況下，如第 8 圖所示，控制信號 $BLEQBd$ 切換到高電壓位準的持續時間 $D1$ 能夠包含字線 $WL1$ 上的字線信號的上升沿和字線 WLk 上的字線信號的下降沿。

【0098】 如第 7 圖和第 8 圖中的實施例所示，第二延遲時脈信號 $CKPd2$ 通過利用追蹤佈線 $TR2$ 延遲輸入時脈信號 CKP 來生成。追蹤佈線 $TR2$ 具有的追蹤長度與整個記憶體陣列 220 的字線 $WL1-WL2k$ 的全深度距離 DPh 正相關。

如第 7 圖所示，在一些實施例中，追蹤佈線 TR_2 包括第三追蹤段 S_3 和第四追蹤段 S_4 。第三追蹤段 S_3 從字線 $WL_1 - WL_{2k}$ 的底側邊緣向字線 $WL_1 - WL_{2k}$ 的一半位置延伸。例如，當整個記憶體陣列 220 中總共有 2048 個字線 ($k = 1024$) 時，第一追蹤段 S_3 從第一字線 WL_1 延伸到第 1024 字線 WL_k 。第四追蹤段 S_4 從字線 $WL_1 - WL_{2k}$ 的一半位置向字線 $WL_1 - WL_{2k}$ 的底側邊緣延伸。在這種情況下，第三追蹤段 S_3 和第四追蹤段 S_4 的長度之和類似或近似等於全深度距離 DP_f 。

【0099】 由第 7 圖和第 8 圖中的反相器 INV_{3b} 和邏輯閘 NOR_2 生成的控制信號 $BLEQB_u$ 的上升沿由第一延遲時脈信號 CKP_{d1} 的上升沿觸發。借助於追蹤佈線 TR_2 來追蹤關於半深度距離 DP_f 的延遲，由第 7 圖中的反相器 INV_{3b} 和邏輯閘 NOR_2 生成的控制信號 $BLEQB_u$ 的下降沿由第二延遲時脈信號 CKP_{d2} 的下降沿觸發，該第二延遲時脈信號 CKP_{d2} 等於被追蹤佈線 TR_2 延遲後的輸入時脈信號 CKP 。在這種情況下，如第 8 圖所示，控制信號 $BLEQB_u$ 切換到高電壓位準的持續時間 D_2 能夠包含字線 WL_{k+1} 上的字線信號的上升沿和字線 WL_{2k} 上的字線信號的下降沿。

【0100】 在上面討論的實施例中，根據子陣列 222 的深度距離來確定由控制信號產生器 262-1 生成的控制信號 $BLEQB_d$ ，使得控制信號 $BLEQB_d$ 在字線 WL_1 被設置為高電壓位準之前（或同時）切換到高電壓位準，控制信號 $BLEQB_d$ 保持在高電壓位準足夠長的時間，直到字線 WL_k

被設置為低電壓位準。另一方面，根據子陣列 224 的深度距離來確定由控制信號產生器 262-1 生成的控制信號 BLEQB_u，使得控制信號 BLEQB_u 在字線 WL_{k+1} 被設置為高電壓位準之前（或同時）切換到高電壓位準，控制信號 BLEQB_u 保持在高電壓位準足夠長的時間，直到字線 WL_{2k} 被設置為低電壓位準。

【0101】 要注意，第 7 圖中說明性地示出的控制信號產生器 262-1 是實現第 6 圖所示的控制信號產生器 262 的一個示例性實施例。控制信號產生器 262-1 中的邏輯閘 NOR1 和 NOR2 的邏輯功能類似於第 5 圖所示的控制信號產生器 162-3 的邏輯閘 NOR1 的實施例。然而，本揭示並不限於此。在一些其他實施例中，第 6 圖中的控制信號產生器 262 可以用其它等效結構來實現，例如，控制信號產生器 262-1 中的邏輯閘 NOR1 和 NOR2 中的每一個都可以被第 2 圖所示的控制信號產生器 162-1 的邏輯閘 NAND1 的結構代替，或被第 4 圖所示的控制信號產生器 162-2 的邏輯閘 NOR1 的結構代替。

【0102】 在一些實施例中，一種裝置包括：記憶體陣列、多個位元線對、多個字線、調變電路和控制信號產生器。記憶體陣列具有佈置在列和行中的多個位元單元。每個位元線對連接到相應行的位元單元。每個字線連接到相應列的位元單元。調變電路與至少一個位元線對耦接。控制信號產生器與調變電路耦接。控制信號產生器包括追蹤佈線，追蹤佈線的追蹤長度與字線的深度距離正相關。控制信號

產生器被配置為產生控制信號，控制信號參考追蹤長度在第一持續時間內切換到第一電壓位準，以用於控制調變電路。

【0103】 在一些實施例中，回應於控制信號處於與第一電壓位準不同的第二電壓位準，調變電路被配置為將至少一個位元線對中的位元線和互補位元線相互連接，以使位元線和互補位元線上的電壓位準相等。

【0104】 在一些實施例中，回應於控制信號處於第一電壓位準，調變電路被配置為將至少一個位元線對中的位元線和互補位元線預充電到參考電壓位準。

【0105】 在一些實施例中，裝置還包括讀取/寫入電路，讀取/寫入電路耦接到至少一個位元線對。響應於控制信號切換到第一電壓位準，調變電路被停用，並且讀取/寫入電路被配置為存取與至少一個位元線對連接的位元單元。

【0106】 在一些實施例中，追蹤佈線包括第一追蹤段和第二追蹤段。第一追蹤段從字線的側邊緣向字線的一半位置延伸。第二追蹤段從字線的一半位置向字線的側邊緣延伸。第一追蹤段和第二追蹤段的長度之和與字線的深度距離正相關。

【0107】 在一些實施例中，控制信號產生器包括邏輯閘。邏輯閘具有第一輸入端子、第二輸入端子和輸出端子。邏輯閘的第一輸入端子被配置為接收時脈信號。邏輯閘的第二輸入端子被配置為接收通過追蹤佈線延遲後的時脈信號。輸出端子被配置為產生控制信號。

【0108】 在一些實施例中，一種裝置包括：記憶體陣列、第一位元線對、第二位元線對、多個字線、第一調變電路、第二調變電路和控制信號產生器。記憶體陣列具有佈置在列和行中的多個位元單元。記憶體陣列包括位元單元的第 一子陣列和位元單元的第二子陣列。第一位元線對耦接到記憶體陣列的行上的第一子陣列中的位元單元。第二位元線對耦接到記憶體陣列的行上的第二子陣列中的位元單元。多個字線沿著記憶體陣列的多個列延伸。第一調變電路與第一位元線對耦接。第二調變電路與第二位元線對耦接。控制信號產生器與第一調變電路和 第二調變電路耦接。控制信號產生器包括第一追蹤佈線，第一追蹤佈線的第一追蹤長度與字線的半深度距離正相關。控制信號產生器被配置為產生第一控制信號，第一控制信號參考第一追蹤長度在第一持續時間內切換到第一電壓位準，以用於控制第一調變電路。控制信號產生器包括第二追蹤佈線，第二追蹤佈線的第二追蹤長度與字線的全深度距離正相關，控制信號產生器被配置為產生第二控制信號，第二控制信號參考第二追蹤長度在第二持續時間內切換到第一電壓位準，以用於控制第二調變電路。

【0109】 在一些實施例中，第一位元線對被配置為從記憶體陣列的第一側邊緣沿著記憶體陣列的行延伸，並且終止於第一子陣列和第二子陣列之間。第一位元線對耦接到行中的第一子陣列的位元單元。

【0110】 在一些實施例中，第二位元線對被配置為從第一子

陣列和第二子陣列之間的條帶單元沿著記憶體陣列的行延伸到記憶體陣列的第二側邊緣，第二位元線對耦接到行中的第二子陣列的位元單元。

【0111】 在一些實施例中，裝置還包括第三位元線對，第三位元線對耦接在第二調變電路和第二位元線對之間。第三位元線對沿著記憶體陣列的行延伸並且與第一位元線對平行。

【0112】 在一些實施例中，回應於第一控制信號處於與第一電壓位準不同的第二電壓位準，第一調變電路被配置為將第一位元線對中的位元線和互補位元線相互連接，並且將第一位元線對中的位元線和互補位元線預充電到參考電壓位準。

【0113】 在一些實施例中，回應於第二控制信號處於與第一電壓位準不同的第二電壓位準，第二調變電路被配置為將第二位元線對中的位元線和互補位元線相互連接，並且將第二位元線對中的位元線和互補位元線預充電到參考電壓位準。

【0114】 在一些實施例中，裝置還包括讀取/寫入電路，讀取/寫入電路耦接到第一位元線對和第二位元線對。回應於第一控制信號和第二控制信號切換到第一電壓位準，第一調變電路和第二調變電路被停用，讀取/寫入電路被配置為存取與第一位元線對或第二位元線對連接的位元單元。

【0115】 在一些實施例中，第一追蹤佈線包括第一追蹤段和第二追蹤段。第一追蹤段從字線的側邊緣向字線的四分之

一位置延伸。第二追蹤段從字線的四分之一位置向字線的側邊緣延伸。第一追蹤段和第二追蹤段的長度之和與字線的半深度距離正相關。

【0116】 在一些實施例中，第二追蹤佈線包括第三追蹤段和第四追蹤段。第三追蹤段從字線的側邊緣向字線的中心延伸。第四追蹤段從字線的一半位置向字線的側邊緣延伸。第三追蹤段和第四追蹤段的長度之和與字線的全深度距離正相關。

【0117】 在一些實施例中，控制信號產生器包括第一邏輯閘，第一邏輯閘具有第一輸入端子、第二輸入端子和輸出端子。第一邏輯閘的第一輸入端子被配置為接收時脈信號。第一邏輯閘的第二輸入端子被配置為接收通過第一追蹤佈線延遲後的時脈信號，並且輸出端子被配置為產生第一控制信號。

【0118】 在一些實施例中，控制信號產生器包括第二邏輯閘，第二邏輯閘具有第一輸入端子、第二輸入端子和輸出端子。第二邏輯閘的第一輸入端子被配置為接收通過第一追蹤佈線延遲後的時脈信號。第二邏輯閘的第二輸入端子被配置為接收通過第二追蹤佈線延遲後的時脈信號。第二邏輯閘的輸出端子被配置為產生第二控制信號。

【0119】 在一些實施例中，第一子陣列相對鄰近記憶體陣列的側邊緣佈置，並且第二子陣列相對遠離側邊緣佈置。

【0120】 在一些實施例中，一種方法包括以下操作。利用第一追蹤佈線將時脈信號延遲為第一延遲時脈信號。第一追

蹤佈線具有與字線的第一深度距離正相關的第一追蹤長度。參考時脈信號和第一延遲時脈信號生成第一控制信號。

【0121】 在一些實施例中，方法還包括以下操作。利用第二追蹤佈線將時脈信號延遲為第二延遲時脈信號。第二追蹤佈線具有與字線的第二深度距離正相關的第二追蹤長度。參考第一延遲時脈信號和第二延遲時脈信號生成第二控制信號。

【0122】 以上概述了若干實施例的特徵，使得本領域技術人員可以更好地理解本揭示的各方面。本領域技術人員應當理解，他們可以容易地使用本揭示作為設計或修改其他工藝和結構以實現本文介紹的實施例的相同目的和/或實現本文介紹的實施例的相同優點的基礎。本領域技術人員還應該認識到，這樣的等同構造不脫離本揭示的精神和範圍，並且他們可以在不脫離本揭示的精神和範圍的情況下在本文中進行各種改變、替換和變更。

【0123】 示例 1 是一種記憶體裝置，包括：記憶體陣列，具有佈置在列和行中的多個位元單元；多個位元線對，每個位元線對連接到相應行的位元單元；多個字線，每個字線連接到相應列的位元單元；調變電路，與至少一個位元線對耦接；以及控制信號產生器，與所述調變電路耦接，其中，所述控制信號產生器包括追蹤佈線，所述追蹤佈線的追蹤長度與所述字線的深度距離正相關，所述控制信號產生器被配置為產生控制信號，所述控制信號參考所述追蹤長度在第一持續時間內切換到第一電壓位準，以用於控

制所述調變電路。

【0124】 示例 2 是示例 1 所述的裝置，其中，回應於所述控制信號處於與所述第一電壓位準不同的第二電壓位準，所述調變電路被配置為將所述至少一個位元線對中的位元線和互補位元線相互連接，以使所述位元線和所述互補位元線上的電壓位準相等。

【0125】 示例 3 是示例 1 所述的裝置，其中，回應於所述控制信號處於所述第一電壓位準，所述調變電路被配置為將所述至少一個位元線對中的位元線和互補位元線預充電到參考電壓位準。

【0126】 示例 4 是示例 1 所述的裝置，還包括：讀取/寫入電路，耦接到所述至少一個位元線對，其中，回應於所述控制信號切換到所述第一電壓位準，所述調變電路被停用，並且所述讀取/寫入電路被配置為存取與所述至少一個位元線對連接的位元單元。

【0127】 示例 5 是示例 1 所述的裝置，其中，所述追蹤佈線包括：第一追蹤段，從所述字線的側邊緣向所述字線的一半位置延伸；以及第二追蹤段，從所述字線的一半位置向所述字線的側邊緣延伸，所述第一追蹤段和所述第二追蹤段的長度之和與所述字線的深度距離正相關。

【0128】 示例 6 是示例 1 所述的裝置，其中，所述控制信號產生器包括：邏輯閘，具有第一輸入端子、第二輸入端子和輸出端子，所述邏輯閘的所述第一輸入端子被配置為接收時脈信號，所述邏輯閘的所述第二輸入端子被配置為

接收通過所述追蹤佈線延遲後的時脈信號，並且所述輸出端子被配置為產生所述控制信號。

【0129】 示例 7 是一種記憶體裝置，包括：記憶體陣列，具有佈置在列和行中的多個位元單元，其中，所述記憶體陣列包括位元單元的第一子陣列和位元單元的第二子陣列；第一位元線對，耦接到所述記憶體陣列的行上的第一子陣列中的位元單元；第二位元線對，耦接到所述記憶體陣列的行上的第二子陣列中的位元單元；多個字線，沿著所述記憶體陣列的多個列延伸；第一調變電路，與所述第一位元線對耦接；第二調變電路，與所述第二位元線對耦接；以及控制信號產生器，與所述第一調變電路和所述第二調變電路耦接，其中，所述控制信號產生器包括第一追蹤佈線，所述第一追蹤佈線的第一追蹤長度與所述字線的半深度距離正相關，所述控制信號產生器被配置為產生第一控制信號，所述第一控制信號參考所述第一追蹤長度在第一持續時間內切換到第一電壓位準，以用於控制第一調變電路，並且其中，所述控制信號產生器包括第二追蹤佈線，所述第二追蹤佈線的第二追蹤長度與所述字線的全深度距離正相關，所述控制信號產生器被配置為產生第二控制信號，所述第二控制信號參考所述第二追蹤長度在第二持續時間內切換到所述第一電壓位準，以用於控制第二調變電路。

【0130】 示例 8 是示例 7 所述的裝置，其中，所述第一位元線對被配置為從所述記憶體陣列的第一側邊緣沿著所述

記憶體陣列的行延伸，並且終止於所述第一子陣列和所述第二子陣列之間，所述第一位元線對耦接到所述行中的所述第一子陣列的位元單元。

【0131】 示例 9 是示例 8 所述的裝置，其中，所述第二位元線對被配置為從所述第一子陣列和所述第二子陣列之間的條帶單元沿著所述記憶體陣列的行延伸到所述記憶體陣列的第二側邊緣，所述第二位元線對耦接到所述行中的所述第二子陣列的位元單元。

【0132】 示例 10 是示例 9 所述的裝置，還包括：第三位元線對，耦接在所述第二調變電路和所述第二位元線對之間，其中，所述第三位元線對沿著所述記憶體陣列的行延伸並且與所述第一位元線對平行。

【0133】 示例 11 是示例 7 所述的裝置，其中，回應於所述第一控制信號處於與所述第一電壓位準不同的第二電壓位準，所述第一調變電路被配置為將所述第一位元線對中的位元線和互補位元線相互連接，並且將所述第一位元線對中的位元線和互補位元線預充電到參考電壓位準。

【0134】 示例 12 是示例 7 所述的裝置，其中，回應於所述第二控制信號處於與所述第一電壓位準不同的第二電壓位準，所述第二調變電路被配置為將所述第二位元線對中的位元線和互補位元線相互連接，並且將所述第二位元線對中的位元線和互補位元線預充電到參考電壓位準。

【0135】 示例 13 是示例 7 所述的裝置，還包括：讀取/寫入電路，耦接到所述第一位元線對和所述第二位元線對，

其中，回應於所述第一控制信號和所述第二控制信號切換到所述第一電壓位準，所述第一調變電路和所述第二調變電路被停用，所述讀取/寫入電路被配置為存取與所述第一位元線對或所述第二位元線對連接的位元單元。

【0136】 示例 14 是示例 7 所述的裝置，其中，所述第一追蹤佈線包括：第一追蹤段，從所述字線的側邊緣向所述字線的四分之一位置延伸；以及第二追蹤段，從所述字線的四分之一位置向所述字線的側邊緣延伸，所述第一追蹤段和所述第二追蹤段的長度之和與所述字線的半深度距離正相關。

【0137】 示例 15 是示例 7 所述的裝置，其中，所述第二追蹤佈線包括：第三追蹤段，從所述字線的側邊緣向所述字線的中心延伸；以及第四追蹤段，從所述字線的一半位置向所述字線的側邊緣延伸，所述第三追蹤段和所述第四追蹤段的長度之和與所述字線的全深度距離正相關。

【0138】 示例 16 是示例 7 所述的裝置，其中，所述控制信號產生器包括：第一邏輯閘，具有第一輸入端子、第二輸入端子和輸出端子，所述第一邏輯閘的所述第一輸入端子被配置為接收時脈信號，所述第一邏輯閘的所述第二輸入端子被配置為接收通過所述第一追蹤佈線延遲後的時脈信號，並且所述輸出端子被配置為產生所述第一控制信號。

【0139】 示例 17 是示例 16 所述的裝置，其中，所述控制信號產生器包括：第二邏輯閘，具有第一輸入端子、第二輸入端子和輸出端子，所述第二邏輯閘的所述第一輸入端

子被配置為接收通過所述第一追蹤佈線延遲後的時脈信號，所述第二邏輯閘的所述第二輸入端子被配置為接收通過所述第二追蹤佈線延遲後的時脈信號，並且所述第二邏輯閘的所述輸出端子被配置為產生所述第二控制信號。

【0140】 示例 18 是示例 16 所述的裝置，其中，所述第一子陣列相對鄰近所述記憶體陣列的側邊緣佈置，並且所述第二子陣列相對遠離所述側邊緣佈置。

【0141】 示例 19 是一種用於記憶體裝置的方法，包括：利用第一追蹤佈線將時脈信號延遲為第一延遲時脈信號，所述第一追蹤佈線具有與字線的第一深度距離正相關的第一追蹤長度；以及參考所述時脈信號和所述第一延遲時脈信號生成第一控制信號。

【0142】 示例 20 是示例 19 所述的方法，還包括：利用第二追蹤佈線將時脈信號延遲為第二延遲時脈信號，所述第二追蹤佈線具有與字線的第二深度距離正相關的第二追蹤長度；以及參考所述第一延遲時脈信號和所述第二延遲時脈信號生成第二控制信號。

【符號說明】

【0143】

100：記憶體裝置

120：記憶體陣列

140：本地輸入/輸出電路

142a：調變電路

- 1 4 2 b：調變電路
- 1 4 4：選擇電路
- 1 4 6：讀取 / 寫入電路
- 1 6 0：主控制電路
- 1 6 2：控制信號產生器
- 1 6 2 - 1：控制信號產生器
- 1 6 2 - 2：控制信號產生器
- 1 6 2 - 3：控制信號產生器
- 1 8 0：字線解碼器
- 1 8 2：解碼器單元
- 2 0 0：記憶體裝置
- 2 2 0：記憶體陣列
- 2 2 2：子陣列
- 2 2 4：子陣列
- 2 2 6：條帶單元
- 2 4 0：本地輸入 / 輸出電路
- 2 4 2 a：調變電路
- 2 4 2 b：調變電路
- 2 4 3 a：調變電路
- 2 4 3 b：調變電路
- 2 4 4：選擇電路
- 2 4 6：讀取 / 寫入電路
- 2 6 0：主控制電路
- 2 6 2：控制信號產生器

262-1: 控制信號產生器

280: 字線解碼器

282: 解碼器單元

BC: 位元單元

BL: 位元線

BL1: 位元線

BLn: 位元線

BLB: 互補位元線

BLB1: 互補位元線

BLBn: 互補位元線

BL1u: 位元線

BLnu: 位元線

BLB1u: 互補位元線

BLBnu: 互補位元線

BL1f: 飛位元線

BL1d: 位元線

BLnd: 位元線

BLB1d: 互補位元線

BLBnd: 互補位元線

BLB1f: 互補飛位元線

BLu: 位元線

BLd: 位元線

BLBd: 互補位元線

BLBu: 互補位元線

I N V 1：反相器
I N V 1 a：反相器
I N V 1 b：反相器
I N V 2：反相器
I N V 3：反相器
I N V 3 a：反相器
I N V 3 b：反相器
I N V 4：反相器
N A N D 1：邏輯閘
N A N D 2：邏輯閘
N O R 1：邏輯閘
N O R 2：邏輯閘
S 1：第一追蹤段
S 2：第二追蹤段
S 3：第三追蹤段
S 4：第四追蹤段
T 1：電晶體
T 2：電晶體
T 3：電晶體
T R：追蹤佈線
T R 1：追蹤佈線
T R 2：追蹤佈線
W L 1：字線
W L 2：字線

W L k : 字線

W L k + 1 : 字線

W L k + 2 字線

W L 2 k : 字線

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】一種記憶體裝置，包括：

一記憶體陣列，具有佈置在多個列和多個行中的複數個位元單元；

複數個位元線對，該些位元線對的每一者連接到相應行的複數個位元單元；

複數個字線，該些字線的每一者連接到一相應列的複數個位元單元；

一調變電路，與該些位元線對中的至少一個位元線對耦接；以及

一控制信號產生器，與該調變電路耦接，其中該控制信號產生器包括一追蹤佈線，該追蹤佈線的一追蹤長度與該些字線的一深度距離正相關，該控制信號產生器被配置為產生一控制信號，該控制信號參考該追蹤長度在一第一持續時間內切換到一第一電壓位準，以用於控制該調變電路。

【請求項 2】如請求項 1 所述的記憶體裝置，其中，回應於該控制信號處於與該第一電壓位準不同的一第二電壓位準，該調變電路被配置為將該至少一個位元線對中的一位元線和一互補位元線相互連接，以使該位元線和該互補位元線上的電壓位準相等。

【請求項 3】如請求項 1 所述的記憶體裝置，其中，回應

於該控制信號處於該第一電壓位準，該調變電路被配置為將該至少一個位元線對中的一位元線和一互補位元線預充電到一參考電壓位準。

【請求項 4】如請求項 1 所述的記憶體裝置，進一步包括：

一讀取/寫入電路，耦接到該至少一位元線對，其中，回應於該控制信號切換到該第一電壓位準，該調變電路被停用，並且該讀取/寫入電路被配置為存取與該至少一個位元線對連接的該些位元單元。

【請求項 5】如請求項 1 所述的記憶體裝置，其中，該追蹤佈線包括：

一第一追蹤段，從該些字線的一側邊緣向該些字線的一一半位置延伸；以及

一第二追蹤段，從該些字線的該一半位置向該些字線的該側邊緣延伸，該第一追蹤段和該第二追蹤段的一長度之和與該些字線的該深度距離正相關。

【請求項 6】如請求項 1 所述的記憶體裝置，其中，該控制信號產生器包括：

一邏輯閘，具有一第一輸入端子、一第二輸入端子和一輸出端子，該邏輯閘的該第一輸入端子被配置為接收一時脈信號，該邏輯閘的該第二輸入端子被配置為接收通過該追蹤佈線延遲後的該時脈信號，並且該輸出端子被配置為

產生該控制信號。

【請求項 7】一種記憶體裝置，包括：

一記憶體陣列，具有佈置在多個列和多個行中的複數個位元單元，其中該記憶體陣列包括一第一子陣列和一第二子陣列；

一第一位元線對，耦接到該記憶體陣列的一行上的該第一子陣列中的複數個位元單元；

一第二位元線對，耦接到該記憶體陣列的該行上的該第二子陣列中的複數個位元單元；

複數個字線，沿著該記憶體陣列的複數個列延伸；

一第一調變電路，與該第一位元線對耦接；

一第二調變電路，與該第二位元線對耦接；以及

一控制信號產生器，與該第一調變電路和該第二調變電路耦接，

其中，該控制信號產生器包括一第一追蹤佈線，該第一追蹤佈線的一第一追蹤長度與該些字線的一半深度距離正相關，該控制信號產生器被配置為產生一第一控制信號，該第一控制信號參考該第一追蹤長度在一第一持續時間內切換到一第一電壓位準，以用於控制該第一調變電路，並且

其中，該控制信號產生器包括一第二追蹤佈線，該第二追蹤佈線的一第二追蹤長度與該些字線的一全深度距離正相關，該控制信號產生器被配置為產生一第二控制信號，

該第二控制信號參考該第二追蹤長度在一第二持續時間內切換到該第一電壓位準，以用於控制該第二調變電路。

【請求項 8】如請求項 7 所述的記憶體裝置，其中該第一位元線對被配置為從該記憶體陣列的一第一側邊緣沿著該記憶體陣列的該行延伸，並且終止於該第一子陣列和該第二子陣列之間，該第一位元線對耦接到該行中的該第一子陣列的該些位元單元。

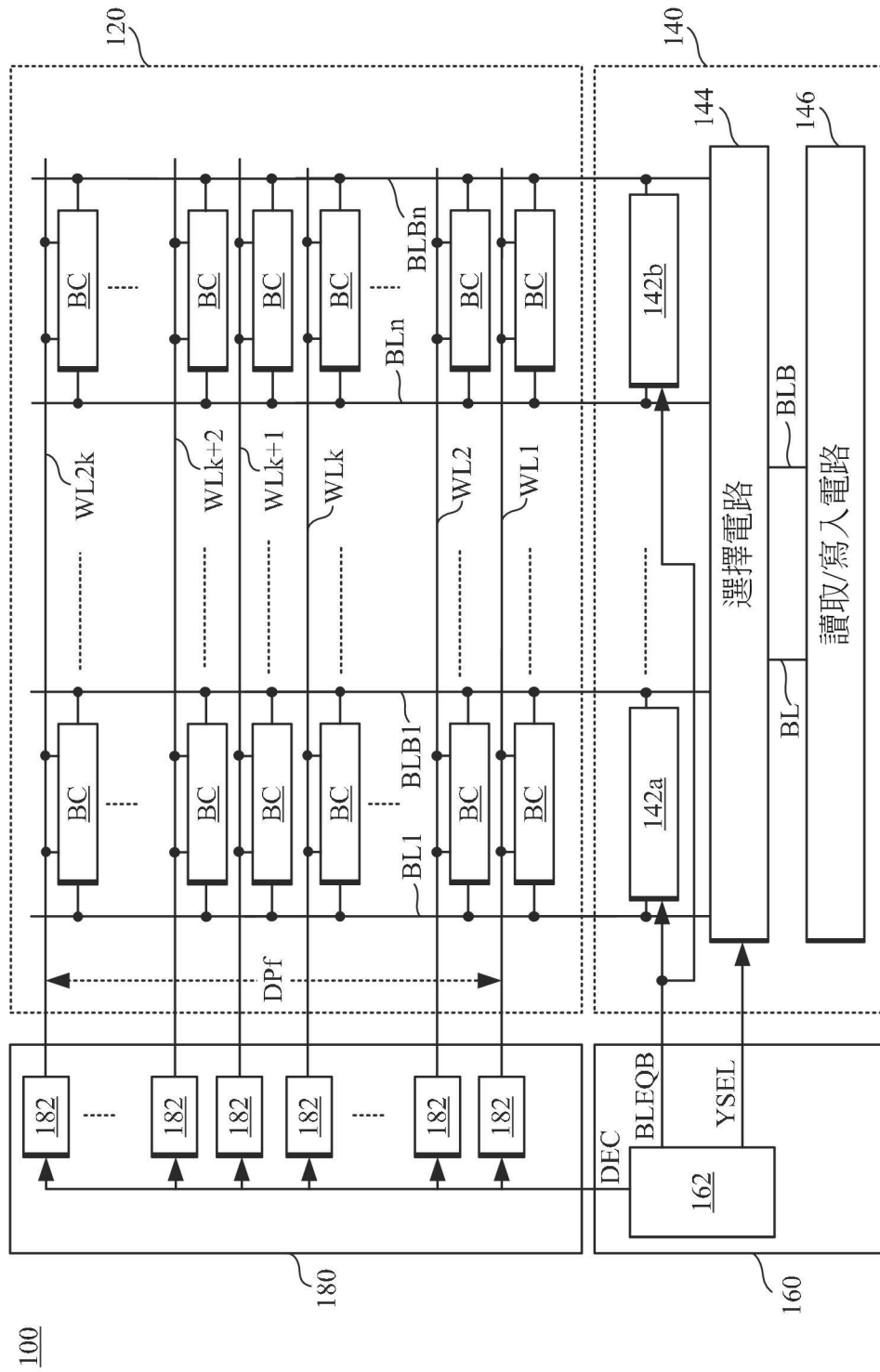
【請求項 9】如請求項 8 所述的記憶體裝置，其中該第二位元線對被配置為從該第一子陣列和該第二子陣列之間的一條帶單元沿著該記憶體陣列的該行延伸到該記憶體陣列的一第二側邊緣，該第二位元線對耦接到該行中的該第二子陣列的該些位元單元。

【請求項 10】一種控制記憶體裝置的方法，包括：

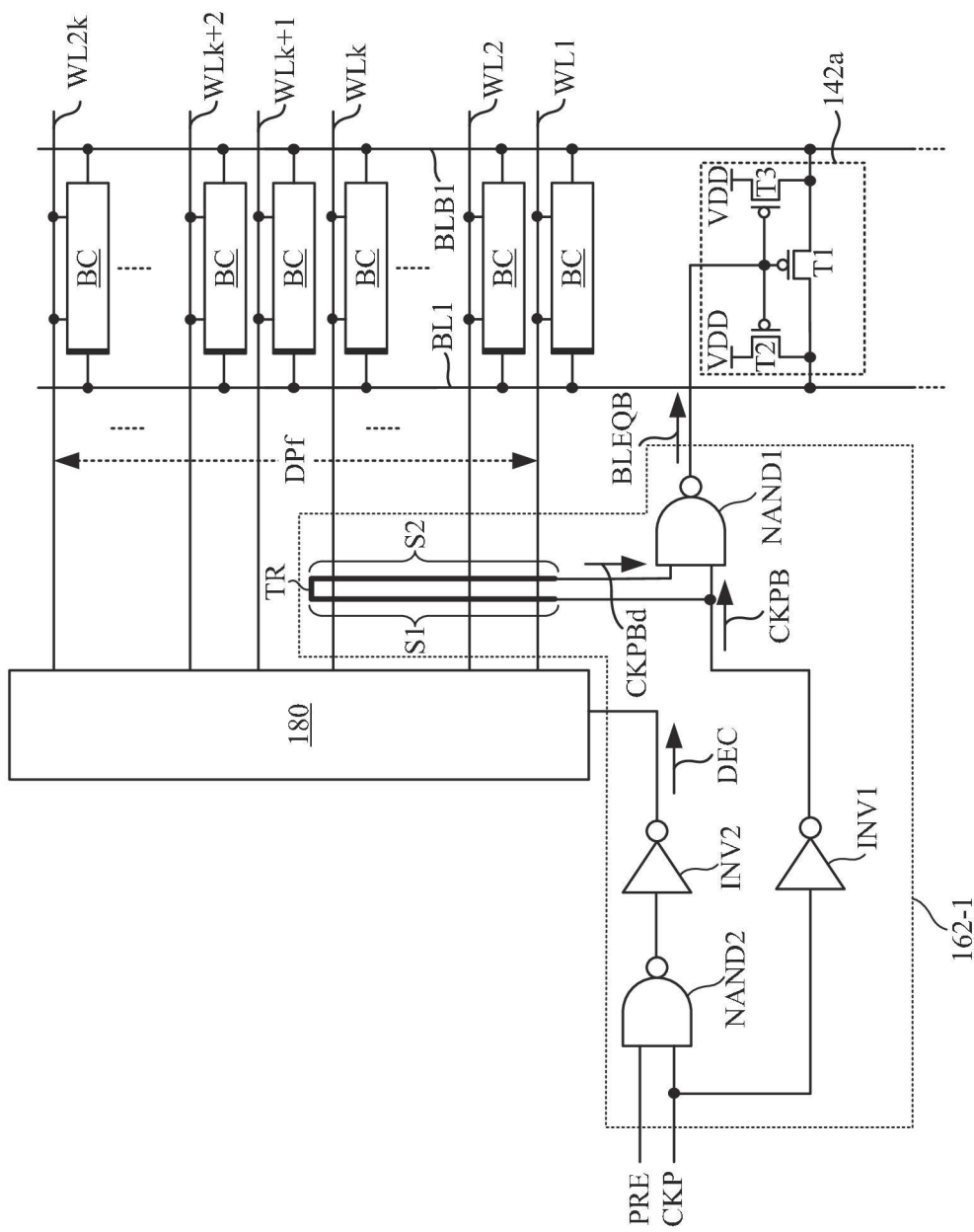
利用一第一追蹤佈線將一時脈信號延遲為一第一延遲時脈信號，該第一追蹤佈線具有與多個字線的一第一深度距離正相關的一第一追蹤長度；以及

藉由一邏輯閘，參考該時脈信號和該第一延遲時脈信號生成一第一控制信號。

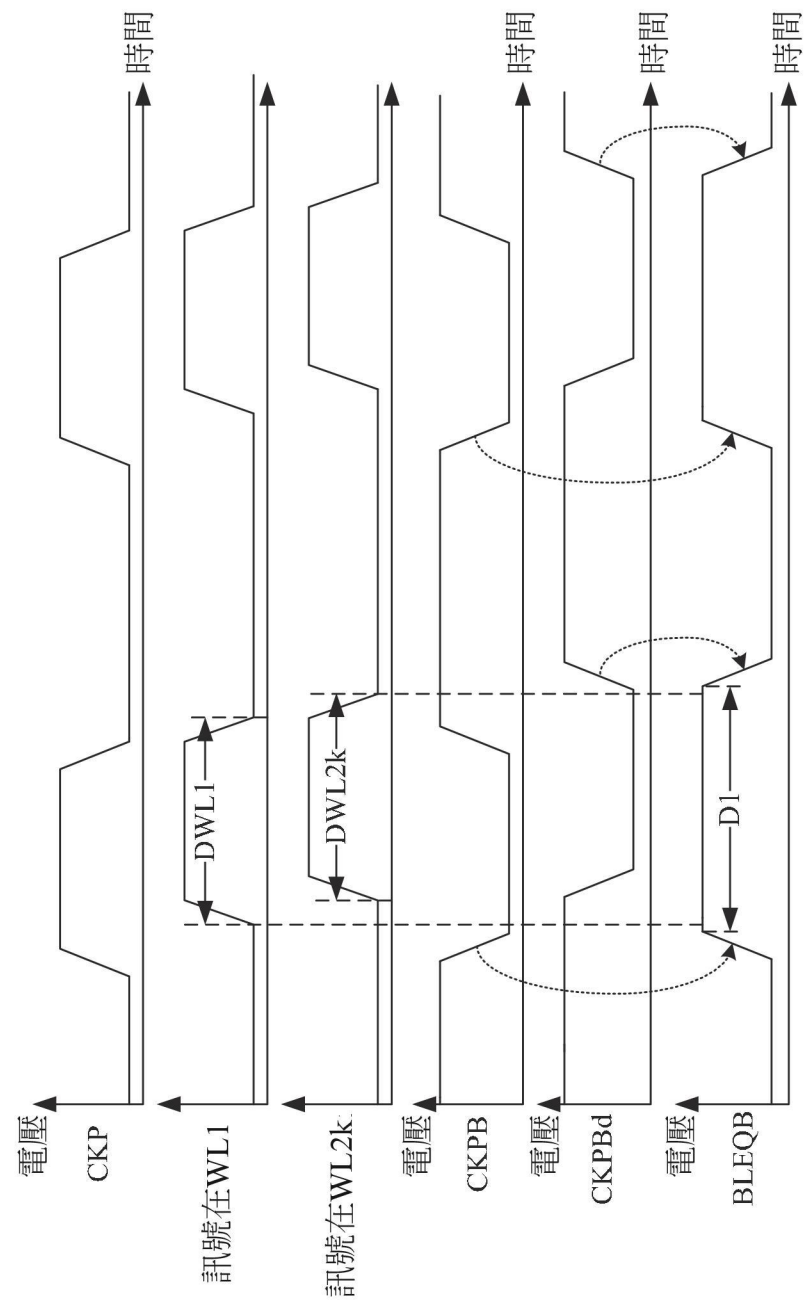
【發明圖式】



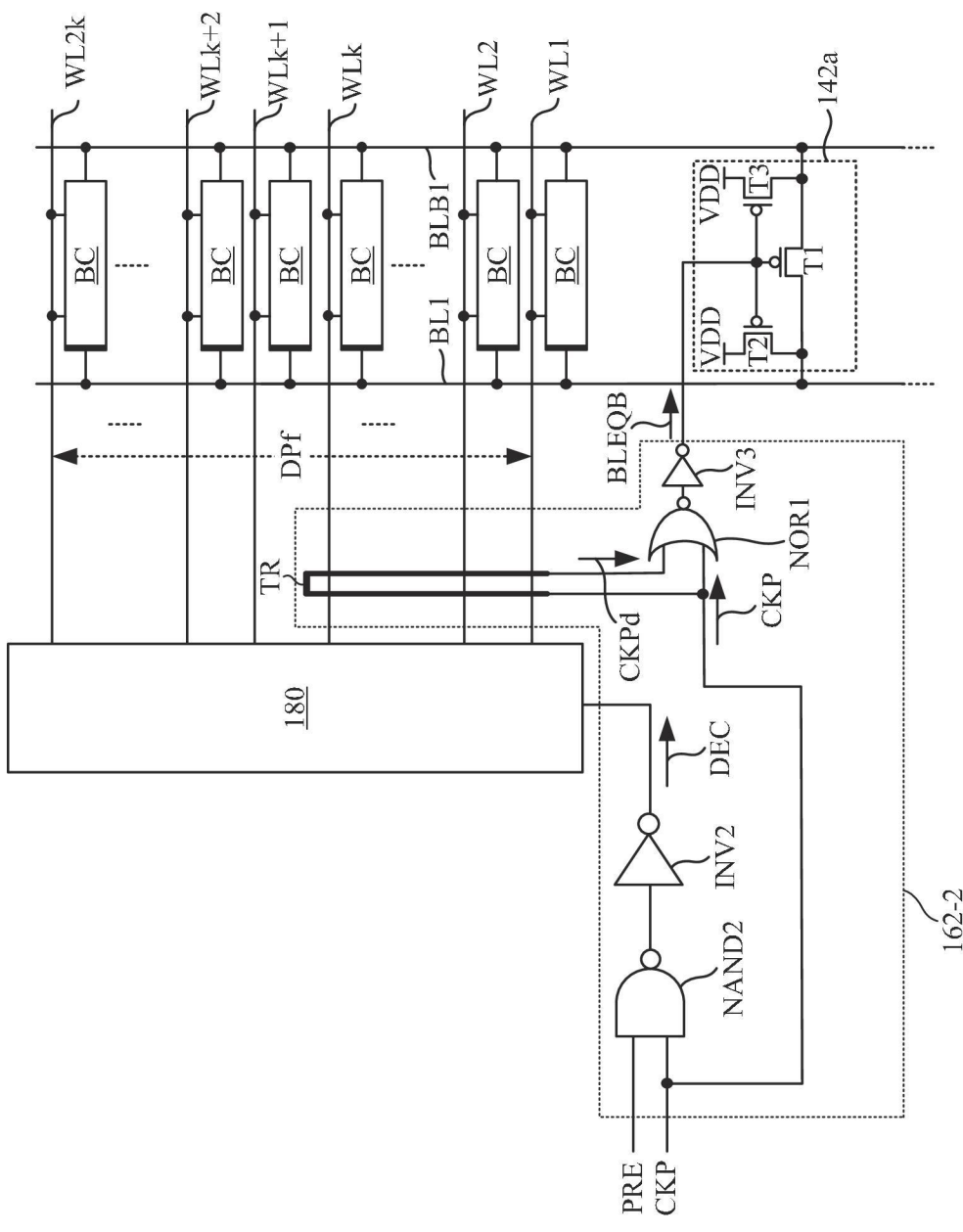
第 1 圖



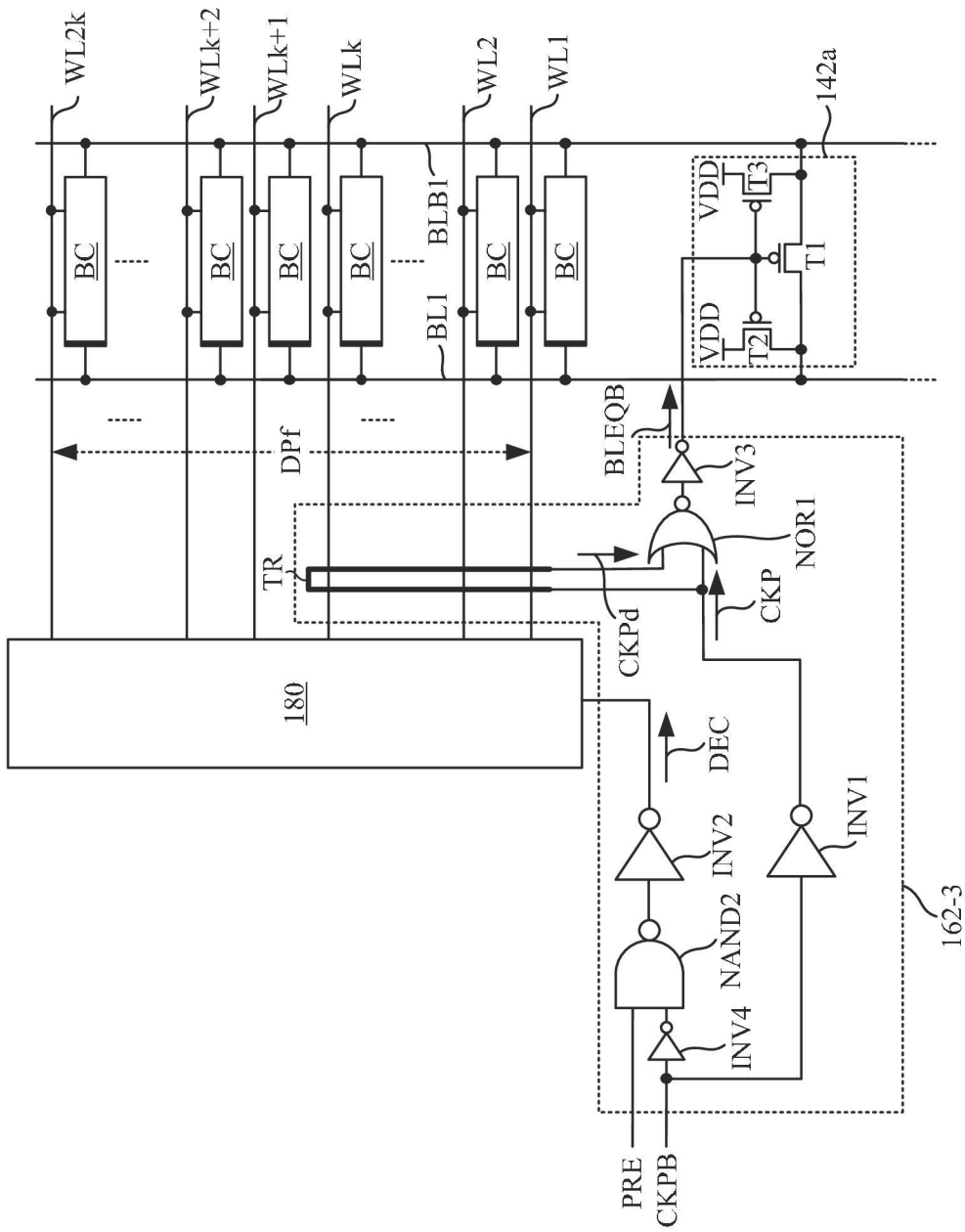
第 2 圖



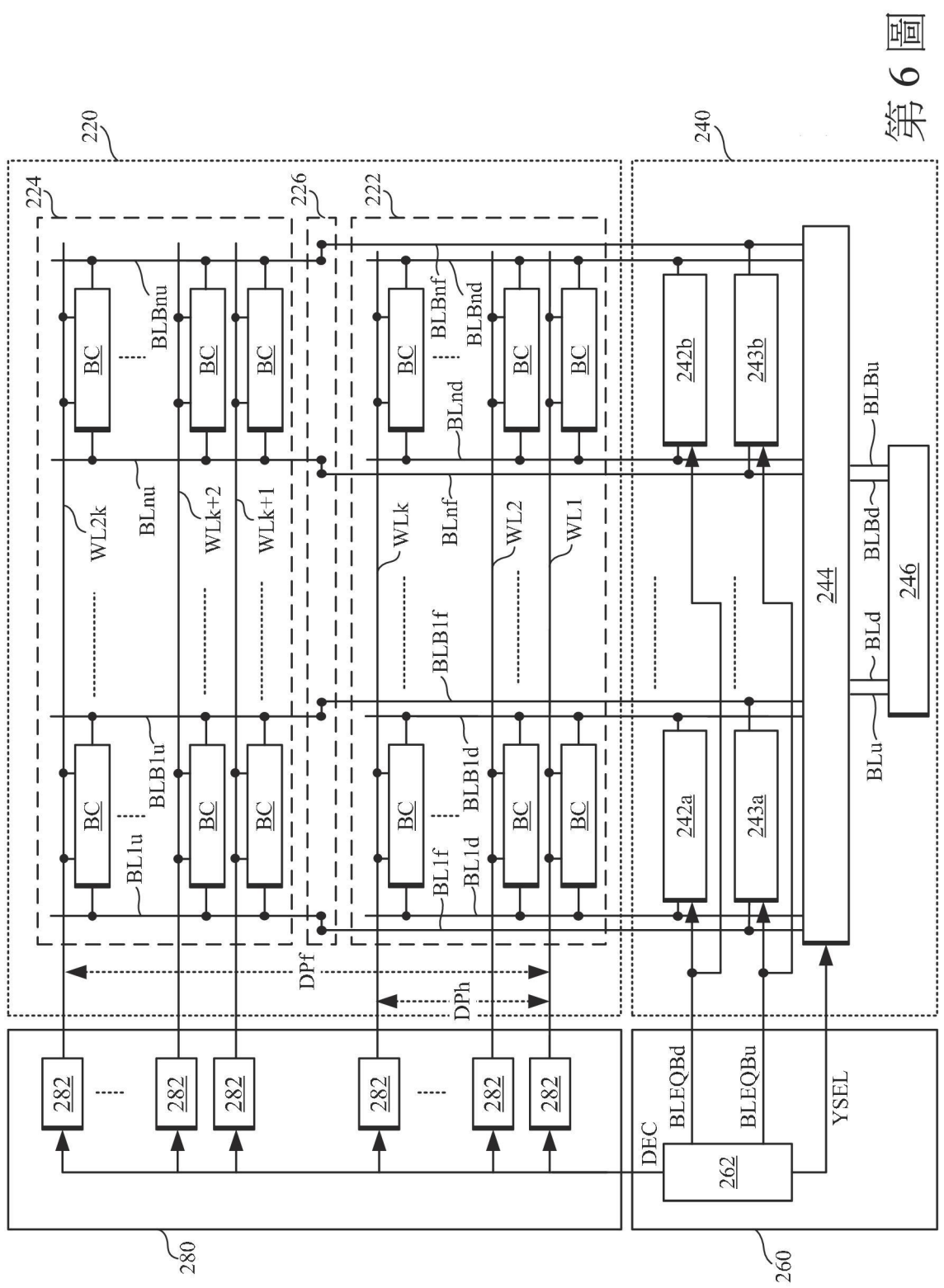
第 3 圖



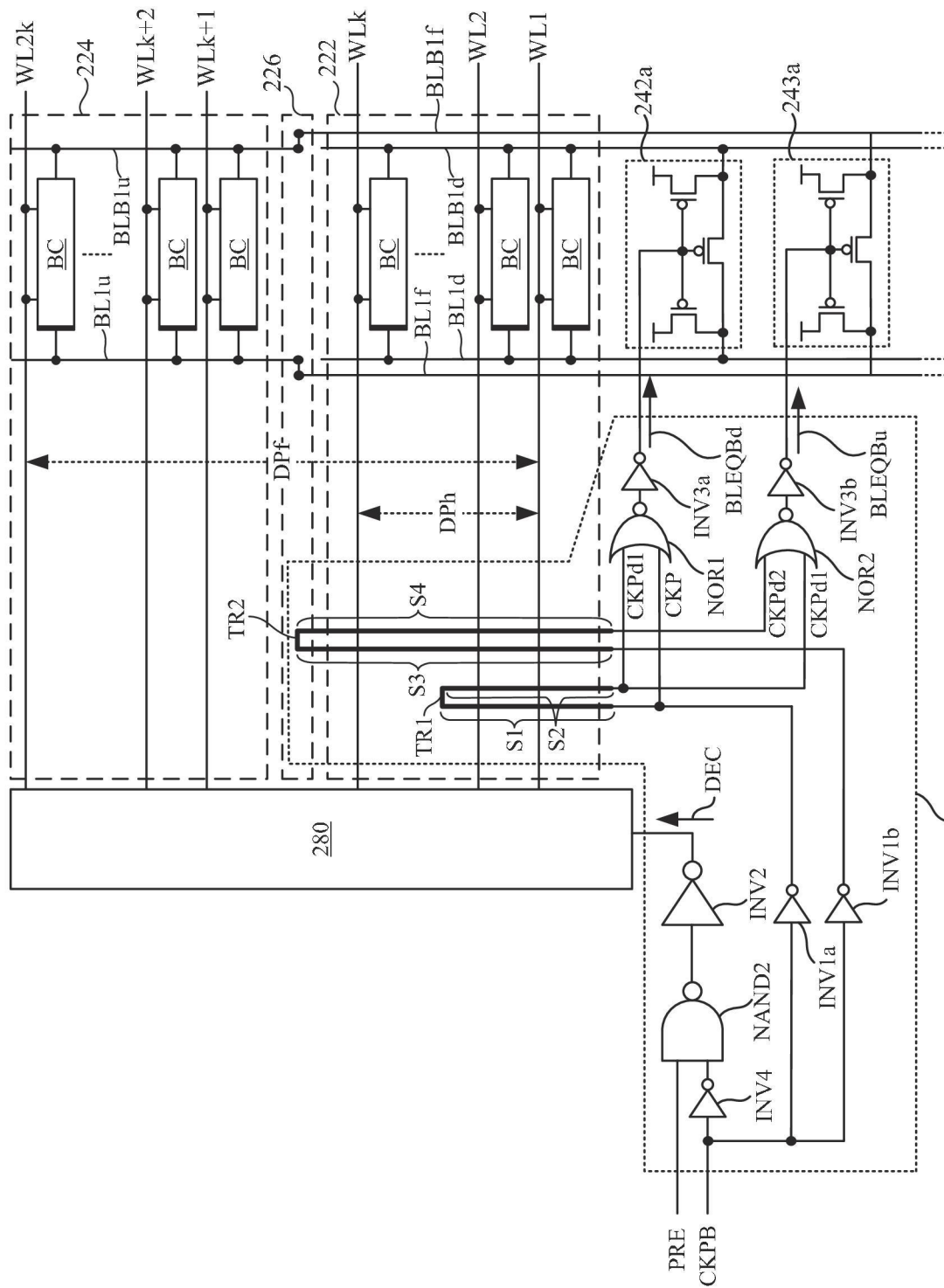
第 4 圖



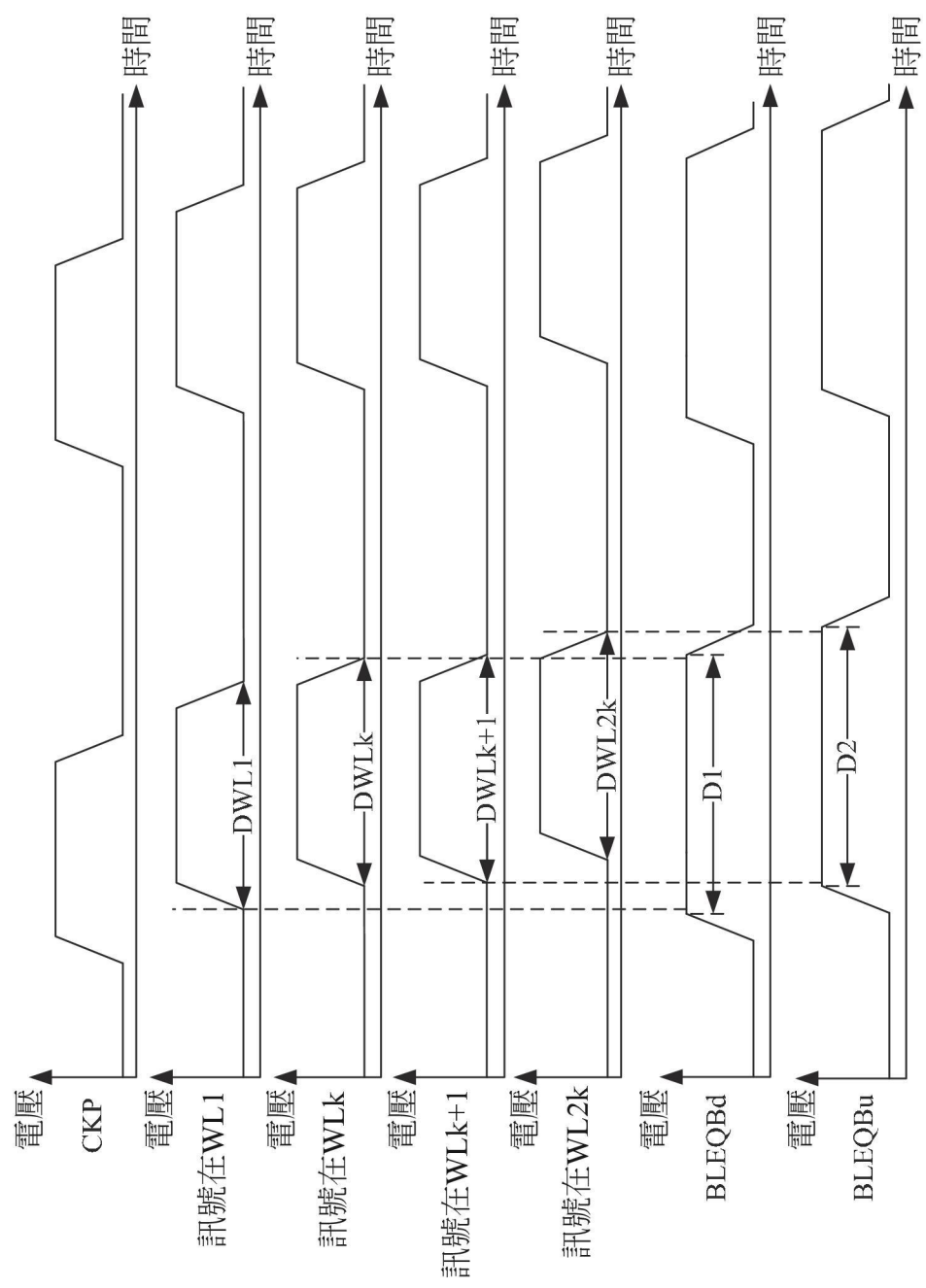
第 5 圖



第6圖



第 7 圖



第 8 圖