



(12)发明专利

(10)授权公告号 CN 105340074 B

(45)授权公告日 2019.07.19

(21)申请号 201480037255.3

(72)发明人 皇甫幼睿

(22)申请日 2014.01.22

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205

(65)同一申请的已公布的文献号
申请公布号 CN 105340074 A

代理人 马爽

(43)申请公布日 2016.02.17

(51)Int.Cl.

H01L 21/762(2006.01)

(85)PCT国际申请进入国家阶段日
2016.01.04

H01L 21/304(2006.01)

(86)PCT国际申请的申请数据
PCT/CN2014/071108 2014.01.22

(56)对比文件

US 2011097873 A1,2011.04.28,

US 2012270378 A1,2012.10.25,

(87)PCT国际申请的公布数据
W02015/109456 ZH 2015.07.30

US 2012028444 A1,2012.02.02,

US 5935762 A,1999.08.10,

(73)专利权人 华为技术有限公司
地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

审查员 陈冠源

权利要求书2页 说明书9页 附图8页

(54)发明名称

SOI衬底制备方法和SOI衬底

(57)摘要

提供一种SOI衬底制备方法和SOI衬底,SOI衬底制备方法包括:在第一硅衬底(110)的氧化层(120)中形成图形化刻蚀阻挡层(130),将第一硅衬底(110)中具有图形化刻蚀阻挡层(130)的一面与第二硅衬底(210)的表面键合,并剥离部分的第一硅衬底(110)以形成图形化绝缘衬底上的硅SOI衬底(300)。解决了现有技术中在SOI衬底的硅层上生长异质外延层时,导致硅层和异质外延层之间存在晶格失配和热失配的问题,可以在SOI衬底的硅层上形成无线位错的异质外延层,并很大程度上降低硅衬底与异质外延层之间的晶格失配率,提高了光电器件的使用性能和可靠性。



1. 一种绝缘衬底上的硅SOI衬底制备方法,其特征在于,包括:
 - 在第一硅衬底的氧化层中形成图形化刻蚀阻挡层;
 - 将所述第一硅衬底中具有所述图形化刻蚀阻挡层的一面与第二硅衬底的表面键合,并剥离部分的第一硅衬底以形成图形化SOI衬底;
 - 在所述图形化SOI衬底上形成第一图形掩膜以露出器件形成区;
 - 对所述图形化SOI衬底的器件形成区进行刻蚀以通过所述图形化刻蚀阻挡层的刻蚀阻挡作用得到所述第二硅衬底上的图形化氧化层;
 - 在所述器件形成区中外延生长III-V族化合物以形成器件结构。
2. 根据权利要求1所述的方法,其特征在于,所述在第一硅衬底的氧化层中形成图形化刻蚀阻挡层,包括:
 - 在所述第一硅衬底上形成第一氧化层;
 - 在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层。
3. 根据权利要求2所述的方法,其特征在于,所述在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层,包括:
 - 在所述第一硅衬底的第一氧化层上形成刻蚀阻挡层;
 - 在所述刻蚀阻挡层上形成第二图形掩膜,并且通过刻蚀得到图形化刻蚀阻挡层,所述第二图形掩膜包括通过极紫外光刻EUV方法得到的图形化光刻胶。
4. 根据权利要求2所述的方法,其特征在于,所述在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层,包括:
 - 在所述第一硅衬底的第一氧化层上形成刻蚀阻挡层;
 - 在所述刻蚀阻挡层上形成第三图形掩膜,并且通过刻蚀得到图形化刻蚀阻挡层,所述第三图形掩膜包括多孔氧化铝膜。
5. 根据权利要求2~4中任一所述的方法,其特征在于,所述在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层之后,还包括:
 - 在所述图形化刻蚀阻挡层上生长第二氧化层,并对所述第二氧化层进行平整化处理和化学表面处理。
6. 根据权利要求2~4中任一所述的方法,其特征在于,所述在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层之前,还包括:
 - 对所述第一硅衬底进行离子注入,在所述第一硅衬底的硅层中形成缺陷层,则所述剥离部分的第一硅衬底包括剥离所述第一硅衬底中所述缺陷层和所述缺陷层上方的硅层;
 - 所述将所述第一硅衬底中具有所述图形化刻蚀阻挡层的一面与第二硅衬底的硅表面键合,并剥离部分的第一硅衬底以形成图形化SOI衬底之后,还包括:
 - 进行低温退火处理使得所述第一硅衬底与所述第二硅衬底的贴合面紧密结合;
 - 对所述图形化SOI衬底进行表面抛光处理。
7. 根据权利要求1~4中任一所述的方法,其特征在于,所述图形化刻蚀阻挡层的材料为与氧化层具有刻蚀选择性的材料。
8. 根据权利要求1~4中任一项所述的方法,其特征在于,所述图形化刻蚀阻挡层的图形尺寸小于20nm,所述图形化刻蚀阻挡层的厚度小于50nm。
9. 根据权利要求5所述的方法,其特征在于,所述对所述图形化SOI衬底的器件形成区

进行刻蚀以得到所述第二硅衬底上的图形化氧化层,包括:

刻蚀所述图形化SOI衬底中器件形成区的所述第一硅衬底的硅层、第一氧化层和第二氧化层的部分以得到所述第二硅衬底上的图形化氧化层和图形化刻蚀阻挡层,所述图形化氧化层在所述图形化刻蚀阻挡层的下方;

去除所述图形化的SOI衬底中器件形成区的所述图形化刻蚀阻挡层以得到所述第二硅衬底上的图形化氧化层。

10. 根据权利要求1~4或9中任一所述的方法,其特征在于,所述在所述器件形成区中外延生长III-V族化合物以形成器件结构,包括:

在已得到所述图形化氧化层的第二硅衬底上生长第三氧化层,所述第三氧化层生长在所述器件形成区以外的部分;

在已生长所述第三氧化层的第二硅衬底的图形化氧化层上外延生长III-V族化合物以形成器件结构,所述外延生长的III-V族化合物在所述第二硅衬底的图形化氧化层的图形中与第二硅衬底相连。

11. 根据权利要求1~4或9中任一所述的方法,其特征在于,所述III-V族化合物包括磷化铝AlP、磷化镓GaP、磷化铟InP、砷化铝AlAs、砷化镓GaAs、砷化铟InAs、锑化铝AlSb、锑化镓GaSb、锑化铟InSb、氮化铝AlN、氮化镓GaN、氮化铟InN或其三元和四元的化合物。

12. 根据权利要求1~4或9中任一所述的方法,其特征在于,所述在所述器件形成区中外延生长III-V族化合物以形成器件结构,包括:

在所述器件形成区中通过分子束外延MBE工艺、化学气相沉积CVD工艺、原子层沉积ALD工艺或其变化工艺生长III-V族化合物以形成所述器件衬底。

13. 根据权利要求1~4或9中任一所述的方法,其特征在于,还包括:

对已形成所述器件结构的图形化SOI衬底进行退火处理以减少所述器件形成区中所述III-V族化合物的外延横向过度生长ELO所造成的缺陷。

14. 根据权利要求1~4或9中任一所述的方法,其特征在于,还包括:

在所述器件结构中形成光电器件结构,所述光电器件结构包括多层结构。

15. 一种绝缘衬底上的硅SOI衬底,其特征在于,所述SOI衬底采用如权利要求1~14中任一项所述的方法制得。

SOI衬底制备方法和SOI衬底

技术领域

[0001] 本发明实施例涉及半导体器件技术,尤其涉及一种SOI衬底制备方法和SOI衬底。

背景技术

[0002] 随着半导体集成电路向小型化和多样化的发展,不断缩小器件的特征尺寸、提高器件集成度的同时带来了信号延长、互联串扰等问题;通常使用的电互连介质导致的高功耗和能量浪费已不能满足半导体工业对器件高性能低成本的要求;然而,光互连可以有效的解决上述问题并给传统集成电路带来许多新的功能,因此,光电器件成为半导体器件向高集成度发展的主要方向。

[0003] 目前,通常使用的绝缘衬底上的硅(Silicon On Insulator,简称为:SOI)衬底是在顶层硅和背层硅衬底之间引入了一层埋氧化层;具体通过在绝缘体上形成半导体薄膜,SOI衬底具有了体硅衬底所无法比拟的优点,例如,可以实现集成电路中元器件的介质隔离,消除了体硅CMOS电路中的寄生门锁效应;采用SOI衬底制备的集成电路还具有寄生电容小、集成密度高、速度快、工艺简单、短沟道效应小及特别适用于低压低功耗电路等优势,因此,SOI衬底将有可能成为深亚微米的低压、低功耗集成电路的主流技术。然而,采用SOI衬底制备光电器件或光波导器件的过程中,需要在外延生长异质结,例如,在SOI衬底的硅层上外延生长III-V族化合物可以获得具有良好的光电性能的衬底材料,适用于作为光电器件的衬底材料。

[0004] 现有技术中在SOI衬底的硅层上生长异质外延层时,由于硅层和异质外延层之间存在晶格失配和热失配而导致在衬底中会引入高密度的线位错的问题,降低了光电器件的使用性能和可靠性。

发明内容

[0005] 本发明实施例提供一种SOI衬底制备方法和SOI衬底,以解决现有技术中在SOI衬底的硅层上生长异质外延层时,由于硅层和异质外延层之间存在晶格失配和热失配而导致高密度线位错的问题。

[0006] 第一方面,本发明实施例提供一种SOI衬底制备方法,包括:

[0007] 在第一硅衬底的氧化层中形成图形化刻蚀阻挡层;

[0008] 将所述第一硅衬底中具有所述图形化刻蚀阻挡层的一面与第二硅衬底的硅表面键合,并剥离部分的第一硅衬底以形成图形化绝缘衬底上的硅SOI衬底。

[0009] 在第一方面的第一种可能的实现方式中,所述在第一硅衬底的氧化层中形成图形化刻蚀阻挡层,包括:

[0010] 在所述第一硅衬底上形成第一氧化层;

[0011] 在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层。

[0012] 根据第一方面的第一种可能的实现方式,在第二种可能的实现方式中,所述在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层,包括:

- [0013] 在所述第一硅衬底的第一氧化层上形成刻蚀阻挡层；
- [0014] 在所述刻蚀阻挡层上形成图形掩膜，并且通过刻蚀得到图形化刻蚀阻挡层，所述图形掩膜包括通过极紫外光刻EUV方法得到的图形化光刻胶。
- [0015] 根据第一方面的第一种可能的实现方式，在第三种可能的实现方式中，所述在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层，包括：
- [0016] 在所述第一硅衬底的第一氧化层上形成刻蚀阻挡层；
- [0017] 在所述刻蚀阻挡层上形成图形掩膜，并且通过刻蚀得到图形化刻蚀阻挡层，所述图形掩膜包括多孔氧化铝膜。
- [0018] 根据第一方面的第一种到第三种可能的实现方式的任意一种，在第四种可能的实现方式中，所述在第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层之后，还包括：
- [0019] 在所述图形化刻蚀阻挡层上生长二氧化层，并对所述第二氧化层进行平整化处理和化学表面处理。
- [0020] 根据第一方面的第一种到第四种可能的实现方式的任意一种，在第五种可能的实现方式中，所述在所述第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层之前，还包括：
- [0021] 对所述第一硅衬底进行离子注入，在所述第一硅衬底的硅层中形成缺陷层，则所述剥离部分的第一硅衬底包括剥离所述第一硅衬底中所述缺陷层和所述缺陷层上方的硅层；
- [0022] 所述将所述第一硅衬底中具有所述图形化刻蚀阻挡层的一面与第二硅衬底的硅表面键合，并剥离部分的第一硅衬底以形成图形化绝缘衬底上的硅SOI衬底之后，还包括：
- [0023] 进行低温退火处理使得所述第一硅衬底与所述第二硅衬底的贴合面紧密结合；
- [0024] 对所述图形化SOI衬底进行表面抛光处理。
- [0025] 根据第一方面、第一方面的第一种到第五种可能的实现方式的任意一种，在第六种可能的实现方式中，所述图形化刻蚀阻挡层的材料为与氧化层具有刻蚀选择性的材料。
- [0026] 根据第一方面、第一方面的第一种到第六种可能的实现方式的任意一种，在第七种可能的实现方式中，所述图形化刻蚀阻挡层的图形尺寸小于20nm，所述图形化刻蚀阻挡层的厚度小于50nm。
- [0027] 根据第一方面、第一方面的第一种到第七种可能的实现方式的任意一种，在第八种可能的实现方式中，还包括：
- [0028] 在所述图形化SOI衬底上形成图形掩膜以露出器件形成区；
- [0029] 对所述图形化SOI衬底的器件形成区进行刻蚀以得到所述第二硅衬底上的图形化氧化层；
- [0030] 在所述器件形成区中外延生长III-V族化合物以形成器件结构。
- [0031] 根据第一方面的第八种可能的实现方式，在第九种可能的实现方式中，所述对所述图形化SOI衬底的器件形成区进行刻蚀以得到所述第二硅衬底上的图形化氧化层，包括：
- [0032] 刻蚀所述图形化SOI衬底中器件形成区的所述第一硅衬底的硅层、所述第一氧化层和部分二氧化层以得到所述第二硅衬底上的图形化氧化层和图形化刻蚀阻挡层，所述图形化氧化层在所述图形化刻蚀阻挡层的下方；
- [0033] 去除所述图形化的SOI衬底中器件形成区的所述图形化刻蚀阻挡层以得到所述第二硅衬底上的图形化氧化层。

[0034] 根据第一方面的第八种或第九种可能的实现方式,在第十种可能的实现方式中,所述在所述器件形成区中外延生长III-V族化合物以形成器件衬底,包括:

[0035] 在已得到所述图形化氧化层的第二硅衬底上生长第三氧化层,所述第三氧化层生长在所述器件形成区以外的部分;

[0036] 在所述已生长第三氧化层的第二硅衬底的图形化氧化层上外延生长III-V族化合物以形成器件结构,所述外延生长的III-V族化合物在所述第二硅衬底的图形化氧化层的图形中与第二硅衬底相连。

[0037] 根据第一方面的第八种到第十种可能的实现方式的任意一种,在第十一种可能的实现方式中,所述III-V族化合物包括磷化铝AlP、磷化镓GaP、磷化铟InP、砷化铝AlAs、砷化镓GaAs、砷化铟InAs、锑化铝AlSb、锑化镓GaSb、锑化铟InSb、氮化铝AlN、氮化镓GaN、氮化铟InN或其三元和四元的化合物。

[0038] 根据第一方面的第八种到第十一种可能的实现方式的任意一种,在第十二种可能的实现方式中,所述在所述器件形成区中外延生长III-V族化合物以形成器件衬底,包括:

[0039] 在所述器件形成区中通过分子束外延MBE工艺、化学气相沉积CVD工艺、原子层沉积ALD工艺或其变化工艺生长III-V族化合物以形成所述器件衬底。

[0040] 根据第一方面的第八种到第十二种可能的实现方式的任意一种,在第十三种可能的实现方式中,还包括:

[0041] 对所述已形成器件衬底的图形化SOI衬底进行退火处理以减少所述器件形成区中所述III-V族化合物的外延横向过度生长ELO所造成的缺陷。

[0042] 根据第一方面的第八种到第十三种可能的实现方式的任意一种,在第十四种可能的实现方式中,还包括:

[0043] 在所述器件结构中形成光电器件结构,所述光电器件结构包括多层结构。

[0044] 第二方面,本发明实施例提供一种SOI衬底,所述SOI衬底采用本发明实施例提供的SOI衬底制备方法制得。

[0045] 本实施例所提供的SOI衬底制备方法和SOI衬底,通过在第一硅衬底的氧化层中形成图形化刻蚀阻挡层,并将该第一硅衬底具有图形化刻蚀阻挡层的一面与第二硅衬底的硅表面键合,剥离部分第一硅衬底等处理后形成图形化SOI衬底,解决了现有技术中在SOI衬底的硅层上生长异质外延层时,由于硅层和异质外延层之间存在晶格失配和热失配而导致高密度线位错的问题,本实施例所提供的图形化SOI衬底可以在硅衬底上形成无线位错的异质外延层,提高了光电器件的使用性能和可靠性。

附图说明

[0046] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0047] 图1为本发明实施例一所提供的一种SOI衬底制备方法的流程图;

[0048] 图2为现有技术所提供的一种SOI衬底的结构示意图;

[0049] 图3A~图3B为图1所示实施例所提供的一种SOI衬底制备方法中的衬底结构示意图

图；

[0050] 图4为本发明实施例二所提供的一种SOI衬底制备方法的流程图；

[0051] 图5A~图5G为图4所示实施例所提供的一种SOI衬底制备方法中的衬底结构示意图；

[0052] 图6为本发明实施例三所提供的一种利用图形化SOI衬底生长异质外延III-V结构的流程图；

[0053] 图7A~图7E为图6所示实施例所提供的一种SOI衬底制备方法中的衬底结构示意图。

具体实施方式

[0054] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0055] 实施例一

[0056] 图1为本发明实施例一所提供的一种SOI衬底制备方法的流程图。本实施例的方法适用于制备半导体器件衬底的情况。本实施例的方法包括如下步骤：

[0057] S110，在第一硅衬底的氧化层中形成图形化刻蚀阻挡层。

[0058] 目前，通常使用的SOI衬底的结构为在顶层硅和底层硅衬底之间引入了一层氧化层，如图2所示，为现有技术所提供的一种SOI衬底的结构示意图，该现有技术的SOI衬底的制备通常需要两个晶圆衬底，具体为硅衬底A和硅衬底B，在硅衬底A上形成氧化层，将具有氧化层的硅衬底A翻转与硅衬底B的硅表面键合，具体地，硅衬底A的氧化层与硅衬底B的表面硅层贴合，形成了顶层硅和底层硅衬底之间具有一层氧化层的衬底结构，该现有的SOI衬底虽然具备比普通硅衬底更为优良的性能，但是，在该现有SOI衬底的硅层上外延生长异质结，仍然会在外延层中产生位错；与现有技术不同的是，本实施例中，两层硅衬底之间的氧化层中有一层图形化的膜质，如图3A所示，为图1所示实施例所提供的一种SOI衬底制备方法中的衬底结构示意图；具体制备的过程中，可以在第一硅衬底110的氧化层120中形成了图形化刻蚀阻挡层130，该图形化的刻蚀阻挡层130在该氧化层120中间偏上的位置形成。

[0059] 需要说明的是，本实施例中的图形化刻蚀阻挡层130的图形尺寸可以小于20nm，该图形化刻蚀阻挡层130的厚度可以小于50nm；类似地，该图形化刻蚀阻挡层130上方的氧化层的厚度也可以小于50nm，该图形化刻蚀阻挡层130上方和下方的氧化层是相连接的整体。

[0060] 根据Luryi和Suhir提出的一个理论，衬底上的外延层垂直方向的应力场 σ 在生长方向z上符合指数衰减，如下式(1)：

[0061]

$$\sigma \propto e^{-\frac{\pi z}{2l}} \quad (1)$$

[0062] 在上述式(1)中，2l为图形的横向维度，可知应力场 σ 随图形尺寸的减小而指数衰减，因此，只要图形足够小，外延层产生位错的临界厚度会趋于无穷大，相当于可以在硅衬底上形成无线位错的异质外延层。

[0063] 本实施例所提供的一种SOI衬底的制备方法,在第一硅衬底110的氧化层120中形成了图形尺寸极小的图形化刻蚀阻挡层130,该方法制备的SOI衬底适用于生长与硅有晶格失配的材料,可以在硅衬底上形成无线位错的异质外延层。

[0064] S120,将该第一硅衬底中具有图形化刻蚀阻挡层的一面与第二硅衬底的硅表面键合,并剥离部分的第一硅衬底以形成图形化绝缘衬底上的硅SOI衬底。

[0065] 在本实施例中,该第一硅衬底110的氧化层120中已形成图形化刻蚀阻挡层130,第二硅衬底210表面可能存在一层薄的氧化层,该第二硅衬底210表面的氧化层可以是自然氧化层,也可以通过热氧工艺形成。在对该第一硅衬底110与第二硅衬底210进行键合处理的时候,可以翻转该第一硅衬底110,使得该第一硅衬底110具有图形化刻蚀阻挡层130的一面与该第二硅衬底210的表面键合,然后剥离部分的第一硅衬底110,可以得到该第一硅衬底110和第二硅衬底210之间具有氧化层120的衬底结构,即图形化SOI衬底300,如图3B所示,为图1所示实施例所提供的一种SOI衬底制备方法中的衬底结构示意图,并且本实施例提供的图形化SOI衬底300的氧化层120中具有图形化刻蚀阻挡层130。

[0066] 本实施例提供的SOI衬底制备方法,通过在第一硅衬底的氧化层中形成图形化刻蚀阻挡层,并将该第一硅衬底具有图形化刻蚀阻挡层的一面与第二硅衬底的硅表面键合,剥离部分第一硅衬底等处理后形成图形化SOI衬底,该结构可以解决现有技术中在SOI衬底的硅层上生长异质外延层时,由于硅层和异质外延层之间存在晶格失配和热失配而导致外延层中存在大量线位错的问题,本实施例所提供的图形化SOI衬底可以在硅衬底上形成无线位错的异质外延层,提高了光电器件的使用性能和可靠性。

[0067] 实施例二

[0068] 图4为本发明实施例二所提供的一种SOI衬底制备方法的流程图,图5A~图5G为图4所示实施例所提供的一种SOI衬底制备方法中的衬底结构示意图。本实施例提供的SOI衬底制备方法,包括:

[0069] S200,在第一硅衬底上形成第一氧化层。

[0070] 请参考图5A,在本实施例中,可以先提供两个硅衬底,具体为第一硅衬底110和第二硅衬底210(图5A中未示出),由于SOI衬底的基本结构是在两层硅衬底之间加入一层氧化层,在具体实现中,本实施可以在该第一硅衬底110上形成第一氧化层121,通常可以对该第一硅衬底110进行热氧化处理在硅表面形成第一氧化层121。

[0071] S210,对该第一硅衬底进行离子注入,在该第一硅衬底的硅层中形成缺陷层。

[0072] 请参考图5B,在本实施例中,对已生长第一氧化层121的第一硅衬底110进行离子注入,通常可以使用高能离子注入,用一定的能量将离子束140a入射到该第一硅衬底110中,离子束可以穿过第一氧化层121和部分的第一硅衬底110,进而与一定深度的第一硅衬底110中的硅元素发生反应,在该深度上上形成缺陷层140,该缺陷层140的深度取决于离子束140a的入射能量。

[0073] S220,在该第一硅衬底的第一氧化层上形成图形化刻蚀阻挡层。

[0074] 具体地,S220的具体实现参照实施例一中的S110。

[0075] 可选地,本实施例中S220可以包括:该第一硅衬底110的第一氧化层121上形成刻蚀阻挡层130;在该刻蚀阻挡层130上形成图形掩膜,并且通过刻蚀工艺得到图形化刻蚀阻挡层130,该图形掩膜包括通过极紫外光刻(Extreme Ultraviolet,简称为:EUV)方法得到

的图形化光刻胶,EUV光刻工艺可以制备特征尺寸在20nm以下图形。

[0076] 请参考图5C,在本实施例中,图形化刻蚀阻挡层130的形成采用光刻技术,在已生长的刻蚀阻挡层130上形成图形掩膜,具体可以经过EUV曝光、显影在该刻蚀阻挡层130上形成图形尺寸极小的光刻胶图形150;请参考图5D,以上述光刻胶图形150为掩膜对第一硅衬底110进行刻蚀,刻蚀光刻胶图形150未覆盖的刻蚀阻挡层130以形成图形化刻蚀阻挡层130。

[0077] 需要说明的是,图形化刻蚀阻挡层130的材料为与第一氧化层121具有刻蚀选择性的材料,通常可以包括氮化硅、氧化铝、氧化钛、富硅氧化硅或富氢氮化硅等材料,这些材料可以与第一氧化层121具有高的刻蚀选择比。

[0078] 在本实施例的另一种可能的实现方式中,该图形掩膜也可以为多孔氧化铝膜,这种实现方式不需要光刻技术,直接将多孔氧化铝膜贴在刻蚀阻挡层130上进行图形化处理。与上述实施例类似地,本实施例中的图形掩膜的图形尺寸可以小于20nm,图形化刻蚀阻挡层130的图形尺寸也可以小于20nm。

[0079] S230,在该图形化刻蚀阻挡层上生长第二氧化层,并对该第二氧化层进行平整化处理和化学表面处理。

[0080] 请参考图5E,在本实施例中,在第一硅衬底110的第一氧化层121上形成的图形化刻蚀阻挡层130为表面凸出的小尺寸图形,不能直接以该图形化刻蚀阻挡层130的表面与第二硅衬底210做键合处理,因此,可以在该图形化刻蚀阻挡层130上进一步生长第二氧化层122,并且可以进一步对生长的第二氧化层122进行平整化处理和化学表面处理以得到表面光滑的第一硅衬底110。

[0081] 需要说明的是,第一氧化层121和第二氧化层122可以为氧化硅材料,该第二氧化层122的厚度可以小于50nm,该第二氧化层122与第一氧化层121的膜层材料通常是相同的,并且该第二氧化层122在图形化刻蚀阻挡层130的窗口区130a与该第一氧化层121相连接,形成一个整体结构的氧化层。

[0082] S240,将该第一硅衬底中具有该图形化刻蚀阻挡层的一面与第二硅衬底的硅表面键合,并剥离部分的第一硅衬底以形成图形化SOI衬底。

[0083] 具体地,S240的键合处理具体实现可以参照实施例一中的S120。

[0084] 请参考图5F,本实施例中第一硅衬底110的硅层中在一定深度具有一层缺陷层140,并且本实施例形成的半导体结构为第一硅衬底110和第二硅衬底210之间具有氧化层的衬底结构,具体地,第一氧化层121与第二氧化层122之间具有图形化刻蚀阻挡层130。

[0085] 请参考图5G,在本实施例中,在已生长了第一氧化层121的第一硅衬底110上进行了离子注入,因此,在该第一硅衬底110的硅层中形成了缺陷层140,由于已形成缺陷层140的第一硅衬底110中缺陷层140与硅层110a的分子结合被削弱,故可以将硅层110a从缺陷层140处剥离,即上方的硅层110a可以剥离出来,该缺陷层140也被剥离,只留下第一硅衬底110在缺陷层140下方的部分,如图5F和图5G所示,剥离后留下第一硅衬底110的硅层110b,得到了图形化SOI衬底300;进而,被剥离的第一硅衬底110的硅层110a经抛光工艺后可以重新制备硅衬底,实现硅衬底的重复利用,降低了生产成本,提高生产效益。

[0086] S250,进行低温退火处理使得该第一硅衬底与该第二硅衬底的贴合面紧密结合。

[0087] S260,对该图形化SOI衬底进行表面抛光处理。

[0088] 在本实施例中,对已形成的图形化SOI衬底300进一步进行退火处理使得两个硅衬底的贴合面,即第一硅衬底110的第二氧化层122与第二硅衬底210的表面紧密结合;又由于对该图形化SOI衬底300中第一硅衬底110的硅层110a进行剥离处理,因此,可以对剥离硅层110a后的图形化SOI衬底300进行各种表面抛光处理,光滑的表面结构有利于在形成器件时进行各种工艺加工。

[0089] 本实施例提供的SOI衬底制备方法,通过在第一硅衬底的氧化层中形成图形化刻蚀阻挡层,并将该第一硅衬底具有图形化刻蚀阻挡层的一面与第二硅衬底的硅表面键合,剥离部分第一硅衬底等处理后形成图形化SOI衬底,解决了现有技术中在SOI衬底的硅层上生长异质外延层时,由于硅层和异质外延层之间存在晶格失配和热失配而导致的大量位错的问题,本实施例所提供的图形化SOI衬底可以在硅衬底上形成无线位错的异质外延层,提高光电器件的使用性能和可靠性。

[0090] 实施例三

[0091] 图6为本发明实施例三所提供的一种利用图形化SOI衬底生长异质外延III-V结构的流程图,图7A~图7E为图6所示实施例所提供的工艺流程示意图。本实施例提供的方法适用于在上述实施例提供的图形化SOI衬底上形成异质外延结构的情况。如图6所示,本实施例提供的方法,可以包括:

[0092] S310,在图形化SOI衬底上形成图形掩膜以露出器件形成区。

[0093] 请参考图7A,本实施例提供的SOI衬底制备方法在上述实施例的基础上,对图形化SOI衬底300进行异质外延生长以得到适用于制备光电器件的结构;通常地,半导体晶片上的生产的器件为重复排列的多数个,并且,每个器件之间是被隔离开的,因此,根据待制备器件的图形在该图形化SOI衬底300先得到器件形成区400,待生产的光电器件就是以该器件形成区400作为衬底进行生产,图形化SOI衬底300上的器件形成区400以外的部分就是用作隔离器件的,即器件隔离区410。通过光刻工艺对图形化SOI衬底300进行图形掩膜处理,使得器件形成区400在图形掩膜的窗口部分,即没有光刻胶160覆盖的部分。

[0094] S320,对该图形化SOI衬底的器件形成区进行刻蚀以得到第二硅衬底上的图形化氧化层。

[0095] 请参考图7B,在本实施例中,图形化SOI衬底300的器件形成区400上方没有光刻胶160的覆盖,因此,在刻蚀该图形化SOI衬底300时,先刻蚀该器件形成区400中第一硅衬底110的硅层110b、第一氧化层121和部分第二氧化层122以得到第二硅衬底210上的图形化氧化层123和图形化刻蚀阻挡层130,该图形化氧化层123在该图形化刻蚀阻挡层130的下方;请参考图7C,进而去除该图形化的SOI衬底300中器件形成区400的图形化刻蚀阻挡层130以得到该第二硅衬底上210的图形化氧化层123。

[0096] 需要说明的是,被刻蚀的器件形成区400中的第一硅衬底110的硅层110b、第一氧化层121和部分第二氧化层122的材质为氧化硅,图形化刻蚀阻挡层130的材料可以为具有刻蚀选择性的材质,通常包括氮化硅、氧化铝、氧化钛、富硅氧化硅或富氢氮化硅等材料;在具体实现时,可以选择对氧化硅具有高选择比的刻蚀气体,即实现了在刻蚀氧化硅的同时几乎不会刻蚀图形化刻蚀阻挡层130,该刻蚀气体通常可以包括添加了 C_2F_2 , CHF_3 等高碳含量的氟基气体或者可以提高刻蚀气体中氢气的含量,因此,刻蚀氧化硅后可以形成第二硅衬底210上的图形化氧化层123和图形化刻蚀阻挡层130,该图形化氧化层123即为部分第二

氧化层122,具体为被图形化刻蚀阻挡层130覆盖的第二氧化层122;以图形化刻蚀阻挡层130的材料为氮化硅为例进行说明,类似地,选择对氮化硅具有高选择比的刻蚀气体,即实现了在刻蚀图形化刻蚀阻挡层130的同时几乎不会刻蚀图形化氧化层123,因此,最终在图形化SOI衬底300的器件形成区400中得到具有小尺寸图形的图形化氧化层123,该图形与上述实施例中图形化刻蚀阻挡层130的图形尺寸相同,通常小于20nm;还需说明的是,刻蚀后形成的图形化氧化层123的窗口的下口径通常小于或者等于其上口径,即窗口的侧壁为垂直或倾斜。

[0097] S330,在该器件形成区中外延生长III-V族化合物以形成器件结构。

[0098] 请参考图7D,在本实施例中,图形化SOI衬底300的器件形成区400内的第二硅衬底210上具有极小图形的图形化氧化层123,因此,可以在该器件形成区400内生长异质外延层,本实施例以外延生长III-V族化合物为例进行说明,在具体实现时,可以在已得到的图形化氧化层123的第二硅衬底210上生长第三氧化层124,该第三氧化层124生长在该器件形成区400以外的部分,用于在外延生长III-V族化合物时对器件隔离区410起掩膜作用,即不会将III-V族化合物生长在器件形成区400以外区域;请参考图7E,进而在已生长第三氧化层124的第二硅衬底210的图形化氧化层123上外延生长III-V族化合物以形成器件结构170,该外延生长的III-V族化合物在第二硅衬底210的图形化氧化层123的图形中与该第二硅衬底210相连,具体地,由于第二硅衬底210上具有图形化氧化层123,可以在该器件形成区400内形成无线位错III-V族化合物外延层。

[0099] 需要说明的是,本实施例中的III-V族化合物例如可以包括:磷化铝AlP、磷化镓GaP、磷化铟InP、砷化铝AlAs、砷化镓GaAs、砷化铟InAs、锑化铝AlSb、锑化镓GaSb、锑化铟InSb、氮化铝AlN、氮化镓GaN、氮化铟InN或其三元和四元的化合物;在器件形成区400中外延生长III-V族化合物的方式例如可以包括:分子束外延(Molecular Beam Epitaxy,简称为:MBE)工艺、化学气相沉积(Chemical Vapor Deposition,简称为:CVD)工艺、原子层沉积(Atomic Layer Deposition,简称为:ALD)工艺或其变化工艺,举例来说,CVD的变化工艺可以包括:金属有机化合物化学气相沉积(Metal Organic Chemical Vapor Deposition,简称为:MOCVD)、等离子体增强化学气相沉积法(Plasma Enhanced Chemical Vapor Deposition,简称为:PECVD)、低压力化学气相沉积(Low Pressure Chemical Vapor Deposition,简称为:LPCVD)、超高真空化学气相沉积(Ultra High Vacuum Chemical Vapor Deposition,简称为:UHVCVD)、减压化学气相沉积(Reduced Pressure Chemical Vapor Deposition,简称为:RPCVD)。

[0100] 本实施例提供的SOI衬底制备方法,通过在第一硅衬底的氧化层中形成图形化刻蚀阻挡层,并将该第一硅衬底具有图形化刻蚀阻挡层的一面与第二硅衬底的表面键合,剥离部分第一硅衬底等处理后形成图形化SOI衬底;进一步地,通过图形化刻蚀阻挡层的刻蚀阻挡作用在该图形化SOI衬底的器件形成区内形成第二硅衬底上的具有小尺寸图形的氧化层,利用第二硅衬底上的这个图形化氧化层,可以在该器件形成区内生长无线位错异质外延层;解决了现有技术中在SOI衬底的硅层上生长异质外延层时,由于硅层和异质外延层之间存在晶格失配和热失配而导致大量的线位错的问题,提高了光电器件的使用性能和可靠性;进一步地,本实施例提供的方法,在器件形成区仅进行一次光刻,就可以实现无线位错异质外延层的生长,提高了与CMOS工艺的兼容性。

[0101] 进一步地,在本实施例中,还可以对已形成器件衬底170的图形化SOI衬底300进行退火处理以减少器件形成区400中III-V族化合物的外延横向过度生长(Epitaxial Lateral Overgrowth,简称为:ELO)过程中产生的缺陷。

[0102] 本实施例在图形化SOI衬底300的器件形成区400内形成了无线位错异质外延层,因此,可以在该器件形成区400内,即器件衬底170上形成光电器件结构,该光电器件结构通常包括多层结构。

[0103] 请参考图3B,也为本发明实施例所提供的一种SOI衬底的结构示意图,该SOI衬底可以采用图1所示实施例提供的SOI衬底制备方法制得,实现过程和有益效果相同,此处不再赘述。

[0104] 请参考图5G,也为本发明实施例所提供的另一种SOI衬底的结构示意图,该SOI衬底可以采用图4所示实施例提供的SOI衬底制备方法制得,实现过程和有益效果相同,此处不再赘述。

[0105] 请参考图7E,也为本发明实施例所提供的又一种SOI衬底的结构示意图,该SOI衬底可以采用图6所示实施例提供的SOI衬底制备方法制得,实现过程和有益效果相同,此处不再赘述。

[0106] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

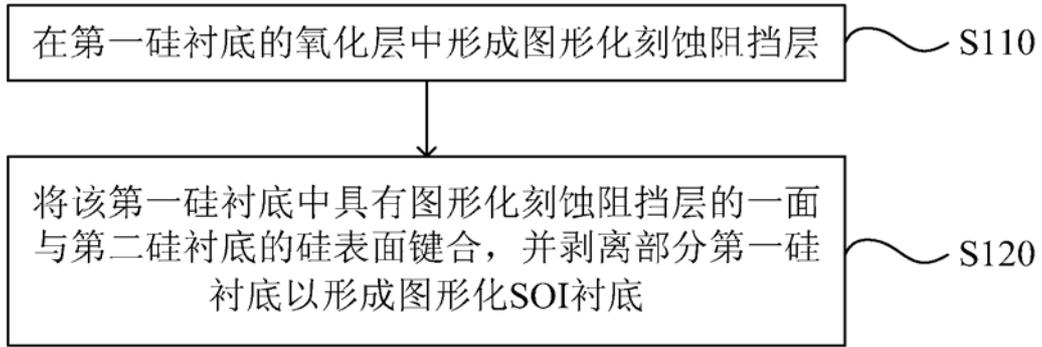


图1



图2

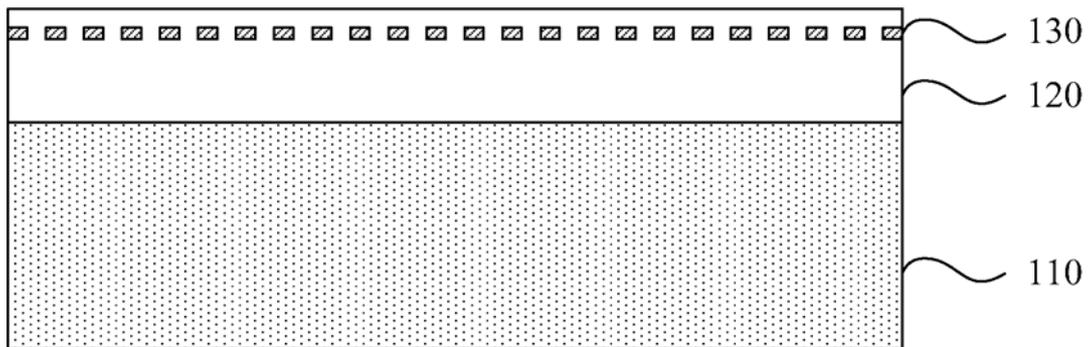
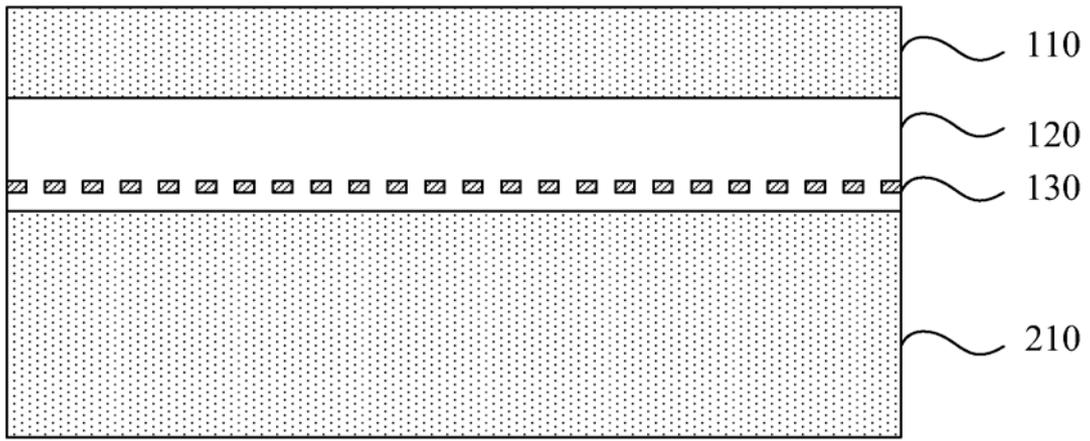


图3A



300

图3B

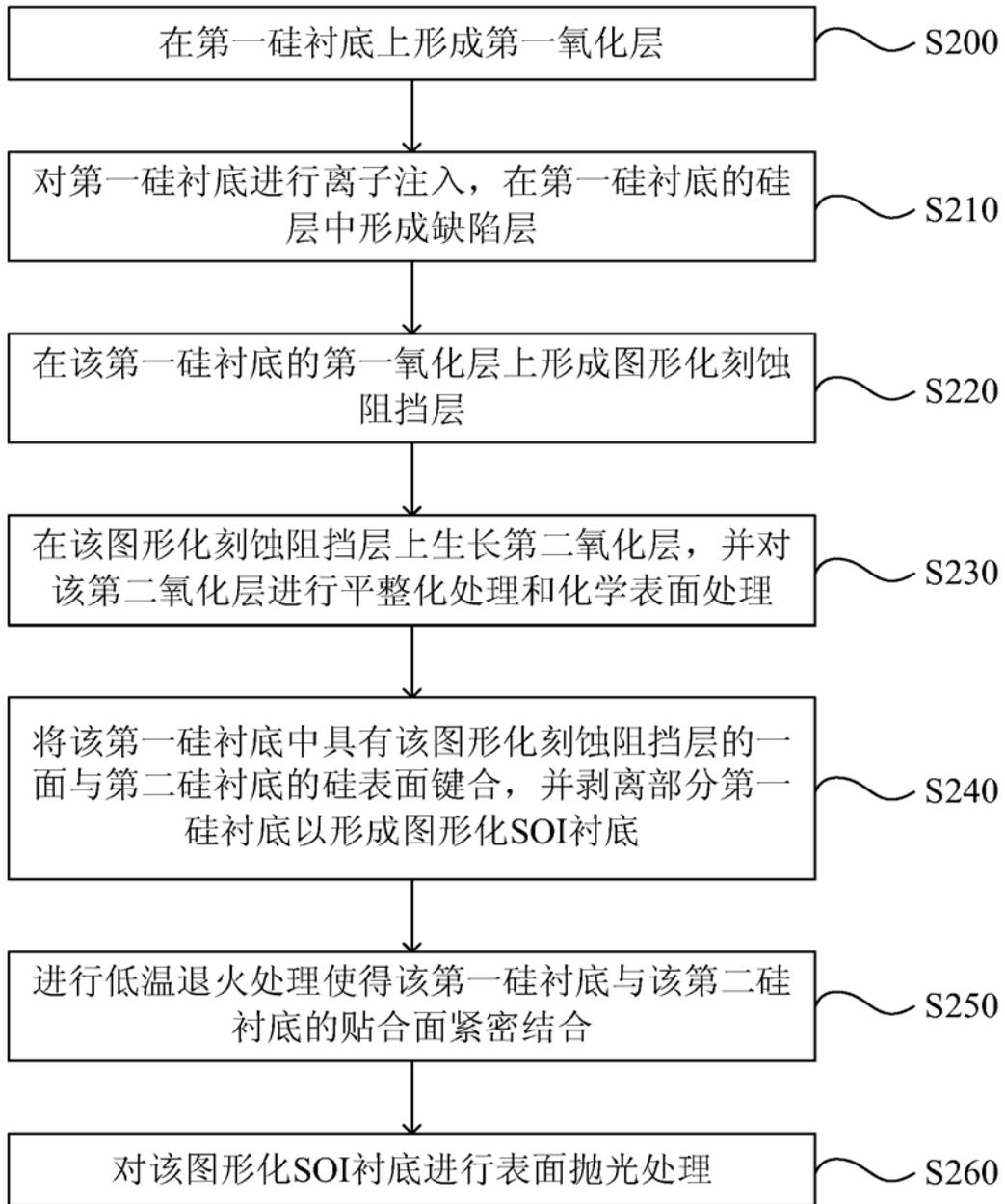


图4

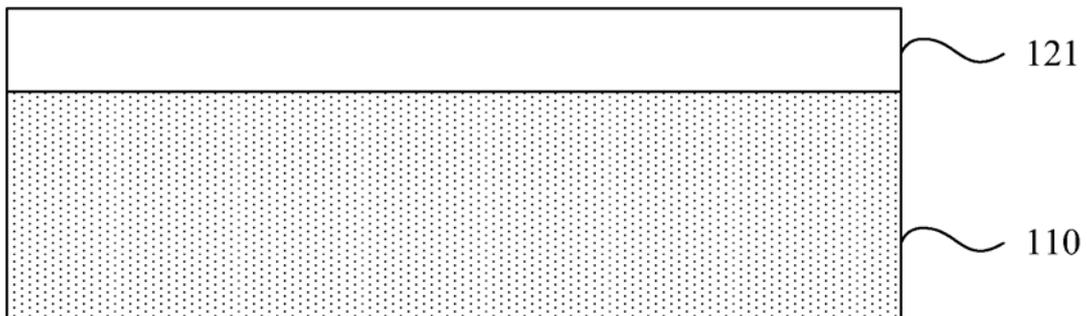


图5A

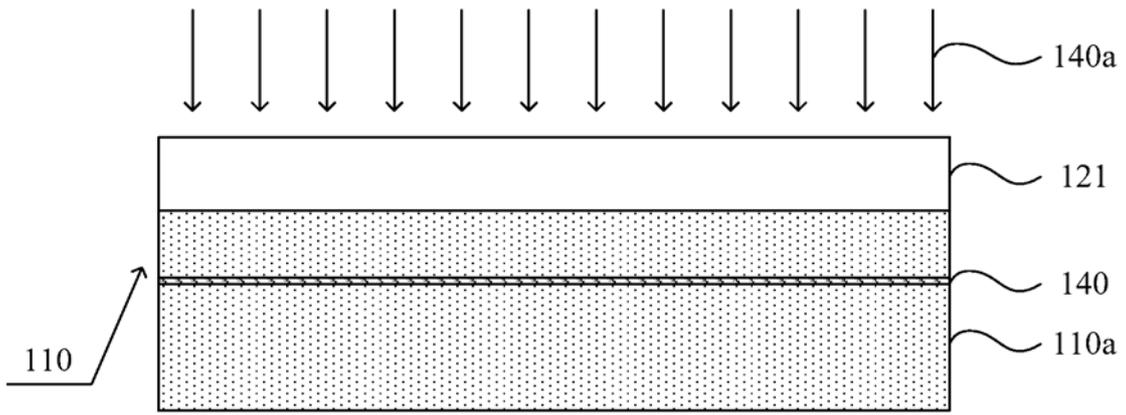


图5B

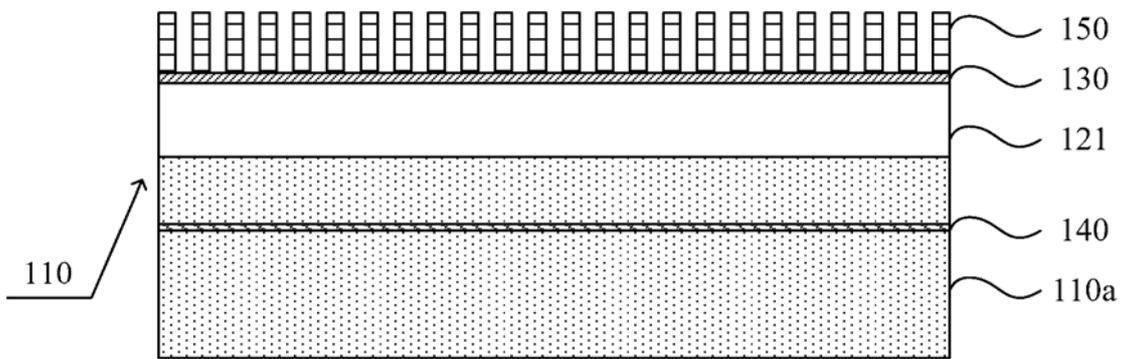


图5C

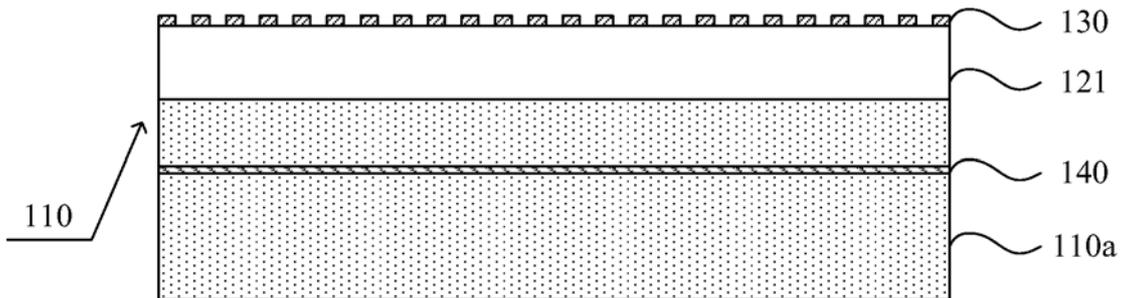


图5D

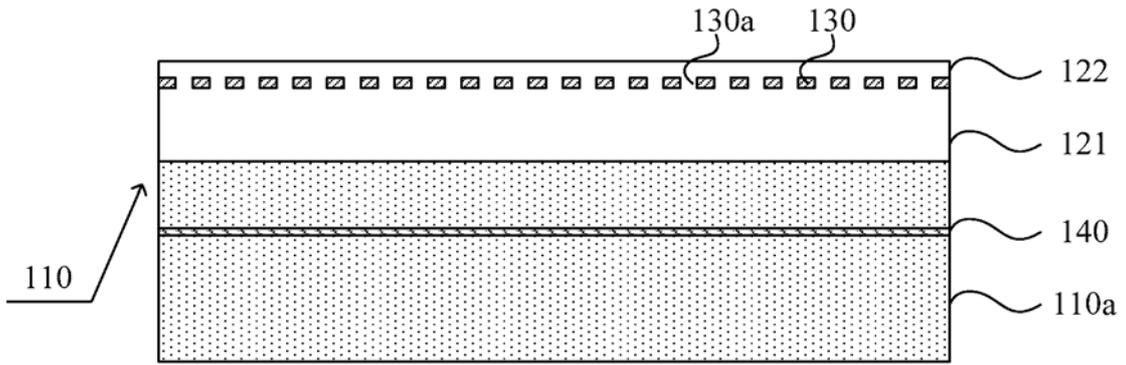


图5E

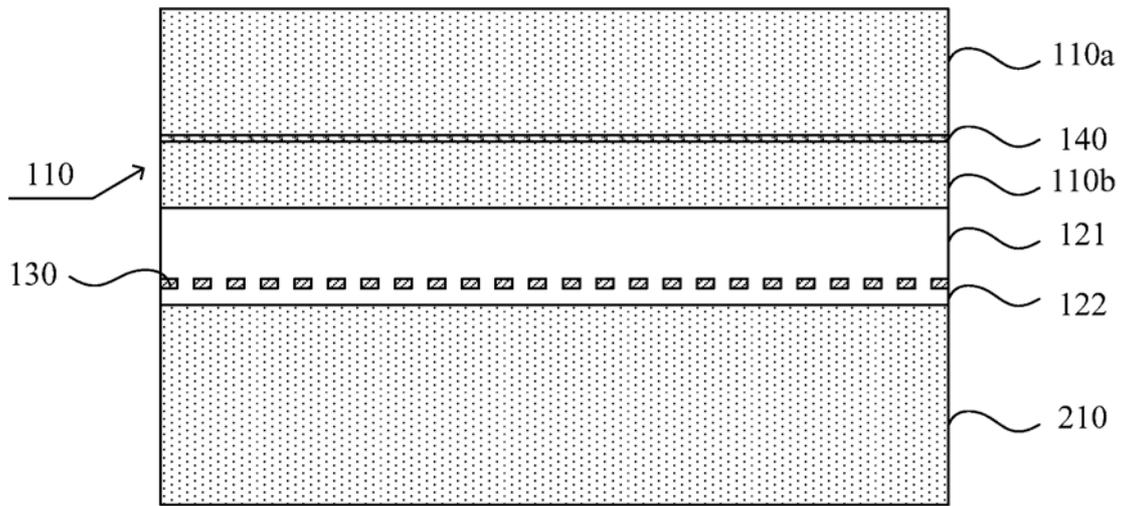
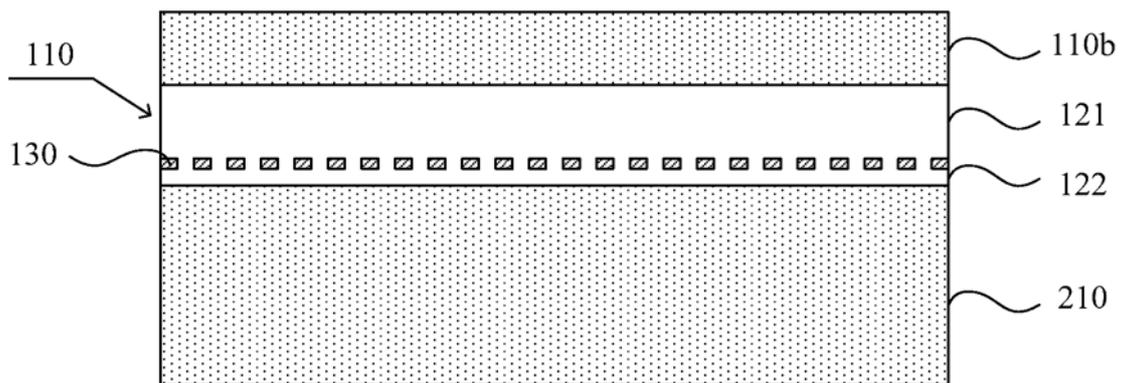


图5F



300

图5G

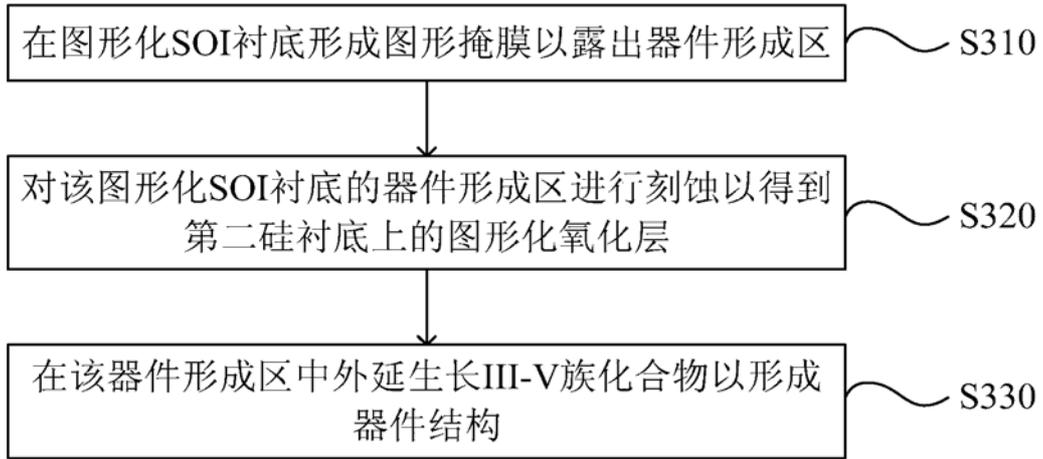


图6

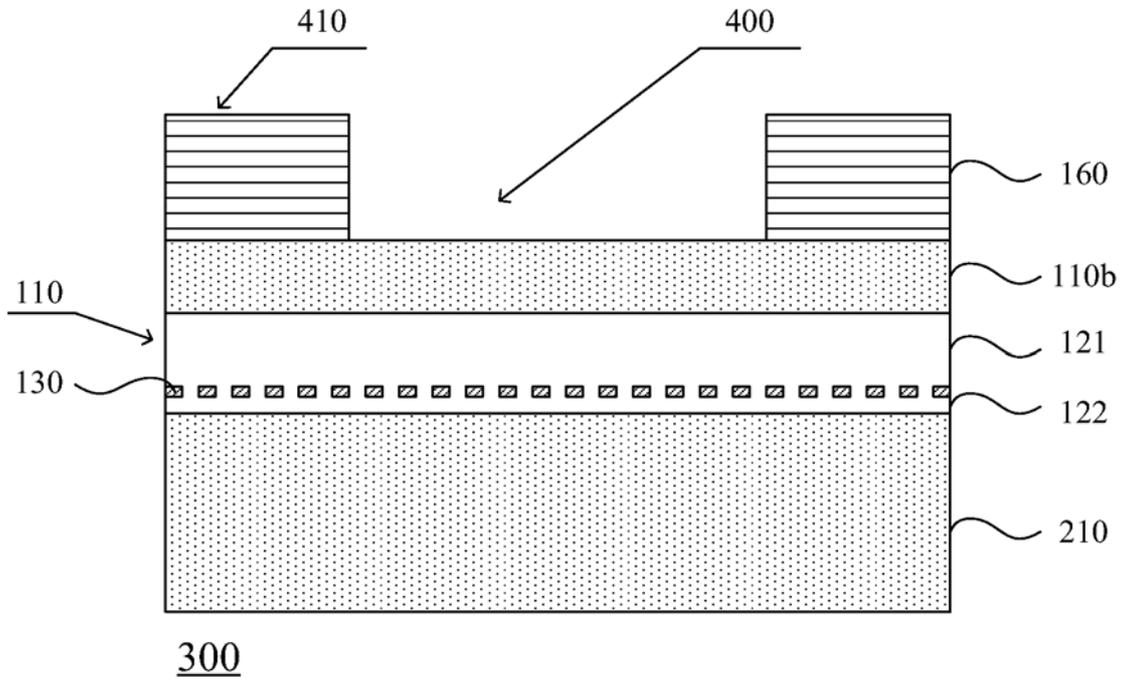


图7A

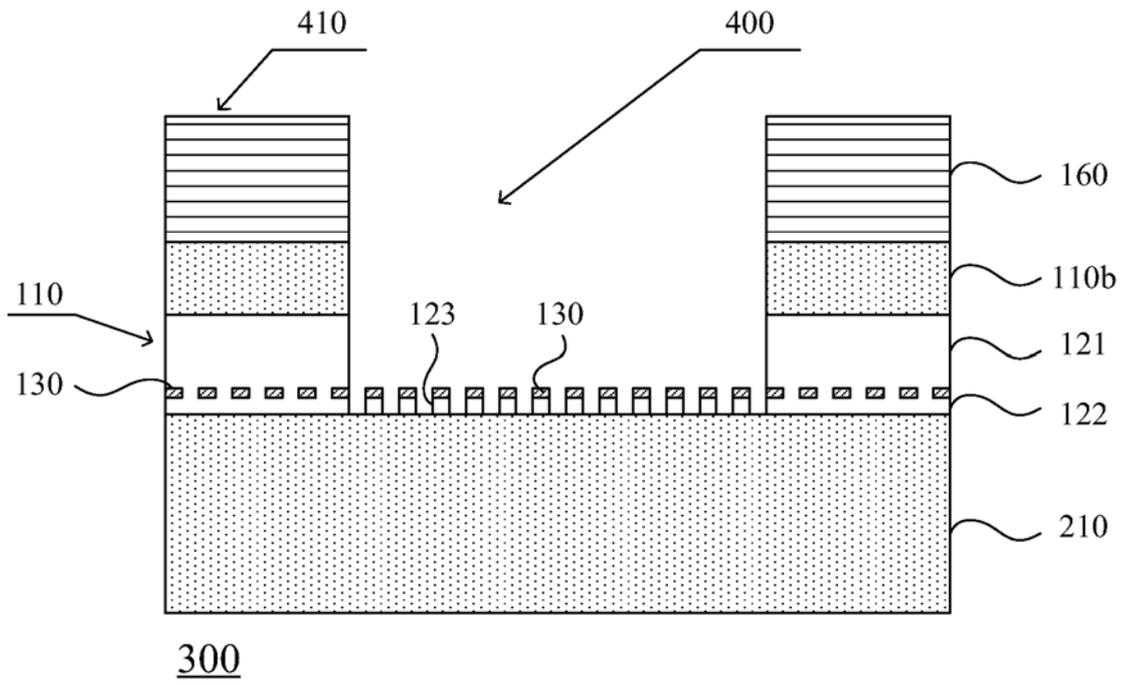


图7B

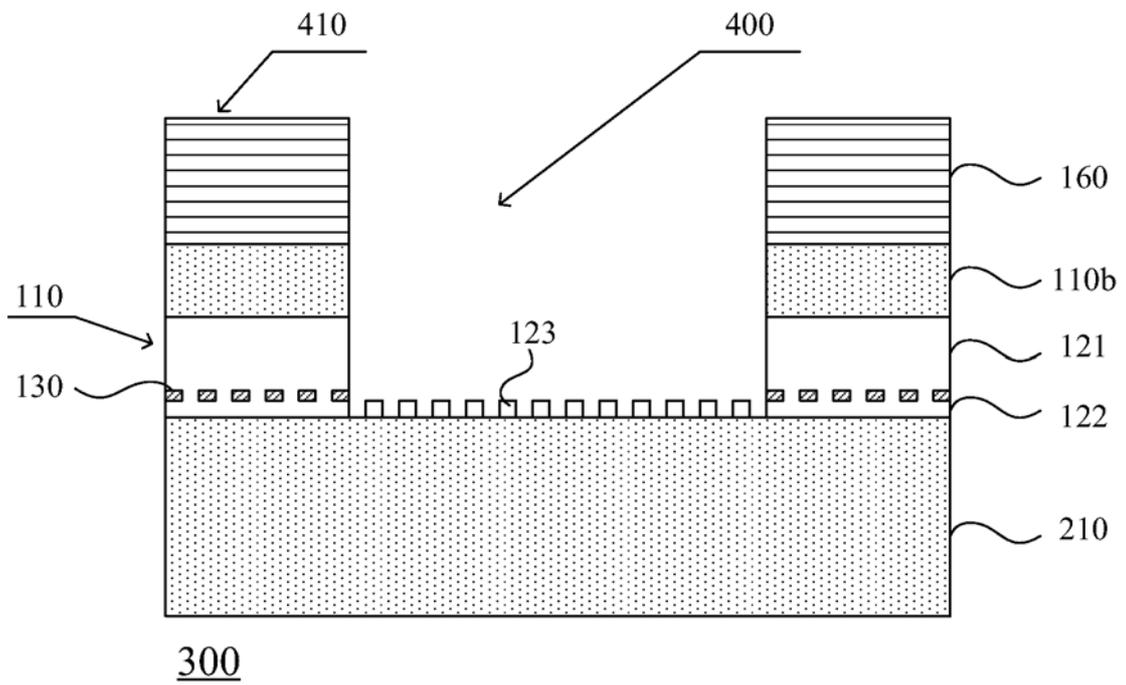


图7C

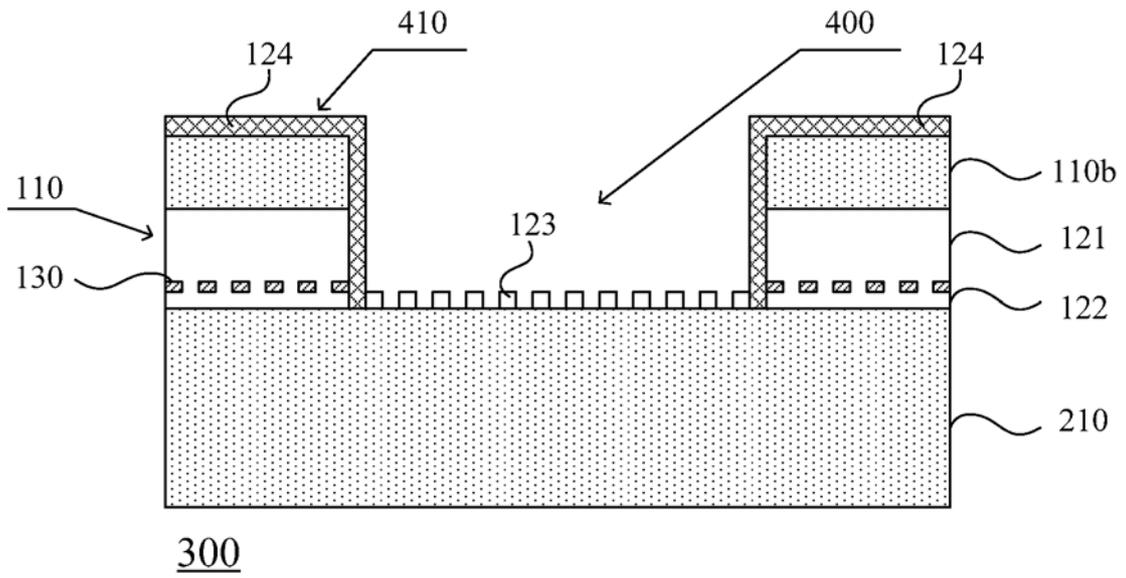


图7D

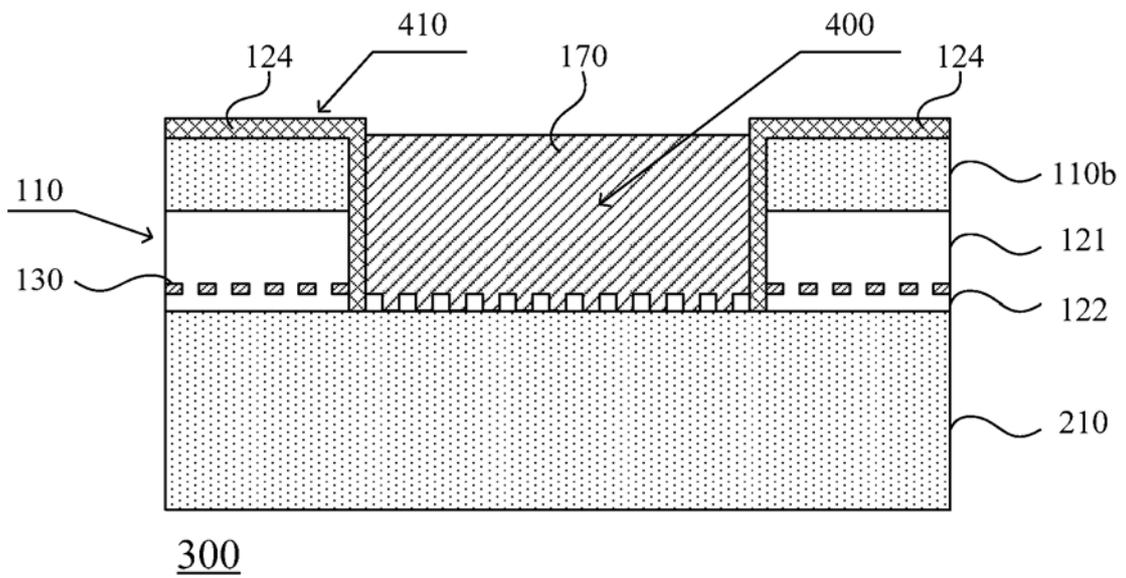


图7E