



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년01월19일
(11) 등록번호 10-2626234
(24) 등록일자 2024년01월12일

- (51) 국제특허분류(Int. Cl.)
H10B 63/00 (2023.01) G06F 13/16 (2006.01)
G06F 13/40 (2006.01) H01L 21/768 (2006.01)
H01L 21/8234 (2006.01)
- (52) CPC특허분류
H10B 63/20 (2023.02)
G06F 13/1673 (2013.01)
- (21) 출원번호 10-2017-0015426
- (22) 출원일자 2017년02월03일
심사청구일자 2022년02월03일
- (65) 공개번호 10-2018-0090914
- (43) 공개일자 2018년08월14일
- (56) 선행기술조사문헌
US20160308121 A1
JP2016015477 A*
KR1020160122915 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
- (72) 발명자
이형석
경기도 이천시 부발읍 경충대로2092번길 39-50,
202동 1302호 (현대성우오스타2단지)
- 김도연
경기도 용인시 기흥구 흥덕2로 126 흥덕마을7단지
흥덕힐스테이트아파트 706동 202호
- (74) 대리인
신성특허법인(유한)

전체 청구항 수 : 총 2 항

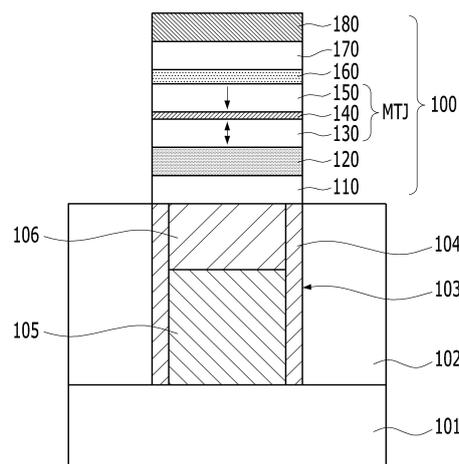
심사관 : 김진우

(54) 발명의 명칭 전자 장치 및 그 제조 방법

(57) 요약

전자 장치 및 그 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 기판 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기판 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiN에 비하여 식각률이 낮은 물질을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다.

대표도 - 도2



(52) CPC특허분류

G06F 13/40 (2013.01)

H01L 21/76831 (2013.01)

H01L 21/823475 (2013.01)

명세서

청구범위

청구항 1

반도체 메모리를 포함하는 전자 장치로서,
상기 반도체 메모리는,
기판 상에 형성된 하부 콘택 구조; 및
상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함하며,
상기 하부 콘택 구조는,
기판 상의 층간 절연막을 관통하는 콘택홀;
상기 콘택홀의 측벽에 형성된 스페이서;
상기 콘택홀을 일부 매립하는 콘택플러그; 및
상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함하고,
상기 가변 저항 소자는 변경 가능한 자화 방향을 갖는 자유층, 고정된 자화 방향을 갖는 고정층, 및 자유층과 고정층 사이에 개재되는 터널 베리어층을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물을 포함하고,
상기 스페이서는 SiBN 및 SiBCN 중 하나 이상을 포함하며, 상기 MTJ 구조물의 하부 에지 부분에 상기 스페이서로부터 붕소(B)가 확산되어 있는
전자 장치.

청구항 2

삭제

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 스페이서는 상기 MTJ 구조물의 하부 에지 부분에 접촉하는
전자 장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 스페이서는 상부 및 하부의 두께가 균일한 전자 장치.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆
제1항에 있어서,
상기 콘택플러그 및 콘택패드는 금속함유물질을 포함하는 전자 장치.

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆
제1항에 있어서,
상기 콘택플러그는 텅스텐(W) 또는 티타늄 질화물(TiN)의 일 이상을 포함하고, 상기 콘택패드는 탄탈륨(Ta)을 포함하는 전자 장치.

청구항 9

반도체 메모리를 포함하는 전자 장치의 제조 방법으로서,
기판 상에 하부 콘택 구조를 형성하는 단계; 및
상기 하부 콘택 구조 상에 가변 저항 소자를 형성하는 단계를 포함하며,
상기 하부 콘택 구조를 형성하는 단계는,
콘택홀을 포함하는 층간절연막을 형성하는 단계;
상기 콘택홀의 측벽에 스페이서를 형성하는 단계;
상기 콘택홀을 일부 매립하는 콘택플러그를 형성하는 단계; 및
상기 콘택플러그 상에 나머지 상기 콘택홀을 매립하는 콘택패드를 형성하는 단계를 포함하고,
상기 가변 저항 소자를 형성하는 단계는 변경 가능한 자화 방향을 갖는 자유층, 고정된 자화 방향을 갖는 고정층, 및 자유층과 고정층 사이에 개재되는 터널 베리어층을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물을 형성하는 단계를 포함하고,
상기 스페이서는 SiBN 및 SiBCN 중 하나 이상을 포함하는 물질막을 증착하여 형성되며, 상기 MTJ 구조물의 하부 에지 부분에 상기 스페이서로부터 붕소(B)가 확산되어 있는 전자 장치의 제조방법.

청구항 10

삭제

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,
상기 스페이서는 상기 MTJ 구조물의 하부 에지 부분에 접촉하는
전자 장치의 제조방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,
상기 스페이서는 상부 및 하부의 두께가 균일하도록 형성되는
전자 장치의 제조방법.

청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,
상기 콘택플러그 및 콘택패드는 금속함유물질을 이용하여 형성되는
전자 장치의 제조방법.

청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,
상기 콘택플러그는 텅스텐(W) 또는 티타늄 질화물(TiN)의 일 이상을 이용하여 형성되고, 상기 콘택패드는 탄탈
륨(Ta)을 이용하여 형성되는
전자 장치의 제조방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치에서의 이들의 응용에 관한 것이다.

배경 기술

[0003] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들이 해결하려는 과제는, 가변 저항 소자의 특성 향상이 가능한 반도체 메모리를 포함하는 전자 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 기판 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기판 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiN에 비하여 식각률이 낮은 물질을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다.

[0008] 위 실시예에서, 상기 가변 저항 소자는 변경 가능한 자화 방향을 갖는 자유층, 고정된 자화 방향을 갖는 고정층, 및 자유층과 고정층 사이에 개재되는 터널 베리어층을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물을 포함할 수 있다. 상기 스페이서는 상기 MTJ 구조물의 하부 에지 부분에 접촉할 수 있다. 상기 스페이서는 SiBN, SiCN 또는 SiBCN의 일 이상을 포함할 수 있다. 상기 스페이서는 SiBN 또는 SiBCN의 일 이상을 포함할 수 있으며, 상기 MTJ 구조물의 하부 에지 부분에 상기 스페이서로부터 붕소(B)가 확산되어 있을 수 있다. 상기 스페이서는 상부 및 하부의 두께가 균일할 수 있다. 상기 콘택플러그 및 콘택패드는 금속함유물질을 포함할 수 있다. 상기 콘택플러그는 텅스텐(W) 또는 티타늄 질화물(TiN)의 일 이상을 포함할 수 있고, 상기 콘택패드는 탄탈륨(Ta)을 포함할 수 있다.

[0009] 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.

[0010] 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.

[0011] 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.

[0012] 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부일 수 있다.

[0013] 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.

[0014] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 반도체 메모리를 포함하는 전자 장치의 제조 방법은 기판 상에 하부 콘택 구조를 형성하는 단계; 및 상기 하부 콘택 구조 상에 가변 저항 소자를 형성하는 단계를 포함할 수 있으며, 상기 하부 콘택 구조를 형성하는 단계는, 콘택홀을 포함하는 층간절연막을 형성하는 단계; 상기 콘택홀의 측벽에 SiN에 비하여 식각률이 낮은 물질을 포함하는 물질막을 증착하여 스페이서를 형성하는 단계; 상기 콘택홀을 일부 매립하는 콘택플러그를 형성하는 단계; 및 상기 콘택플러그 상에 나머지 상기 콘택홀을 매립하는 콘택패드를 형성하는 단계를 포함할 수 있다.

[0015] 위 실시예에서, 상기 가변 저항 소자를 형성하는 단계는, 변경 가능한 자화 방향을 갖는 자유층, 고정된 자화 방향을 갖는 고정층, 및 자유층과 고정층 사이에 개재되는 터널 베리어층을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물을 형성하는 단계를 포함할 수 있다. 상기 스페이서는 상기 MTJ 구조물의 하부 에지 부분에 접촉할 수 있다. 상기 스페이서는 SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 물질막을 증착하여 형성될 수 있다. 상기 스페이서는 SiBN 또는 SiBCN의 일 이상을 포함하는 물질막을 증착하여 형성될 수 있으며, 상기 MTJ 구조물의 하부 에지 부분에 상기 스페이서로부터 붕소(B)가 확산되어 있을 수 있다. 상기 스페이서는 상부 및 하부의 두께가 균일하도록 형성될 수 있다. 상기 콘택플러그 및 콘택패드는 금속함유물질을 이용하여 형성될 수 있다. 상기 콘택플러그는 텅스텐(W) 또는 티타늄 질화물(TiN)의 일 이상을 이용하여 형성될 수 있고, 상기 콘택패드는 탄탈륨(Ta)을 이용하여 형성될 수 있다.

발명의 효과

[0016] 상술한 본 발명의 실시예들에 의한 반도체 메모리를 포함하는 전자 장치 및 그 제조 방법에 의하면, 가변 저항 소자의 특성 향상이 가능하다.

도면의 간단한 설명

[0018] 도 1a 내지 도 1c는 비교예에 따른 가변 저항 소자의 하부 콘택 구조 형성의 공정 단면도이다.
 도 2는 본 발명의 일 실시예에 따른 메모리 장치를 설명하기 위한 단면도이다.
 도 3a 및 도 3b는 비교예 및 실시예에 따른 하부 콘택 구조에 있어서 후속 CMP 공정시 단차 차이에 의한 CD 변동 발생 여부를 설명하기 위한 단면도이다.
 도 4a 및 도 4b는 비교예 및 실시예에 따른 하부 콘택 구조를 포함하는 메모리 장치에 있어서 후속 MTJ 식각 공정시 금속 잔여물의 재증착 발생 여부를 설명하기 위한 단면도이다.
 도 5는 본 발명의 일 실시예에 따른 하부 콘택 구조를 포함하는 메모리 장치에 있어서 MTJ 구조물 하부 에지로

의 붕소(boron) 확산을 설명하기 위한 단면도이다.

도 6a 내지 도 6c는 본 발명의 일 실시예에 따른 하부 콘택 구조의 제조방법을 설명하기 위한 단면도이다.

도 7a는 본 발명의 일 실시예에 따른 메모리 장치 및 그 제조방법을 설명하기 위한 단면도이다.

도 7b는 본 발명의 다른 일 실시예에 따른 메모리 장치 및 그 제조방법을 설명하기 위한 단면도이다.

도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.

도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.

도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.
- [0020] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.
- [0022] 가변 저항 소자는, 양단에 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭할 수 있는 소자를 의미한다. 가변 저항 소자의 저항 상태에 따라 가변 저항 소자에는 서로 다른 데이터가 저장될 수 있다. 즉, 가변 저항 소자는 메모리 셀로서 기능할 수 있다. 메모리 셀은, 가변 저항 소자와 함께, 가변 저항 소자와 접속하여 가변 저항 소자로의 접근(access)을 제어하는 선택 소자를 더 포함할 수 있다. 이러한 메모리 셀은 다양하게 배열되어 반도체 메모리를 구성할 수 있다.
- [0023] 특히, 가변 저항 소자는, 변경 가능한 자화 방향을 갖는 자유층, 고정된 자화 방향을 갖는 고정층, 및 자유층과 고정층 사이에 개재되는 터널 베리어층을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물을 포함할 수 있다. 이러한 가변 저항 소자에서는 인가되는 전압 또는 전류에 따라, 자유층의 자화 방향이 변화하여 고정층의 자화 방향과 평행한 상태가 되거나 또는 반평행한 상태가 될 수 있고, 그에 따라, 가변 저항 소자가 저저항 상태 또는 고저항 상태 사이에서 스위칭할 수 있다. 이하에서 설명하는 실시예들에서는, 이러한 가변 저항 소자에 요구되는 다양한 특성을 만족 또는 향상시킬 수 있는 개량된 가변 저항 소자를 제공하고자 한다.
- [0025] 본 실시예들을 설명하기에 앞서 비교예의 가변 저항 소자의 하부 콘택 구조를 먼저 설명하기로 한다.
- [0026] 도 1a 내지 도 1c는 비교예에 따른 가변 저항 소자의 하부 콘택 구조 형성의 공정 단면도이다.
- [0027] 도 1a를 참조하면, 종래의 하부 콘택 구조 형성시 소정의 구조물, 예컨대, 스위칭 소자(미도시) 등이 형성된 기판(11) 상에 층간절연막(12)을 형성한다.
- [0028] 다음으로, 층간절연막(12)을 선택적으로 식각하여 기판(11)의 일부를 노출시키는 콘택홀(13)을 형성한 후, 콘택홀(13) 내부의 측벽에 SiN을 증착하여 스페이서(14)를 형성한다.
- [0029] 도 1b를 참조하면, 측벽에 스페이서(14)가 형성된 콘택홀(13)을 일부 매립하는 티타늄 질화물(TiN)을 포함하는 콘택플러그(15)를 형성한다. 콘택플러그(15)는 콘택홀(13)을 매립하도록 기판(11) 전면에서 티타늄 질화물(TiN)을 증착한 후, 에치백 공정 및 클리닝 공정을 순차적으로 수행하여 형성할 수 있다.
- [0030] 이 때, 에치백 공정 및 클리닝 공정 수행 시, 도 1b에 도시된 바와 같이 콘택홀(13) 내부의 측벽에 형성된 스페이서(14)의 상부가 손실되어 상부에 비하여 하부가 넓은 형태를 갖게 된다.

- [0031] 도 1c를 참조하면, 콘택플러그(15) 상에 나머지 콘택홀(13)을 매립하는 콘택패드(16)를 형성한다. 콘택패드(16)는 탄탈륨(Ta)을 함유한 탄탈륨 함유막일 수 있다. 선행 공정에서 스페이서(14)의 상부가 손실되었기 때문에, 후속 공정에서 생성되는 콘택패드(16)는 단면이 직사각형이 아니라 상부가 넓어진 형태로 형성된다.
- [0032] 이와 같이 형성된 하부 콘택 구조는 상부가 넓어진(top widen) 형태를 갖게 되어, 콘택패드(16) 형성시 물질층 증착 후 이루어지는 후속 기계적 화학적 평탄화(CMP) 공정 시 단차 차이에 의한 CD 변동(critical dimension variation)이 발생하고, 가변 저항 소자의 저항 변동을 유발하게 된다. 또한, 하부 콘택 구조 상부에 형성되는 후속 MTJ 구조물 식각 공정 시에, 물리적 식각 공정의 영향으로 MTJ 구조물의 측벽에 식각 부산물인 금속 잔류물이 재증착(redeposition)되는 현상이 발생하여, 가변 저항 소자 구동에 치명적인 셉트 오류(shunt fail)를 유발시켜 가변 저항 소자의 특성을 열화시키게 된다.
- [0034] 본 실시예에서는, 후속 CMP 공정에서 단차 차이에 의한 CD 변동 및 가변 저항 소자의 저항 변동 발생을 방지하고, MTJ 식각 공정에서 금속 잔류물의 재증착을 유발하지 않아 가변 저항 소자의 특성을 향상시킬 수 있는 하부 콘택 구조를 갖는 가변 저항 소자를 제공하고자 한다.
- [0035] 도 2는 본 발명의 일 실시예에 따른 메모리 장치를 설명하기 위한 단면도이다.
- [0036] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 메모리 장치는 소정의 구조물이 형성된 기판(101) 상의 층간절연막(102), 층간절연막(102)을 관통하는 콘택홀(103), 콘택홀(103)의 측벽에 형성된 스페이서(104), 콘택홀(103)을 일부 매립하는 콘택플러그(105), 콘택플러그(105) 상에서 나머지 콘택홀(103)을 매립하는 콘택패드(106) 및 콘택패드(106) 상의 가변 저항 소자(100)를 포함할 수 있다.
- [0037] 기판(101)은 반도체기판일 수 있다. 반도체기판은 단결정 상태(single crystal state)일 수 있으며, 실리콘 함유 재료를 포함할 수 있다. 즉, 반도체기판은 단결정의 실리콘 함유 재료를 포함할 수 있다. 일례로, 기판(101)은 벌크 실리콘기판이거나, 또는 지지기판, 매몰절연층 및 단결정 실리콘층이 순차적으로 적층된 SOI(Silicon On Insulator) 기판일 수 있다.
- [0038] 기판(101)에 형성된 소정의 구조물은 스위칭소자(switching element, 미도시)를 포함할 수 있다. 스위칭소자는 가변 저항 소자(100)의 일단과 연결되어 가변 저항 소자(100)로의 바이어스 공급 여부를 제어하기 위한 것으로, 트랜지스터, 다이오드 등을 포함할 수 있다. 스위칭소자의 일단은 콘택플러그(105)에 전기적으로 연결될 수 있고, 스위칭소자의 타단은 도시되지 않은 도전라인 예컨대, 소스라인과 전기적으로 연결될 수 있다.
- [0039] 층간절연막(102)은 산화막, 질화막 및 산화질화막으로 이루어진 그룹으로부터 선택된 어느 하나의 단일막 또는 둘 이상이 적층된 다중막일 수 있다.
- [0040] 콘택플러그(105)는 콘택홀(103)을 일부 매립하며, 매립 특성이 우수하고, 전기전도도가 높은 금속함유물질을 포함할 수 있다. 예를 들어, 콘택플러그(105)는 텅스텐(W) 또는 티타늄 질화물(TiN) 등을 포함할 수 있다.
- [0041] 콘택패드(106)는 가변 저항 소자(100)의 특성을 개선하거나, 공정을 용이하게 하거나, 가변 저항 소자(100)의 전극으로 작용하거나, 또는 콘택플러그(105)와 가변 저항 소자(100) 사이의 콘택 저항을 감소시키는 등의 다양한 용도의 물질막을 포함할 수 있다. 예를 들면, 콘택패드(106)는 탄탈륨(Ta)을 함유한 탄탈륨함유물질일 수 있으며, 탄탈륨막일 수 있다.
- [0042] 스페이서(104)는 콘택홀(103)의 측벽에 형성되며, 상부 및 하부에 있어서 실질적으로 균일한 두께를 가지며, 단면이 실질적으로 직사각형일 수 있다.
- [0043] 스페이서(104)는, SiN에 비하여 식각률이 낮은 물질을 포함할 수 있다. 이와 같이, 스페이서(104)를 SiN에 비하여 식각률이 낮은 물질로 형성함으로써, 후속 공정에서 이루어지는 콘택플러그(105) 형성을 위한 물질층 증착, 에치백 공정 및 클리닝 공정 수행시, 종래 SiN으로 형성된 경우에 비하여, 스페이서(104)를 이루는 물질막 상부의 손실을 방지하거나 최소화할 수 있다.
- [0044] 일 실시예에서, 스페이서(104)는 SiBN, SiCN 또는 SiBCN의 일 이상을 포함할 수 있다. SiBN, SiCN 및 SiBCN는 SiN에 비하여 막질이 단단하여 식각률이 낮은 특징이 있다. 따라서, 본 실시예에 있어서 스페이서(104)를 SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 물질막으로 형성함으로써, 후속 공정에서 이루어지는 콘택플러그(105) 형성을 위한 물질층 증착, 에치백 공정 및 클리닝 공정 수행시, 스페이서(104)를 이루는 물질막 상부의 손실을 방지하거나 최소화할 수 있다. 따라서, 스페이서(104)는 상부 하부에 있어서 실질적으로 균일한 두께를 갖는 실질적인 직사각형 형태의 단면을 가질 수 있다.

- [0045] 따라서, 후속 공정에서 형성되는 콘택패드(106)의 상부가 하부에 비해 넓어지는 현상을 방지 또는 최소화할 수 있어, 실질적으로 직사각형의 단면을 갖는 콘택패드(106)를 형성할 수 있다.
- [0046] 결국, 본 실시예에 따르면, 최종적으로 형성된 하부 콘택 구조는 상부가 넓어진 형태가 아니라 상부 및 하부가 실질적으로 균일한 크기인 직사각형 형태의 단면을 가질 수 있다.
- [0047] 가변 저항 소자(100)는, 변경 가능한 자화 방향을 갖는 자유층(130), 자유층(130) 상에 위치하는 터널 베리어층(140), 및 터널 베리어층(140) 상에 위치하고 고정된 자화 방향을 갖는 고정층(150)을 포함하는 MTJ 구조물을 포함할 수 있다.
- [0048] 자유층(130)은 변경 가능한 자화 방향을 가짐으로써 서로 다른 데이터를 저장할 수 있는 층으로, 스토리지층(storage layer) 등으로도 불릴 수 있다. 자유층(130)의 자화 방향은 층 표면에 대해 실질적으로 수직일 수 있다. 다시 말하면, 자유층(130)의 자화 방향은 자유층(130), 터널 베리어층(140) 및 고정층(150)의 적층 방향과 실질적으로 평행할 수 있다. 따라서, 자유층(130)의 자화 방향은 위에서 아래로 향하는 방향 및 아래에서 위로 향하는 방향 사이에서 가변될 수 있다. 이러한 자유층(130)의 자화 방향의 변화는 스핀 전달 토크(spin transfer torque)에 의할 수 있다. 자유층(130)은 강자성 물질을 포함하는 단일막 또는 다중막 구조를 가질 수 있다. 예컨대, 자유층(130)은 Fe, Ni 또는 Co를 주성분으로 하는 합금 예컨대, Fe-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, Co-Ni-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, Co-Ni-Pt 합금 등을 포함하거나, 또는, Co/Pt, Co/Pd 등의 적층 구조를 포함할 수 있다.
- [0049] 터널 베리어층(140)은 가변 저항 소자(100)의 저항 상태를 변경시키는 라이트 동작시 자유층(130)과 고정층(150) 사이에서의 전자의 터널링을 가능하게 하여 자유층(130)의 자화 방향이 변화되게 할 수 있다. 터널 베리어층(140)은 절연성의 산화물 예컨대, MgO, CaO, SrO, TiO, VO, NbO 등의 산화물을 포함할 수 있다.
- [0050] 고정층(150)은 자화 방향이 고정되어 자유층(130)의 자화 방향과 대비될 수 있는 층으로서, 기준층(reference layer) 등으로도 불릴 수 있다. 도면에는 고정층(150)이 위에서 아래로 향하는 자화 방향을 갖는 것으로 도시되어 있으나, 반대로 아래에서 위로 향하는 자화 방향을 가질 수도 있다. 고정층(150)은 강자성 물질을 포함하는 단일막 또는 다중막 구조를 가질 수 있다. 예컨대, 고정층(150)은 Fe, Ni 또는 Co를 주성분으로 하는 합금 예컨대, Fe-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, Co-Ni-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, Co-Ni-Pt 합금 등을 포함하거나, 또는, Co/Pt, Co/Pd 등의 적층 구조를 포함할 수 있다.
- [0051] 이러한 MTJ 구조물에서는, 가변 저항 소자(100)의 상단 및 하단에 전압 또는 전류가 인가되는 경우, 스핀 전달 토크에 의해 자유층(130)의 자화 방향이 가변될 수 있다. 자유층(130)과 고정층(150)의 자화 방향이 서로 평행한 경우, 가변 저항 소자(100)는 저저항 상태에 있을 수 있고, 예컨대, 데이터 '0'을 저장할 수 있다. 반대로, 자유층(130)의 자화 방향과 고정층(150)의 자화 방향이 서로 반평행한 경우, 가변 저항 소자(100)는 고저항 상태에 있을 수 있고, 예컨대, 데이터 '1'을 저장할 수 있다.
- [0052] 가변 저항 소자(100)는, MTJ 구조물에 더하여, MTJ 구조물의 특성이나 공정 과정을 개선하기 위한 다양한 용도를 갖는 층들을 더 포함할 수 있다. 예컨대, 가변 저항 소자(100)는 버퍼층(110), 하부층(120), 스페이서층(160), 자기 보정층(170) 및 캡핑층(180)을 더 포함할 수 있다.
- [0053] 하부층(120)은 자유층(130)의 아래에서 자유층(130)의 저면과 직접 접촉하면서, 자유층(130)의 수직 자기 결정 이방성(perpendicular magnetic crystalline anisotropy)을 향상시키는 역할을 수행할 수 있다.
- [0054] 하부층(120)의 아래에는 하부층(120)의 결정 성장을 돕는 버퍼층(110)이 형성될 수 있다. 이와 같이 하부층(120) 아래에 버퍼층(110)이 추가되는 경우, 하부층(120)의 결정 성장을 도울 수 있고, 결과적으로 자유층(130)의 수직 자기 이방성을 더욱 향상시킬 수 있다.
- [0055] 자기 보정층(170)은 고정층(150)에 의해 생성되는 표류자계의 영향을 상쇄 또는 감소하는 기능을 수행할 수 있다. 이러한 경우, 고정층(150)의 표류자계가 자유층(130)에 미치는 영향이 감소하여 자유층(130)에서의 편향 자기장이 감소할 수 있다. 자기 보정층(170)은 고정층(150)의 자화 방향과 반평행한 자화 방향을 가질 수 있다. 본 실시예에서, 고정층(150)이 위에서 아래로 향하는 자화 방향을 갖는 경우, 자기 보정층(170)은 아래에서 위로 향하는 자화 방향을 가질 수 있다. 반대로, 고정층(150)이 아래에서 위로 향하는 자화 방향을 갖는 경우, 자기 보정층(170)은 위에서 아래로 향하는 자화 방향을 가질 수 있다. 자기 보정층(170)은 강자성 물질

을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다.

- [0056] 본 실시예에서 자기 보정층(170)은 고정층(150)의 위에 존재하나, 자기 보정층(170)의 위치는 다양하게 변형될 수 있다. 예컨대, 자기 보정층(170)은 MTJ 구조물의 아래에 위치할 수 있다. 또는, 예컨대, 자기 보정층(170)은 MTJ 구조물과 별개로 패터닝되면서, MTJ 구조물의 위, 아래 또는 옆에 배치될 수 있다.
- [0057] 스페이서층(160)은 자기 보정층(170)과 고정층(150) 사이에 개재되어 이들 사이의 버퍼 역할을 수행하면서, 자기 보정층(170)의 특성을 향상시키는 역할을 수행할 수 있다. 스페이서층(160)은 Ru 등과 같은 귀금속을 포함할 수 있다.
- [0058] 캡핑층(180)은 가변 저항 소자(100)의 패터닝시 하드마스크로 기능하는 층으로서 금속 등 다양한 도전 물질을 포함할 수 있다. 특히, 캡핑층(180)은 층 내의 핀 홀(pin hole)이 적고 습식 및/또는 건식 식각에 대한 저항성이 큰 금속 계열 물질로 형성될 수 있다. 예컨대, 캡핑층(180)은 Ru 등과 같은 귀금속을 포함할 수 있다.
- [0059] 본 실시예에 따른 메모리 장치는 하부 콘택 구조에 있어서 스페이서(104)를 SiN에 비하여 식각률이 낮은 물질, 예를 들어, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 물질막으로 형성함으로써, 후속 공정에서 이루어지는 콘택플러그(105) 형성을 위한 물질층 증착, 에치백 공정 및 클리닝 공정에 의한 스페이서(104)를 이루는 물질막의 손상을 방지 또는 최소화할 수 있다. 따라서, 최종 형성된 스페이서(104)가 상부 및 하부에 있어서 균일한 두께를 가질 수 있어, 직사각형 단면을 갖는 하부 콘택 구조가 최종 형성될 수 있다.
- [0060] 이를 통하여, 후속 기계적 화학적 평탄화(CMP) 공정 시 단차 차이에 의해 발생하는 CD 변동을 방지 또는 최소화하고, 이에 의해 가변 저항 소자의 저항 변동 발생을 방지할 수 있다. 또한, 후속 MTJ 식각 공정 시에, 물리적 식각 공정의 영향으로 MTJ 측벽에 식각 부산물인 금속 잔류물이 재증착되는 현상을 방지하여, 가변 저항 소자의 셉트 오류(shunt fail)를 개선할 수 있으며, 결과적으로 가변 저항 소자의 특성 열화를 방지할 수 있다.
- [0061] 이와 같이, 스페이서(104)를 SiN에 비하여 식각률이 낮은 물질, 예를 들어, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 물질막으로 형성함으로써 얻을 수 있는 장점에 대해서는 도 3a, 도 3b, 도 4a 및 도 4b를 참조하여 보다 상세하게 설명하기로 한다.
- [0062] 도 3a 및 도 3b는 비교예 및 실시예에 따라 형성된 하부 콘택 구조에 있어서 후속 CMP 공정시 단차 차이에 의한 CD 변동 발생 여부를 설명하기 위한 단면도이다. 도 3a는 도 1a 내지 1c에 도시된 바와 같이 비교예에 따라 SiN으로 스페이서를 형성한 경우, 후속 공정 수행 후, 최종적으로 스페이서 상부 일부가 손실되고 결과적으로 콘택패드의 상부가 넓어진 하부 콘택 구조의 경우를 나타내며, 도 3b는 실시예에 따라 스페이서를 SiN에 비하여 식각률이 낮은 물질, 예를 들어, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 물질막으로 형성하여, 후속 공정 수행 후에도 상부 및 하부가 균일한 두께를 갖는 스페이서(104)가 형성되고, 콘택패드가 실질적으로 직사각형인 단면을 갖는 하부 콘택 구조의 경우를 나타낸다.
- [0063] 도 3a 및 도 3b를 참조하면, 비교예의 경우 하부 콘택 구조는 하부에 비하여 상부가 넓어진 형태를 가지므로, 하부 콘택 구조에 대하여 후속 공정으로 실시되는 CMP 공정에 있어서 단차 차이가 발생한 경우, 단차 차이에 의한 CD 변동이 발생하는 것을 확인할 수 있다($W1 < W2$). 이러한 CD 변동은 가변 저항 소자의 저항 변동을 유발시켜 가변 저항 소자의 특성을 열화시킨다. 반면, 실시예의 경우 하부 콘택 구조가 상부 및 하부의 너비가 동일한 실질적인 직사각형 형태를 가지므로, 하부 콘택 구조에 대하여 후속 공정으로 실시되는 CMP 공정에 있어서 단차 차이가 발생하더라도, CD 변동이 발생되지 않는다($W3 = W4$).
- [0064] 도 4a 및 도 4b는 비교예 및 실시예에 따라 형성된 하부 콘택 구조를 포함하는 메모리 장치에 있어서 후속 MTJ 식각 공정시 금속 잔여물의 재증착 발생 여부를 설명하기 위한 단면도이다. 도 4a는 도 1a 내지 1c에 도시된 바와 같이 비교예에 따라 SiN으로 스페이서를 형성한 경우, 후속 공정 수행 후, 최종적으로 스페이서 상부 일부가 손실되고 콘택패드의 상부가 넓어진 형태의 하부 콘택 구조에 MTJ 구조물을 형성한 메모리 장치의 경우를 나타내며, 도 4b는 실시예에 따라 스페이서를 SiN에 비하여 식각률이 낮은 물질, 예를 들어, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 물질막으로 형성하여, 후속 공정 수행 후에도 상부 및 하부가 균일한 두께를 갖는 스페이서가 형성되고, 콘택패드가 실질적으로 직사각형 단면을 갖게 되는 하부 콘택 구조에 MTJ 구조물을 형성한 메모리 장치의 경우를 나타낸다.
- [0065] 도 4a 및 도 4b를 참조하면, 비교예의 경우 상부가 넓어진 형태의 하부 콘택 구조를 가져, MTJ 식각 공정 도중에 물리적 식각 공정의 영향으로 MTJ 측벽에 식각 부산물인 금속 잔여물이 재증착되어, MTJ 소자 구동에 치명적인 셉트 오류(shunt fail)를 유발시키는 것을 확인할 수 있다. 반면, 실시예의 경우 실질적으로 직사각형 형태의 하부 콘택 구조를 가져, MTJ 식각 공정을 수행하더라도 금속 잔여물의 재증착이 발생되지 않아 셉트 오류

(shunt fail)를 방지 또는 최소화할 수 있다.

- [0066] 상기 설명된 장점 외에, 특히 스페이서(104)를 SiBN 또는 SiBCN의 일 이상을 포함하는 물질막으로 형성하는 경우, 추가적인 장점을 발휘할 수 있다. 이와 같은 추가적인 장점에 대해서는 도 5를 참조하여 더욱 상세하게 설명한다.
- [0067] 도 5는 본 발명의 일 실시예에 따른 하부 콘택 구조를 포함하는 메모리 장치에 MTJ 구조물 하부 에지로의 붕소(boron) 확산을 설명하기 위한 단면도이다. 도 5에 표시된 화살표는 MTJ 구조물 하부 에지로의 붕소 확산을 개념적으로 도시하기 위한 것일 뿐, 실질적인 확산 높이 등을 제한적으로 표현하기 위한 것이 아니다.
- [0068] 일반적으로, MTJ 구조물 식각을 진행한 후에, MTJ 구조물의 하부 에지 부분에 붕소를 주입하면 Ku 값이 낮아져 WERO이 개선될 것으로 예상된다. 그러나, 이를 위하여, 이온 주입 등의 방법을 사용하면 MTJ 구조물의 하부 에지 부분뿐 아니라, MTJ 구조물 전체 영역에 붕소가 주입되어 바람직하지 않은 부작용이 발생할 가능성이 높다.
- [0069] 이와 관련하여, 도 5를 참조하면, 본 실시예에서, MTJ 구조물 증착 및 식각 공정을 수행하면, 스페이서(104)가 MTJ 구조물 하부 에지 부분에 접촉하게 되어 붕소가 MTJ 에지 하부 부분으로 확산됨을 보여준다. 따라서, 본 실시예에 있어서 스페이서(104)를 SiBN 또는 SiBCN의 일 이상을 포함하는 물질막으로 형성함으로써, 부작용 없이 원하는 부분, 즉 MTJ 구조물의 하부 에지 부분에만 붕소를 주입할 수 있으며, 이에 의해 Ku 값을 낮추고 WERO를 개선시킬 수 있다.
- [0070] 나아가, 특히 스페이서(104)를 SiBN으로 형성할 경우, SiBN은 SiN에 비하여 절연 특성이 우수하기 때문에 가변 저항 소자의 셉트 패스(shunt pass)를 방지 또는 최소화할 수 있으며, MTJ 구조물의 특성을 개선할 수 있다.
- [0071] 실시예에 따른 하부 콘택 구조의 형성에 대해서는 도 6a 내지 도 6c를 참조하여 예시적으로 설명하기로 한다.
- [0072] 도 6a 내지 6c는 본 발명의 일 실시예에 따른 하부 콘택 구조의 제조방법을 설명하기 위한 단면도이다.
- [0073] 도 6a를 참조하면, 소정의 구조물 예컨대, 스위칭소자(미도시) 등이 형성된 기관(101) 상에 층간절연막(102)을 형성한다. 층간절연막(102)은 산화막, 질화막 및 산화질화막으로 이루어진 균으로부터 선택된 어느 하나의 단일막 또는 둘 이상의 적층된 다중막으로 형성할 수 있다.
- [0074] 다음으로, 층간절연막(102)을 선택적으로 식각하여 기관(101) 일부를 노출시키는 콘택홀(103)을 형성한 후, 콘택홀(103)의 측벽에 스페이서(104)를 형성한다. 스페이서(104)는 SiN에 비하여 식각률이 낮은 물질, 예를 들어, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 물질막을 증착시켜 형성할 수 있다.
- [0075] 도 5b를 참조하면, 스페이서(104)가 형성된 콘택홀(103)을 일부 매립하는 콘택플러그(105)를 형성한다. 콘택플러그(105)는 콘택홀(103)을 매립하도록 기관(101) 전면에 도전 물질을 증착한 후, 원하는 높이가 될 때까지 에치백 공정을 수행하여 도전 물질의 일부를 제거한 후, 클리닝 공정을 순차적으로 진행하여 형성할 수 있다. 콘택플러그(105)는 매립 특성이 우수하고, 전기전도도가 높은 금속함유물질을 포함할 수 있다. 예컨대, 콘택플러그(105)는 텅스텐(W) 또는 티타늄 질화물(TiN)을 포함할 수 있다.
- [0076] 이 때, 콘택플러그(105) 형성을 위한 에치백 공정 및 클리닝 공정을 수행하더라도, 콘택홀(103)의 측벽에 형성된 스페이서(104)는 SiN에 비하여 식각률이 낮은 물질, 예를 들어, SiBN, SiCN 또는 SiBCN로 형성되므로, 상부 손실이 방지 또는 최소화될 수 있다. 이와 같이 형성된 스페이서(104)는 상부 및 하부가 실질적으로 균일한 두께를 갖게 된다. 이에 따라, 콘택홀(103)은 상부 및 하부가 실질적으로 균일한 두께를 가지며, 단면이 실질적으로 직사각형인 형태를 가질 수 있다.
- [0077] 도 5c를 참조하면, 콘택플러그(105) 상에 나머지 콘택홀(103)을 매립하는 콘택패드(106)를 형성한다. 콘택패드(106)는 후속 공정을 통해 콘택패드(106) 상에 형성될 가변 저항 소자(100)의 하부 전극으로 작용하거나, 가변 저항 소자(100)의 특성을 개선하거나, 또는 공정을 용이하게 하는 등의 다양한 용도의 물질막을 포함할 수 있다. 예컨대, 콘택패드(106)는 탄탈륨(Ta)을 함유한 탄탈륨함유막일 수 있다. 일례로, 콘택패드(106)는 탄탈륨막일 수 있다.
- [0078] 콘택패드(106)는 나머지 콘택홀(103)을 매립하도록 기관(101) 전면에 금속함유막을 형성한 후, 층간절연막(102)의 표면이 노출될 때까지 금속함유막에 대한 평탄화 공정을 수행하여 형성할 수 있다. 이때, 평탄화공정은 인접한 콘택패드(106) 사이의 전기적 분리 및 콘택패드(106)의 평탄한 표면을 구현하기 위한 것으로, 화학적 기계적 연마법(CMP)을 사용하여 실시할 수 있다. 후속 공정을 통해 콘택패드(106) 상에 가변 저항 소자(100)가 형성되기 때문에 콘택패드(106)의 표면이 평탄할수록 우수한 가변 저항 소자(100)의 특성을 확보할 수 있다.

아울러, CMP 공정시 단차 차이가 발생하더라도 하부 콘택 구조는 상부와 하부의 너비가 균일한 실질적인 직사각형 형태의 단면을 가지므로, 단차 차이에 의한 CD 변동을 방지 또는 최소화하고, MTJ 구조물 식각시 발생하는 급속 재증착에 의한 셉트 오류를 개선할 수 있으며, MTJ 소자의 저항 변동을 방지할 수 있다.

- [0079] 이와 같이 형성된 직사각형 형태의 하부 콘택 구조 상에 가변 저항 소자(100)를 형성한다. 가변 저항 소자(100)는 복수로 제공되어 반도체 메모리를 구성할 수 있다. 반도체 메모리는 각 가변 저항 소자(100)의 양단을 구동하기 위한 배선, 소자 등 다양한 구성 요소를 더 포함할 수 있다. 이에 대해서는, 도 7a 및 도 7b를 참조하여 예시적으로 설명하기로 한다.
- [0080] 도 7a는 본 발명의 일 실시예에 따른 메모리 장치 및 그 제조 방법을 설명하기 위한 단면도이다.
- [0081] 도 7a를 참조하면, 본 실시예의 메모리 장치는, 요구되는 소정 소자(미도시됨) 예컨대, 가변 저항 소자(100)로의 액세스를 제어하는 트랜지스터 등이 형성된 기판(500)과, 기판(500) 상에 위치하여 복수의 가변 저항 소자(100) 각각의 하단과 기판(500)의 일부 예컨대, 트랜지스터의 드레인을 서로 접속시키는 하부 콘택 구조(600)와, 하부 콘택 구조(600) 상에 위치하는 가변 저항 소자(100)와, 가변 저항 소자(100) 상에 위치하고 복수의 가변 저항 소자(100) 각각의 상단과 소정 배선(미도시됨) 예컨대, 비트라인을 서로 접속시키는 상부 콘택(580)을 포함할 수 있다.
- [0082] 위 메모리 장치는 아래와 같은 방법에 의해 형성될 수 있다.
- [0083] 우선, 트랜지스터 등이 형성된 기판(500)을 제공한 후, 기판(500) 상에 제1 층간 절연막(510)을 형성할 수 있다. 이어서, 제1 층간 절연막(510)을 선택적으로 식각하여 기판(500)의 일부를 노출시키는 홀(520)을 형성한 후, 홀(520)의 측벽에 스페이서(530)를 이루는 물질막을 형성할 수 있다. 스페이서(530)를 이루는 물질막은 SiN에 비하여 식각률이 낮은 물질, 예를 들어, SiBN, SiCN 또는 SiBCN의 일 이상을 포함할 수 있다. 이어서, 홀(520)을 일부 매립하는 콘택플러그(540)를 형성할 수 있다. 구체적으로, 홀(520)을 매립하도록 콘택플러그(540)용 물질층을 형성하고, 원하는 높이가 될 때까지 에치백 공정을 수행하여 이 물질층을 일부 제거한 후, 클리닝 공정을 수행함으로써 콘택플러그(540)를 형성할 수 있다. 콘택플러그(540) 형성을 위한 에치백 공정 및 클리닝 공정을 수행하더라도 스페이서(530)를 이루는 물질막의 상부의 손실은 방지 또는 최소화되어, 최종 스페이서(530)는 상부 및 하부가 실질적으로 균일한 두께를 갖는 실질적인 직사각형 형태의 단면을 갖게 된다. 콘택플러그(540) 상에 나머지 홀(520)을 매립하는 콘택패드(550)를 형성할 수 있다. 구체적으로는, 콘택플러그(540)가 형성된 결과물을 덮는 도전 물질을 형성한 후 제1 층간 절연막(510)의 상면이 드러날 때까지 평탄화 공정 예컨대, CMP(Chemical Mechanical Polishing)를 수행하는 방식에 의할 수 있다. 이와 같이 형성된 하부 콘택 구조(600)는 상부 및 하부의 너비가 균일한 실질적인 직사각형 단면을 갖는다. 이어서, 하부 콘택 구조(600) 및 제1 층간 절연막(510) 상에 가변 저항 소자(100) 형성을 위한 물질층들을 형성한 후 이 물질층들을 선택적으로 식각하여 가변 저항 소자(100)를 형성할 수 있다. 가변 저항 소자(100) 사이의 공간은 절연 물질로 매립하여 제2 층간 절연막(560)을 형성할 수 있다. 이어서, 가변 저항 소자(100) 및 제2 층간 절연막(560) 상에 제3 층간 절연막(570)을 형성한 후 제3 층간 절연막(570)을 관통하여 가변 저항 소자(100)의 상단과 접속하는 상부 콘택(580)을 형성할 수 있다.
- [0084] 본 실시예의 메모리 장치에서 가변 저항 소자(100)를 형성하는 모든 층은 서로 정렬된 측벽을 가질 수 있다. 이는 가변 저항 소자(100)가 하나의 마스크를 이용하여 식각되는 방식으로 형성되기 때문이다.
- [0085] 그러나, 도 7b의 실시예와 달리 가변 저항 소자(100)의 일부는 나머지와 별개로 패터닝될 수 있다. 이에 대해서는 도 7b에 예시적으로 나타내었다.
- [0086] 도 7b는 본 발명의 다른 일 실시예에 따른 메모리 장치 및 그 제조 방법을 설명하기 위한 단면도이다. 도 7a의 실시예와의 차이를 중심으로 설명한다.
- [0087] 도 7b를 참조하면, 본 실시예의 메모리 장치는, 가변 저항 소자(100)의 일부 예컨대, 버퍼층(110) 및 하부층(120)이 가변 저항 소자(100)의 나머지 층과 정렬된 측벽을 갖지 않을 수 있다. 버퍼층(110) 및 하부층(120)은 하부 콘택 구조(600)와 정렬된 측벽을 가질 수 있다.
- [0088] 위 메모리 장치는 아래와 같은 방법에 의해 형성될 수 있다.
- [0089] 우선, 기판(500) 상에 제1 층간 절연막(510)을 형성한 후, 제1 층간 절연막(510)을 선택적으로 식각하여 기판(500)의 일부를 노출시키는 홀(520)을 형성할 수 있다. 이어서, 스페이서(530), 콘택플러그(540) 및 콘택패드(550)를 순차적으로 형성한다. 스페이서(530), 콘택플러그(540) 및 콘택패드(550)의 형성은 도 7a에 설명된 바

와 같으며, 콘택패드(550)는 홀(520)의 일부를 매립하도록 형성한다. 구체적으로는, 콘택플러그(540)가 형성된 결과물을 덮는 도전 물질을 형성한 후 도전 물질이 원하는 높이가 될 때까지 에치백 등으로 도전 물질의 일부를 제거하는 방식에 의해 콘택패드(550)를 형성할 수 있다. 이어서, 하부 콘택 구조(600)가 형성된 홀(520)의 나머지 공간을 매립하는 버퍼층(110) 및 하부층(120)을 형성할 수 있다. 보다 구체적으로, 버퍼층(110)의 형성은, 하부 콘택 구조(600)가 형성된 결과물을 덮는 버퍼층(110)용 물질막을 형성한 후, 이 물질막이 원하는 높이가 될 때까지 에치백 등으로 이 물질막의 일부를 제거하는 방식에 의할 수 있다. 또한, 하부층(120)의 형성은, 하부 콘택 구조(600) 및 버퍼층(110)이 형성된 결과물을 덮는 하부층(120)용 물질막을 형성한 후, 제1 층간 절연막(510)의 상면이 드러날 때까지 평탄화 공정 예컨대, CMP(Chemical Mechanical Polishing)를 수행하는 방식에 의할 수 있다. 이어서, 하부 콘택 구조(600) 및 제1 층간 절연막(510) 상에 가변 저항 소자(100) 중 버퍼층(110) 및 하부층(120)을 제외한 나머지층 형성을 위한 물질층들을 형성한 후 이 물질층들을 선택적으로 식각하여 가변 저항 소자(100)의 나머지를 형성할 수 있다. 이후의 후속 공정은 도 7a에서 설명한 것과 실질적으로 동일하다.

- [0090] 본 실시예에 의하는 경우, 가변 저항 소자(100) 형성을 위하여 한번에 식각하여야 하는 높이가 감소하기 때문에 식각 공정의 난이도가 감소할 수 있다.
- [0091] 또한, 본 실시예에서는 버퍼층(110) 및 하부층(120)이 홀(520) 내에 매립되는 경우를 설명하였으나, 필요에 따라 다른 일부 등이 더 매립될 수도 있다.
- [0093] 전술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 8 내지 도 12는 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.
- [0095] 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- [0096] 도 8을 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.
- [0097] 기억부(1010)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.
- [0098] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 기관 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기관 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다. 이를 통해, 기억부(1010)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 마이크로프로세서(1000)의 동작 특성 향상이 가능하다.
- [0099] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0100] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0101] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.

- [0103] 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- [0104] 도 9를 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1430)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0105] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0106] 기억부(1111)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0107] 캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 기판 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기판 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다. 이를 통해 캐시 메모리부(1120)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 프로세서(1100)의 동작 특성 향상이 가능하다.
- [0108] 도 9에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.
- [0109] 버스 인터페이스(1430)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.
- [0110] 본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1430)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장

부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.

[0111] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.

[0112] 여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.

[0113] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0114] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

[0115] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.

[0117] 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

[0118] 도 10을 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Portable Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Portable Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning

System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.

[0119] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.

[0120] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 기관 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기관 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다. 이를 통해, 주기억장치(1220)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 향상이 가능하다.

[0121] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수 있다.

[0122] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 기관 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기관 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다. 이를 통해, 보조기억장치(1230)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 향상이 가능하다.

[0123] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 10의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 10의 1300 참조)들을 포함할 수 있다.

[0124] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area

Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀 에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0126] 도 11 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

[0127] 도 11을 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0128] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0129] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.

[0130] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0131] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 기판 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기판 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다. 이를 통해, 임시 저장 장치(1340)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 동작 특성 향상이

가능하다.

- [0133] 도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.
- [0134] 도 12를 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.
- [0135] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 기판 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기판 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다. 이를 통해, 메모리(1410)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 향상이 가능하다.
- [0136] 더불어, 본 실시예의 메모리는 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.
- [0137] 메모리 컨트롤러(1420)는 메모리(1410)와 인터페이스(1430) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 메모리 컨트롤러(1420)는 메모리 시스템(1400) 외부에서 인터페이스(1430)를 통해 입력된 명령어들을 처리 연산하기 위한 프로세서(1421)를 포함할 수 있다.
- [0138] 인터페이스(1430)는 메모리 시스템(1400)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것으로, USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스와 호환될 수 있거나, 또는, 이들 장치들과 유사한 장치들에서 사용되는 인터페이스와 호환될 수 있다. 인터페이스(1430)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.
- [0139] 본 실시예의 메모리 시스템(1400)은 외부 장치와의 인터페이스, 메모리 컨트롤러, 및 메모리 시스템의 다양화, 고성능화에 따라 인터페이스(1430)와 메모리(1410)간의 데이터의 입출력을 효율적으로 전달하기 위한 버퍼 메모리(1440)를 더 포함할 수 있다. 데이터를 임시로 저장하는 버퍼 메모리(1440)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 버퍼 메모리(1440)는 기판 상에 형성된 하부 콘택 구조; 및 상기 하부 콘택 구조 상에 형성된 가변 저항 소자를 포함할 수 있으며, 상기 하부 콘택 구조는, 기판 상의 층간 절연막을 관통하는 콘택홀; 상기 콘택홀의 측벽에 형성되며, SiBN, SiCN 또는 SiBCN의 일 이상을 포함하는 스페이서; 상기 콘택홀을 일부 매립하는 콘택플러그; 및 상기 콘택플러그 상에서 나머지 상기 콘택홀을 매립하는 콘택패드를 포함할 수 있다. 이를 통해, 버퍼 메모리(1440)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 향상이 가능하다.
- [0140] 더불어, 본 실시예의 버퍼 메모리(1440)는 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 버퍼 메모리(1440)는 전술한 실시예의 반도체 장치를 포함하지 않고 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic

Random Access Memory) 등을 포함할 수 있다.

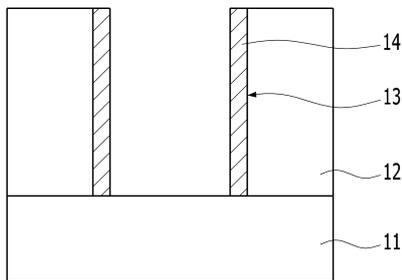
[0142] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음은 명백하다.

부호의 설명

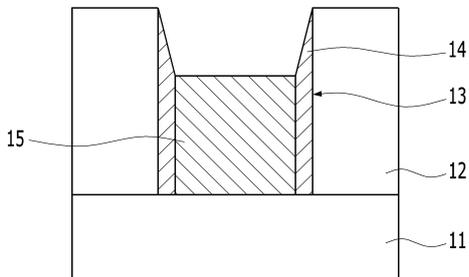
- [0144] 102: 층간절연막 103: 콘택홀
 104: 스페이서 105: 콘택플러그
 106: 콘택패드 100: 가변 저항 소자

도면

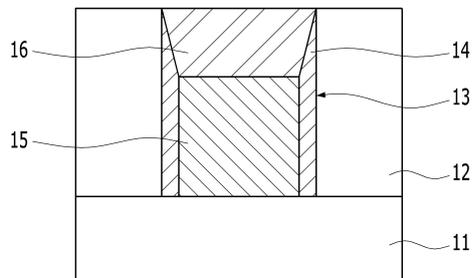
도면1a



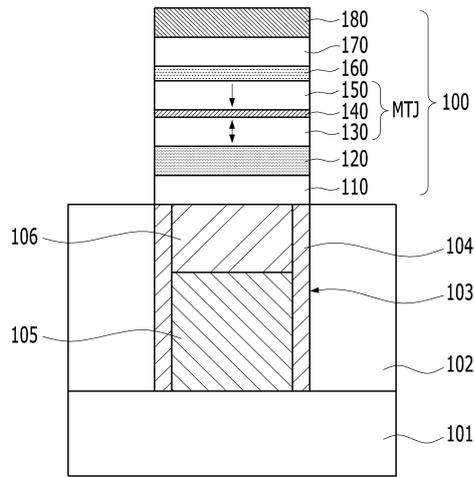
도면1b



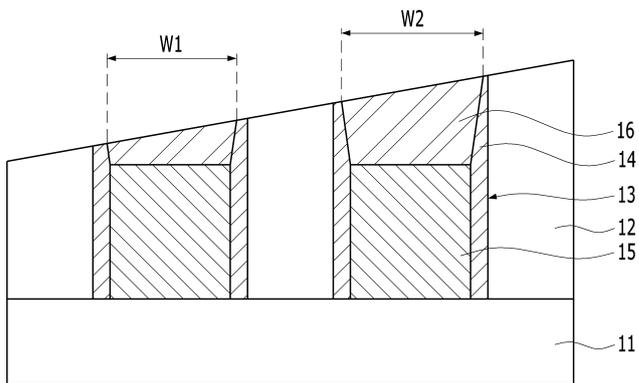
도면1c



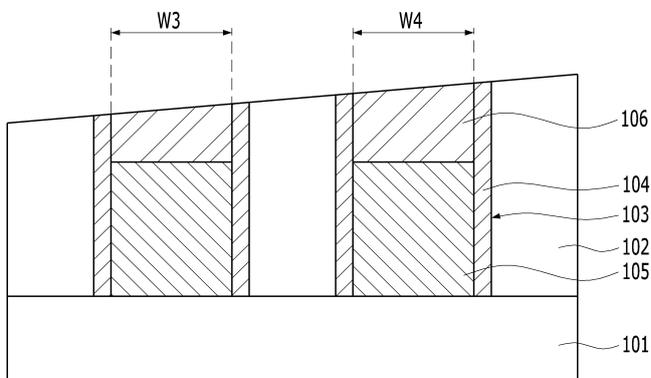
도면2



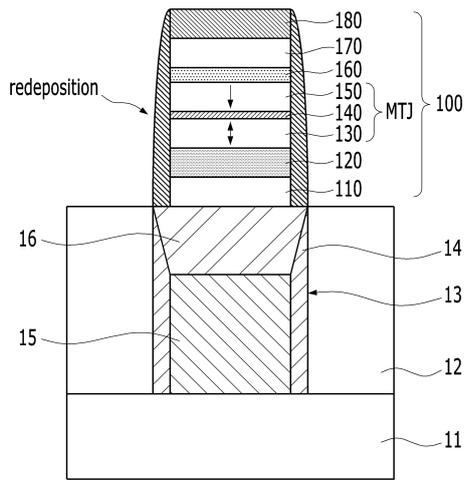
도면3a



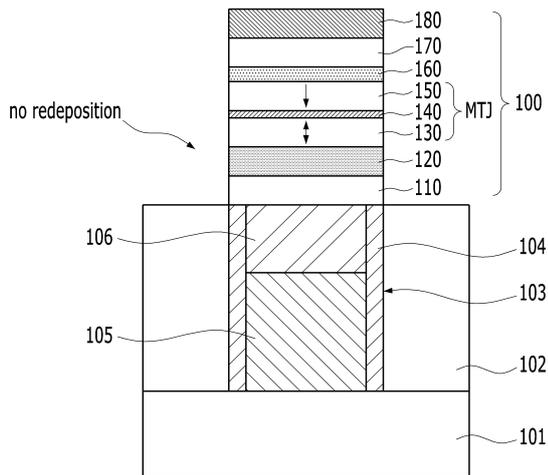
도면3b



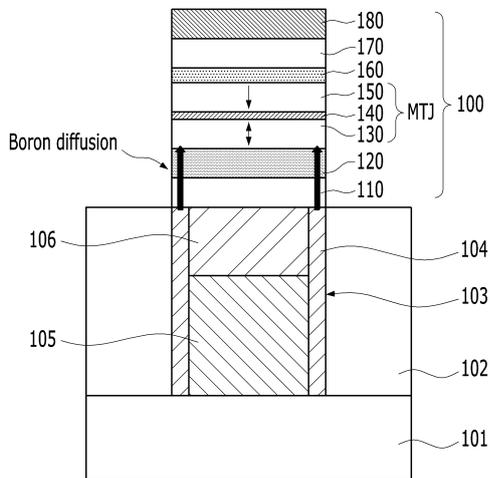
도면4a



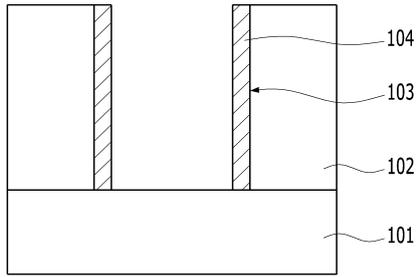
도면4b



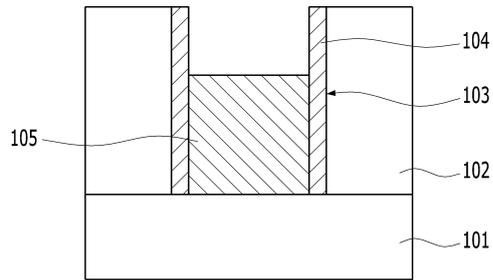
도면5



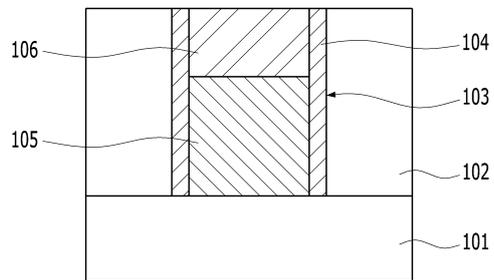
도면6a



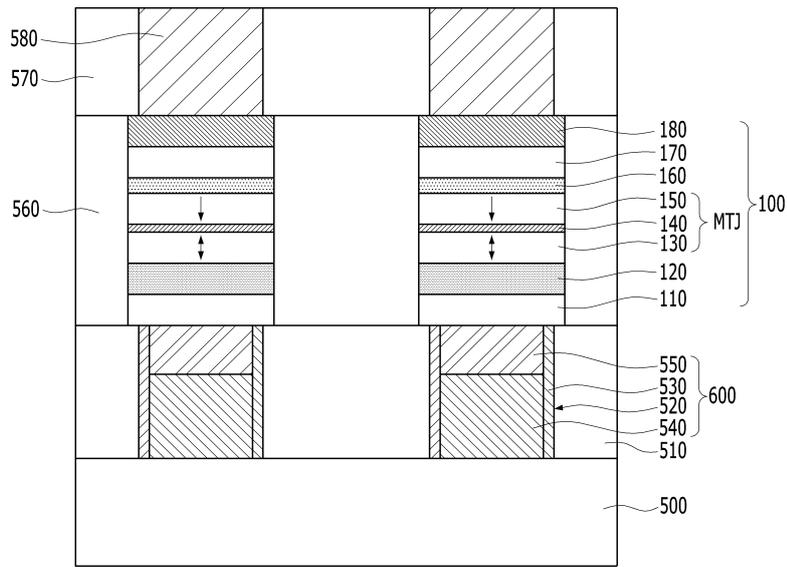
도면6b



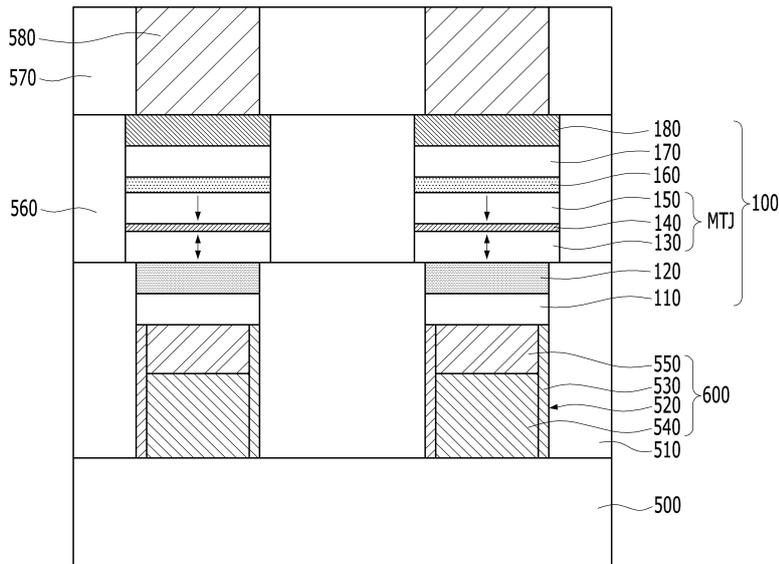
도면6c



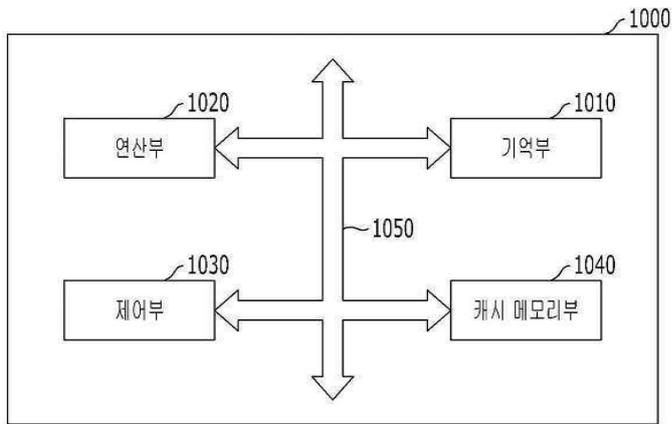
도면7a



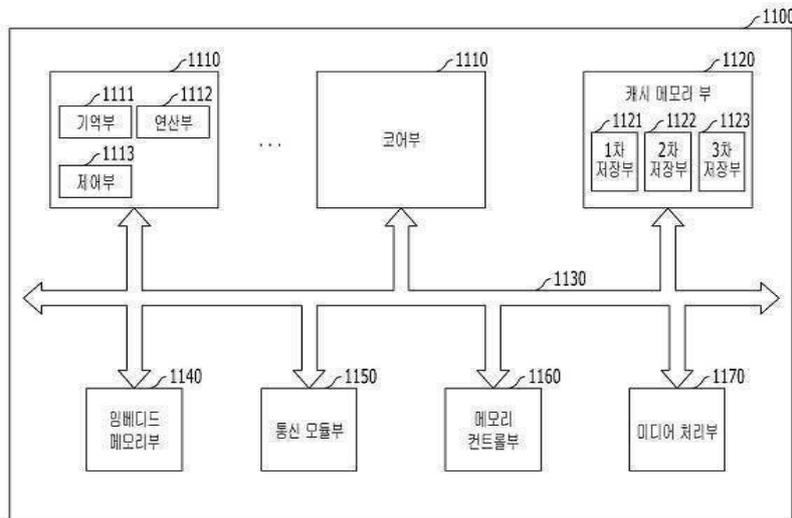
도면7b



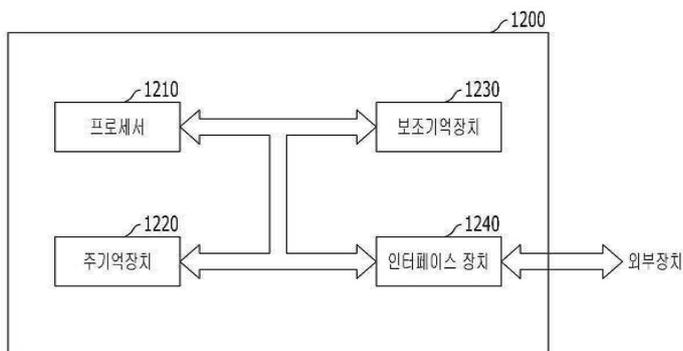
도면8



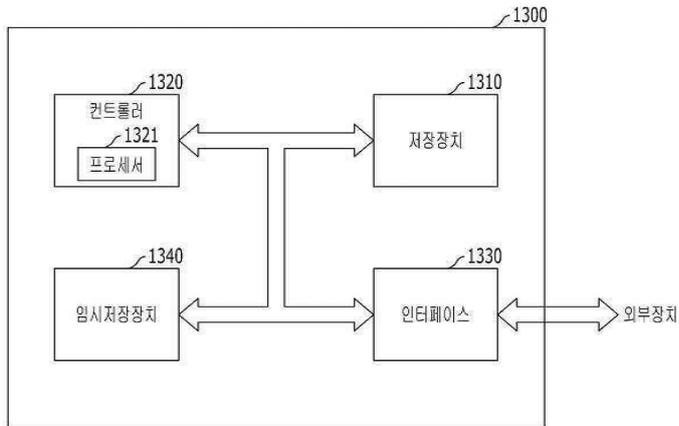
도면9



도면10



도면11



도면12

