

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-150437

(P2005-150437A)

(43) 公開日 平成17年6月9日(2005.6.9)

(51) Int. Cl.<sup>7</sup>

H01L 25/065  
H01L 23/52  
H01L 25/07  
H01L 25/18

F I

H01L 25/08 Z  
H01L 23/52 C

テーマコード(参考)

審査請求 未請求 請求項の数 12 O L (全 23 頁)

(21) 出願番号 特願2003-386512(P2003-386512)  
(22) 出願日 平成15年11月17日(2003.11.17)

(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(74) 代理人 100107836  
弁理士 西 和哉  
(74) 代理人 100064908  
弁理士 志賀 正武  
(74) 代理人 100101465  
弁理士 青山 正和  
(72) 発明者 松井 邦容  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

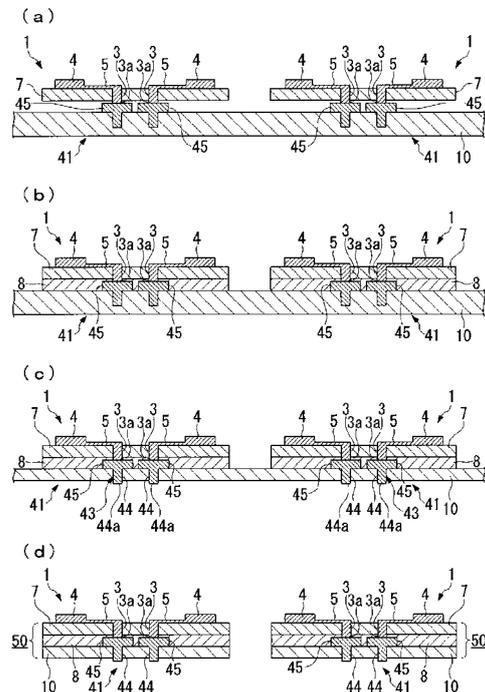
(54) 【発明の名称】 中間チップモジュール、半導体装置、回路基板、及び電子機器

(57) 【要約】

【課題】 三次元チップ積層技術において再配置配線を容易に行うことができ、しかもチップのハンドリングが容易となり、高い製造効率を実現できる中間チップモジュール及び半導体装置を提供する。

【解決手段】 複数のチップ間を電気的に接続可能な中間チップ1と半導体チップ41とが接合されて一体化(モジュール化)された中間チップモジュール50を提供する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

複数のチップ間を電氣的に接続可能な中間チップと半導体チップとが接合されて一体化されていることを特徴とする中間チップモジュール。

## 【請求項 2】

前記半導体チップの能動面及び裏面のうち少なくとも一方の面に前記中間チップが接合されていることを特徴とする請求項 1 記載の中間チップモジュール。

## 【請求項 3】

前記中間チップと前記半導体チップとの間に中間層が設けられていることを特徴とする請求項 1 又は 2 記載の中間チップモジュール。

## 【請求項 4】

前記中間層として、少なくとも絶縁膜からなる層を含むことを特徴とする請求項 3 記載の中間チップモジュール。

## 【請求項 5】

前記中間チップは受動素子を含んでいることを特徴とする請求項 1 ~ 4 のいずれか一項記載の中間チップモジュール。

## 【請求項 6】

前記受動素子は前記中間チップの表裏面のうちの少なくとも一方の面に設けられていることを特徴とする請求項 5 記載の中間チップモジュール。

## 【請求項 7】

互いに異なる種類の複数の受動素子が前記中間チップに設けられていることを特徴とする請求項 5 又は 6 記載の中間チップモジュール。

## 【請求項 8】

複数のチップ間を電氣的に接続可能な中間チップと半導体チップとを接合して一体化した中間チップモジュールを複数積層した積層体を備えたことを特徴とする半導体装置。

## 【請求項 9】

互いに同種の中間チップモジュールが積層されていることを特徴とする請求項 8 記載の半導体装置。

## 【請求項 10】

互いに異種の中間チップモジュールが積層されていることを特徴とする請求項 8 記載の半導体装置。

## 【請求項 11】

請求項 8 ~ 請求項 10 のいずれか一項記載の半導体装置が実装されていることを特徴とする回路基板。

## 【請求項 12】

請求項 8 ~ 請求項 10 のいずれか一項記載の半導体装置を有することを特徴とする電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、中間チップモジュール、半導体装置、回路基板、及び電子機器に関するものである。

## 【背景技術】

## 【0002】

現在、主として携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) などの携帯性を有する電子機器では、小型化及び軽量化のため、内部に設けられている半導体チップなどの各種の電子部品の小型化が図られており、さらにその電子部品を実装するスペースも極めて制限されている。このため、例えば半導体チップにおいては、そのパッケージング方法が工夫され、現在では CSP (Chip Scale Package) といわれる超小型のパッケージングが提供されている。この CSP 技術を用いて製造された

10

20

30

40

50

半導体チップは、実装面積が半導体チップの面積と同程度でよいため、高密度実装を実現するものとなっている。

【0003】

また、前記電子機器は、今後益々小型化及び多機能化が求められることが予想されており、半導体チップの実装密度をさらに高める必要がある。かかる背景の下、三次元チップ積層技術が提案されてきた。この三次元チップ積層技術は、同様の機能を有する半導体チップどうし、又は異なる機能を有する半導体チップどうしを積層し、各半導体チップ間を配線接続することにより、半導体チップの高密度実装を図る技術である（例えば、特許文献1、特許文献2参照）。

【特許文献1】特開2002-170919号公報

10

【特許文献2】特開2002-100727号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、三次元チップ積層技術においては、半導体チップの高密度化に伴って端子間ピッチが狭くなってきていることなどから、これを外部端子に接続することが困難になってきている。またパッド配置、ダイサイズの異なる異種類のチップを積層する場合にも、再配置配線の必要がある。また、三次元チップ積層する際のハンドリングを容易にし、歩留まりの低下を招かずに効率良く製造できる技術が要望されている。また、三次元チップ積層する際の設計上及び構造上の自由度を向上して半導体装置の特性向上を容易に実現することにも要望されている。

20

【0005】

本発明は前記事情に鑑みてなされたもので、三次元チップ積層技術において再配置配線を容易に行うことができ、しかもチップのハンドリングが容易となり、高い製造効率を実現できる中間チップモジュール、半導体装置、その半導体装置を実装した回路基板及び電子機器を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記の課題を解決するため、本発明の中間チップモジュールは、複数のチップ間を電氣的に接続可能な中間チップと半導体チップとが接合されて一体化されていることを特徴とする。

30

本発明によれば、複数のチップ間を電氣的に接続可能な中間チップと半導体チップとを一体化してモジュール化したことにより、チップ強度が向上し、歩留まりの低下が抑えられ、三次元チップ積層する際のハンドリングが容易となる。そして、例えば互いに異なる形態の中間チップモジュールを複数種類形成し、これら複数種類の中間チップモジュールのうち任意の中間チップモジュールどうしを適宜組み合わせるだけで、様々な形態の半導体装置を容易に製造することができる。また、三次元チップ積層する際の設計上の自由度や構造上の自由度を向上することができる。したがって、多機能化等の特性向上を図ることも可能となる。また、中間チップを含む中間チップモジュールによって所定チップ間の再配置配線を容易に行うこともできる。

40

【0007】

本発明の中間チップモジュールにおいて、前記半導体チップの能動面及び裏面のうち少なくとも一方の面に前記中間チップが接合されていることを特徴とする。

本発明によれば、半導体チップのうち素子部や回路部が設けられている能動面及び裏面のうちのいずれか一方の面に中間チップを接合することで、異なる形態の中間チップモジュールを形成することができる。そして、例えば半導体チップの能動面側に中間チップを接合することにより、その半導体チップの能動面に中間チップを介して別の半導体チップ（あるいは別の中間チップや中間チップモジュール）を容易に接続でき、再配置配線を含む半導体装置の製造を容易に行うことができる。また、中間チップを半導体チップの能動面側

50

に接続することにより、その能動面の素子部や回路部を保護することができる。同様に、半導体チップの裏面側に中間チップを接合することにより、その半導体チップの裏面に中間チップを介して別の半導体チップなどを容易に接続できる。

【0008】

本発明の中間チップモジュールにおいて、前記中間チップと前記半導体チップとの間に中間層が設けられていることを特徴とする。

本発明によれば、中間チップと半導体チップとの間に中間層を設けたことにより、その中間層が補強層となってチップの反り（撓み）や破損などを不都合の発生を防止することができる。特に、中間チップモジュールと他のチップあるいは他の中間チップモジュールとの接合時や実装時において、チップの反りや破損等の不都合の発生を防止できる。このように、チップの補強のための中間層を設けることにより、ハンドリングを容易とし、歩留まりの低下を防止することができる。なお、中間層は、チップを補強する他に、チップどうしの接合強度を向上するためや、チップ間あるいは配線間のショートを防ぐための絶縁の目的や、中間チップモジュール全体の厚さ調整を行うために設けるようにしてもよく、それぞれの目的に応じて使用する中間層形成用材料が選択される。

10

【0009】

本発明の中間チップモジュールにおいて、前記中間層として、少なくとも絶縁膜からなる層を含むことを特徴とする。

本発明によれば、中間層が絶縁膜を含むことにより、チップ積層時のチップ間のショート（短絡）を防ぐことができ、中間チップモジュールの信頼性を更に向上することができる。

20

【0010】

本発明の中間チップモジュールにおいて、前記中間チップは受動素子を含んでいることを特徴とする。

つまり、中間チップ（中間チップモジュール）には、抵抗素子やコンデンサあるいはコイルなどの受動素子が含まれていてもよい。そして、中間チップ及び半導体チップのそれぞれが前記受動素子に電氣的に接続可能とすることで、受動素子を介してチップどうしを接続するといったことも可能となり、これにより、半導体装置の設計上の自由度や構造上の自由度を更に向上することができる。

【0011】

本発明の中間チップモジュールにおいて、前記受動素子は前記中間チップの表裏面のうちの少なくとも一方の面に設けられていることを特徴とする。

これにより、中間チップの表裏面に受動素子を設けるといった簡易な構成で様々な種類の中間チップモジュールを形成することができ、チップどうしを電氣的に接続することができる。そして、これら複数種類の中間チップモジュールのうちから任意の中間チップモジュールを組み合わせて接合することで、様々な半導体装置を容易に製造することができる。

30

【0012】

本発明の中間チップモジュールにおいて、互いに異なる種類の複数の受動素子が前記中間チップに設けられていることを特徴とする。

これにより、更に様々な種類の中間チップモジュールを容易に形成することができ、この中間チップモジュールを組み合わせて製造される半導体装置の設計の自由度や構造の自由度を更に向上することができる。そして、中間チップの表裏両面のそれぞれに受動素子を設ける場合において、表面側に設ける第1の受動素子と裏面側に設ける第2の受動素子との種類が異なる構成を採用することも可能であるし、中間チップの表面側のみ（あるいは裏面側のみ）に複数の受動素子を設ける場合において、これら複数の受動素子の種類が互いに異なる構成を採用することも可能である。

40

【0013】

本発明の半導体装置は、複数のチップ間を電氣的に接続可能な中間チップと半導体チップとを接合して一体化した中間チップモジュールを複数積層した積層体を備えたことを特

50

徴とする。

本発明によれば、複数のチップ間を電氣的に接続可能な中間チップと半導体チップとを一体化してモジュール化して中間チップモジュールを形成したことにより、その中間チップモジュールを複数積層するだけといった簡易な構成で半導体装置を容易に製造することができる。そして、例えば互いに異なる形態の中間チップモジュールを複数種類形成し、これら複数種類の中間チップモジュールのうち任意の中間チップモジュールどうしを適宜組み合わせるだけで、様々な形態の半導体装置を容易に製造することができ、三次元チップ積層の際の設計上の自由度や構造上の自由度を向上することができる。したがって、多機能化等の特性向上を図ることも可能となる。また、中間チップを含む中間チップモジュールによって所定チップ間の再配置配線を容易に行うこともできる。また、モジュール

10

#### 【0014】

本発明の半導体装置において、互いに同種の中間チップモジュールが積層されている構成を採用することが可能であるし、互いに異種の中間チップモジュールが積層されている構成を採用することも可能である。いずれにおいても、様々な形態の半導体装置を容易に製造することができ、三次元チップ積層の際の設計上の自由度や構造上の自由度を向上することができる。ここで、中間チップモジュールが異種であるとは、ポスト電極と貫通電極との平面視における位置が異なる場合、中間チップモジュールを構成するチップの積層構成が異なる場合、中間チップモジュールを構成する半導体チップあるいは中間チップ

20

#### 【0015】

本発明の回路基板は、上記記載の半導体装置が実装されていることを特徴とする。

本発明によれば、中間チップモジュールを積層して形成された半導体装置が実装されているため、高密度化が実現され、実装に関する自由度の高い回路基板を提供することができる。

#### 【0016】

本発明の電子機器は、上記記載の半導体装置を有することを特徴とする。

30

本発明によれば、中間チップモジュールを積層して形成された半導体装置が実装されているため、高密度化が実現され、実装に関する自由度の高い電子機器を提供することができる。

#### 【発明を実施するための最良の形態】

#### 【0017】

以下、本発明の中間チップモジュールの一実施形態について、その製造方法に基づいて説明する。まず、図1に示す模式図を参照しながら、中間チップモジュールを構成する半導体チップ（半導体ウエハ）の製造工程の概略について説明する。

図1(a)に示すように、半導体チップを形成するための半導体チップ形成用基材であるシリコン基板（ウエハ）10が用意される。なお、シリコン基板10の表面（能動面）側には、トランジスタやメモリ素子を含む素子部や回路部が形成されているが、図示されていない。

40

次いで、図1(b)に示すように、シリコン基板10の表面の所定位置に形成された開口部に銅などの導電性材料が埋め込まれ、電極部43が形成される。なお、シリコン基板10と電極部43とは、絶縁膜を介して互いに絶縁された状態にある。電極部43は、前記素子部や回路部とは別に設けられたものであって、三次元実装の接続部材として用いられる。そして、シリコン基板10のうち、素子部及び回路部が形成されている能動面（表面）側に、電極部43の一部を構成するポスト電極45が突出するように設けられる。ポスト電極45を含む電極部43は、その素子部及び回路部に電氣的に接続されている。

次いで、図1(c)に示すように、必要に応じて、シリコン基板10が薄肉化される。

50

## 【0018】

ここで、電極部43は、シリコン基板10に形成される複数の半導体チップのそれぞれに対応して設けられる。図1に示す例では、シリコン基板10には2つの半導体チップ41、41が形成されており、その2つの半導体チップ41、41のそれぞれについて電極部43が2つずつ形成される。

## 【0019】

次に、図2に示す模式図を参照しながら、中間チップモジュールを構成する中間チップを形成する中間チップ形成工程の概略について説明する。中間チップとは、半導体チップ間を電氣的に接続するものである。

図2(a)に示すように、中間チップを形成するための中間チップ形成用基材であるシリコン基板(ウエハ)7が用意される。なお、シリコン基板7の表面側には不図示の絶縁膜が形成されている。

次いで、図2(b)に示すように、シリコン基板7の表面の所定位置に形成された開口部に銅などの導電性材料が埋め込まれ、電極部6が形成される。電極部6は、シリコン基板7の表面側に設けられたポスト電極4を備えており、開口部に埋め込まれた電極部(後述する貫通電極3)に対して配線部5を介して電氣的に接続されている。なおここでも、シリコン基板7と電極部6とは、絶縁膜を介して互いに絶縁された状態にある。

次いで、図2(c)に示すように、シリコン基板7が薄肉化され、更にシリコン基板7の裏面側を取り除いてシリコン基板7を薄膜化(薄肉化)することで、図2(d)に示すように、シリコン基板7の内部に設けられている導電性材料である電極部6の一部が裏面側より突出して貫通電極(第1の端子)3が形成される。上述したように、シリコン基板7の表面側に設けられたポスト電極4と貫通電極3とは配線部5を介して電氣的に接続されている。

なおこの際、基板7の裏面すなわち貫通電極3が突出した側に、貫通電極3を突出させた後、全面に絶縁膜を形成した後、貫通電極3の先端部分のみを露出している(不図示)。すなわち、電氣的に接続する電極以外は、絶縁膜で覆われた状態にある。電極露出方法としては、ドライエッチングや研磨、あるいはその併用などの方法がある。

## 【0020】

ここで、電極部6は、シリコン基板7に形成される複数の中間チップのそれぞれに対応して設けられる。図2に示す例では、シリコン基板7には2つの中間チップ1、1が形成されており、その2つの中間チップ1、1のそれぞれについて電極部6が2つずつ形成される。

## 【0021】

次いで、図2(e)に示すように、シリコン基板7が、中間チップ1に応じて切断(ダイシング)され、チップ化される。これにより、1つのシリコン基板7から、半導体チップ間を電氣的に接続可能な中間チップが複数(ここでは2つ)形成される。

## 【0022】

なお、貫通電極3が突出した側をシリコン基板7の表面側とし、ポスト電極4が設けられた側をシリコン基板7の裏面側としてもよいのはもちろんである。

## 【0023】

貫通電極3は、本実施形態ではその一端側がシリコン基板7の裏面側に突出し、他端側がシリコン基板7の表面側に露出するように、シリコン基板7を貫通して形成されたものである。ポスト電極4は、前記貫通電極3の突出部3aとは平面視した状態で異なる位置に配置されているが、同じ位置に配置されてあってもよい。配線部5は、シリコン基板7の表面側に形成されたもので、貫通電極3の他端部とポスト電極4との間を引き回されることにより、これらの間を導通させるものである。そして、このような構成のもとに中間チップ1は、前記貫通電極3の突出部3aの位置からポスト電極4の位置にまで再配置配線を行う。

## 【0024】

なお、図2に示した中間チップ1では、貫通電極3とポスト電極4とこれらを導通させ

10

20

30

40

50

る配線部 5 とからなる組が複数 ( 2 組 ) 形成されており、これによって後述するように半導体チップ間の異なる複数組 ( 2 組 ) の端子間の接続を、この中間チップ 1 のみで行うことができるようになってきている。また、特に図 2 には示していないものの、一つの配線部 5 に複数の貫通電極 3 と一つのポスト電極 4 とを導通させるようにしてもよく、逆に、一つの配線部 5 に一つの貫通電極 3 と複数のポスト電極 4 とを導通させるようにしてもよい。更に、一つの配線部 5 に複数の貫通電極 3 と一つのポスト電極 4 とを導通させるようにしてもよい。このようにすれば、一方の半導体チップの一又は複数の電極と、他方の半導体チップの一又は複数の電極との電氣的接続を、この接続用中間チップ 1 のみで行うことができる。また、中間チップ 1 の裏面側に、予め絶縁膜を形成しておくことで、この絶縁膜が、以降の工程で説明する、積層時の中間層として機能し、チップ間を絶縁することができる。

10

#### 【 0 0 2 5 】

次に、図 1 を参照して説明した工程により形成された半導体チップ ( 半導体ウエハ ) 4 1 と、図 2 を参照して説明した工程により形成された中間チップ 1 とを接合する工程について、図 3 を参照しながら説明する。

図 3 ( a ) に示すように、複数の半導体チップ 4 1 を含むシリコン基板 1 0 に対して、複数の中間チップ 1 が接続される。本実施形態では、半導体チップ 4 1 の上に中間チップ 1 が配置 ( 積層 ) される。そして、半導体チップ 4 1 に対して中間チップ 1 をアライメントしつつ、中間チップ 1 の貫通電極 3 の突出部 ( 第 1 の端子 ) 3 a と、半導体チップ 4 1 、 4 2 のポスト電極 4 5 とが、例えば鉛フリーのはんだを介して電氣的に接続される。鉛フリーのはんだは貫通電極 3 の突出部 3 a 及びポスト電極 4 5 のうち少なくとも一方に予め設けられており、リフローソルダリングによって、中間チップ 1 及び半導体チップ 4 1 が一括して加熱され、貫通電極 3 とポスト電極 4 5 とが加熱接合される。

20

#### 【 0 0 2 6 】

次に、図 3 ( b ) に示すように、中間チップ 1 のシリコン基板 7 と、半導体チップ 4 1 のシリコン基板 1 0 との間に、中間層としてアンダーフィル材 8 が充填される。そして、充填したアンダーフィル材 8 が硬化される。これにより、半導体チップ 4 1 及び中間チップ 1 を含む積層体全体の強度が増す。ここで、中間層として、絶縁膜からなる層を設けることにより、チップ間を絶縁してショートなどの不都合の発生を防止することができる。

#### 【 0 0 2 7 】

中間チップ 1 と半導体チップ 4 1 とが接続された後、図 3 ( c ) に示すように、シリコン基板 1 0 の裏面側が取り除かれて薄肉化され、シリコン基板 1 0 の内部に設けられている導電性材料である電極部 4 3 の一部が裏面側より突出して貫通電極 4 4 が形成される。シリコン基板 1 0 の表面側に設けられたポスト電極 4 5 と貫通電極 4 4 とは電氣的に接続されている。

30

#### 【 0 0 2 8 】

なおこの際、基板 1 0 の裏面すなわち貫通電極 4 4 が突出した側に、貫通電極 4 4 を突出させた後、全面に絶縁膜を形成した後、貫通電極 4 4 の先端部分のみを露出している ( 不図示 ) 。すなわち、電氣的に接続する電極以外は、絶縁膜で覆われた状態にある。電極露出方法としては、ドライエッチングや研磨、あるいはその併用などの方法がある。

40

#### 【 0 0 2 9 】

以上のようにして、複数の半導体チップ 4 1 を含むシリコン基板 1 0 に複数の中間チップ 1 を接続した後、中間チップ 1 の大きさに応じて、シリコン基板 1 0 が切断 ( ダイシング ) されてチップ ( 積層体 ) が個片化される。以上の工程により、図 3 ( d ) に示すように、中間チップ 1 と半導体チップ 4 1 とを接合して一体化した中間チップモジュール 5 0 が形成される。ここで、中間チップ 1 は半導体チップ 4 1 の能動面側に設けられているので、半導体チップ 4 1 の能動面に設けられている素子部や回路部を中間チップ 1 によって保護することができる。

#### 【 0 0 3 0 】

上述の製造方法は、チップ化した中間チップを半導体チップ ( 半導体ウエハ ) 上に積層

50

した後にダイシングする方法であるが、最初に半導体チップ及び中間チップのそれぞれの端子（電極）を露出させ、ダイシングしてチップ化した後、チップの状態それぞれを接合することにより、図3（d）に示す形態を形成する方法を用いてもよい。

#### 【0031】

中間チップ1と半導体チップ41とを接合して一体化した積層体である中間チップモジュール50を形成したことにより、ハンドリングが容易となる。また、中間チップ1と半導体チップ41との間には中間層としてのアンダーフィル材8が充填されているので、形成された中間チップ、半導体チップ、及びアンダーフィル材を含む積層体の強度は向上される。更にはチップの反りが低減でき、その後の積層作業をし易くできる。

#### 【0032】

次に、図4を参照しながら、上述した工程により形成された中間チップモジュール50を様々なパッケージ用の基板である基板（エポキシ、ガラエポ、セラミックス、ガラス、シリコンなど）PBに一次実装しパッケージ化する工程について説明する。ここでは基板PBとして、セラミックスを用いるが、これには二次実装する際の接合材であるハンダボールなどが、実装形態に合わせた形状に予め形成されている。例えばBGA（ボールグリッドアレイ）形状である。

図4（a）に示すように、基板PB上に中間チップモジュール50が複数積層され、中間チップモジュール50からなる積層体が形成される。ここでは、5つの中間チップモジュール50-1、50-2、50-3、50-4、50-5がこの順で積層されている。なお、図4（a）に示す例においては、中間チップモジュール50として、図3（d）に示した形態のものに対してそれぞれの電極の形成位置が変更されているものが含まれており、上下方向に反転した状態で積層されている。すなわち、図4に示す実施形態においては、互いの異種の中間チップモジュール50が積層された構成となっている。

#### 【0033】

そして、積層される複数の中間チップモジュール50のうち、第1の中間チップモジュール50（例えば50-1）を構成する半導体チップ41の貫通電極44と、その第1の中間チップモジュール50（50-1）に隣接する第2の中間チップモジュール50（50-2）を構成する中間チップ1のポスト電極4とが電氣的に接続される。本実施形態では、先に基板PBに接続された中間チップモジュール50（例えば50-1）に対して、次に積層される中間チップモジュール50（50-2）をアライメントしつつ、先に基板PBに接続されている中間チップモジュール50（50-1）の貫通電極44と、次に積層される中間チップモジュール50（50-2）のポスト電極4とが、例えば鉛フリーのはんだを介して電氣的に接続される。なお、最下段の中間チップモジュール50-1のポスト電極4は、基板PBの端子P1と鉛フリーのはんだを介して電氣的に接続されている。鉛フリーのはんだは貫通電極44の突出部44a及びポスト電極4のうち少なくとも一方に予め設けられており、中間チップモジュール50（50-1～50-5）を所定数（5段）積層した後、リフローソルダリングによって、複数の中間チップモジュール50（50-1～50-5）が一括して加熱され、複数の貫通電極44と複数のポスト電極4とのそれぞれが加熱接合される。こうして、複数の中間チップモジュール50（50-1～50-5）からなる積層体が基板PB上に形成される。ここで、本実施形態においては、互いに同等の構成を有する中間チップモジュール50を複数積層しているため、半導体チップ41と中間チップ1とが交互に積層されている構成となっている。なお、複数の中間チップモジュールを積層する場合、フラックス等を用いて仮止めしつつ積層し、その後リフローソルダリングする構成を採用することができる。

なお、この接合方法はリフロー法に限るものではなく、フリップチップボンディングのような、加圧加熱方式でもよい。

#### 【0034】

一方、中間チップモジュール50（50-1～50-5）どうしを積層する構成の他に、複数の中間チップモジュール50どうしの任意の間（例えば50-2と50-3との間）に中間チップ1を配置し、その中間チップ1を介して中間チップモジュール50-2と

10

20

30

40

50

中間チップ50-3とを接続するようによい。あるいは、中間チップモジュール50どうしの任意の間(例えば50-3と50-4との間)に半導体チップ41を介在させるようにして積層体を形成するようによい。つまり、積層体は、中間チップ1、半導体チップ41、及び中間チップモジュール50を適宜組み合わせることで形成することができる。

#### 【0035】

そして、図4(b)に示すように、中間チップモジュール50(50-2~50-5)どうしの間、及び最下段の中間チップモジュール50-1と基板PBとの間に、中間層としてアンダーフィル材8が充填される。そして、充填したアンダーフィル材8が硬化される。これにより、複数のチップからなる積層体全体の強度が増す。

10

#### 【0036】

アンダーフィル材8としては、エポキシ系が一般的であるが、この際、絶縁性以外に、材料そのものの物性、すなわち硬化後の残留応力や弾性率を考慮して材料の選定を行う。この後、全体をモールドすることで、中間チップモジュールを積層したパッケージとすることができる。

#### 【0037】

なお本実施形態においては、基板PB上に複数の中間チップモジュール50を例えば仮止めしつつ積層した後、一括してリフロー(加熱接合)することで各中間チップモジュール50を接続する構成であるが、例えば、基板PB上(あるいは先に基板PBに接続されている中間チップモジュール50上)に中間チップモジュール50を配置する工程と、リフロー(加熱接合)する工程とを交互に行うことで基板PB上に中間チップモジュール50を順次積層するようによいし、基板PB以外のところで、リフローソルダリングを含む工程を経て中間チップモジュール50の積層体を形成した後、その積層体を基板PBに接続するようによい。あるいはまた、リフロー以外のフリップチップボンディングなどの加熱加圧方式を用い、上述と同様のプロセスを経て積層体を形成することができる。もちろんこの場合も、中間チップ1や半導体チップ41を適宜組み合わせることで積層体を形成することができる。

20

#### 【0038】

以上説明したように、複数のチップ間を電氣的に接続可能な中間チップ1と半導体チップ41とを一体化してモジュール化したことにより、チップ強度が向上し、チップの反り(撓み)や破損などの不都合の発生を更に防止することができる。したがって、歩留まりの低下が抑えられ、三次元チップ積層の際のハンドリングが容易となる。そして、モジュール化された中間チップモジュール50を積層するだけといった簡易な構成で半導体装置を製造することができ、三次元チップ積層の際の設計上の自由度や構造上の自由度を向上することができる。したがって、多機能化等の特性向上を図ることも可能となる。また、中間チップ1を含む中間チップモジュール50によって所定チップ間の再配置配線を容易に行うこともできる。

30

#### 【0039】

また、中間チップ1と半導体チップ41との間にアンダーフィル材8を設けたことにより、チップの反り(撓み)や破損などの不都合の発生を更に防止することができ、特に、中間チップモジュール50と他のチップあるいは他の中間チップモジュール50との接合時や実装時において、チップの反りや破損等の不都合の発生を防止できる。このように、チップの補強のためのアンダーフィル材8を設けることにより、ハンドリングを容易とし、歩留まりの低下を防止することができる。なお、中間チップ1と半導体チップ41との間に設ける絶縁材料層(中間層)としては、チップを補強する他に、チップどうしの接合強度を向上するためや、チップ間あるいは配線間のショートを防ぐための絶縁そのものの目的、中間チップモジュール50全体の厚さ調整を行うために設けるようによい、それぞれの目的に応じて使用する中間層形成用材料が選択される。

40

また、中間層の形成材料としては、前述の絶縁膜(SiO<sub>2</sub>やSiNなど)やアンダーフィル材(エポキシなどの有機系樹脂)以外にも、ギャップ材のようなものを挟んでもよ

50

い。

【0040】

上記実施形態においては、半導体チップ41を複数含むシリコン基板10に対して複数の中間チップ1を接続した後、中間チップ1の大きさ及び接続位置に応じて切断（ダイシング）する構成であるが、図5（a）に示すように、中間チップ1を複数含むシリコン基板7に対して複数の半導体チップ41を接続した後、半導体チップ41の大きさ及び接続位置に応じて切断（ダイシング）して、図5（b）に示すように個片化して中間チップモジュール50を形成してもよい。ここで、図5（a）に示す例では、シリコン基板7を薄膜化（薄肉化）することによって、シリコン基板7の裏面側より貫通電極3が突出され、その後、その貫通電極3に対して半導体チップ41のポスト電極45が電氣的に接続されている。そして、前記ダイシングする前又は後に、半導体チップ41のシリコン基板10が薄肉化されて貫通電極44が突出されるとともに、シリコン基板7とシリコン基板10との間にアンダーフィル材8が充填される。

10

【0041】

なお上記実施形態においては、中間チップモジュール50は、図6（a）に示す模式図のように、一つの半導体チップ41の能動面（表面）に一つの中間チップ1を接合して一体化したものとして説明したが、例えば図6（b）に示す模式図のように、半導体チップ41の裏面に中間チップ1を接合して中間チップモジュール50としてもよい。あるいは、図6（c）に示すように、一つの半導体チップ41の表裏両面のそれぞれに中間チップ1を接合して、半導体チップ41を二つの中間チップ1で挟んだ構成であってもよいし、半導体チップ41と中間チップ1とが交互に複数積層されたものであってもよい。つまり、中間チップモジュール50は、少なくとも一つの中間チップ1と、少なくとも一つの半導体チップ41とを有していればよく、その積層構成は任意である。更には、図6（d）に示すように、大型の中間チップ1（例えば図2（d）に示したようなダイシング前の中間チップ（ウエハ））の一方の面に複数の半導体チップ41を接合するようにしてもよい。図6（d）に示す例では、中間チップ1の表面側に2つの半導体チップ41が接合され、裏面側に1つの半導体チップ41が接合されている。このとき、中間チップ1の表面側に接合された複数（2つ）の半導体チップ41の種類は互いに異なってもよいし、同じであってもよい。もちろん、大型の半導体チップ（ウエハ）41の一方の面（あるいは表裏両面）に複数の中間チップ1を接合するようにしてもよい。

20

30

【0042】

したがって、図4に示す実施形態では、電極形成位置が互いに異なる複数の中間チップモジュール50を積層した構成であるが、図6に示したように、中間チップモジュール50として、チップの積層構成がそれぞれ異なるもの、中間チップモジュールを構成する半導体チップ41あるいは中間チップ1の種類（構造）がそれぞれ異なるもの、中間チップモジュールを構成するチップの大きさ（大きさの組み合わせ）がそれぞれ異なるもの、及び中間チップモジュール自体の大きさがそれぞれ異なるものを複数形成し、その複数の中間チップモジュール50のうちから任意の中間チップモジュール50を選択して積層することが可能である。

【0043】

このように、互いに異なる形態の中間チップモジュール50を複数種類形成し、これら複数種類の中間チップモジュール50のうち任意の中間チップモジュール50どうしを適宜組み合わせるだけで、様々な形態の半導体装置を容易に製造することができ、設計上の自由度や構造上の自由度を向上することができる。

40

【0044】

なお、中間チップモジュール50を積層する際、同種の中間チップモジュールどうしを積層することはもちろん可能である。

【0045】

図7は、中間チップモジュール50を構成するチップとして、受動素子を含む中間チップ1'を含んでいる構成を示す模式図である。

50

つまり、中間チップモジュール50には、抵抗素子やコンデンサあるいはコイルなどの受動素子が含まれていてもよい。そして、中間チップ及び半導体チップのそれぞれが受動素子に電氣的に接続可能とすることで、受動素子を介してチップどうしを接続するといったことも可能となり、これにより、半導体装置の設計上の自由度や構造上の自由度を更に向上することができる。

#### 【0046】

図7(a)は、受動素子を設けられていない中間チップ1と、受動素子を設けられた中間チップ1'とが積層された構成を有する中間チップモジュール50を示す模式図である。このように、中間チップモジュール50は、中間チップ1と受動素子を含む中間チップ1'とを接合して一体化したものであってもよい。また、中間チップモジュール50としては、受動素子を含まない中間チップ1'の積層体、及び受動素子を含む中間チップ1'の積層体であってもよい。なお、図7(a)に示す例では、中間チップ1の裏面と中間チップ1'の表面とが接合されているが、中間チップ1の表面と中間チップ1'の裏面とが接合される構成であってもよい。更に、中間チップモジュール50としては、複数の中間チップ1と一つの中間チップ1'とを接合して一体化した構成であってもよいし、一つの中間チップ1と複数の中間チップ1'とを接合して一体化した構成であってもよい、複数の中間チップ1と複数の中間チップ1'とを接合して一体化した構成であってもよい。

10

#### 【0047】

図7(b)は、半導体チップ41と、受動素子を設けられた中間チップ1'とが積層された構成を有する中間チップモジュール50を示す模式図である。このように、中間チップモジュール50は、半導体チップ41と中間チップ1'とを接合して一体化したものであってもよい。なお、図7(b)に示す例では、半導体チップ41の裏面と中間チップ1'の表面とが接合されているが、半導体チップ41の表面と中間チップ1'の裏面とが接合される構成であってもよい。更に、中間チップモジュール50としては、複数の半導体チップ41と一つの中間チップ1'とを接合して一体化した構成であってもよいし、一つの半導体チップ41と複数の中間チップ1'とを接合して一体化した構成であってもよいし、複数の半導体チップ41と複数の中間チップ1'とを接合して一体化した構成であってもよい。

20

#### 【0048】

図7(c)は、中間チップ1と、半導体チップ41と、受動素子を設けられた中間チップ1'とが積層された構成を有する中間チップモジュール50を示す模式図である。このように、中間チップモジュール50は、中間チップ1と半導体チップ41と中間チップ1'とを接合して一体化したものであってもよい。なお、図7(c)に示す例では、中間チップ1と半導体チップ41と中間チップ1'とがこの順に積層されているが、その積層順序は任意である。更に、中間チップモジュール50としては、中間チップ1、半導体チップ41、及び中間チップ1'が一つずつ接合される構成の他に、複数の中間チップ1、半導体チップ41、及び中間チップ1'を適宜組み合わせで一体化した構成でもよい。

30

#### 【0049】

図7を参照して説明した実施形態において、受動素子は中間チップ1'の表面に設けられていてもよいし、裏面に設けられていてもよいし、表裏両面のそれぞれに設けられていてもよい。これにより、様々な種類の中間チップモジュール50が容易に形成される。そして、これら複数種類の中間チップモジュール50のうちから任意の中間チップモジュール50を組み合わせで接合することで、様々な構成を有する半導体装置を容易に製造することができる。

40

#### 【0050】

また、上記実施形態において、中間チップ1'には、互いに異なる種類の複数の受動素子が設けられていてもよい。例えば、中間チップ1'の表裏両面のそれぞれに受動素子を設ける場合において、表面側に設ける第1の受動素子と裏面側に設ける第2の受動素子の種類が異なる構成を採用することも可能であるし、中間チップ1'の表面側のみ(ある

50

いは裏面側のみ)に複数の受動素子を設ける場合において、これら複数の受動素子の種類が互いに異なる構成を採用することも可能である。こうすることにより、更に様々な種類の間接チップモジュール50を容易に形成することができ、この中間チップモジュール50を組み合わせて製造される半導体装置の設計の自由度や構造の自由度を更に向上することができる。

#### 【0051】

なお上述したように、中間チップ1のポスト電極4と貫通電極3との平面視における位置は、配線部5によって互いに異なる位置に設けられているので、この配線部5を所望の位置に引き回すことで、半導体チップ41間や中間チップモジュール50間で再配置配線を容易に行うことができる。なお、中間チップ1の配線部を複数設け、異なる組の配線部が平面視において交差してもよい。

10

#### 【0052】

中間チップ形成用基材である基板7と、半導体チップ形成用基材である基板10とはそれぞれシリコンによって形成されており、これにより熱膨張率が互いに同じとなる。したがって、中間チップ1と半導体チップ41との間での、熱膨張率差に起因する接続部剥離や割れ等の不都合が防止される。

#### 【0053】

また、シリコン基板7とシリコン基板10とを略同じ厚みにすることにより、基板の共通化が可能となり、製造コストを低減することができる。また、チップの厚さがほぼ標準化されることから、これらが積層された半導体装置の高さが、積層されたチップの数によってほぼ決まるようになり、したがってこの半導体装置を搭載する機器の設計が標準化される。

20

#### 【0054】

以下、半導体チップの製造工程の詳細を図8～図11を参照しながら説明する。

図8(a)において、図示しないトランジスタ、メモリ素子、その他の電子素子からなる集積回路が形成されたシリコン基板10の表面には、絶縁膜12が形成されている。この絶縁膜12は、例えば基板10の材料であるSi(シリコン)の酸化膜(SiO<sub>2</sub>)で形成されている。

#### 【0055】

絶縁膜12上には、硼燐珪酸ガラス(以下、BPSGという)からなる層間絶縁膜14が形成されており、層間絶縁膜14上には、図示しない箇所では基板10に形成された集積回路と電気的に接続された電極としての電極パッド16が形成されている。この電極パッド16は、例えばTi(チタン)からなる第1層16a、TiN(窒化チタン)からなる第2層16b、AlCu(アルミニウム/銅)からなる第3層16c、及びTiNからなる第4層(キャップ層)16dが順に積層されて形成されている。

30

#### 【0056】

電極パッド16は、例えばスパッタリングによって第1層16a～第4層16dからなる積層構造が層間絶縁膜14上の全面に形成され、レジスト等を用いて所定の形状(例えば、円形形状)にパターニングされることにより、形成されたものである。なお、本例では、電極パッド16が前記の積層構造により形成されている場合を例に挙げて説明するが、電極パッド16がAlのみで形成されていてもよい。ただし、電気抵抗の低い銅を用いて形成するのが好ましいのはもちろんである。また、電極パッド16は、前記の構成に限られず、必要とされる電気的特性、物理的特性、及び化学的特性に応じて適宜変更してもよい。なお、電極パッド16の下方には電子回路が形成されない構造となっている。

40

#### 【0057】

また、層間絶縁膜14上には電極パッド16を覆うように、絶縁層としてのパッシベーション膜18が形成されている。このパッシベーション膜18は、SiO<sub>2</sub>(酸化珪素)、SiN(窒化珪素)、ポリイミド樹脂等により形成することができる。

#### 【0058】

パッシベーション膜18については、SiO<sub>2</sub>若しくはSiNで形成される。また、パ

50

ッシベーション膜 18 の膜厚としては、 $0.5\ \mu\text{m}$  程度以上とするのが好ましい。

【0059】

次に、以上の構成の半導体チップに対して、貫通電極およびポスト電極を形成するための各工程を順次説明する。まず、スピコート法、ディッピング法、スプレーコート法等の方法によりレジスト（図示省略）をパッシベーション膜 18 上の全面に塗布する。なお、このレジストは、電極パッド 16 上を覆っているパッシベーション膜 18 を開口するために用いるものであり、フォトリソレジスト、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

【0060】

パッシベーション膜 18 上にレジストを塗布した後、これのプリベークを行った後、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、レジストを所定形状にパターニングする。なお、レジストの形状は、電極パッド 16 の開口形状及び基板 10 に形成する孔の断面形状に応じて設定される。レジストのパターニングが終了した後、ポストベークを行った後、図 8 (b) に示すように、電極パッド 16 を覆うパッシベーション膜 18 の一部をエッチングして開口部 H1 を形成する。図 8 (b) は、パッシベーション膜 18 を開口して開口部 H1 を形成した状態を示す断面図である。

【0061】

なお、エッチングにはドライエッチングが好適に用いられ、具体的には、反応性イオンエッチング (RIE: Reactive Ion Etching) が好適に用いられる。ただし、エッチングとしてウェットエッチングを用いることもできる。その開口サイズは、次工程で電極パッド 16 に形成される開口の径及び基板 10 に形成される孔の径より大きく、パッドサイズより小さいサイズ、例えば  $90\ \mu\text{m}$  程度に設定される。その後、レジストを、剥離液あるいはアッシング等により除去する。なお、ここまでの工程は、従来の半導体チップの加工と何ら異なることはない。

【0062】

以上の工程が終了した後、電極パッド 16 と、その下の層間絶縁膜 14 および絶縁膜 12 に開口部 H2 を形成する。これにより基板 10 の一部を露出させる。この開口はレジストを用い、前述と同様のフォトリソプロセスで所望のサイズに開口する。図 8 (c) は電極パッドおよび層間絶縁膜 14、絶縁膜 12 を開口して、基板 10 の一部を露出させた状態を示す断面図である。なお H2 の開口径は、H1 より小さく、次工程で開口するプラグ径よりも大きいサイズ、例えば  $60\ \mu\text{m}$  程度である。

【0063】

次に、基板全面にドライエッチング時のマスクとなるエッチングマスク 19 を形成する。この材料としては、 $\text{SiO}_2$  もしくは  $\text{SiN}$  で形成する。あるいはこれらの積層膜でも良い。この膜厚としては、基板に穿孔する穴の深さを実現できるに足る選択比から算出するが、 $2\ \mu\text{m}$  以上とするのが望ましい。 $2\ \mu\text{m}$  以上とするのは、前述の選択比を確保する上で必要であるからである。このエッチングマスクの開口はレジストを用い、前述と同様のフォトリソプロセスでパターン形成を行う。図 9 (a) はエッチングマスクを所定の大きさに開口した状態を示す断面図である。その径は、プラグ径と同程度、例えば  $30\ \mu\text{m}$  程度に設定される。

【0064】

このエッチングマスク 19 をマスクとして、ドライエッチングにより図 9 (b) に示すように、基板 10 を穿孔する。なお、ここでは、ドライエッチングとして RIE のほかに ICP (Inductively Coupled Plasma) を用いることもできる。図 9 (b) は、基板 10 を穿孔して、孔部 H3 を形成した状態を示す断面図である。なお、孔部 H3 の深さについては、最終的に形成する半導体チップの厚みに応じて適宜設定されるが、例えば深さ  $70\ \mu\text{m}$  程度とされる。

【0065】

また、図 9 (b) に示したように、基板 10 に孔部 H3 を形成すると、ドライエッチングによりエッチングマスク 19 は、穿孔時に緩やかにエッチングされ、孔部 H3 の形成終

10

20

30

40

50

了時には、残膜がほとんどなくなっている。図9(b)以降は、パッシベーション18にエッチングマスクの残膜19を含め、エッチングマスクの残膜19を省略して図示している。

#### 【0066】

以上の工程が終了した後、次に、パッシベーション膜18上並びに孔部H3の内壁及び底面に、絶縁膜20を形成する。図9(c)は、電極パッド16の上方並びに孔部H3の内壁及び底面に絶縁膜20を形成した状態を示す断面図である。

この絶縁膜20は、電流リークの発生、酸素及び水分等による基板10の浸食等を防止するために設けられ、PECVD(Plasma Enhanced Chemical Vapor Deposition)を用いて形成したテトラエトキシシラン(以下、TEOSという)、すなわちPE-TEOSによって形成される。この絶縁膜20の厚みとしては、例えば2 $\mu$ mとされる。なお、絶縁膜20としては、PE-TEOSに代えて、オゾンCVDを用いて形成したTEOS(O<sub>3</sub>-TEOS)、又はCVDを用いて形成した酸化シリコンを用いることもできる。

#### 【0067】

続いて、スピコート法、ディッピング法、スプレーコート法等の方法によりレジスト(図示せず)をパッシベーション膜18上の全面に塗布する。あるいは、ドライフィルムレジストを用いても良い。なお、このレジストは、電極パッド16の一部の上方を開口するために用いるものであり、フォトレジスト、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

#### 【0068】

パッシベーション膜18上にレジストを塗布した後、これのプリベークを行った後、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、電極パッド16の表面の一部のみが露出されるようにレジストが残された形状、例えば孔部H2を中心とした円環形状にレジストをパターンニングする。

レジストのパターンニングが終了した後、ポストベークを行った後、エッチングで電極パッド16の一部を覆う絶縁膜20を除去し、電極パッド16の一部を開口する。なお、エッチングにはドライエッチングを用いるのが好ましく、特に反応性イオンエッチングを用いるのが好ましい。また、エッチングとしてウェットエッチングを用いることもできる。なお、このとき、電極パッド16を構成する第4層16dも併せて除去する。

#### 【0069】

図10(a)は、電極パッド16を覆う絶縁膜20の一部を除去した状態を示す断面図である。図10(a)に示すように、電極パッド16の上方は、外径が80 $\mu$ m程度、内径が70 $\mu$ m程度の円環状の開口部H4となり、電極パッド16の一部が露出した状態となる。この開口部H4によって、後の工程で形成される接続端子(電極部)と電極パッド16とを接続することができる。したがって、開口部H4は電極パッド16上であれば、孔部H3が形成された部位以外の箇所に形成されていればよく、隣接していてもよい。

#### 【0070】

本例では、電極パッド16のほぼ中央に孔部H3を形成する場合を例に挙げている。よって、開口部H4は、この孔部H3を取り囲むように、つまり電極パッド16の露出面積を大きくするのが、電極パッド16と後に形成される接続端子との接続抵抗を小さくする上で好ましい。また、孔部H3の形成場所は電極パッドのほぼ中央でなくてもよく、複数の孔が形成されていてよい。なお、電極パッド16を覆う絶縁膜20の一部を除去して電極パッド16の一部を露出させたら、除去する際に用いたレジストを剥離液によって除去する。

#### 【0071】

以上の工程が終了した後、電極パッド16の露出部並びに孔部H3の内壁及び底部に下地膜22を形成する。ここで、下地膜22は、バリア層及びシード層からなり、まずバリア層を形成した後で、バリア層上にシード層を形成することで成膜される。ここで、バリア層は例えばTiおよびTiNによって形成され、シード層はCuによって形成される。これらは、例えばIMP(イオンメタルプラズマ)法、又は、真空蒸着、スパッタリング

10

20

30

40

50

、イオンプレーティング等のPVD(Physical Vapor Deposition)法で形成される。なお、バリア層及びシード層は本段階ではウェハ全面に形成し、最後に不要部をエッチングで除去する。

【0072】

図10(b)は、下地膜22を形成した状態を示す断面図である。下地膜22を構成するバリア層の膜厚は、例えば0.1 $\mu$ m程度とされ、シード層の膜厚は、例えば0.3 $\mu$ m程度とされる。なお、ここでいう不要部とは、例えば電極パッドを除くパッシベーション膜18上に形成されているバリア層及びシード層を指す。

【0073】

下地膜22の形成を終了した後、次に、接続端子を形成する領域を内径120 $\mu$ mで露出させ、それ以外にレジストが形成されるようにパターンニングを行う。レジストによるパターンニング工程は従前のプロセスと全く同じである。ここで用いるレジストは、次に行うメッキに対する耐性が高いものを使用し、また膜厚も、ポスト電極の高さ以上に形成しておく。次に、電気化学プレーティング(ACP)法を用いて、孔部H3の内部及び電極パッド16上にメッキ処理を施して、孔部H3内部を銅で埋め込むとともに、電極パッド16上に突出した形状の、金属層としてのポスト電極45を高さ10 $\mu$ m程度となるように形成する。このようにして、電極パッド16の上方に電極パッド16と電氣的に接続され、かつ基板10の表面側の外部電極となる、前述の半導体チップにおけるポスト電極45が形成される。なお、このポスト電極45上には、はんだとして鉛フリーのもの、例えばSnAg(図示せず)を形成しておく。

【0074】

次いで、レジストを剥離し、バリア層及びシード層の不要部(図示省略)をエッチングによって除去することにより、図11に示すような状態が形成される。なお、シード層のエッチングはウェット方式でエッチング液によりエッチングする方法が一般的である。また、バリア層はウェット方式でもよいが、RIE等によるドライエッチングでもよい。この際、ポスト電極45がエッチングされるのを防ぐため、ポスト電極45を囲むようにレジストを形成した後、エッチングを行ってもよい。

【0075】

その後、例えば貫通電極44が基板10の裏面に露出するまで基板10の裏面を薄膜化し、これによってその突出部44aを形成する。この薄膜化には、機械的研磨または化学的エッチングが単独で採用され、あるいは併用される。さらに、基板10の裏面から突出した金属部分の端面の、絶縁膜20と下地膜22とを機械的研磨、あるいはエッチング等によって除去し、これによってポスト電極45に電氣的に接続された貫通電極44を得る。

そして、ダイシングによって個片化することにより、貫通電極44とポスト電極45とを有した半導体チップ41を得る。このように、中間チップと接合する前に、貫通電極及びポスト電極を有する半導体チップ41を形成することもできる。

【0076】

次に、中間チップの製造工程の詳細を図12~図15を参照しながら説明する。

まず、図12(a)に示すようにシリコンからなる基板7を用意する。ここで、この基板7は、前述のシリコン基板10とは異なり、各種素子からなる集積回路を形成していないものである。したがって、この接続用中間チップの製造は、前記半導体チップとは全く別に形成されることから、この接続用中間チップの歩留まりが半導体チップの歩留まりに影響を及ぼすことはない。

【0077】

このような基板7を用意した後、これの表面側に表面あるいは両面、側面に熱酸化膜、またはプラズマTEOSなどによるSiO<sub>2</sub>からなる酸化膜71を、厚さ1 $\mu$ m程度に形成する。続いて、この酸化膜71上の所定位置に、再配置配線となる導電パターン72を形成する。この導電パターン72としては、例えばTi(チタン)からなる第1層と、TiN(窒化チタン)からなる第2層と、Alからなる第3層とを順に積層することで導電

10

20

30

40

50

層を形成し、さらにこの導電層を所望形状にパターニングすることで形成する。

【0078】

次いで、この導電パターン72を覆ってSiO<sub>2</sub>またはSiNからなるパッシベーション膜73を形成し、さらにこれをパターニングしてポストおよび貫通電極を形成する領域のパッシベーション膜開口する。

図12(a)は、パッシベーション膜を2ヶ所開口した状態を示す断面図である。なお、パッシベーション膜は、必ずしも必要ではなく、そのまま次工程に進んでも良い。

【0079】

次に、パッシベーション上にレジスト(図示せず)を形成し、パッシベーションの開口部より小さい径、例えば60μmに導電パターン72を、さらにはその下の絶縁膜71をドライエッチングにより開口する。これにより開口部H6が形成できる。

続いて、剥離液によりレジストを剥離後、プラズマTEOS法等により、エッチングマスク用のSiO<sub>2</sub>からなる酸化膜74を堆積する。

このエッチングマスク上に再びレジスト(図示せず)を形成し、フォトリソ、エッチングプロセスにより、開口部H6より内側に貫通電極と同等の径の開口部H7を形成する。この後、剥離液によりレジストを剥離する。

図12(b)は、導電パターン72および絶縁膜71を開口し、そののちエッチングマスク用のSiO<sub>2</sub>からなる酸化膜74を堆積、開口部H7を形成した状態の断面図を図示したものである。

【0080】

そして、このエッチングマスク74をマスクにしてRIE等のドライエッチングを行い、基板7を穿孔して孔部H8を形成する。

なお、ここでは、ドライエッチングとしてRIEのほかにICP(Inductively Coupled Plasma)を用いることもできる。図13(a)は、基板7を穿孔して、孔部H8を形成した状態を示す断面図である。なお、孔部H8の深さについては、最終的に形成する半導体チップの厚みに応じて適宜設定されるが、例えば深さ70μm程度とされる。

この時点では、エッチングマスク74は、穿孔時に緩やかにエッチングされ、孔部H8の形成終了時には、残膜がほとんどなくなっている。

【0081】

次いで、酸化膜74上並びに孔部H8の内壁面及び底面に、図13(b)に示すようにSiO<sub>2</sub>又はSiNあるいはそれらの積層膜からなる絶縁膜75を形成する。

この絶縁膜75は、電流リークの発生、酸素及び水分等による基板7の浸食等を防止するために設けられ、PECVD(Plasma Enhanced Chemical Vapor Deposition)を用いて形成したテトラエトキシシラン(以下、TEOSという)、すなわちPE-TEOSによって形成される。この絶縁膜75の厚みとしては、例えば2μmとされる。なお、絶縁膜75としては、PE-TEOSに代えて、オゾンCVDを用いて形成したTEOS(O<sub>3</sub>-TEOS)、又はCVDを用いて形成した酸化シリコンを用いることもできる。

【0082】

続いて、レジスト層(図示せず)を形成し、さらにマスクを用いてこれを露光・現像することにより、所望パターン形状にする。そして、この所望パターン形状のレジストをマスクとして絶縁膜75をエッチングすることにより、図14(a)に示すように、孔H8の周囲に円環状の開口部H9を形成するとともに、ポスト電極形成箇所に開口部H10を形成する。これら開口部H9、H10については、いずれもドライエッチングによりその底部に導電パターン72が露出するように形成する。この後、レジストを剥離液によって剥離する。

【0083】

次いで、図14(b)に示すように、導電パターン72の露出部(開口部H9、H10の内壁を含む)並びに孔部H8の内壁及び底部に下地膜76を形成する。ここで、下地膜76は前記下地膜22と同様に、バリア層及びシード層からなるものであり、バリア層としては例えばTiおよびTiNが、またシード層としてはCuが用いられている。これら

10

20

30

40

50

は、例えばIMP（イオンメタルプラズマ）法、又は、真空蒸着、スパッタリング、イオンプレーティング等のPVD（Physical Vapor Deposition）法で形成される。なお、バリア層及びシード層は本段階ではウェハ全面に形成し、最後に不要部をエッチングで除去する。

#### 【0084】

次いで、開口部H9に囲まれた部分と開口部H10とを露出させるようにしてレジストパターンを形成し、さらに電気化学プレーティング（ECP）法を用いて、孔部H6の内部及び開口部7内にメッキ処理を施す。ここで用いるレジストは、メッキに対する耐性が高いものを使用し、また膜厚も、ポスト電極の高さ以上に形成しておく。これにより、図15（a）に示すように孔部H8内部を銅で埋め込むとともに、開口部H9内の導電パターン72上にも銅を埋め込む。また、これと同時に、開口部H10内の導電パターン72上にも銅を埋め込み、ポスト電極を形成する。ここで、孔部H8内および開口部H9内への埋め込みと、開口部H10内への埋め込みとは別工程で行ってもよく、その場合、孔部H8内および開口部H9内への埋め込みには埋め込み性の良いメッキ材料を用い、開口部H10内への埋め込みにはレベリング性の良いメッキ材料を用いるのが好ましい。

10

#### 【0085】

このようにして孔部H8内および開口部H9内に埋め込まれた銅により、貫通電極3が形成され、また、開口部H10内に埋め込まれた銅により、ポスト電極4が形成される。さらに、これら貫通電極3とポスト電極4との間を接続する導電パターン72が、配線部5となる。なお、ポスト電極4上には、はんだとして鉛フリーのもの、例えばSnAg（図示せず）を形成しておく。

20

#### 【0086】

次いで、レジストを剥離し、下地層76（バリア層及びシード層）の不要部（図示省略）をエッチングにより除去する。なお、シード層のエッチングはウェット方式でエッチング液によりエッチングする方法が一般的である。また、バリア層はウェット方式でもよいが、RIE等によるドライエッチングでもよい。この際、ポスト電極4がエッチングされるのを防ぐため、ポスト電極4を囲むようにレジストを形成した後、エッチングを行ってもよい。

その後、例えば貫通電極3が基板の裏面に露出するまで基板7の裏面を薄膜化し、これによってその突出部3aを形成する。この薄膜化には、機械的研磨または化学的なエッチングが単独で採用され、あるいは併用される。さらに、図15（b）に示すように基板7の裏面から突出した金属部分の端面の、絶縁層75と下地層76とを機械的研磨、あるいはエッチング等によって除去し、これによってポスト電極4に電氣的に接続された貫通電極3を得る。

30

そして、ダイシングによって個片化することにより、貫通電極3とポスト電極4とこれらの間を導通させる配線部5とを有した、接続用中間チップ1を得る。

なお、貫通電極3とポスト電極4とが同じ位置に形成されるような中間チップを得る場合、前述した半導体チップに対する貫通電極及びポスト電極の形成方法と同じ方法を用いればよい。

#### 【0087】

40

そして、上述した工程を経て個片化された半導体チップと個片化された中間チップとを積層する。

まず、半導体チップ上に、電極の位置をアライメントして中間チップを載せる。このようにしてセットされた状態で、半導体チップ及び中間チップをリフロー炉に入れ、はんだを溶解させれば、半導体チップ上に形成されたポスト電極と、中間チップの裏面に突出した貫通電極とを、はんだを介して接合することができる。あるいは、ボンディング装置により、加熱加圧圧着してもよい。

#### 【0088】

このようにして、半導体チップと中間チップとを一体化した中間チップモジュールが形成される。なお、この中間チップモジュールどうしを同様に接続することで、複数の半導

50

体チップを積層した半導体装置を形成することができる。

【0089】

以下、別の実施形態について説明する。

上記実施形態と同様の方法で、ダイシング前の半導体ウエハに貫通電極を形成する。なお本実施形態において、この時点では半導体ウエハは研磨されていない。

次に、上記実施形態と同様の方法で、中間チップを形成する。ただし、本実施形態の特徴として、この中間チップ上には、受動素子（抵抗、コイル、及びコンデンサなど）が設けられる。

【0090】

そして、受動素子を含み、ダイシングによって個片化された中間チップを、先の半導体ウエハに、電極を基準にアライメントしてセットする。このようにしてセットされた状態で、半導体ウエハ及び中間チップをリフロー炉に入れ、はんだを溶解させることにより、半導体ウエハ上に形成されたポスト電極と、中間チップの裏面に突出した貫通電極とをはんだを介して接合することができる。あるいはボンディング装置により加熱加圧圧着してもよい。

【0091】

次に、接合したチップ間にできた空隙にアンダーフィル材を充填する。ディスペンサなどを用い、チップの外周よりアンダーフィル材を充填し、加温することで硬化させる。これにより、素子部や回路部（集積回路）を形成した半導体チップ（能動面）を保護することができ、以降の工程で生じる可能性のある、デバイスへのダメージを低減することが可能となる。

【0092】

その後、例えば孔部H3に埋め込んだ銅（貫通電極）が基板の裏面に露出するまで基板10の裏面を例えば基板10の厚さが50 $\mu$ m程度となるまで薄膜化し、これによってポスト電極45に連続した貫通電極部分を基板10の裏面から突出させる。この薄膜化には、機械的研磨または化学的なエッチング、ウェットあるいはドライエッチングが単独で採用され、あるいは併用される。さらに、基板10の裏面から突出した金属部分の端面の、絶縁層20と下地層22とを機械的研磨、ウェットあるいはドライエッチング等によって除去し、これによってポスト電極45と電氣的に接続された貫通電極44が形成される。そして、ダイシングによって個片化することにより、中間チップモジュールが得られる。

【0093】

以上のようにして形成した中間チップモジュールを複数段接合する。これにより、中間チップモジュール50を複数積層した半導体装置を形成することができる。

【0094】

なおこの積層時に、最下段にセラミック基板等を置き、一次実装を行い、モールドすることでパッケージ化してももちろんよい。パッケージ化すれば、様々な用途に実装して使用可能な積層半導体装置を製造することができる。

【0095】

次に、前記の半導体装置400を備えた回路基板及び電子機器の例について説明する。

図16は本発明の回路基板の一実施形態の概略構成を示す斜視図である。図16に示すようにこの実施形態の回路基板1000には、前記の半導体装置400が搭載されている。なお、半導体装置400は、積層後パッケージ化されたものを実装するのが一般的であるが、積層した半導体装置をそのまま実装してもよい。図16においては、回路基板上に実装された形態がわかりやすいように、パッケージを省略し、前記半導体装置をそのまま示している。

回路基板1000は、例えばガラスエポキシ基板等の有機系基板からなるもので、例えば銅等からなる配線パターン（図示せず）が所望の回路となるように形成され、さらにこれら配線パターンに電極パッド（図示せず）が接続されている。そして、この電気パッドに半導体装置400における前記第1の半導体チップ41の貫通電極44が、パッケージ化する際に一次実装された基板を介して、電氣的に接続されることにより、半導体装置4

00は回路基板1000上に実装されたものとなっている。

このような構成の回路基板1000にあつては、実装密度が高く、しかも再配置配線がなされた半導体装置400を備えていることから、小型化、軽量化が図られたものとなり、また配線接続の信頼性も高いものとなる。

【0096】

図17は本発明の電子機器の一実施形態としての、携帯電話の概略構成を示す斜視図である。図17に示すようにこの携帯電話300は、前記の半導体装置400又は前記回路基板1000を、その筐体内部に配設したものである。

このような構成の携帯電話300（電子機器）にあつても、実装密度が高く再配置配線がなされた半導体装置2を備えていることから、小型化、軽量化が図られたものとなり、また配線接続の信頼性も高いものとなる。

10

【0097】

なお、電子機器としては、前記の携帯電話に限られることなく、種々の電子機器に適用することができる。例えば、ノート型コンピュータ、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置等の電子機器に適用することができる。

【図面の簡単な説明】

【0098】

20

【図1】本発明に係る半導体チップを製造する工程の一例を示す模式図である。

【図2】本発明に係る中間チップを製造する工程の一例を示す模式図である。

【図3】本発明に係る中間チップモジュールの製造工程の一例を示す模式図である。

【図4】本発明に係るチップ積層工程の一例を示す模式図である。

【図5】本発明に係る中間チップモジュールの製造工程の他の例を示す模式図である。

【図6】本発明に係る中間チップモジュールの別の実施形態を示す模式図である。

【図7】本発明に係る中間チップモジュールの別の実施形態を示す模式図である。

【図8】半導体チップの貫通電極及びポスト電極の製造方法説明図である。

【図9】半導体チップの貫通電極及びポスト電極の製造方法説明図である。

【図10】半導体チップの貫通電極及びポスト電極の製造方法説明図である。

30

【図11】半導体チップの貫通電極及びポスト電極の製造方法説明図である。

【図12】接続用中間チップの貫通電極及びポスト電極の製造方法説明図である。

【図13】接続用中間チップの貫通電極及びポスト電極の製造方法説明図である。

【図14】接続用中間チップの貫通電極及びポスト電極の製造方法説明図である。

【図15】接続用中間チップの貫通電極及びポスト電極の製造方法説明図である。

【図16】本発明の回路基板の一実施形態の概略構成図である。

【図17】本発明の電子機器の一実施形態の概略構成図である。

【符号の説明】

【0099】

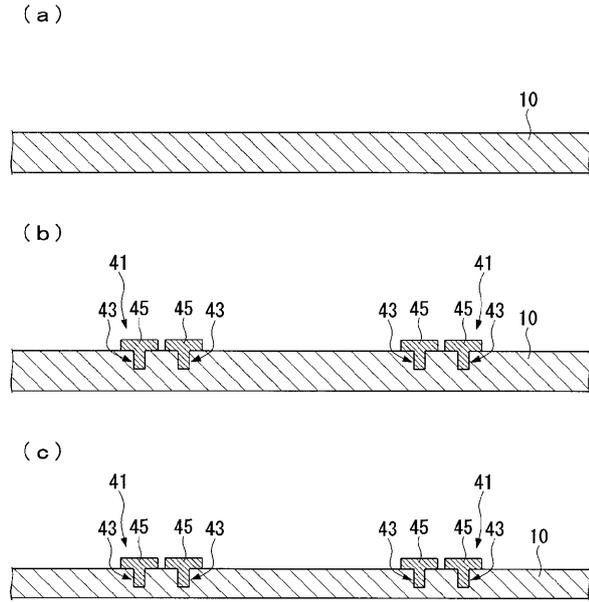
1...中間チップ、3...貫通電極、7...シリコン基板、8...アンダーフィル材（中間層）、

40

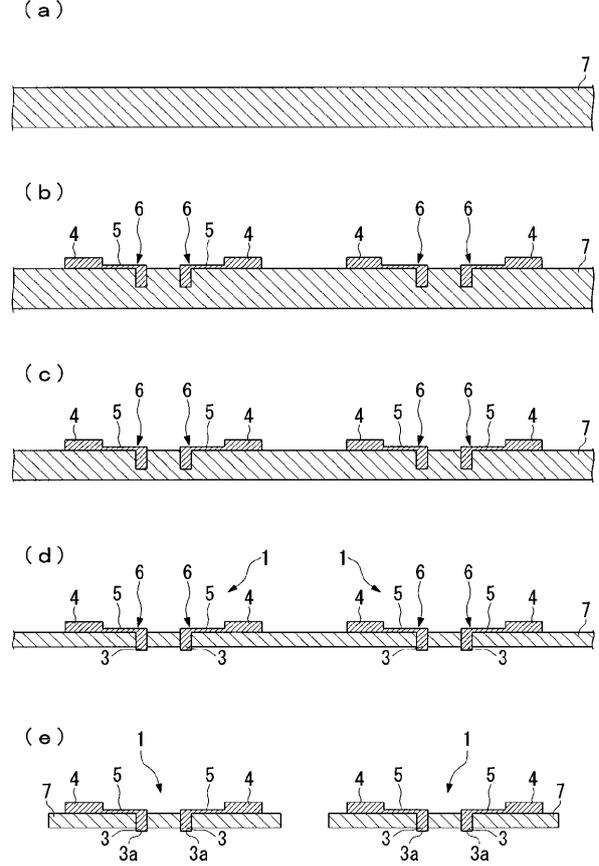
10...シリコン基板、41...半導体チップ、44...貫通電極、

50...中間チップモジュール

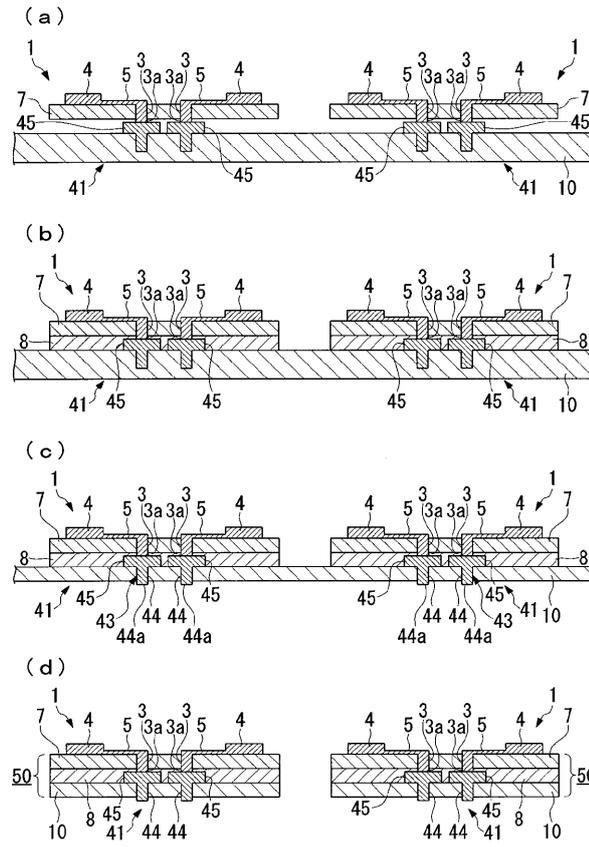
【 図 1 】



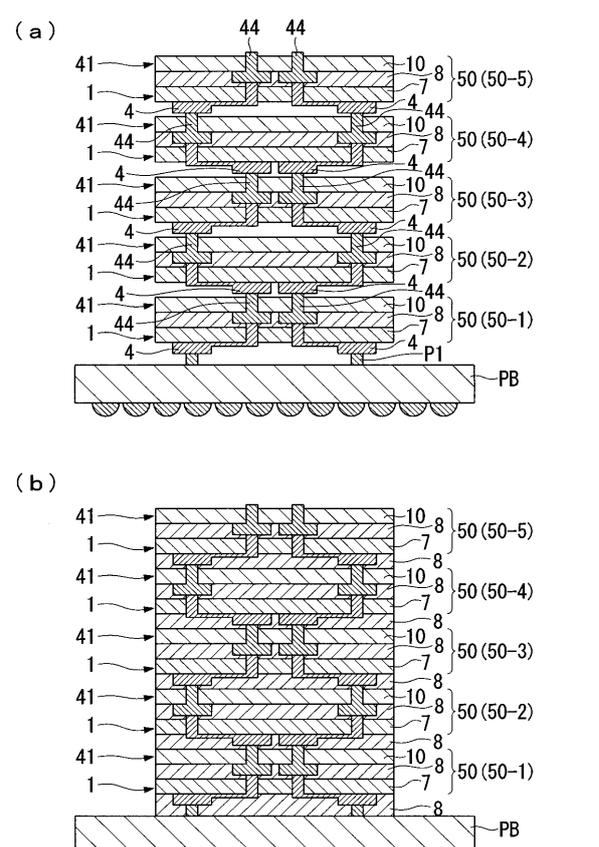
【 図 2 】



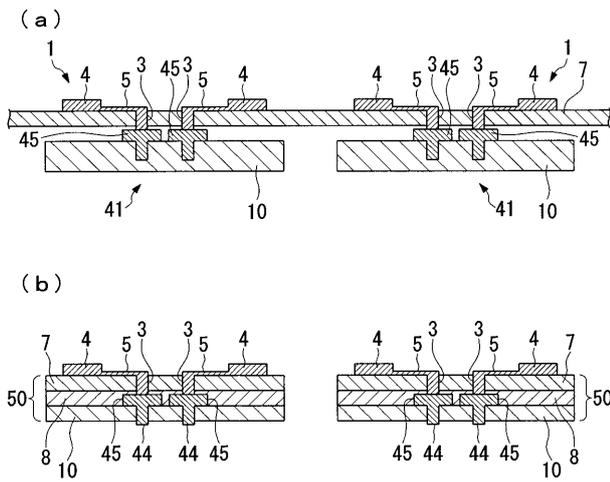
【 図 3 】



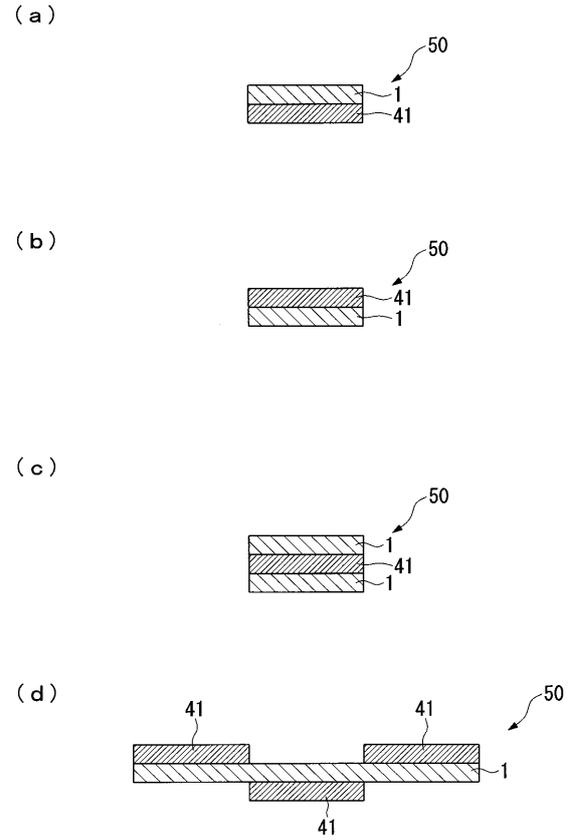
【 図 4 】



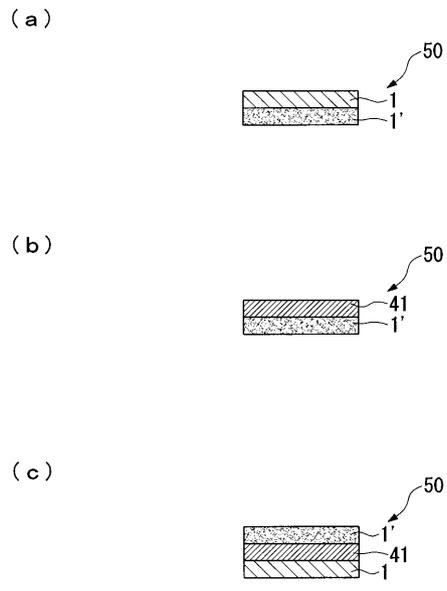
【 図 5 】



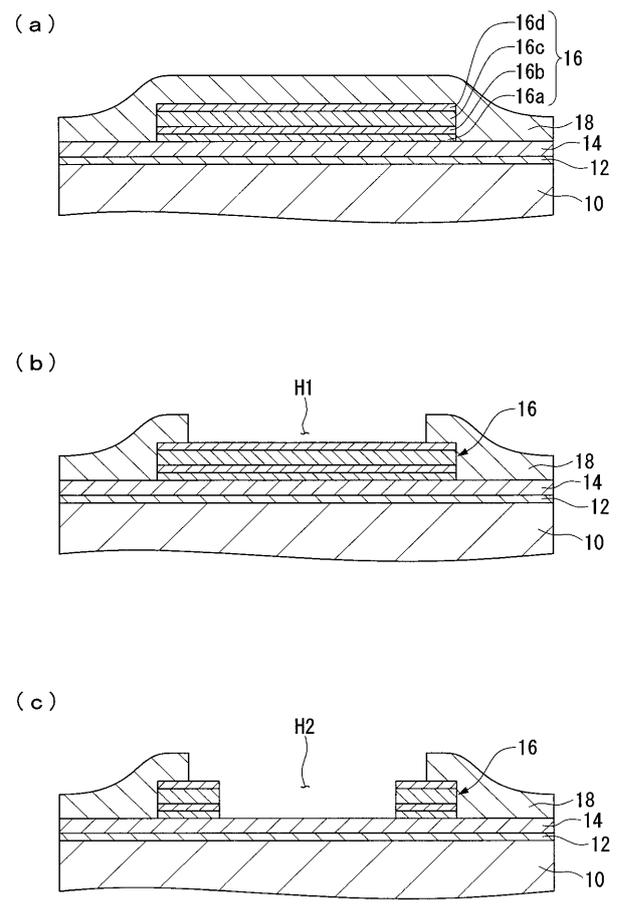
【 図 6 】



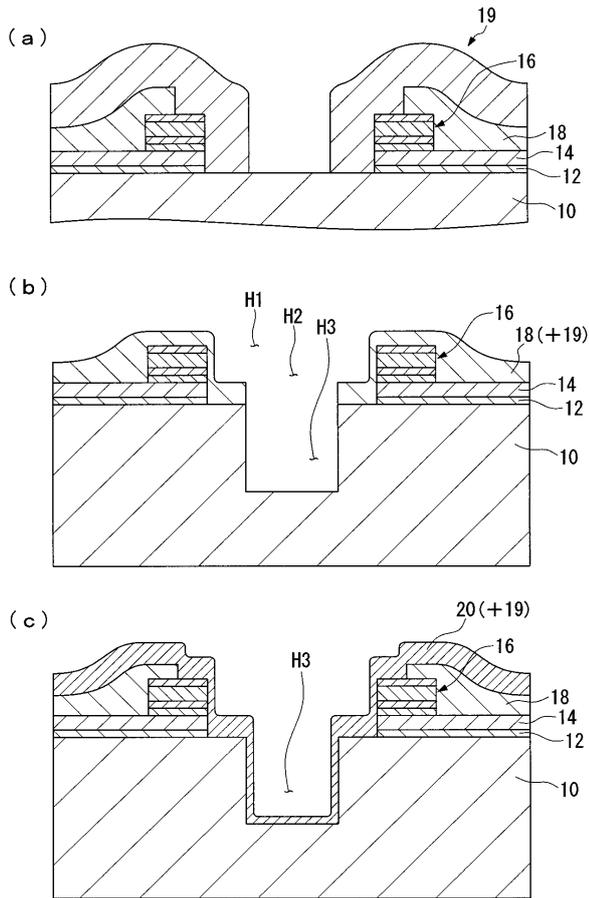
【 図 7 】



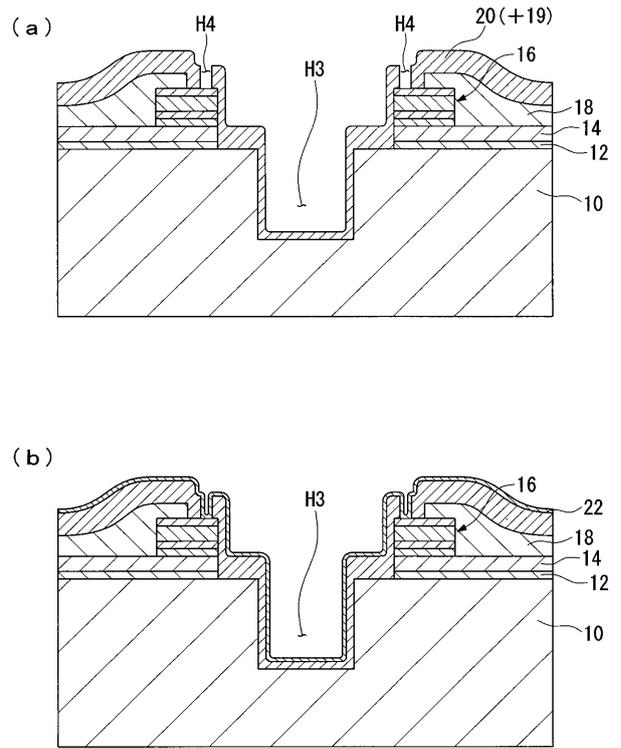
【 図 8 】



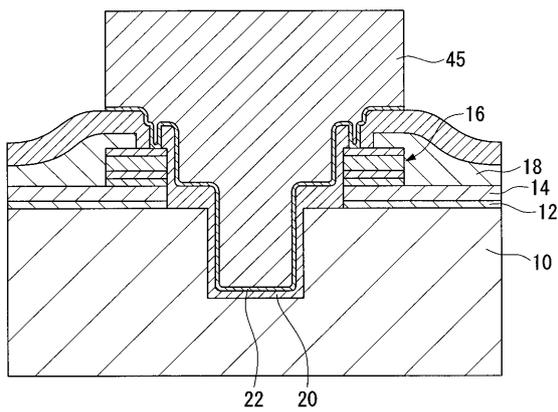
【 図 9 】



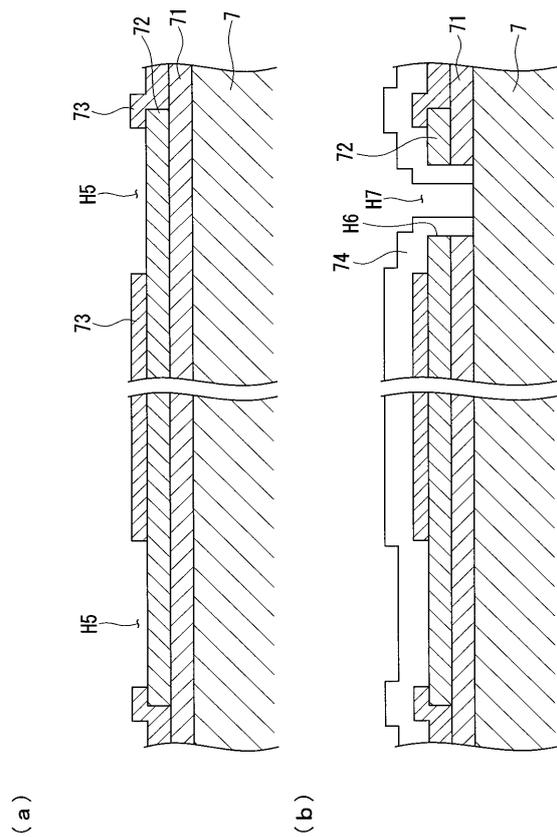
【 図 10 】



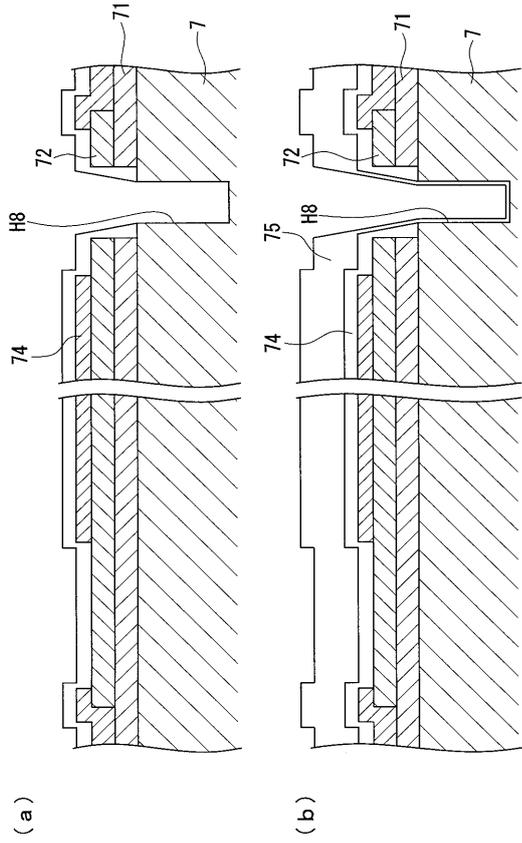
【 図 11 】



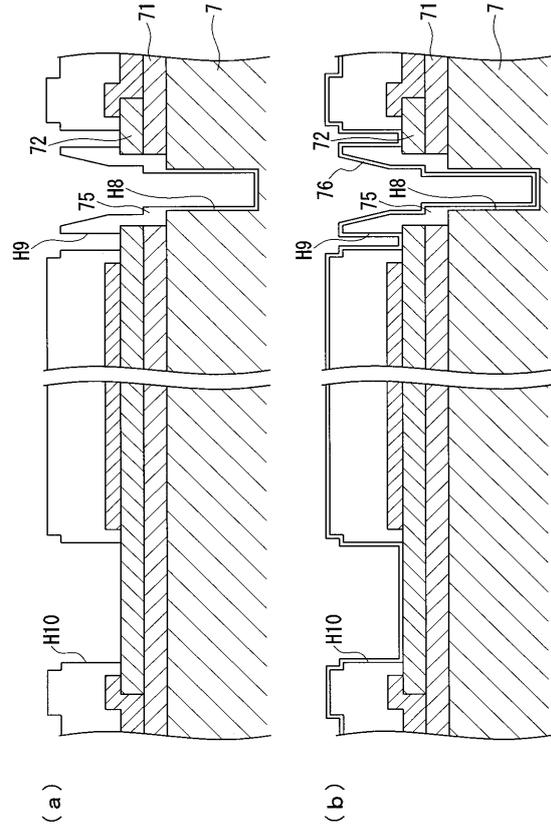
【 図 12 】



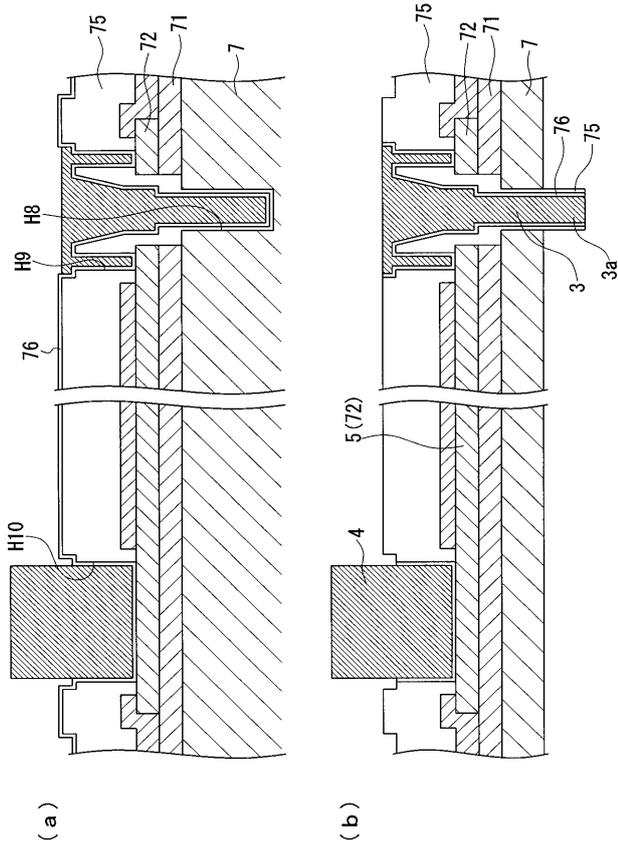
【図 13】



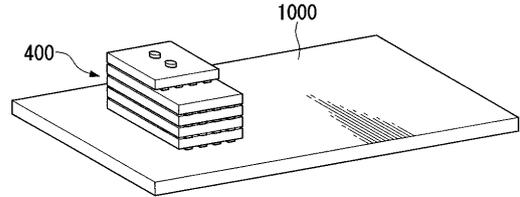
【図 14】



【図 15】



【図 16】



【図 17】

