

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-130903
(P2008-130903A)

(43) 公開日 平成20年6月5日(2008.6.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10 3 8 1	5 F 0 4 8
HO 1 L 27/11 (2006.01)	HO 1 L 29/78 3 0 1 G	5 F 0 8 3
HO 1 L 29/78 (2006.01)	HO 1 L 27/08 1 0 2 C	5 F 1 4 0
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 H	
HO 1 L 27/088 (2006.01)		

審査請求 未請求 請求項の数 13 O L (全 29 頁)

(21) 出願番号 特願2006-315639 (P2006-315639)
(22) 出願日 平成18年11月22日(2006.11.22)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100077931
弁理士 前田 弘
(74) 代理人 100110939
弁理士 竹内 宏
(74) 代理人 100110940
弁理士 嶋田 高久
(74) 代理人 100113262
弁理士 竹内 祐二
(74) 代理人 100115059
弁理士 今江 克実
(74) 代理人 100115691
弁理士 藤田 篤史

最終頁に続く

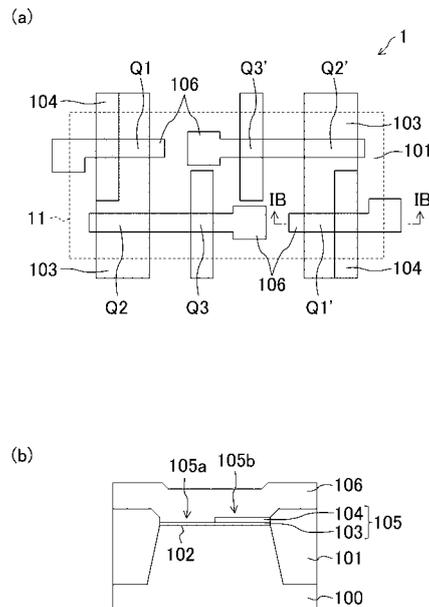
(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】トランジスタ特性のばらつきを低減し、且つ、SRAMセルサイズを縮小して高集積化を図る。

【解決手段】半導体記憶装置1は、一对のアクセストランジスタQ1、Q1'、一对のドライブトランジスタQ2、Q2'および一对の負荷トランジスタQ3、Q3'を有するSRAMセル11、11、...を備えている。アクセストランジスタQ1、Q1'のゲート絶縁膜105は、それぞれ、活性領域102を覆う相対的に膜薄の第1ゲート絶縁膜103と、第1ゲート絶縁膜103の上面の一部分を覆う相対的に膜厚の第2ゲート絶縁膜104とを有している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

アクセストランジスタ、ドライブトランジスタおよび負荷トランジスタを有する S R A Mセルを備えた半導体記憶装置であって、

前記アクセストランジスタ、前記ドライブトランジスタおよび前記負荷トランジスタは、それぞれ、半導体基板の表面の一部分に形成された活性領域と、前記活性領域よりも上に配置されたゲート電極と、前記ゲート電極の下面と前記活性領域との間に介在されたゲート絶縁層とを有し、

前記アクセストランジスタ、前記ドライブトランジスタおよび前記負荷トランジスタの少なくとも1つのトランジスタの前記ゲート絶縁層は、前記ゲート絶縁層の膜厚および前記ゲート絶縁層の誘電率の少なくとも一方が相異なる第1ゲート絶縁膜および第2ゲート絶縁膜を有している、半導体記憶装置。

10

【請求項 2】

前記第1ゲート絶縁膜は、前記ゲート電極直下の前記活性領域を覆い、

前記第2ゲート絶縁膜は、前記第1ゲート絶縁膜の上面の一部分を覆い、前記第1ゲート絶縁膜よりも膜厚が厚い、請求項1に記載の半導体記憶装置。

【請求項 3】

前記第1ゲート絶縁膜は、前記ゲート電極直下の前記活性領域の一部分を覆い、

前記第2ゲート絶縁膜は、前記ゲート電極直下の前記活性領域のうち前記第1ゲート絶縁膜に覆われていない部分を覆い、前記第1ゲート絶縁膜よりも高誘電率である、請求項1に記載の半導体記憶装置。

20

【請求項 4】

前記第1ゲート絶縁膜は、前記ゲート電極直下の前記活性領域の一部分を覆い、

前記第2ゲート絶縁膜は、前記ゲート電極直下の前記活性領域のうち前記第1ゲート絶縁膜に覆われていない部分と前記第1ゲート絶縁膜とを覆い、前記第1ゲート絶縁膜よりも高誘電率且つ膜薄である、請求項1に記載の半導体記憶装置。

【請求項 5】

入出力回路用トランジスタをさらに備え、

前記入出力回路用トランジスタは、

前記半導体基板のうち前記少なくとも1つのトランジスタの活性領域とは離れた位置に形成された入出力回路用トランジスタの活性領域と、

30

前記入出力回路用トランジスタの活性領域の上方であってゲート電極が形成される領域を覆う入出力回路用トランジスタの第1ゲート絶縁膜と、

前記入出力回路用トランジスタの第1ゲート絶縁膜を覆う入出力回路用トランジスタの第2ゲート絶縁膜と、

前記入出力回路用トランジスタの前記第2ゲート絶縁膜の上に設けられた入出力回路用トランジスタの前記ゲート電極とを有し、

前記入出力回路用トランジスタの第1ゲート絶縁膜は、前記少なくとも1つのトランジスタの第1ゲート絶縁膜であり、

前記入出力回路用トランジスタの第2ゲート絶縁膜は、前記少なくとも1つのトランジスタの第2ゲート絶縁膜である、請求項2または4に記載の半導体記憶装置。

40

【請求項 6】

入出力回路用トランジスタをさらに備え、

前記入出力回路用トランジスタは、

前記半導体基板のうち前記少なくとも1つのトランジスタの活性領域とは離れた位置に形成された入出力回路用トランジスタの活性領域と、

前記入出力回路用トランジスタの活性領域の上方であってゲート電極が形成される領域を覆う入出力回路用トランジスタのゲート絶縁膜と、

前記入出力回路用トランジスタのゲート絶縁膜の上に設けられた入出力回路用トランジスタの前記ゲート電極とを有し、

50

前記入出力回路用トランジスタのゲート絶縁膜は、前記少なくとも1つのトランジスタの第1ゲート絶縁膜である、請求項3に記載の半導体記憶装置。

【請求項7】

ゲート幅方向における前記アクセストランジスタの前記活性領域の長さは、ゲート幅方向における前記ドライフトランジスタの前記活性領域の長さと同様である、請求項1から6のいずれか1つに記載の半導体記憶装置。

【請求項8】

前記アクセストランジスタの前記ゲート絶縁層が前記第1ゲート絶縁膜および前記第2ゲート絶縁膜を有する、請求項1から7のいずれか1つに記載の半導体記憶装置。

【請求項9】

前記第1および前記第2ゲート絶縁膜のうち少なくとも一方は、シリコン酸化膜またはシリコン酸窒化膜である、請求項2に記載の半導体記憶装置。

【請求項10】

前記第2ゲート絶縁膜は、酸化物系高誘電率材料、遷移金属の酸化物、遷移金属のアルミネートおよび遷移金属のシリケート材料のうちの何れか1つからなる、請求項3に記載の半導体記憶装置。

【請求項11】

前記酸化物系高誘電率材料は、 Al_2O_3 、 Y_2O_3 、 ZrO_2 、 HfO_2 、 Ta_2O_3 、 La_2O_3 および Pr_2O_3 のうちいずれか一つである、請求項10に記載の半導体記憶装置。

【請求項12】

アクセストランジスタ、ドライフトランジスタおよび負荷トランジスタを有するSRAMセルを備えた半導体記憶装置の製造方法であって、

半導体基板の表面の一部に、活性領域を形成する工程と、

前記活性領域の上に、膜厚および誘電率のうち少なくとも一方が異なる第1および第2ゲート絶縁膜を有するゲート絶縁層を設ける工程と、

前記ゲート絶縁層の上に、ゲート電極を設ける工程とを備えている、半導体記憶装置の製造方法。

【請求項13】

アクセストランジスタ、ドライフトランジスタ、負荷トランジスタおよび入出力回路用トランジスタを備えた半導体記憶装置の製造方法であって、

半導体基板の表面に、前記アクセストランジスタ、前記ドライフトランジスタおよび前記負荷トランジスタの少なくとも1つのトランジスタの活性領域と、前記入出力回路用トランジスタの活性領域とを互いに間隔を開けて形成する工程と、

前記少なくとも1つのトランジスタの活性領域の上に、膜厚および誘電率のうち少なくとも一方が異なる第1および第2ゲート絶縁膜を有する少なくとも1つのトランジスタのゲート絶縁層を設け、前記入出力回路用トランジスタの活性領域の上に入出力回路用トランジスタのゲート絶縁層を設ける工程と、

前記少なくとも1つのトランジスタのゲート絶縁層および前記入出力回路用トランジスタのゲート絶縁層の上にそれぞれゲート電極を設ける工程とを備えている、半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置およびその製造方法に関し、特に、アクセストランジスタ、ドライフトランジスタおよび負荷トランジスタを有するSRAM (static random access memory) セルを備えた半導体記憶装置およびその製造方法に関する。

【背景技術】

【0002】

近年のVLSI (very large scale integration)、ULSI (ultra large scale in

10

20

30

40

50

tegration)などの半導体素子における高密度化に伴い、トランジスタ特性のばらつきが顕著になっている。トランジスタ特性のばらつきが顕著になると半導体記憶装置の高歩留まりを確保する上で大きな影響を与えるため、特にSRAM等の記憶装置におけるトランジスタ特性のばらつきをおさえる設計が今後ますます重要になる。

【0003】

この記憶装置を構成する最も基本的なセルは、1ポートメモリセル(SRAMセル)である。このSRAMセルは、1対のNMOS(n-channel metal-oxide semiconductor)アクセストランジスタと、1対のNMOSドライブトランジスタと、1対のPMOS(p-channel metal-oxide semiconductor)負荷トランジスタ(負荷トランジスタはポリシリコン抵抗で置き換えられる場合もある)の合計3種類の(合計6個)のトランジスタによって構成されている。

10

【0004】

SRAMセルの製造ばらつきを抑えるために、またメモリセル面積を小さくし、ビット線容量も小さくするために、横型セル構造が考案されている。横型セル構造では、1対のPMOS負荷トランジスタがSRAMセル領域の中央部に位置するNウェル領域に配置され、第1のNMOSアクセストランジスタおよび第1のNMOSドライブトランジスタがSRAMセル領域の左側に位置するPウェル領域に配置され、第2のNMOSアクセストランジスタおよび第2のNMOSドライブトランジスタがSRAMセル領域の右側に位置するPウェル領域に配置されている。ここでは、ビット線の走行方向を縦方向と定義し、ワード線の走行方向を横方向と定義している(特許文献1,2を参照)。

20

【0005】

横型SRAMセル構造によれば、アクセストランジスタのゲート電極とドライブトランジスタのゲート電極とが互いに平行にレイアウトされるため、半導体記憶装置の製造ばらつきを抑えることができる。

【0006】

ところで、SRAMセルの安定性指標の一つに読み出し時のスタティックノイズマージンがある。スタティックノイズマージンとは、ワード線を活性化した時に、メモリセルの保持しているデータが破壊されないかどうかを表す指標であり、スタティックノイズマージンが大きいほど読み出し時のメモリセルは安定である(特許文献3を参照)。

【0007】

従来は、読み出し時のスタティックノイズマージンを大きくするために、SRAMセル中のアクセストランジスタの電流駆動能力よりもドライブトランジスタの電流駆動能力を大きくしている。具体的には、アクセストランジスタのゲート電極幅とドライブトランジスタのゲート電極幅との比を1:1.5(ベータ比=1.5)程度に設定している(特許文献4を参照)。また、アクセストランジスタのゲート電極よりもドライブトランジスタのゲート電極を大きくする方法も併用されている(非特許文献1を参照)。あるいは、ベータ比を確保するために、すなわち、SRAMのスタティックノイズマージンを確保するために、アクセストランジスタのゲート酸化膜厚よりもドライブトランジスタのゲート酸化膜厚を薄くする方法も用いられている(特許文献5を参照)。

30

【特許文献1】特開平9-270468号公報

40

【特許文献2】特開平10-178110号公報

【特許文献3】特開2002-042476号公報

【特許文献4】特開2004-220652号公報

【特許文献5】特許第2827588号公報

【非特許文献1】Symposium on VLSI Technology Digest of Technology Papers, F. Arnaud et al., p65-66, 2003

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記の従来例では、チャンネル幅やゲート電極の大きさなどは、それぞれ

50

、アクセストランジスタとドライブトランジスタとで相異なる値に設定されている。このような場合、リソグラフィ技術やドライエッチング技術を用いてチャンネル幅などが相異なるようにアクセストランジスタおよびドライブトランジスタを形成することができたとしても、ゲート電極などを設ける際にそのチャンネル幅が設定値からずれてしまう場合がある。図18(a)および図18(b)を用いて具体的に説明する。

【0009】

図18(a)は従来の半導体記憶装置の上面図であり、図18(b)は従来の半導体記憶装置の上面のSEM(scanning electron microscope)写真である(非特許文献1を参照)。なお、図18(a)および図18(b)において、PGはアクセストランジスタであり、PDはドライブトランジスタであり、PUは負荷トランジスタである。

10

【0010】

活性領域幅に着目すると、図18(a)では、ベータ比を確保するために、アクセストランジスタの活性領域幅とドライブトランジスタの活性領域幅とを相異なる値に設定している。これにより、図18(a)に示すように、活性領域幅の相違に起因する段差117aがシリコン基板の上面に発生する。そして、活性領域幅をアクセストランジスタとドライブトランジスタとで相異なる値に設定して半導体記憶装置を製造すると、図18(b)に示すように、アクセストランジスタとドライブトランジスタとの間には、活性領域幅がなだらかに変化する段差117bが発生してしまう。

【0011】

段差117bが存在しているシリコン基板の上面にゲート電極を設ける場合、ゲート電極を所望の位置に設けることができなければアクセストランジスタおよびドライブトランジスタの活性領域幅がそれぞれ設定値からずれてしまう。よって、アクセストランジスタおよびドライブトランジスタの活性領域幅をそれぞれ設定値とすることができず、その結果、半導体記憶装置のベータ比を確保できない場合がある。以上より、チャンネル幅等をアクセストランジスタとドライブトランジスタとで相異なる値に設定しても、半導体記憶装置のベータ比を確保できない場合がある。

20

【0012】

また、ゲート電極のゲート長に着目すると、ゲート電極の大きさは、アクセストランジスタとドライブトランジスタとで相異なっている。具体的には、図18(a)に示すように、アクセストランジスタのゲート電極のゲート長は90nmであり、ドライブトランジスタのゲート電極のゲート長は70nmである。これにより、アクセストランジスタのゲート電極とドライブトランジスタのゲート電極とを最小ピッチでレイアウトできない。よって、半導体記憶装置の小型化を図ることは難しい。さらに、ゲート電極のゲート長方向における大きさが所望値となりゲート長方向における大きさが所望値となるようにゲート電極を形成するためには、リソグラフィ工程を行うためのマスクを作成する工程において、各ゲート電極に対してOPC(Optical Proximity Correction: 光学近接効果補正)などの最適化を行う必要がある。

30

【0013】

本発明は、上記の課題に鑑み、トランジスタの大きさを微細に制御しなくても半導体記憶装置のベータ比を確保でき、また、半導体記憶装置の小型化を図ることを目的とする。

40

【課題を解決するための手段】

【0014】

本発明の半導体記憶装置は、アクセストランジスタ、ドライブトランジスタおよび負荷トランジスタを有するSRAMセルを備えている。アクセストランジスタ、ドライブトランジスタおよび負荷トランジスタは、それぞれ、半導体基板の表面の一部分に形成された活性領域と、活性領域よりも上に配置されたゲート電極と、ゲート電極の下面と活性領域との間に介在されたゲート絶縁層とを有している。アクセストランジスタ、ドライブトランジスタおよび負荷トランジスタの少なくとも1つのトランジスタのゲート絶縁層は、ゲート絶縁層の膜厚およびゲート絶縁層の誘電率の少なくとも一方が相異なる第1ゲート絶縁膜および第2ゲート絶縁膜を有している。

50

【0015】

後述の好ましい実施形態では、第1ゲート絶縁膜は、ゲート電極直下の活性領域を覆い、第2ゲート絶縁膜は、第1ゲート絶縁膜の上面の一部を覆い、第1ゲート絶縁膜よりも膜厚が厚い。この場合、第1および第2ゲート絶縁膜のうち少なくとも一方は、シリコン酸化膜またはシリコン酸窒化膜であることが好ましい。

【0016】

後述の別の好ましい実施形態では、第1ゲート絶縁膜は、ゲート電極直下の活性領域の一部を覆い、第2ゲート絶縁膜は、ゲート電極直下の活性領域のうち第1ゲート絶縁膜に覆われていない部分を覆い、第1ゲート絶縁膜よりも高誘電率である。この場合、第2ゲート絶縁膜は、酸化物系高誘電率材料、遷移金属の酸化物、遷移金属のアルミネートおよび遷移金属のシリケート材料のうちの何れか1つからなることが好ましく、酸化物系高誘電率材料は、 Al_2O_3 、 Y_2O_3 、 ZrO_2 、 HfO_2 、 Ta_2O_3 、 La_2O_3 および Pr_2O_3 のうちいずれか一つであることが好ましい。

10

【0017】

後述のまた別の好ましい実施形態では、第1ゲート絶縁膜は、ゲート電極直下の活性領域の一部を覆い、第2ゲート絶縁膜は、ゲート電極直下の活性領域のうち第1ゲート絶縁膜に覆われていない部分と第1ゲート絶縁膜とを覆い、第1ゲート絶縁膜よりも高誘電率且つ膜薄である。

【0018】

後述のさらに別の実施形態では、入出力回路用トランジスタをさらに備えている。ある1つの実施形態では、入出力回路用トランジスタは、半導体基板のうち少なくとも1つのトランジスタの活性領域とは離れた位置に形成された入出力回路用トランジスタの活性領域と、入出力回路用トランジスタの活性領域の上方であってゲート電極が形成される領域を覆う入出力回路用トランジスタの第1ゲート絶縁膜と、入出力回路用トランジスタの第1ゲート絶縁膜を覆う入出力回路用トランジスタの第2ゲート絶縁膜と、入出力回路用トランジスタの第2ゲート絶縁膜の上に設けられた入出力回路用トランジスタのゲート電極とを有している。入出力回路用トランジスタの第1ゲート絶縁膜は、少なくとも1つのトランジスタの第1ゲート絶縁膜であり、入出力回路用トランジスタの第2ゲート絶縁膜は、少なくとも1つのトランジスタの第2ゲート絶縁膜である。

20

【0019】

また別の実施形態では、入出力回路用トランジスタは、半導体基板のうち少なくとも1つのトランジスタの活性領域とは離れた位置に形成された入出力回路用トランジスタの活性領域と、入出力回路用トランジスタの活性領域の上方であってゲート電極が形成される領域を覆う入出力回路用トランジスタのゲート絶縁膜と、入出力回路用トランジスタのゲート絶縁膜の上に設けられた入出力回路用トランジスタのゲート電極とを有している。入出力回路用トランジスタのゲート絶縁膜は、少なくとも1つのトランジスタの第1ゲート絶縁膜である。

30

【0020】

本発明の半導体記憶装置では、ゲート幅方向におけるアクセストランジスタの活性領域の長さは、ゲート幅方向におけるドライブトランジスタの活性領域の長さと同様であることが好ましい。

40

【0021】

本発明の半導体記憶装置では、アクセストランジスタのゲート絶縁層が第1ゲート絶縁膜および第2ゲート絶縁膜を有していてもよい。

【0022】

本発明の第1の半導体記憶装置の製造方法は、アクセストランジスタ、ドライブトランジスタおよび負荷トランジスタを有するSRAMセルを備えた半導体記憶装置の製造方法である。具体的には、半導体基板の表面の一部に、活性領域を形成する工程と、活性領域の上に、膜厚および誘電率のうち少なくとも一方が相異なる第1および第2ゲート絶縁膜を有するゲート絶縁層を設ける工程と、ゲート絶縁層の上に、ゲート電極を設ける工程

50

とを備えている。

【0023】

本発明の第2の半導体記憶装置の製造方法は、アクセストランジスタ、ドライブトランジスタ、負荷トランジスタおよび入出力回路用トランジスタを備えた半導体記憶装置の製造方法である。具体的には、半導体基板の表面に、アクセストランジスタ、ドライブトランジスタおよび負荷トランジスタの少なくとも1つのトランジスタの活性領域と、入出力回路用トランジスタの活性領域とを互いに間隔を開けて形成する工程と、
少なくとも1つのトランジスタの活性領域の上に、膜厚および誘電率のうち少なくとも一方が相異なる第1および第2ゲート絶縁膜を有する少なくとも1つのトランジスタのゲート絶縁層を設け、入出力回路用トランジスタの活性領域の上に入出力回路用トランジスタのゲート絶縁層を設ける工程と、
少なくとも1つのトランジスタのゲート絶縁層および入出力回路用トランジスタのゲート絶縁層の上にそれぞれゲート電極を設ける工程とを備えている。

10

【発明の効果】

【0024】

本発明によれば、トランジスタの大きさを微細に制御しなくても半導体記憶装置のベータ比を確保でき、また、半導体記憶装置の小型化を図ることができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の実施形態に限定されない。

20

【0026】

(第1の実施形態)

図1(a)は、本実施形態に係る半導体記憶装置1の一部の構成を示す上面図である。図1(b)は、図1(a)に示すIB-IB線における断面図である。本実施形態では、第1ゲート絶縁膜103と第2ゲート絶縁膜104とでは膜厚が相異なる。

【0027】

半導体記憶装置1では、複数のSRAMセル11, 11, ...がマトリクス状に並んで配置されている。SRAMセル11, 11, ...は、それぞれ、シリコン基板(半導体基板)100の表面に形成されており、一对のアクセストランジスタQ1, Q1'と、一对のドライブトランジスタQ2, Q2'と、一对の負荷トランジスタQ3, Q3'とを有している。アクセストランジスタQ1, Q1'における活性領域幅は、それぞれ、ドライブトランジスタQ2, Q2'における活性領域幅と略同一である。なお、活性領域幅は、ゲート電極のゲート幅方向における活性領域の長さである。

30

【0028】

一对のアクセストランジスタQ1, Q1'について詳述すると、一对のアクセストランジスタQ1, Q1'は、それぞれ、活性領域102と、ゲート絶縁層105と、ゲート電極106とを有している。活性領域102は、シリコン基板100の表面に形成されており、ゲート絶縁層105およびゲート絶縁層106は、活性領域102の上に順に設けられている。また、シリコン基板100の表面には、素子分離領域101が活性領域102を囲むように設けられている。

40

【0029】

ゲート絶縁層105は、第1ゲート絶縁膜103と、第2ゲート絶縁膜104とを有している。第1ゲート絶縁膜103は、シリコン酸化膜の膜厚に換算した場合に第2ゲート絶縁膜104よりも薄くなるように形成されており、活性領域102の上に設けられている。第2ゲート絶縁膜104は、ゲート幅方向において一方の素子分離領域101(図1(b)では右側の素子分離領域)からゲート中央部に向かって延びるように第1ゲート絶縁膜103の上面の一部を覆って設けられている。

【0030】

換言すると、ゲート絶縁層105には、第1領域105aと第2領域105bとが存在

50

している。第1領域105aはゲート幅方向における活性領域102上の左側の一部を現し、第2領域105bはゲート幅方向における活性領域102上の残りの部分を現しており第1領域105aに接している。つまり、第1領域105aは、第1ゲート絶縁膜103のうち第2ゲート絶縁膜104に覆われていない部分であり、第2領域105bは、第1ゲート絶縁膜103のうち第2ゲート絶縁膜104に覆われている部分である。そのため、第1領域105aの方が第2領域105bよりも薄い。

【0031】

ここで、第1ゲート絶縁膜103および第2ゲート絶縁膜104は、それぞれ、 SiO_2 膜であってもよく、 SiO_2 膜以外のシリコンを含む他の酸化膜（例えば、 $SiON$ 膜（シリコン酸窒化膜））であっても良い。また、第1ゲート絶縁膜103および第2ゲート絶縁膜104は、それぞれ、2種類以上の酸化物が積層された膜であっても良く、例えば $SiON$ 膜と SiO_2 膜とからなる積層膜であっても良い。この場合、第1ゲート絶縁膜103および第2ゲート絶縁膜104は、それぞれ、 $SiON$ 膜の上に SiO_2 膜が設けられていても良いし、 SiO_2 膜の上に $SiON$ 膜が設けられていても良い。

10

【0032】

また、第2ゲート絶縁膜104は、ゲート幅方向において左側の素子分離領域101からゲート中央部に向かって延びるように第1ゲート絶縁膜103の上面の一部を覆って設けられていてもよい。

【0033】

図2(a)~(d)は、本実施形態に係る半導体記憶装置1の製造方法を示す断面図である。

20

【0034】

本実施形態に係る半導体記憶装置1を製造するためには、まず、不図示であるがシリコン基板100をパターンニングした後に不純物注入を行い、ウェルを形成する。また、シリコン基板100にトランジスタの閾値電圧を設定するための不純物注入を行う。これにより、図2(a)に示すように、シリコン基板100の表面には、活性領域102と、活性領域102を取り囲むように素子分離領域101とが形成される。

【0035】

次に、図2(b)に示すように、例えば熱酸化法を用いて、活性領域102の表面に第2ゲート絶縁膜104を形成する。

30

【0036】

次に、不図示であるが第2ゲート絶縁膜104の上にレジスト膜を設け、図2(c)に示すようにレジスト膜108が例えば第2ゲート絶縁膜104の上面における右側の一部に残存するようにレジスト膜108をパターンニングする。

【0037】

次に、レジスト膜108をマスクとして、第2ゲート絶縁膜104に対してエッチングを行う。これにより、図2(d)に示すように、第2ゲート絶縁膜104のうちレジスト膜に覆われていない部分が除去され、活性領域102のうち左側の残りの部分が露出する。その後、レジスト膜108を除去する。

40

【0038】

次に、活性領域102のうち第2ゲート絶縁膜104に覆われている部分と第2ゲート絶縁膜104との間と、活性領域102のうち図2(d)に示す工程において露出した部分102aとに、例えば熱酸化法を用いて第1ゲート絶縁膜103を設ける。これにより、図2(e)に示すように、活性領域102の上にゲート絶縁膜105を設けることができる。ここで、第1ゲート絶縁膜103を、シリコン酸化膜の膜厚に換算した場合に第2ゲート絶縁膜104よりも薄くなるように形成する。

【0039】

その後、導電膜（例えばポリシリコン膜）を堆積しリソグラフィーを行うことにより、ゲート電極106を形成する。これにより、図1(b)に示す半導体記憶装置1が形成される。

50

【0040】

なお、本実施形態では、第2ゲート絶縁膜104を形成した後に第1ゲート絶縁膜103を形成したが、第1ゲート絶縁膜103を形成した後に第2ゲート絶縁膜104を形成してもよい。

【0041】

以下には、本実施形態に係る半導体記憶装置1が有するトランジスタの作用を示す。図17は、SiON膜を用いてゲート絶縁膜を形成し、ゲート絶縁膜の膜厚とドレイン電流の電流値との関係をシミュレーションした結果を示したものである。図17に示すように、ゲート絶縁膜厚を2nmから6nmへと3倍にすると、ドレイン電流は約1/6となっている。例えば、SRAMセルを構成するNMOSTランジスタの活性領域の幅をWとし、第1ゲート絶縁膜の幅を W_{a1} とし、第2ゲート絶縁膜の幅を W_{a2} とする。また、ドライフトランジスタを第1ゲート絶縁膜で形成し、ドライフトランジスタの単位Wあたりのドレイン電流を I_{dd} とし、アクセストランジスタの第1ゲート絶縁膜で形成したトランジスタ部分を通る単位Wあたりのドレイン電流を I_{da1} とし、第2ゲート絶縁膜で形成したトランジスタ部分を通る単位Wあたりのドレイン電流を I_{da2} とすると、

$$W \times I_{dd} = 1.5 (W_{a1} \times I_{da1} + W_{a2} \times I_{da2}) \quad \dots (1)$$

$$W = W_{a1} + W_{a2} = 140 \quad \dots (2)$$

このとき、第2ゲート絶縁膜の膜厚が第1ゲート絶縁膜の膜厚の3倍であると仮定すると、

$$I_{da2} = I_{da1} / 3 \quad \dots (3)$$

$$\text{また、} \quad I_{da1} = I_{dd} \quad \dots (4)$$

以上(1)~(4)より、

$$W_{a1} = 84\text{nm、} \quad W_{a2} = 56\text{nm}$$

となる。

【0042】

本実施形態によると、膜厚が互いに異なる2つのゲート絶縁膜のゲート幅方向の長さを制御することにより、図17に示すようにアクセストランジスタQ1、Q1'の電流駆動能力を制御できる。よって、半導体記憶装置1においてベータ比のばらつきを少なくすることができる。

【0043】

また、一对のアクセストランジスタQ1、Q1'と一对のドライフトランジスタQ2、Q2'において、チャンネル幅やゲート電極の大きさが略同一である。よって、NMOSTランジスタを形成する活性領域には、図18(a)に示す段差117aは存在しない。そのため、ゲート電極を形成する際などに活性領域幅が設定値からずれてしまうことを防止できる。

【0044】

また、一对のアクセストランジスタQ1、Q1'のゲート電極と一对のドライフトランジスタQ2、Q2'のゲート電極とを略同一の大きさにすることができるので、最小ピッチでゲート電極をレイアウトできるようになり、SRAMセルの小型化を図ることができる。例えば、図18(a)に示すアクセストランジスタのゲート電極のゲート長は90nmである。しかし、本実施形態に係る半導体記憶装置1では、アクセストランジスタQ1、Q1'のゲート電極のゲート長をそれぞれドライフトランジスタQ2、Q2'のゲート電極のゲート長と同じ70nmにすることができるので、図18(a)に示す半導体記憶装置に比べてSRAMセルの縦方向における大きさを20nm縮小することができる。これにより、スタティック型半導体記憶装置においてトランジスタ特性のばらつきをおさえることができ、信頼性が高く且つ高集積な半導体記憶装置を提供することができる。

【0045】

(第2の実施形態)

図3(a)は、本実施形態に係る半導体記憶装置2の一部の構成を示す上面図である。図3(b)は、図3(a)に示すIII B - III B線における断面図である。本実施形態は上記

10

20

30

40

50

第 1 の実施形態の変形であり、その相違点は第 1 ゲート絶縁膜の上面における第 2 ゲート絶縁膜の位置である。以下では、上記第 1 の実施形態とは異なる箇所を主に説明する。

【 0 0 4 6 】

図 3 (b) に示すように、ゲート絶縁層 2 0 5 は、第 1 ゲート絶縁膜 2 0 3 と、相対的に厚膜の第 2 ゲート絶縁膜 2 0 4 とを有している。第 1 ゲート絶縁膜 2 0 3 は、シリコン酸化膜の膜厚に換算した場合に第 2 ゲート絶縁膜 2 0 4 よりも薄くなるように形成されており、活性領域 1 0 2 の上に設けられている。第 2 ゲート絶縁膜 2 0 4 は、第 1 ゲート絶縁膜 2 0 3 の上面における中央を覆っている。

【 0 0 4 7 】

換言すると、ゲート絶縁層 2 0 5 には、第 1 領域 2 0 5 a と第 2 領域 2 0 5 b とが存在している。第 1 領域 2 0 5 a は活性領域 1 0 2 の中央に存在しており、第 2 領域 2 0 5 b は第 1 領域 2 0 5 a を挟んでおり第 1 領域 2 0 5 a に接している。第 1 領域 2 0 5 a は、第 1 ゲート絶縁膜 2 0 3 のうち第 2 ゲート絶縁膜 2 0 4 に覆われていない部分であり、第 2 領域 2 0 5 b は、第 1 ゲート絶縁膜 2 0 3 のうち第 2 ゲート絶縁膜 2 0 4 に覆われている部分である。そのため、第 1 領域 2 0 5 a の方が第 2 領域 2 0 5 b よりも薄い。また、第 2 領域 2 0 5 a が、活性領域 1 0 2 の中央に存在しており、第 1 領域 2 0 5 b が第 2 領域を挟んで第 2 領域 2 0 5 a に接しているように設けられていてもよい。

10

【 0 0 4 8 】

図 4 (a) ~ (e) は、本実施形態に係る半導体記憶装置 2 の製造方法を示す図である。

20

【 0 0 4 9 】

まず、図 4 (a) に示すように、シリコン基板 1 0 0 の表面には、活性領域 1 0 2 と、活性領域 1 0 2 を取り囲むように素子分離領域 1 0 1 とを形成する。

【 0 0 5 0 】

次に、図 4 (b) に示すように、例えば熱酸化法を用いて、活性領域 1 0 2 の表面に第 2 ゲート絶縁膜 2 0 4 を形成する。ここで、第 2 ゲート絶縁膜 2 0 4 としては、上記第 1 の実施形態の第 2 ゲート絶縁膜 1 0 4 を用いることができる。

【 0 0 5 1 】

次に、不図示であるが第 2 ゲート絶縁膜 2 0 4 の上にレジスト膜を設け、図 4 (c) に示すようにレジスト膜 2 0 8 が例えば第 2 ゲート絶縁膜 2 0 4 の上面における中央に残存するようにレジスト膜 2 0 8 をパターニングする。

30

【 0 0 5 2 】

次に、レジスト膜 2 0 8 をマスクとして、第 2 ゲート絶縁膜 2 0 4 に対してエッチングを行う。これにより、図 4 (d) に示すように、第 2 ゲート絶縁膜 2 0 4 のうちレジスト膜に覆われていない部分が除去され、活性領域 1 0 2 のうち周縁部分が露出する。その後、レジスト膜 2 0 8 を除去する。

【 0 0 5 3 】

次に、活性領域 1 0 2 のうち第 2 ゲート絶縁膜 2 0 4 に覆われている部分と第 2 ゲート絶縁膜 2 0 4 との間と、活性領域 1 0 2 のうち図 4 (d) に示す工程において露出した部分 1 0 2 a とに、例えば熱酸化法を用いて第 1 ゲート絶縁膜 2 0 3 を設ける。これにより、図 4 (e) に示すように、活性領域 1 0 2 の上にゲート絶縁膜 2 0 5 を設けることができる。ここで、第 1 ゲート絶縁膜 2 0 3 としては、上記第 1 の実施形態の第 1 ゲート絶縁膜 1 0 3 を用いることができる。

40

【 0 0 5 4 】

その後、導電膜 (例えばポリシリコン膜) を堆積しリソグラフィを行うことにより、ゲート電極 1 0 6 を形成する。これにより、図 3 (b) に示す半導体記憶装置 2 が形成される。

【 0 0 5 5 】

なお、本実施形態においても、第 1 ゲート絶縁膜 2 0 3 を形成した後に第 2 ゲート絶縁膜 2 0 4 を形成してもよい。

50

【0056】

以上説明したように、本実施形態は、上記第1の実施形態と略同一の効果および作用を奏する。

【0057】

すなわち、本実施形態に係る半導体記憶装置2は、図17に示す特性を示す。

【0058】

また、膜厚が互いに異なるゲート絶縁膜のゲート幅方向の長さを制御することにより、半導体記憶装置2においてベータ比のばらつきを少なくすることができる。また、半導体記憶装置の製造工程中にアクセストランジスタQ1、Q1'やドライボルトランジスタQ2、Q2'のチャンネル幅等が設定値からずれてしまうことを防止できる。さらには、スタティック型半導体記憶装置においてトランジスタ特性のばらつきをおさえることができ、信頼性が高く且つ高集積な半導体記憶装置を提供することができる。

10

【0059】

さらに、本実施形態は、上記第1の実施形態とは異なり、以下に示す効果を奏する。

【0060】

実際の半導体記憶装置の製造プロセスにおいては、理想的な状態が維持されるわけではなく、製造プロセス中におけるパターンの重ね合わせにズレが生じる場合がある。このようにズレが生じた場合、上記第1の実施形態では、図5(a)に示す状態から図5(b)に示す状態となってしまう。具体的には、第1ゲート絶縁膜103のうち第2ゲート絶縁膜104に覆われていない部分のゲート幅方向における幅が W_{1a} から W_{3a} へ変化し、ゲート幅方向における第2ゲート絶縁膜の幅が W_{a2} から W_{a4} へと変化する。その結果、 W_{a1}/W_{a2} と W_{a3}/W_{a4} とは相異なる。よって、トランジスタ特性が変化する場合がある。

20

【0061】

一方、本実施形態では、製造プロセス中におけるパターンの重ね合わせにズレが生じた場合には、第1ゲート絶縁膜203のうち第2ゲート絶縁膜204に覆われていない部分のゲート幅方向における幅については、図5(c)および図5(d)に示すように、 W_{b1l} が W_{b3l} となり、 W_{b1r} が W_{b3r} となる。しかし、ゲート幅方向における第2ゲート絶縁膜204の幅は W_{b2} のままである。その結果、 $(W_{b1l} + W_{b1r})/W_{b2}$ と $(W_{b3l} + W_{b3r})/W_{b2}$ とは略同一となる。よって、本実施形態にかかる半導体記憶装置では、パターンの重ね合わせにズレが生じた場合であっても、トランジスタ特性に影響を与えない。

30

【0062】

(第3の実施形態)

図6(a)は、本実施形態に係る半導体記憶装置の一部の構成を示す上面図である。図6(b)は、図6(a)に示すVIB-VIB線における断面図である。本実施形態では、第1ゲート絶縁膜303と第2ゲート絶縁膜304とは誘電率が異なる。以下では、上記第1の実施形態とは異なる箇所を主に説明する。

【0063】

図6(b)に示すように、ゲート絶縁層305は、第1ゲート絶縁膜303と、第2ゲート絶縁膜304とを有している。第1ゲート絶縁膜303は、ゲート幅方向において一方の素子分離領域101(図6(b)では左側の素子分離領域)からゲート中央部に向かって延びるように活性領域102上の一部に設けられている。第2ゲート絶縁膜304は、ゲート幅方向における活性領域102の残りの部分に設けられており、第1ゲート絶縁膜303に接しているとともに第1ゲート絶縁膜303と略同一の膜厚となるように形成されている。また、第2ゲート絶縁膜304は、第1ゲート絶縁膜303よりも高誘電率である。

40

【0064】

換言すると、ゲート絶縁層305には、第1領域305aと第2領域305bとが存在している。第1領域305aはゲート幅方向における活性領域102上の右側の一部を表

50

し、第2領域305bはゲート幅方向における活性領域102上の左側の一部を現しており第1領域305aに接している。第1領域305aには第2ゲート絶縁膜304が存在しており、第2領域305bには第1ゲート絶縁膜303が存在している。

【0065】

ここで、第1ゲート絶縁膜303は、 SiO_2 膜であっても良く、 SiO_2 膜以外のシリコンを含む他の酸化膜（例えば、 SiON 膜（シリコン酸化膜））であっても良い。また、第1ゲート絶縁膜303は、2種類以上の酸化物が積層された膜であってもよく、例えば SiON 膜と SiO_2 膜とからなる積層膜であっても良い。この場合、第1ゲート絶縁膜303は、 SiON 膜の上に SiO_2 膜が設けられていても良く、 SiO_2 膜の上に SiON 膜が設けられていても良い。

10

【0066】

第2ゲート絶縁膜304は、酸化物系高誘電率材料からなる膜、遷移金属の酸化物膜、遷移金属のアルミネートまたは遷移金属のシリケート材料からなる膜であることが好ましい。酸化物系高誘電率材料からなる膜は、例えば、 Al_2O_3 膜、 Y_2O_3 膜、 ZrO_2 膜、 HfO_2 膜、 Ta_2O_5 膜、 La_2O_3 膜または Pr_2O_3 である。

【0067】

また、第2ゲート絶縁膜304は、2種類以上の酸化物が積層された積層膜、例えば、 SiO_2 膜と HfO_2 膜とからなる膜であっても良い。

【0068】

また、活性領域102上において、第1ゲート絶縁膜303と第2ゲート絶縁膜304とは、図6(b)に示す配置とは逆の位置に設けられていてもよい。

20

【0069】

図7(a)~(e)は、本実施形態に係る半導体記憶装置3の製造方法を示す断面図である。

【0070】

まず、図7(a)に示すように、シリコン基板100の表面には、活性領域102と、活性領域102を取り囲むように素子分離領域101とを形成する。

【0071】

次に、図7(b)に示すように、原子層堆積(Atomic Layer Deposition、以下「ALD」という)法、CVD(Cheical Vapor Deposition)法またはスパッタリング法を用いて、活性領域102および素子分離領域101の表面に第2ゲート絶縁膜304を形成する。ここで、ALD法を用いて第2ゲート絶縁膜を形成すれば、膜厚および組成が極めて均質な第2ゲート絶縁膜を形成することができ、その結果、原子層レベルでの材料設計を容易に行うことができる。そのため、ALD法を用いて第2ゲート絶縁膜を設けることが好ましい。

30

【0072】

次に、不図示であるが第2ゲート絶縁膜304の上にレジスト膜を設け、図7(c)に示すようにレジスト膜308が例えば第2ゲート絶縁膜304の上面における右側の一部に残存するようにレジスト膜308をパターニングする。

【0073】

40

次に、レジスト膜308をマスクとして、第2ゲート絶縁膜304に対してエッチングを行う。これにより、図7(d)に示すように、第2ゲート絶縁膜304のうちレジスト膜に覆われていない部分が除去され、活性領域102のうち左側の残りの部分が露出する。その後、レジスト膜308を除去する。

【0074】

次に、例えば熱酸化法を用いて活性領域102のうち図7(d)に示す工程において露出した部分102aに、第1ゲート絶縁膜303を設ける。ここで、第1ゲート絶縁膜303を第2ゲート絶縁膜304と略同一の膜厚となるように設ける。これにより、図7(e)に示すように、活性領域102の上にゲート絶縁膜305を設けることができる。

【0075】

50

その後、導電膜（例えばポリシリコン膜）を堆積しリソグラフィを行うことにより、ゲート電極 106 を形成する。これにより、図 6（b）に示す半導体記憶装置 3 が形成される。

【0076】

なお、本実施形態では、第 2 ゲート絶縁膜 304 を形成した後に第 1 ゲート絶縁膜 303 を形成したが、第 1 ゲート絶縁膜 303 を形成した後に第 2 ゲート絶縁膜 304 を形成してもよい。

【0077】

ここで、上記のような作成方法で形成されたトランジスタの作用について述べる。第 2 ゲート絶縁膜で形成したトランジスタ部分を通る単位 W あたりのドレイン電流 I_{da2} が第 1 ゲート絶縁膜で形成したトランジスタ部分を通る単位 W あたりのドレイン電流 I_{da1} の 1/6 であるとする、

10

$$I_{da1} = 6I_{da2} \quad \dots (5)$$

トランジスタのドレイン電流は次式で表されるので、

$$I_d = W\mu_{eff} (V_g - V_t)^2 / 2Ld \quad \dots (6)$$

ここで、W：チャネル幅、L：チャネル長、d：ゲート絶縁膜厚、 μ_{eff} ：キャリアの実効移動度、 ϵ ：ゲート絶縁膜の誘電率、 V_g ：ゲート電圧、 V_t ：閾値電圧である。

【0078】

(6) 式より単位 W 当りの I_{da1} と I_{da2} は、

$$I_{da1} = \mu_{eff1} (V_g - V_{t1})^2 / 2Ld \quad \dots (7)$$

20

$$I_{da2} = \mu_{eff2} (V_g - V_{t2})^2 / 2Ld \quad \dots (8)$$

である。

ここで、SRAMセルを構成するNMOSトランジスタの活性領域の加工寸法を $W = 140 \text{ nm}$ 、ベータ比 = 1.5、アクセストランジスタの薄膜ゲート絶縁膜の幅を W_{a1} 、アクセストランジスタの厚膜ゲート絶縁膜の幅を W_{a2} 、ドライブトランジスタは薄膜ゲート絶縁膜で形成し単位 W あたりのドレイン電流を I_{dd} とすると、

$$W \times I_{dd} = 1.5 (W_{a1} \times I_{da1} + W_{a2} \times I_{da2}) \quad \dots (9)$$

$$W = W_{a1} + W_{a2} = 140 \quad \dots (10)$$

$$W_{a1} = 84 \text{ nm}, \quad W_{a2} = 56 \text{ nm}$$

となる。

30

【0079】

以上説明したように、本実施形態では、誘電率が異なる 2 つのゲート絶縁膜を用いてアクセストランジスタの電流駆動能力を制御する。この場合であっても、半導体記憶装置 3 においてベータ比のばらつきを少なくすることができる。

【0080】

また、上記第 1 の実施形態と同じように、半導体記憶装置の製造工程中に活性領域幅が所望値からずれてしまうことを防止できる。また、スタティック型半導体記憶装置においてトランジスタ特性のばらつきを防止することができるので、信頼性が高く且つ高集積な半導体記憶装置を提供できる。

【0081】

40

さらに、本実施形態では、第 2 ゲート絶縁膜 304 の膜厚が第 1 ゲート絶縁膜 303 の膜厚と略同一であるので、半導体記憶装置 3 の信頼性を上記第 1 および第 2 の実施形態よりも更に向上させることができる。具体的には、本実施形態のようにゲート絶縁膜層 305 が同一の膜厚の第 1 ゲート絶縁膜 303 および第 2 ゲート絶縁膜 304 で構成される場合、膜厚の相違に起因する段差部がゲート絶縁膜の延長方向に形成されることを抑制できる。その結果、ゲート絶縁膜 305 の上にゲート電極材料を設けても、ゲート電極材料の残渣が段差部に発生することを防止できる。よって、本実施形態に係る半導体記憶装置 3 は、上記第 1 および第 2 の実施形態に係る半導体記憶装置 1, 2 に比べてさらに信頼性を向上させることができる。

【0082】

50

(第4の実施形態)

図8(a)は、本実施形態に係る半導体記憶装置の一部の構成を示す上面図である。図8(b)は、図8(a)に示すVIIIB-VIIIB線における断面図である。本実施形態は上記第3の実施形態の変形であり、その相違点は活性領域における第1および第2ゲート絶縁膜の位置である。以下では、上記第3の実施形態とは異なる箇所を主に説明する。

【0083】

図8(b)に示すように、ゲート絶縁層405は、第1ゲート絶縁膜403と、第1ゲート絶縁膜403よりも誘電率の高い第2ゲート絶縁膜404とを有している。第2ゲート絶縁膜404は活性領域102の中央に設けられている。第1ゲート絶縁膜403は第2ゲート絶縁膜404を挟むように設けられており、第2ゲート絶縁膜404に接しているとともに第1ゲート絶縁膜403と略同一の膜厚となるように形成されている。

10

【0084】

換言すると、ゲート絶縁層405には、第1領域405aと第2領域405bとが存在している。第1領域405aは活性領域102の中央に存在しており、第2領域405bは第1領域405aを挟むように存在しており第1領域405aに接している。第1領域405aは第2ゲート絶縁膜404であり、第2領域405bは第1ゲート絶縁膜403である。

【0085】

なお、本実施形態では、第2ゲート絶縁膜404が活性領域102の中央に設けられており、第1ゲート絶縁膜403が第2ゲート絶縁膜404を挟んで第2ゲート絶縁膜404に接しているように設けられていても良い。

20

【0086】

図9(a)~(e)は、本実施形態に係る半導体記憶装置4の製造方法を示す断面図である。

【0087】

まず、図9(a)に示すように、シリコン基板100の表面には、活性領域102と、活性領域102を取り囲むように素子分離領域101とを形成する。

【0088】

次に、図9(b)に示すように、ALD法、CVD法またはスパッタリング法を用いて、活性領域102および素子分離領域101の表面に第2ゲート絶縁膜404を形成する。ここで、第2ゲート絶縁膜404としては、上記第3の実施形態における第2ゲート絶縁膜304を用いることができる。

30

【0089】

次に、不図示であるが第2ゲート絶縁膜404の上にレジスト膜を設け、図9(c)に示すようにレジスト膜408が例えば第2ゲート絶縁膜404の上面における中央に残存するようにレジスト膜408をパターニングする。

【0090】

次に、レジスト膜408をマスクとして、第2ゲート絶縁膜404に対してエッチングを行う。これにより、図9(d)に示すように、第2ゲート絶縁膜404のうちレジスト膜408に覆われていない部分が除去され、活性領域102のうち周縁部分が露出する。その後、レジスト膜408を除去する。

40

【0091】

次に、例えば熱酸化法を用いて活性領域102のうち図9(d)に示す工程において露出した部分102aに、第1ゲート絶縁膜403を設ける。ここで、第1ゲート絶縁膜403としては、上記第3の実施形態における第1ゲート絶縁膜303を用いることができる。これにより、図9(e)に示すように、活性領域102の上にゲート絶縁膜405を設けることができる。

【0092】

その後、導電膜(例えばポリシリコン膜)を堆積しリソグラフィを行うことにより、ゲート電極106を形成する。これにより、図8(b)に示す半導体記憶装置4が形成さ

50

れる。

【0093】

なお、本実施形態では、第2ゲート絶縁膜404を形成した後に第1ゲート絶縁膜403を形成したが、第1ゲート絶縁膜403を形成した後に第2ゲート絶縁膜404を形成してもよい。

【0094】

以上説明したように、本実施形態と上記第3の実施形態との相違点は、上記第3活性領域102における第1ゲート絶縁膜403および第2ゲート絶縁膜404の位置のみである。よって、本実施形態は、上記第3の実施形態と略同一の効果および作用を奏する。

【0095】

(第5の実施形態)

図10(a)は、本実施形態に係る半導体記憶装置の一部の構成を示す上面図である。図10(b)は、図10(a)に示すXB-XB線における断面図である。本実施形態では、第1ゲート絶縁膜と第2ゲート絶縁膜とでは誘電率および膜厚がそれぞれ相異なる。以下では、上記第1の実施形態とは異なる箇所を主に説明する。

【0096】

図10(b)に示すように、ゲート絶縁層505は、第1ゲート絶縁膜503と第2ゲート絶縁膜504とを有している。第1ゲート絶縁膜503は活性領域102における例えばゲート幅方向において右側の素子分離領域101からゲート中央部に向かって延びるように活性領域102上の一部に設けられており、第2ゲート絶縁膜504は活性領域102のうち第1ゲート絶縁膜503に覆われていない部分および第1ゲート絶縁膜503を覆っている。第1ゲート絶縁膜503は、第2ゲート絶縁膜504よりも、誘電率が低く且つ厚膜である。

【0097】

換言すると、ゲート絶縁膜505には、第1領域505aおよび第2領域505bが存在している。第1領域505aはゲート幅方向における活性領域102上の左側の一部を現し、第2領域505bはゲート幅方向における活性領域102上の残りの部分を現しており第1領域505aに接している。第1領域505aには第2ゲート絶縁膜504のうち第1ゲート絶縁膜503を介在せずに活性領域102に設けられた部分が存在しており、第2領域505bには、第1ゲート絶縁膜503と、第2ゲート絶縁膜504のうち第1ゲート絶縁膜503の上に設けられた部分とが存在している。

【0098】

なお、本実施形態では、第1ゲート絶縁膜503は、ゲート幅方向において左側の素子分離領域101からゲート中央部に向かって延びるように設けられていても良い。

【0099】

図11(a)~(e)は、本実施形態に係る半導体記憶装置5の製造方法を示す断面図である。

【0100】

まず、図11(a)に示すように、シリコン基板100の表面には、活性領域102と、活性領域102を取り囲むように素子分離領域101とを形成する。

【0101】

次に、図11(b)に示すように、例えば熱酸化法を用いて、活性領域102の表面に第1ゲート絶縁膜503を形成する。ここで、第1ゲート絶縁膜503としては、上記第3の実施形態における第1ゲート絶縁膜303を用いることができる。

【0102】

次に、不図示であるが第1ゲート絶縁膜503の上にレジスト膜を設け、図11(c)に示すようにレジスト膜508が例えば第1ゲート絶縁膜503の上面における右側の一部に残存するようにレジスト膜508をパターニングする。

【0103】

次に、レジスト膜508をマスクとして、第1ゲート絶縁膜503に対してエッチング

10

20

30

40

50

を行う。これにより、図 11 (d) に示すように、第 1 ゲート絶縁膜 503 のうちレジスト膜 508 に覆われていない部分が除去され、活性領域 102 のうち左側の残りの部分が露出する。その後、レジスト膜 508 を除去する。

【0104】

次に、ALD法、CVD法またはスパッタリング法などを用いて、活性領域 102 のうち図 11 (d) に示す工程において露出した部分 102a、第 1 ゲート絶縁膜 503 および素子分離領域 101 を覆うように、第 2 ゲート絶縁膜 504 を形成する。ここで、第 2 ゲート絶縁膜 504 としては、上記第 3 の実施形態における第 2 ゲート絶縁膜 304 を用いることができる。これにより、図 11 (e) に示すように、活性領域 102 の上にゲート絶縁膜 505 を設けることができる。

10

【0105】

その後、導電膜（例えばポリシリコン膜）を堆積しリソグラフィを行うことにより、ゲート電極 106 を形成する。これにより、図 10 (b) に示す半導体記憶装置 5 が形成される。

【0106】

なお、本実施形態では、第 1 ゲート絶縁膜 503 を形成した後に第 2 ゲート絶縁膜 504 を形成したが、第 2 ゲート絶縁膜 504 を形成した後に第 1 ゲート絶縁膜 503 を形成してもよい。

【0107】

ここで、上記のような作成方法で形成されたトランジスタの作用について述べる。トランジスタのドレイン電流 I_d は次式で表されるので

$$I_d = W \mu_{eff} (V_g - V_t)^2 / 2Ld \quad \dots (11)$$

ここで、 W ：チャネル幅、 L ：チャネル長、 d ：ゲート絶縁膜厚、 i_{eff} ：キャリアの実効移動度、 μ ：ゲート絶縁膜の誘電率、 V_g ：ゲート電圧、 V_t ：閾値電圧である。単位 W 当りの厚膜ゲート絶縁膜トランジスタのドレイン電流 I_{da2} と薄膜ゲート絶縁膜トランジスタのドレイン電流 I_{da1} は (6) 式より、

$$I_{da1} = \mu_{eff1} (V_g - V_{t1})^2 / 2Ld_1 \quad \dots (12)$$

$$I_{da2} = \mu_{eff2} (V_g - V_{t2})^2 / 2Ld_2 \quad \dots (13)$$

である。

ここで、 I_{da2} が I_{da1} の $1/10$ となるようにするには、

$$I_{da1} = 10 \times I_{da2} \quad \dots (14)$$

(12) 式、(13) 式、(14) 式より、

$$\mu_1 (V_g - V_{t1})^2 / d_1 = 10 \mu_2 (V_g - V_{t2})^2 / d_2 \quad \dots (15)$$

となり、(15) 式を満たすように厚膜ゲート絶縁膜の膜厚 d_2 を設定すればよい。

ここで、SRAMセルを構成するNMOSTランジスタの活性領域の加工寸法を $W = 140 \text{ nm}$ 、ベータ比 = 1.5、アクセストランジスタの薄膜ゲート絶縁膜の幅を W_{a1} 、厚膜ゲート絶縁膜の幅を W_{a2} 、ドライボトランジスタは薄膜ゲート絶縁膜で形成しドレイン電流を I_{dd} とすると、

$$W \times I_{dd} = 1.5 (W_{a1} \times I_{da1} + W_{a2} \times I_{da2}) \quad \dots (16)$$

$$W = W_{a1} + W_{a2} = 140 \quad \dots (17)$$

このとき、 $I_{dd} = I_{da1}$ であり、また (14) 式、(16) 式および (17) 式より、

$$W_{a1} = 88 \text{ nm}, \quad W_{a2} = 52 \text{ nm}$$

となる。

【0108】

本実施形態は、上記第 1 の実施形態と略同一の効果および作用を奏する。

【0109】

すなわち、本実施形態に係る半導体記憶装置 5 は、図 17 に示す特性を示す。

【0110】

また、膜厚および誘電率がそれぞれ互いに異なる 2 つのゲート絶縁膜のゲート幅方向の長さを制御することにより、半導体記憶装置 5 においてベータ比のばらつきを少なくする

40

ことができる。また、半導体記憶装置の製造工程中に一对のアクセストランジスタQ1, Q1'や一对のドライブトランジスタQ2, Q2'のチャンネル幅等が設定値からずれてしまうことを防止できる。さらには、スタティック型半導体記憶装置においてトランジスタ特性のばらつきをおさえることができ、信頼性が高く且つ高集積な半導体記憶装置を提供することができる。

【0111】

(第6の実施形態)

図12(a)は、本実施形態に係る半導体記憶装置の一部の構成を示す上面図である。図12(b)は、図12(a)に示すXII B - XII B線における断面図である。本実施形態は上記第5の実施形態の変形であり、その相違点は活性領域における第1ゲート絶縁膜の位置である。以下では、上記第5の実施形態とは異なる箇所を主に説明する。

10

【0112】

図12(b)に示すように、ゲート絶縁層605は、第1ゲート絶縁膜603と第2ゲート絶縁膜604とを有している。第1ゲート絶縁膜603は活性領域102における中央に設けられており、第2ゲート絶縁膜604は活性領域102の周縁部分および第1ゲート絶縁膜603を覆うように設けられている。また、第1ゲート絶縁膜603は、第2ゲート絶縁膜604よりも、誘電率が低く且つ厚膜である。

【0113】

換言すると、ゲート絶縁膜605には、第1領域605aおよび第2領域605bが存在している。第2領域605bは活性領域102の中央に存在しており、第1領域605aは第1領域605bを挟んでおり第1領域605aに接している。第1領域605aは第2ゲート絶縁膜604のうち第1ゲート絶縁膜603を介在せずに活性領域102に設けられた部分であり、第2領域605bは、第1ゲート絶縁膜603と第2ゲート絶縁膜604が積層された部分である。

20

【0114】

図13(a)~(e)は、本実施形態に係る半導体記憶装置6の製造方法を示す断面図である。

【0115】

まず、図13(a)に示すように、シリコン基板100の表面には、活性領域102と、活性領域102を取り囲むように素子分離領域101とを形成する。

30

【0116】

次に、図13(b)に示すように、例えば熱酸化法を用いて、活性領域102の表面に第1ゲート絶縁膜603を形成する。ここで、第1ゲート絶縁膜603としては、上記第5の実施形態における第1ゲート絶縁膜503を用いることができる。

【0117】

次に、不図示であるが第1ゲート絶縁膜603の上にレジスト膜を設け、図13(c)に示すようにレジスト膜608が例えば第1ゲート絶縁膜603の上面における中央に残存するようにレジスト膜608をパターンニングする。

【0118】

次に、レジスト膜608をマスクとして、第1ゲート絶縁膜603に対してエッチングを行う。これにより、図13(d)に示すように、第1ゲート絶縁膜603のうちレジスト膜608に覆われていない部分が除去され、活性領域102のうち周縁部分が露出する。その後、レジスト膜608を除去する。

40

【0119】

次に、ALD法、CVD法またはスパッタリング法などを用いて、活性領域102のうち図13(d)に示す工程において露出した部分102a、第1ゲート絶縁膜603および素子分離領域101を覆うように、第2ゲート絶縁膜604を形成する。ここで、第2ゲート絶縁膜604としては、上記第5の実施形態における第2ゲート絶縁膜504を用いることができる。これにより、図13(e)に示すように、活性領域102の上にゲート絶縁膜605を設けることができる。

50

【 0 1 2 0 】

その後、導電膜（例えばポリシリコン膜）を堆積しリソグラフィを行うことにより、ゲート電極 1 0 6 を形成する。これにより、図 1 2 (b) に示す半導体記憶装置 6 が形成される。

【 0 1 2 1 】

なお、本実施形態では、第 1 ゲート絶縁膜 6 0 3 を形成した後に第 2 ゲート絶縁膜 6 0 4 を形成したが、第 2 ゲート絶縁膜 6 0 4 を形成した後に第 1 ゲート絶縁膜 6 0 3 を形成してもよい。

【 0 1 2 2 】

以上説明したように、本実施形態は、上記第 5 の実施形態と略同一の効果および作用を奏する。

10

【 0 1 2 3 】

（第 7 の実施形態）

以下、本発明の第 7 の実施形態に係る半導体記憶装置およびその製造方法について、図面を参照しながら説明する。本実施形態では、S R A Mセルのアクセストランジスタを製造すると同時に、周辺回路の入出力回路用トランジスタを製造する。なお、本実施形態におけるアクセストランジスタは、上記第 2 の実施形態におけるアクセストランジスタと略同一の構成を有している。

【 0 1 2 4 】

図 1 4 (a) ~ (f) は、本実施形態に係る半導体記憶装置 7 の製造方法を示す断面図である。

20

【 0 1 2 5 】

まず、シリコン基板 1 0 0 の上に、複数の活性領域および複数の素子分離領域を形成する。このとき、複数の活性領域をそれぞれ略同一の活性領域幅を有するように形成することが好ましい。また、複数の素子分離領域をそれぞれ活性領域を囲むように形成することが好ましい。その後、図 1 4 (a) に示すように、一部の活性領域を S R A Mセルのアクセストランジスタ 7 0 0 の活性領域 1 0 2 とし、残りの一部の活性領域を周辺回路の入出力回路用トランジスタ 7 1 0 の活性領域 7 1 2 とする。

【 0 1 2 6 】

次に、図 1 4 (b) に示すように、例えば熱酸化法を用いて、活性領域 1 0 2 に第 2 ゲート絶縁膜 7 0 4 を形成し、活性領域 7 1 2 に第 2 ゲート絶縁膜 7 1 4 を形成する。第 2 ゲート絶縁膜 7 0 4 , 7 1 4 としては、それぞれ、上記第 2 の実施形態における第 2 ゲート絶縁膜 2 0 4 を用いることができる。

30

【 0 1 2 7 】

次に、図 1 4 (c) に示すように、第 2 ゲート絶縁膜 7 0 4 の上面における中央においてレジスト膜 7 0 8 が残存するようにレジスト膜 7 0 8 をパターニングする。また、第 2 ゲート絶縁膜 7 1 4 の上面全体にレジスト膜 7 0 8 を設ける。

【 0 1 2 8 】

次に、レジスト膜 7 0 8 をマスクとして第 2 ゲート絶縁膜 7 0 4 に対してエッチングを行い、レジスト膜 7 1 8 をマスクとして第 2 ゲート絶縁膜 7 1 4 に対してエッチングを行う。これにより、図 1 4 (d) に示すように、第 2 ゲート絶縁膜 7 0 4 のうちレジスト膜 7 0 8 で覆われていない部分が除去され、活性領域 1 0 2 のうち周縁部分が露出する。その後、レジスト膜 7 0 8 , 7 1 8 をそれぞれ除去する。

40

【 0 1 2 9 】

次に、図 1 4 (e) に示すように、例えば熱酸化法を用いて、第 1 ゲート絶縁膜 7 0 3 をアクセストランジスタ 7 0 0 に設け、第 1 ゲート絶縁膜 7 1 3 を入出力回路用トランジスタ 7 1 0 に設ける。具体的には、第 1 ゲート絶縁膜 7 0 3 を、図 1 4 (d) に示す工程において露出した部分 1 0 2 a を覆うように、また、活性領域 1 0 2 のうち第 2 ゲート絶縁膜 7 0 4 が設けられた部分とその第 2 ゲート絶縁膜 7 0 4 との間に、設ける。また、第 1 ゲート絶縁膜 7 1 3 を、活性領域 7 1 2 と第 2 ゲート絶縁膜 7 1 4 との間に設ける。こ

50

ここで、第1ゲート絶縁膜703, 713としては、それぞれ、上記第1の実施形態における第1ゲート絶縁膜103を用いることができる。これにより、活性領域102の上にゲート絶縁層705が形成され、活性領域712の上にゲート絶縁層715が形成される。

【0130】

その後、図14(f)に示すように、導電膜(例えばポリシリコン膜)を堆積しリソグラフィを行うことにより、ゲート絶縁層705, 715の上にそれぞれゲート電極106, 106を形成する。これにより、本実施形態に係る半導体記憶装置7が形成される。

【0131】

なお、本実施形態では、第2ゲート絶縁膜704, 714を形成した後に第1ゲート絶縁膜703, 713をそれぞれ形成したが、第1ゲート絶縁膜703, 713を形成した後に第2ゲート絶縁膜704, 714をそれぞれ形成してもよい。

10

【0132】

以上説明したように、本実施形態では、アクセストランジスタ700は、上記第2の実施形態におけるアクセストランジスタと略同一の構成を有する。よって、本実施形態は、上記第2の実施形態と略同一の作用および効果を奏する。一方、入出力回路用トランジスタ710はゲート絶縁膜715を有しており、ゲート絶縁膜715は活性領域712の上を覆う第1ゲート絶縁膜713と、第1ゲート絶縁膜713の上面全体を覆う第2ゲート絶縁膜714とを有している。第1ゲート絶縁膜713は、第2ゲート絶縁膜714よりも膜薄である。

【0133】

20

(第8の実施形態)

以下、本発明の第8の実施形態に係る半導体記憶装置およびその製造方法について、図面を参照しながら説明する。本実施形態では、SRAMセルのアクセストランジスタは上記第4の実施形態と略同一の構成を有しており、周辺回路の入出力回路用トランジスタは上記第4の実施形態における第1ゲート絶縁膜を有している。

【0134】

図15(a)~(f)は、本実施形態に係る半導体記憶装置8の製造方法を示す断面図である。

【0135】

まず、シリコン基板100の上に、複数の活性領域および複数の素子分離領域を形成する。その後、図15(a)に示すように、一部の活性領域をSRAMセルのアクセストランジスタ800の活性領域102とし、残りの一部の活性領域を周辺回路の入出力回路用トランジスタ810の活性領域812とする。

30

【0136】

次に、図15(b)に示すように、ALD法、CVD法またはスパッタリング法を用いて、活性領域102および素子分離領域101の表面に第2ゲート絶縁膜804を形成し、活性領域812および素子分離領域101の表面に第2ゲート絶縁膜814を形成する。第2ゲート絶縁膜804, 814としては、それぞれ、上記第4の実施形態における第2ゲート絶縁膜404を用いることができる。

【0137】

40

次に、図15(c)に示すように、第2ゲート絶縁膜804の上面における中央においてレジスト膜808が残存するようにレジスト膜808をパターンニングする。このとき、第2ゲート絶縁膜814の上にはレジスト膜を設けない。

【0138】

次に、レジスト膜808をマスクとして第2ゲート絶縁膜804に対してエッチングを行い、第2ゲート絶縁膜814に対してエッチングを行う。これにより、図15(d)に示すように、第2ゲート絶縁膜804のうちレジスト膜808で覆われていない部分が除去され、活性領域102のうち周縁部分が露出する。また、第2ゲート絶縁膜814が除去され、活性領域812が露出する。その後、レジスト膜808を除去する。

【0139】

50

次に、図15(e)に示すように、例えば熱酸化法を用いて、第1ゲート絶縁膜803を図15(d)に示す工程において露出した部分102aに設け、第1ゲート絶縁膜813を活性領域812に設ける。ここで、第1ゲート絶縁膜803、813としては、それぞれ、上記第3の実施形態における第1ゲート絶縁膜303を用いることができる。これにより、活性領域102の上にゲート絶縁層805が形成され、活性領域812の上にゲート絶縁層815が形成される。

【0140】

その後、図15(f)に示すように、導電膜(例えばポリシリコン膜)を堆積しリソグラフィを行うことにより、ゲート絶縁層805、815の上にそれぞれゲート電極106、106を形成する。これにより、本実施形態に係る半導体記憶装置8が形成される。

10

【0141】

なお、本実施形態では、第2ゲート絶縁膜804を形成した後に第1ゲート絶縁膜803を形成したが、第1ゲート絶縁膜803を形成した後に第2ゲート絶縁膜804を形成してもよい。

【0142】

以上説明したように、本実施形態では、アクセストランジスタ800は、上記第4の実施形態におけるアクセストランジスタと略同一の構成を有する。よって、本実施形態は、上記第4の実施形態と略同一の作用および効果を奏する。一方、入出力回路用トランジスタ810は、活性領域812の上を覆う第1ゲート絶縁膜813を有している。

【0143】

20

(第9の実施形態)

以下、本発明の第9の実施形態に係る半導体記憶装置およびその製造方法について、図面を参照しながら説明する。本実施形態では、SRAMセルのアクセストランジスタは上記第6の実施形態と略同一の構成を有しており、周辺回路の入出力回路用トランジスタは上記第6の実施形態における第1および第2ゲート絶縁膜を有している。

【0144】

図16(a)~(f)は、本実施形態に係る半導体記憶装置9の製造方法を示す断面図である。

【0145】

まず、シリコン基板100の上に、複数の活性領域および複数の素子分離領域を形成する。その後、図16(a)に示すように、一部の活性領域をSRAMセルのアクセストランジスタ900の活性領域102とし、残りの一部の活性領域を周辺回路の入出力回路用トランジスタ910の活性領域912とする。

30

【0146】

次に、図16(b)に示すように、例えば熱酸化法を用いて、活性領域101に第1ゲート絶縁膜903を設け、活性領域912に第1ゲート絶縁膜913を設ける。第1ゲート絶縁膜903、913としては、それぞれ、上記第6の実施形態における第1ゲート絶縁膜603を用いることができる。

【0147】

次に、図16(c)に示すように、第1ゲート絶縁膜903の上面における中央においてレジスト膜908が残存するようにレジスト膜908をパターニングする。また、第1ゲート絶縁膜913の上面全体を覆うようにレジスト膜918を設ける。

40

【0148】

次に、レジスト膜908をマスクとして第1ゲート絶縁膜903に対してエッチングを行い、レジスト膜918をマスクとして、第1ゲート絶縁膜913に対してエッチングを行う。これにより、図16(d)に示すように、第1ゲート絶縁膜913は除去されないが、第1ゲート絶縁膜903のうちレジスト膜908に覆われていない部分が除去されて活性領域102のうち周縁部分が露出する。

【0149】

次に、図16(e)に示すように、例えば熱酸化法を用いて、第2ゲート絶縁膜904

50

をアクセストランジスタ 900 に設け、第 2 ゲート絶縁膜 914 を入出力回路用トランジスタ 910 に設ける。具体的には、第 2 ゲート絶縁膜 904 を、図 16 (d) に示す工程において露出した部分 102 a、第 1 ゲート絶縁膜 903 および素子分離領域 101 を覆うように設ける。また、第 2 ゲート絶縁膜 914 を、第 1 ゲート絶縁膜 913 および素子分離領域 101 を覆うように設ける。ここで、第 2 ゲート絶縁膜 904、914 としては、それぞれ、上記第 6 の実施形態における第 2 ゲート絶縁膜 604 を用いることができる。これにより、活性領域 102 の上にゲート絶縁層 905 が形成され、活性領域 912 の上にゲート絶縁層 915 が形成される。

【0150】

その後、図 16 (f) に示すように、導電膜（例えばポリシリコン膜）を堆積しリソグラフィを行うことにより、ゲート絶縁層 905、915 の上にそれぞれゲート電極 106、106 を形成する。これにより、本実施形態に係る半導体記憶装置 9 が形成される。

10

【0151】

なお、本実施形態では、第 2 ゲート絶縁膜 904 を形成した後に第 1 ゲート絶縁膜 903 を形成してもよい。

【0152】

以上説明したように、本実施形態では、アクセストランジスタ 900 は、上記第 6 の実施形態におけるアクセストランジスタと略同一の構成を有する。よって、本実施形態は、上記第 6 の実施形態と略同一の作用および効果を奏する。一方、入出力回路用トランジスタ 910 はゲート絶縁膜 915 を有しており、ゲート絶縁膜 915 は活性領域 912 の上を覆う第 1 ゲート絶縁膜 913 および第 1 ゲート絶縁膜 913 を覆う第 2 ゲート絶縁膜 914 を有している。

20

【0153】

（その他の実施形態）

本発明の上記第 1～第 9 の実施形態においては、アクセストランジスタを一例として説明したが、これに限定されるものではなくドライブトランジスタおよび負荷トランジスタにおいても本発明は成立する。

【0154】

また、上記第 7 の実施形態では、アクセストランジスタは上記第 1 の実施形態におけるアクセストランジスタと略同一の構成を有していても良い。同様に、上記第 8 の実施形態では、アクセストランジスタは上記第 3 の実施形態におけるアクセストランジスタと略同一の構成を有していても良く、上記第 9 の実施形態では、アクセストランジスタは上記第 5 の実施形態におけるアクセストランジスタと略同一の構成を有していても良い。

30

【産業上の利用可能性】

【0155】

以上説明したように、本発明の半導体記憶装置およびその製造方法は、SRAMセルを構成するNMOSTランジスタの寸法精度を向上し、トランジスタ特性のばらつきを低減すること、およびSRAMセルサイズを縮小し、高集積化を図ることが可能となるものであり、特に、SRAMセルの特性のばらつきを低減するとともにセル面積を縮小し高密度に集積化する方法などに有用である。

40

【図面の簡単な説明】

【0156】

【図 1】(a) は本発明の第 1 の実施形態に係る半導体記憶装置の構造を示す平面図であり、(b) は (a) に示す I B - I B 線における断面図である。

【図 2】(a) ~ (e) は本発明の第 1 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 3】(a) は本発明の第 2 の実施形態に係る半導体記憶装置の構造を示す平面図であり、(b) は (a) に示す I I I B - I I I B 線における断面図である。

【図 4】(a) ~ (e) は本発明の第 2 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

50

【図 5】(a) は本発明の第 1 の実施形態において製造プロセス中にマスクズレが発生していない場合、(b) は本発明の第 1 の実施形態において製造プロセス中にマスクズレが発生している場合、(c) は本発明の第 2 の実施形態において製造プロセス中にマスクズレが発生していない場合、(d) は本発明の第 2 の実施形態において製造プロセス中にマスクズレが発生している場合、の半導体層記憶装置の断面図である。

【図 6】(a) は本発明の第 3 の実施形態に係る半導体記憶装置の構造を示す平面図であり、(b) は(a) に示す V I B - V I B 線における断面図である。

【図 7】(a) ~ (e) は本発明の第 3 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 8】(a) は本発明の第 4 の実施形態に係る半導体記憶装置の構造を示す平面図であり、(b) は(a) に示す V I I I B - V I I I B 線における断面図である。

【図 9】(a) ~ (e) は本発明の第 4 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 10】(a) は本発明の第 5 の実施形態に係る半導体記憶装置の構造を示す平面図であり、(b) は(a) に示す X B - X B 線における断面図である。

【図 11】(a) ~ (e) は本発明の第 5 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 12】(a) は本発明の第 6 の実施形態に係る半導体記憶装置の構造を示す平面図であり、(b) は(a) に示す X I I B - X I I B 線における断面図である。

【図 13】(a) ~ (e) は本発明の第 6 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 14】(a) ~ (f) は本発明の第 7 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 15】(a) ~ (f) は本発明の第 8 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 16】(a) ~ (f) は本発明の第 9 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図 17】ゲート絶縁膜の膜厚とドレイン電流との関係を示すグラフ図である。

【図 18】(a) は従来 of S R A M セルレイアウトを示す平面図であり、(b) はゲート電極形成後の走査型電子顕微鏡写真図である。

【符号の説明】

【0157】

1 半導体記憶装置

100 半導体基板(シリコン基板)

102 活性領域

103 第1ゲート絶縁膜

104 第2ゲート絶縁膜

105 ゲート絶縁層

Q1, Q1', 700 アクセストランジスタ

710 入出力回路用トランジスタ

712 入出力回路用トランジスタの活性領域

715 入出力回路用トランジスタのゲート絶縁層

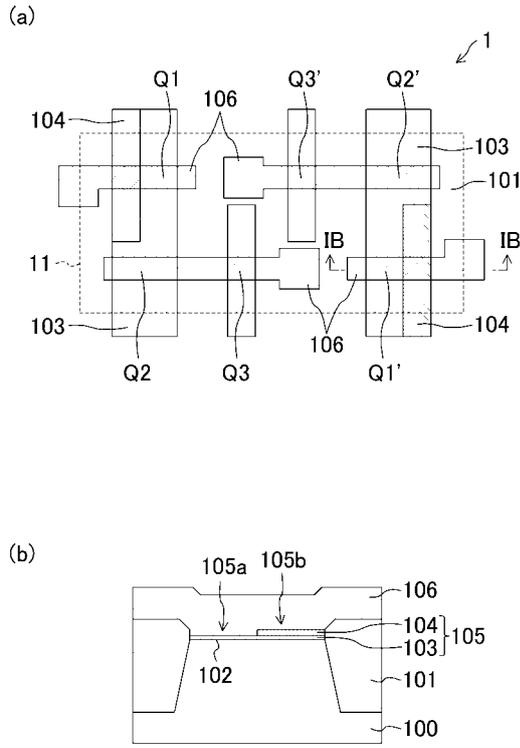
10

20

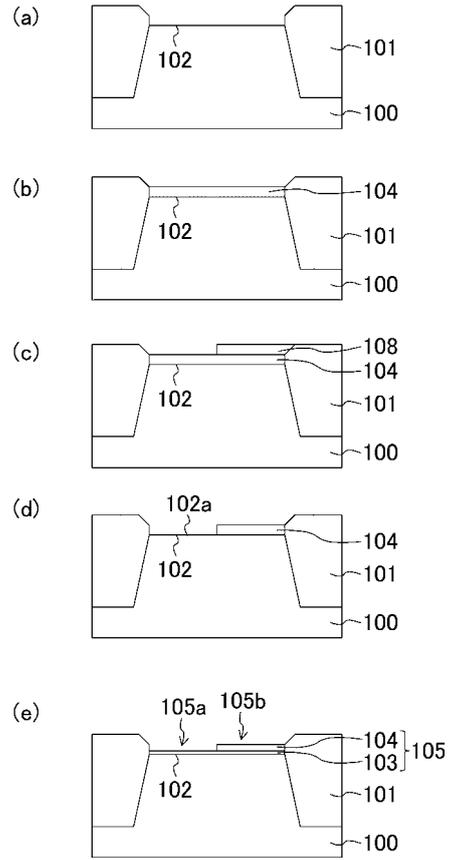
30

40

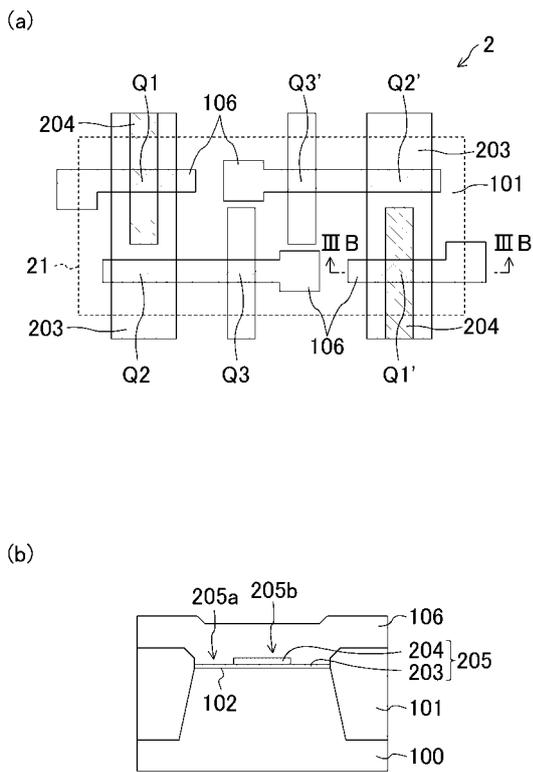
【 図 1 】



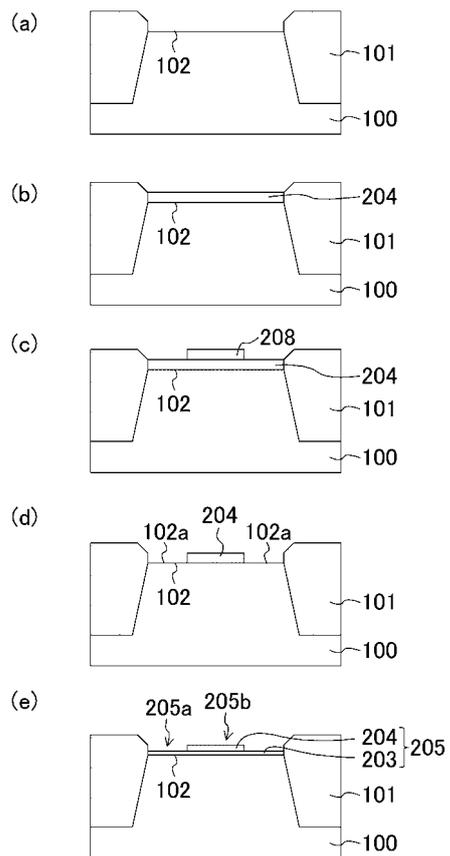
【 図 2 】



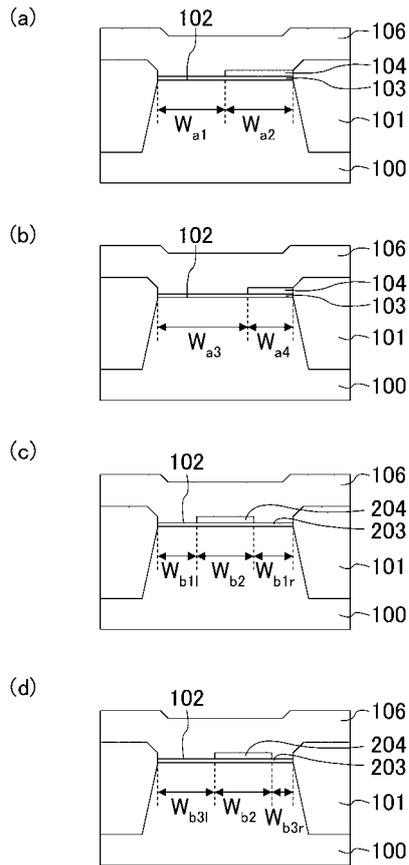
【 図 3 】



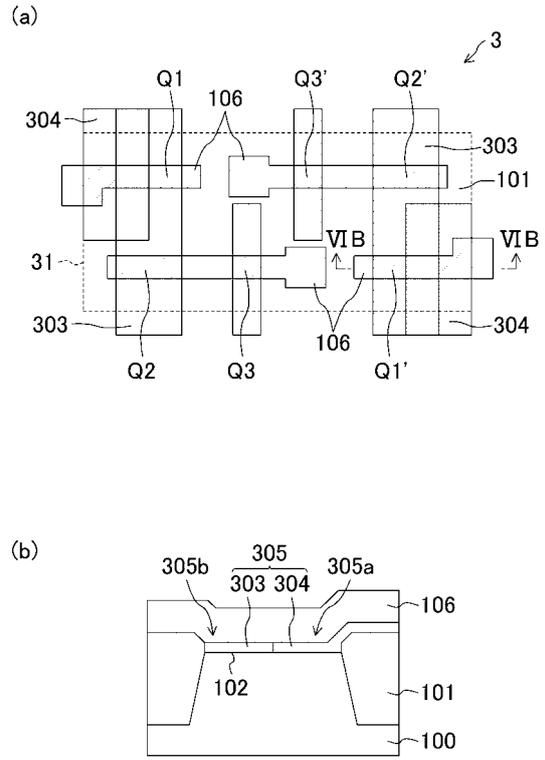
【 図 4 】



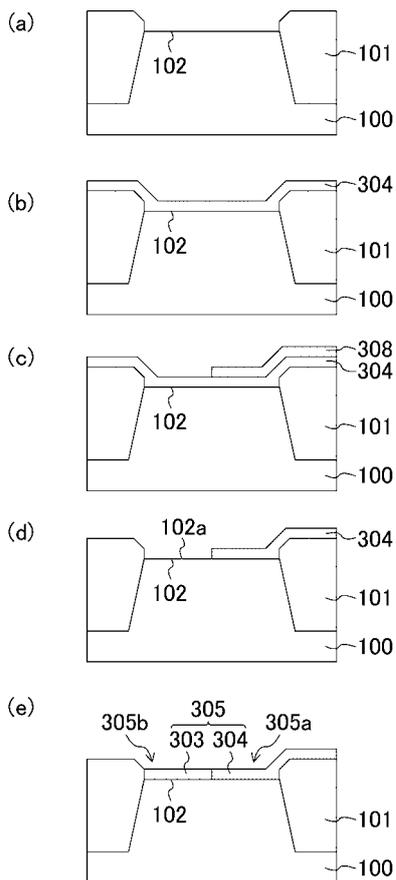
【 図 5 】



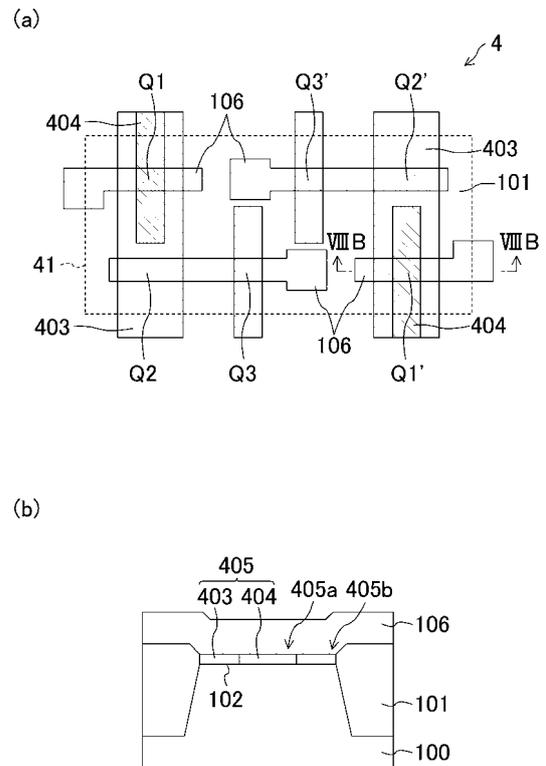
【 図 6 】



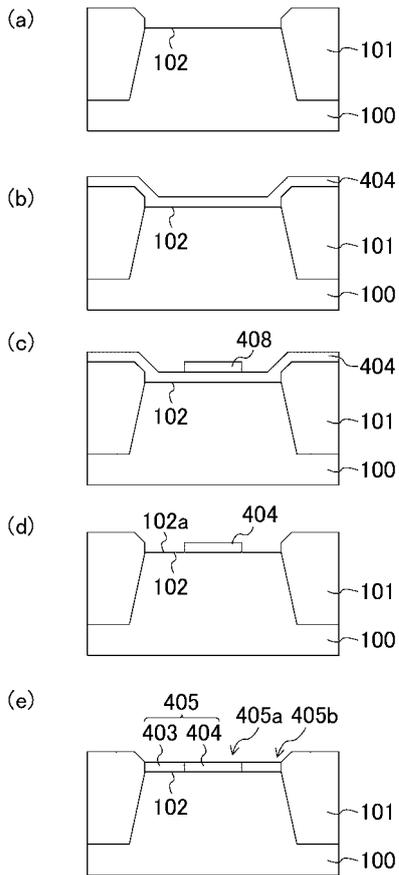
【 図 7 】



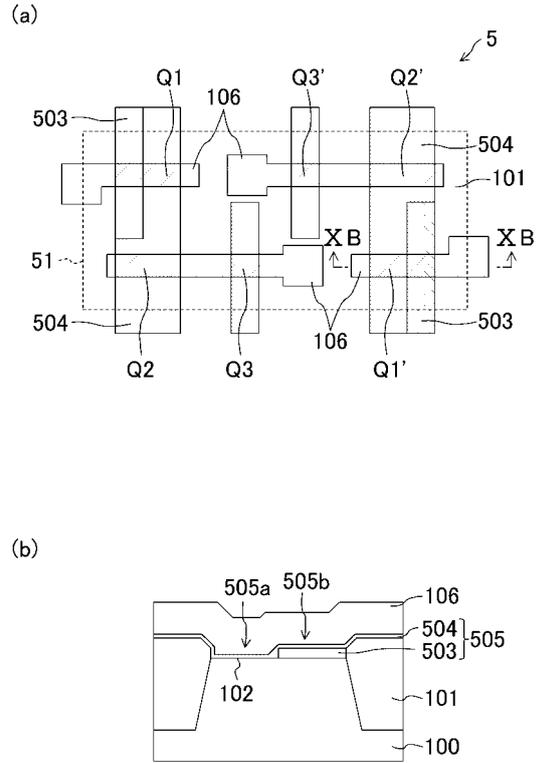
【 図 8 】



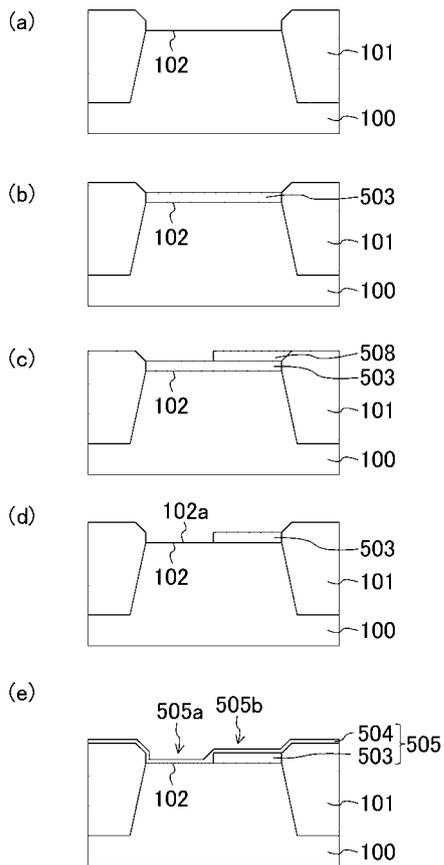
【 図 9 】



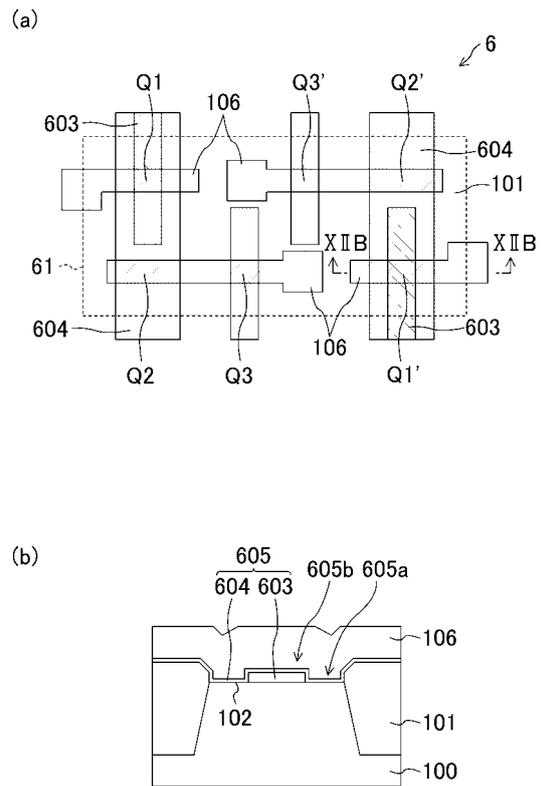
【 図 1 0 】



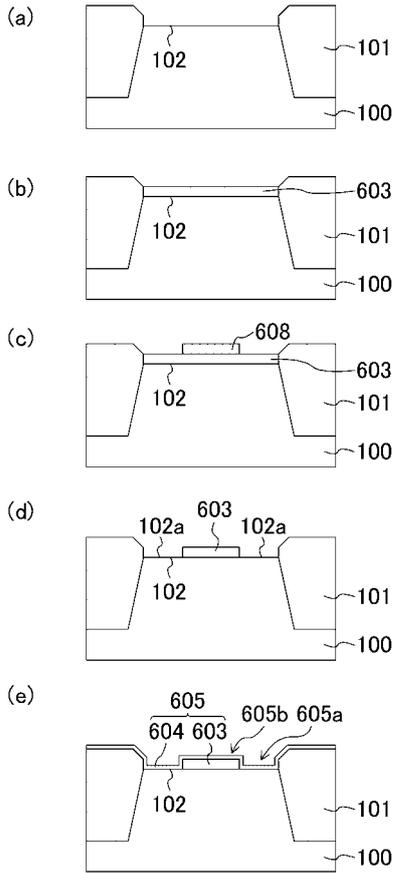
【 図 1 1 】



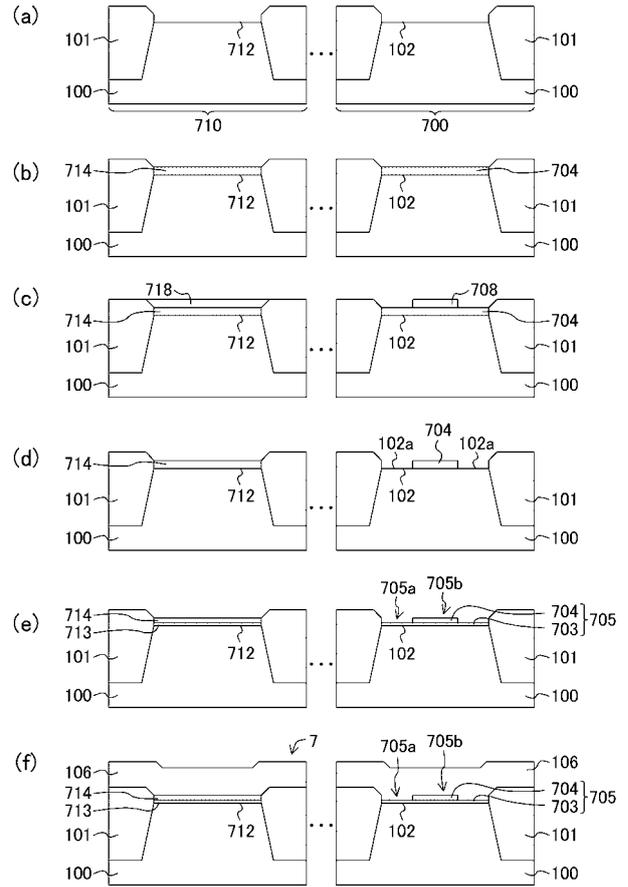
【 図 1 2 】



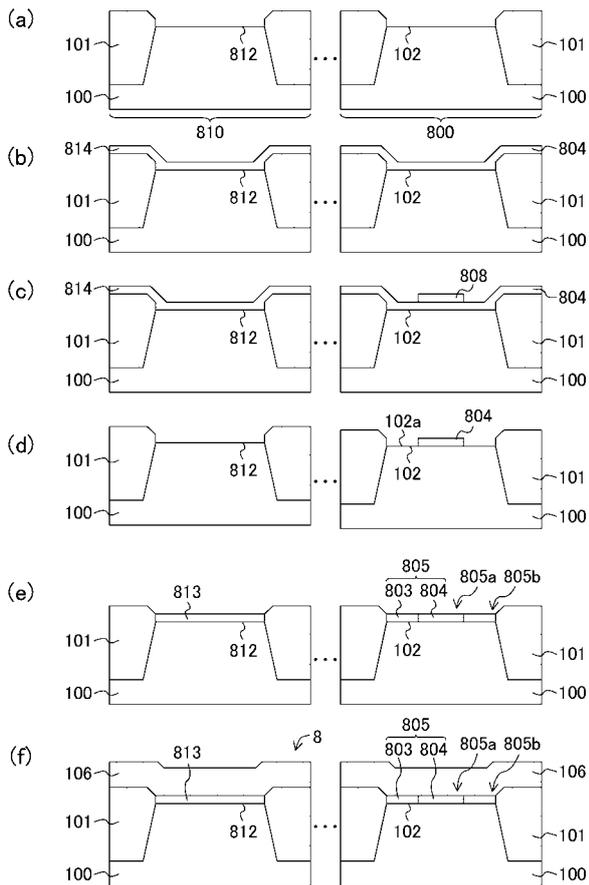
【 図 1 3 】



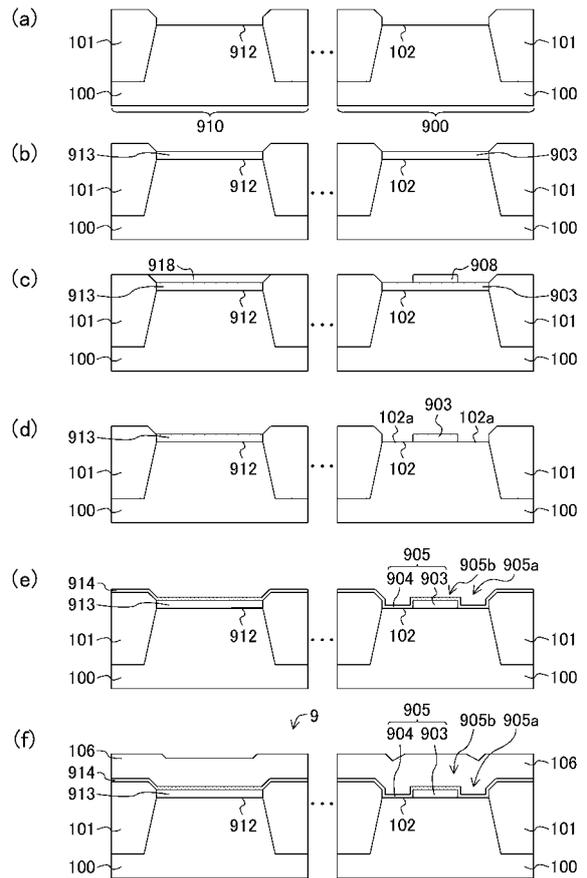
【 図 1 4 】



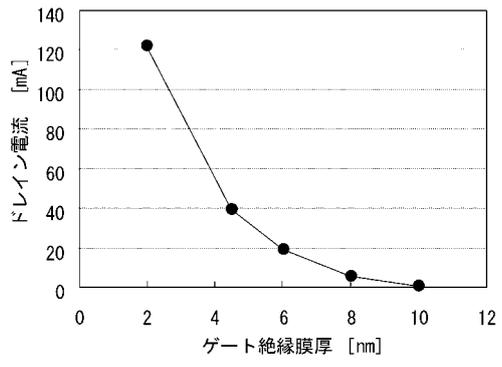
【 図 1 5 】



【 図 1 6 】

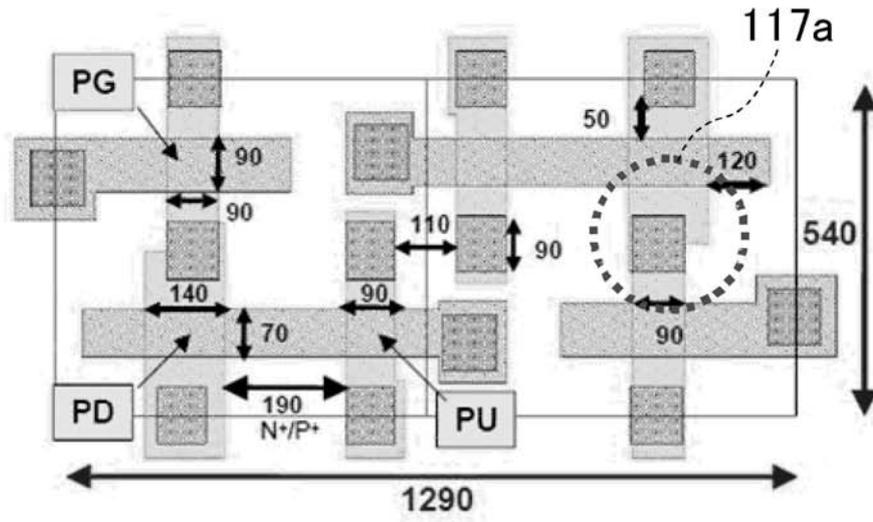


【 図 1 7 】

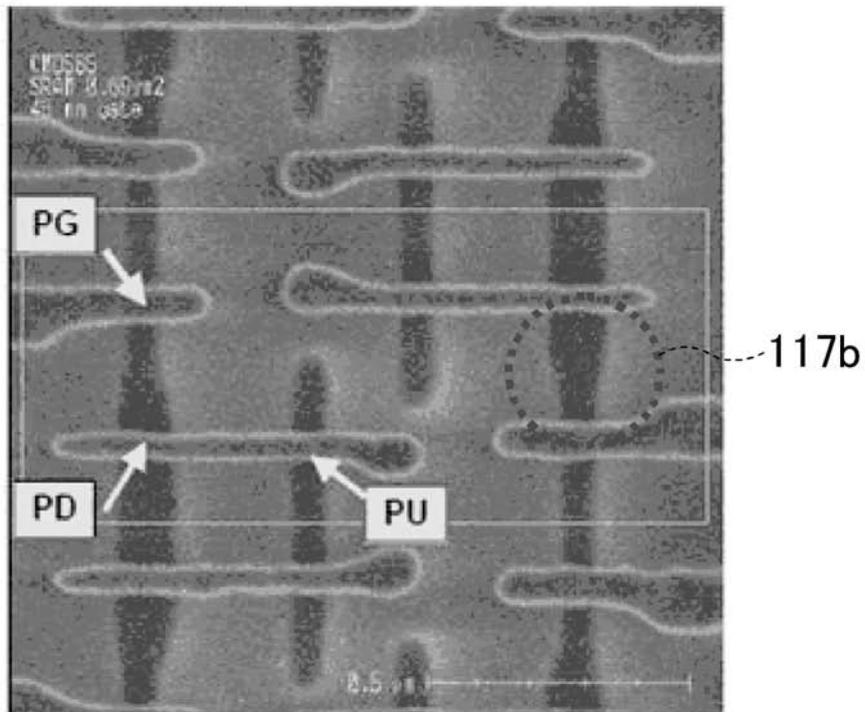


【 図 18 】

(a)



(b)



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 岸本 武久

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5F048 AA01 AA07 AB01 AC01 BA01 BB01 BB05 BB11 BB16 BB17
BG13
5F083 BS02 BS03 BS12 BS14 BS15 BS24 BS27 BS43 GA09 GA11
GA27 JA02 JA05 JA06 LA01 PR01
5F140 AA39 AC32 BA01 BC06 BD01 BD05 BD09 BD11 BD16 BD18
BE07 BE09 BE10 BE11 BF01 BF04 CB04 CB08