

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6717270号
(P6717270)

(45) 発行日 令和2年7月1日(2020.7.1)

(24) 登録日 令和2年6月15日(2020.6.15)

(51) Int.Cl.		F I			
HO 1 L 25/07	(2006.01)	HO 1 L	25/04		C
HO 1 L 25/18	(2006.01)	HO 2 M	7/48		Z
HO 2 M 7/48	(2007.01)				

請求項の数 8 (全 23 頁)

(21) 出願番号	特願2017-145786 (P2017-145786)	(73) 特許権者	000004260
(22) 出願日	平成29年7月27日 (2017.7.27)		株式会社デンソー
(65) 公開番号	特開2019-29457 (P2019-29457A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成31年2月21日 (2019.2.21)	(74) 代理人	100106149
審査請求日	令和1年7月22日 (2019.7.22)		弁理士 矢作 和行
		(74) 代理人	100121991
			弁理士 野々部 泰平
		(74) 代理人	100145595
			弁理士 久保 貴則
		(72) 発明者	荒井 俊介
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	平光 真二
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 半導体モジュール

(57) 【特許請求の範囲】

【請求項1】

ゲート電極(14a)と、主電流が流れる第1主電極(14b)及び第2主電極(14c)と、を有し、互いに並列接続された複数のスイッチング素子(12, 13, 34)と、

外部接続端子としての、第1主端子(21)及び第2主端子(22)と、

前記スイッチング素子を通じた前記第1主端子と前記第2主端子との間の電流経路としての、前記第1主電極のそれぞれと前記第1主端子との間に形成される第1電流経路(25, 26)及び前記第2主電極のそれぞれと前記第2主端子との間に形成される第2電流経路(27, 28)と、を備え、

任意の前記スイッチング素子における前記第2電流経路である任意電流経路の自己インダクタンスを L_{sn} 、前記任意電流経路を除く他の前記電流経路と前記任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数の前記スイッチング素子及び前記電流経路が配置され、

前記スイッチング素子として、第1スイッチング素子及び第2スイッチング素子の2つを備え、

前記第1スイッチング素子における前記第2電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを M_1 とし、前記第2スイッチング素子における前記第2電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを M_2 とすると、

$Ls1 = Ls2$ 、且つ、 $M1 = M2$ となるように複数の前記スイッチング素子及び前記電流経路が配置され、

2つの前記スイッチング素子は、一面側に前記第1主電極が形成され、前記一面と反対の裏面側に前記第2主電極及び前記ゲート電極が形成されるとともに、それぞれの前記一面が同じ側となるように並んで配置され、

前記第1主端子が2本連なり、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体板(15)と、前記第2主端子が1本連なり、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板(19)と、をさらに備え、

前記第2主端子と前記第2導体板との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

前記第1主端子と前記第1導体板との連結部分である第1連結部は、前記第2連結部に対して前記並び方向における両側に設けられ、

2本の前記第1主端子と前記第1導体板とが、一体的に設けられている半導体モジュール。

【請求項2】

ゲート電極(14a)と、主電流が流れる第1主電極(14b)及び第2主電極(14c)と、を有し、互いに並列接続された複数のスイッチング素子(12, 13, 34)と

外部接続端子としての、第1主端子(21)及び第2主端子(22)と、

前記スイッチング素子を通じた前記第1主端子と前記第2主端子との間の電流経路としての、前記第1主電極のそれぞれと前記第1主端子との間に形成される第1電流経路(25, 26)及び前記第2主電極のそれぞれと前記第2主端子との間に形成される第2電流経路(27, 28)と、を備え、

任意の前記スイッチング素子における前記第2電流経路である任意電流経路の自己インダクタンスを Lsn 、前記任意電流経路を除く他の前記電流経路と前記任意電流経路との相互インダクタンスを Mn 、 Lsn と Mn との和を Ln とすると、各スイッチング素子の Ln が互いに等しくなるように、複数の前記スイッチング素子及び前記電流経路が配置され、

前記スイッチング素子として、第1スイッチング素子及び第2スイッチング素子の2つを備え、

前記第1スイッチング素子における前記第2電流経路の自己インダクタンスを $Ls1$ 、相互インダクタンスを $M1$ とし、前記第2スイッチング素子における前記第2電流経路の自己インダクタンスを $Ls2$ 、相互インダクタンスを $M2$ とすると、

$Ls1 = Ls2$ 、且つ、 $M1 = M2$ となるように複数の前記スイッチング素子及び前記電流経路が配置され、

2つの前記スイッチング素子は、一面側に前記第1主電極が形成され、前記一面と反対の裏面側に前記第2主電極及び前記ゲート電極が形成されるとともに、それぞれの前記一面が同じ側となるように並んで配置され、

前記第1主端子が2本連なり、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体板(15)と、前記第2主端子が1本連なり、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板(19)と、をさらに備え、

前記第2主端子と前記第2導体板との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

前記第1主端子と前記第1導体板との連結部分である第1連結部は、前記第2連結部に対して前記並び方向における両側に設けられ、

前記第2主端子と前記第2導体板とが、一体的に設けられている半導体モジュール。

【請求項3】

ゲート電極(14a)と、主電流が流れる第1主電極(14b)及び第2主電極(14

10

20

30

40

50

c) と、を有し、互いに並列接続された複数のスイッチング素子 (12, 13, 34) と、

外部接続端子としての、第1主端子 (21) 及び第2主端子 (22) と、

前記スイッチング素子を通じた前記第1主端子と前記第2主端子との間の電流経路としての、前記第1主電極のそれぞれと前記第1主端子との間に形成される第1電流経路 (25, 26) 及び前記第2主電極のそれぞれと前記第2主端子との間に形成される第2電流経路 (27, 28) と、を備え、

任意の前記スイッチング素子における前記第2電流経路である任意電流経路の自己インダクタンスを L_{sn} 、前記任意電流経路を除く他の前記電流経路と前記任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数の前記スイッチング素子及び前記電流経路が配置され、

前記スイッチング素子として、第1スイッチング素子及び第2スイッチング素子の2つを備え、

前記第1スイッチング素子における前記第2電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを $M1$ とし、前記第2スイッチング素子における前記第2電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを $M2$ とすると、

$L_{s1} = L_{s2}$ 、且つ、 $M1 = M2$ となるように複数の前記スイッチング素子及び前記電流経路が配置され、

2つの前記スイッチング素子は、一面側に前記第1主電極が形成され、前記一面と反対の裏面側に前記第2主電極及び前記ゲート電極が形成されるとともに、それぞれの前記一面が同じ側となるように並んで配置され、

前記第1主端子が1本連なり、2つの前記スイッチング素子の第1主電極がともに電気的に接続された第1導体板 (15) と、前記第2主端子が2本連なり、2つの前記スイッチング素子の第2主電極がともに電気的に接続された第2導体板 (19) と、をさらに備え、

前記第1主端子と前記第1導体板との連結部分である第1連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

前記第2主端子と前記第2導体板との連結部分である第2連結部は、前記第1連結部に対して前記並び方向における両側に設けられている半導体モジュール。

【請求項4】

ゲート電極 (14a) と、主電流が流れる第1主電極 (14b) 及び第2主電極 (14c) と、を有し、互いに並列接続された複数のスイッチング素子 (12, 13, 34) と、

外部接続端子としての、第1主端子 (21) 及び第2主端子 (22) と、

前記スイッチング素子を通じた前記第1主端子と前記第2主端子との間の電流経路としての、前記第1主電極のそれぞれと前記第1主端子との間に形成される第1電流経路 (25, 26) 及び前記第2主電極のそれぞれと前記第2主端子との間に形成される第2電流経路 (27, 28) と、を備え、

任意の前記スイッチング素子における前記第2電流経路である任意電流経路の自己インダクタンスを L_{sn} 、前記任意電流経路を除く他の前記電流経路と前記任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数の前記スイッチング素子及び前記電流経路が配置され、

前記スイッチング素子として、第1スイッチング素子及び第2スイッチング素子の2つを備え、

前記第1スイッチング素子における前記第2電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを $M1$ とし、前記第2スイッチング素子における前記第2電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを $M2$ とすると、

$L_{s1} = L_{s2}$ 、且つ、 $M1 = M2$ となるように複数の前記スイッチング素子及び前記

10

20

30

40

50

電流経路が配置され、

2つの前記スイッチング素子は、一面側に前記第1主電極が形成され、前記一面と反対の裏面側に前記第2主電極及び前記ゲート電極が形成されるとともに、それぞれの前記一面が同じ側となるように並んで配置され、

前記第1主端子が1本連なり、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体板(15)と、前記第2主端子が1本連なり、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板(19)と、をさらに備え、

前記第1主端子と前記第1導体板との連結部分である第1連結部、及び、前記第2主端子と前記第2導体板との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において2つの前記スイッチング素子の間にのみそれぞれ設けられている半導体モジュール。

10

【請求項5】

一面側に形成された第1主電極(14b)と、前記一面と反対の裏面側に形成された第2主電極(14c)及びゲート電極(14a)と、を有し、それぞれの前記一面が同じ側となるように並んで配置されるとともに、互いに並列接続された2つのスイッチング素子(12, 13)と、

外部接続端子としての、第1主端子(21)及び第2主端子(22)と、

前記第1主端子が2本連なっており、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体板(15)と、前記第2主端子が1本連なっており、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板(19)と、を備え、

20

前記第2主端子と前記第2導体板との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

前記第1主端子と前記第1導体板との連結部分である第1連結部は、前記第2連結部に対して前記並び方向における両側に設けられ、

2本の前記第1主端子は、前記第1導体板と一体的に設けられている半導体モジュール

。

【請求項6】

一面側に形成された第1主電極(14b)と、前記一面と反対の裏面側に形成された第2主電極(14c)及びゲート電極(14a)と、を有し、それぞれの前記一面が同じ側となるように並んで配置されるとともに、互いに並列接続された2つのスイッチング素子(12, 13)と、

30

外部接続端子としての、第1主端子(21)及び第2主端子(22)と、

前記第1主端子が2本連なっており、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体板(15)と、前記第2主端子が1本連なっており、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板(19)と、を備え、

前記第2主端子と前記第2導体板との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

40

前記第1主端子と前記第1導体板との連結部分である第1連結部は、前記第2連結部に対して前記並び方向における両側に設けられ、

前記第2主端子と前記第2導体板とが、一体的に設けられている半導体モジュール。

【請求項7】

一面側に形成された第1主電極(14b)と、前記一面と反対の裏面側に形成された第2主電極(14c)及びゲート電極(14a)と、を有し、それぞれの前記一面が同じ側となるように並んで配置されるとともに、互いに並列接続された2つのスイッチング素子(12, 13)と、

外部接続端子としての、第1主端子(21)及び第2主端子(22)と、

前記第1主端子が1本連なっており、2つの前記スイッチング素子の第1主電極がとも

50

に電氣的に接続された第1導体板(15)と、前記第2主端子が2本連なっており、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体板(19)と、を備え、

前記第1主端子と前記第1導体板との連結部分である第1連結部は、2つの前記スイッチング素子の並び方向において、2つの前記スイッチング素子の間に設けられ、

前記第2主端子と前記第2導体板との連結部分である第2連結部は、前記第1連結部に対して前記並び方向における両側に設けられている半導体モジュール。

【請求項8】

ゲート電極(14a)と、主電流が流れる第1主電極(14b)及び第2主電極(14c)と、を有し、互いに並列接続された2つのスイッチング素子(12, 13)と、

外部接続端子としての、第1主端子(21)及び第2主端子(22)と、

前記第1主端子が1本連なり、2つの前記スイッチング素子の第1主電極がともに電氣的に接続された第1導体部(15, 30)と、

前記第2主端子が1本連なり、2つの前記スイッチング素子の第2主電極がともに電氣的に接続された第2導体部(19, 31, 32, 33)と、を備え、

前記第1主端子と前記第1導体部との連結部分である第1連結部、及び、前記第2主端子と前記第2導体部との連結部分である第2連結部は、2つの前記スイッチング素子の並び方向において2つの前記スイッチング素子の間にのみそれぞれ設けられている半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

この明細書における開示は、互いに並列接続された複数のスイッチング素子を備える半導体モジュールに関する。

【背景技術】

【0002】

特許文献1には、互いに並列接続された複数のスイッチング素子を備える半導体モジュールが開示されている。スイッチング素子は、ゲート電極と、主電流が流れる第1主電極及び第2主電極を有している。半導体モジュールは、スイッチング素子に加えて、外部接続端子としての第1主端子及び第2主端子を備えている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-188346号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記した半導体モジュールは、たとえばスイッチング素子を2つ内蔵している。2つのスイッチング素子は、1つのドライバにより同時に駆動する。以下、2つのスイッチング素子の一方を第1スイッチング素子、他方を第2スイッチング素子と示す。

【0005】

半導体モジュールは、第1主端子及び第2主端子をそれぞれ1つずつ備えている。そして、2つのスイッチング素子の並び方向に沿って第1主端子及び第2主端子が横並びで配置されている。上記した並び方向において、第1主端子が第1スイッチング素子側に偏って配置され、第2主端子が第2スイッチング素子側に偏って配置されている。

【0006】

このため、第1スイッチング素子と第2スイッチング素子とで、第2主電極(たとえばエミッタ電極)と第2主端子(たとえばエミッタ端子)との間に形成される電流経路の自己インダクタンスに差異が生じる。このような自己インダクタンスの差異は、上記した電流経路の寄生インダクタンスの差異につながる。寄生インダクタンスが異なると、スイッ

10

20

30

40

50

チング時において寄生インダクタンスに異なる電圧が誘起されるため、第1スイッチング素子と第2スイッチング素子とでゲート電圧がアンバランスとなる。すなわち、2つのスイッチング素子に流れる電流にアンバランス(偏り)が生じる。

【0007】

本開示はこのような課題に鑑みてなされたものであり、スイッチング時における電流アンバランスを抑制できる半導体モジュールを提供することを目的とする。

【課題を解決するための手段】

【0008】

本開示は、上記目的を達成するために以下の技術的手段を採用する。なお、括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、技術的範囲を限定するものではない。

【0009】

本開示のひとつである半導体モジュールは、

ゲート電極(14a)と、主電流が流れる第1主電極(14b)及び第2主電極(14b)と、を有し、互いに並列接続された複数のスイッチング素子(12, 13, 34)と、

外部接続端子としての、第1主端子(21)及び第2主端子(22)と、

スイッチング素子を通じた第1主端子と第2主端子との間の電流経路としての、第1主電極のそれぞれと第1主端子との間に形成される第1電流経路(25, 26)及び第2主電極のそれぞれと第2主端子との間に形成される第2電流経路(27, 28)と、を備え

任意のスイッチング素子における第2電流経路である任意電流経路の自己インダクタンスを L_{sn} 、任意電流経路を除く他の電流経路と任意電流経路との相互インダクタンスを M_n 、 L_{sn} と M_n との和を L_n とすると、各スイッチング素子の L_n が互いに等しくなるように、複数のスイッチング素子及び電流経路が配置され、

スイッチング素子として、第1スイッチング素子及び第2スイッチング素子の2つを備え、

第1スイッチング素子における第2電流経路の自己インダクタンスを L_{s1} 、相互インダクタンスを $M1$ とし、第2スイッチング素子における第2電流経路の自己インダクタンスを L_{s2} 、相互インダクタンスを $M2$ とすると、

$L_{s1} = L_{s2}$ 、且つ、 $M1 = M2$ となるように複数のスイッチング素子及び電流経路が配置され、

2つのスイッチング素子は、一面側に第1主電極が形成され、一面と反対の裏面側に第2主電極及びゲート電極が形成されるとともに、それぞれの一面が同じ側となるように並んで配置され、

第1主端子が2本連なり、2つのスイッチング素子の第1主電極がともに電氣的に接続された第1導体板(15)と、第2主端子が1本連なり、2つのスイッチング素子の第2主電極がともに電氣的に接続された第2導体板(19)と、をさらに備え、

第2主端子と第2導体板との連結部分である第2連結部は、2つのスイッチング素子の並び方向において、2つのスイッチング素子の間に設けられ、

第1主端子と第1導体板との連結部分である第1連結部は、第2連結部に対して並び方向における両側に設けられ、

2本の第1主端子と第1導体板とが、一体的に設けられている。

【0010】

本発明者が鋭意検討したところ、第2電流経路の自己インダクタンスの差異だけでなく、第2電流経路と他の電流経路との相互インダクタンスの差異も、寄生インダクタンスの差異の要因であることが明らかとなった。

【0011】

この半導体モジュールでは、上記知見を活かし、第2電流経路の自己インダクタンス L_{sn} だけでなく、第2電流経路と他の電流経路との相互インダクタンス M_n も考慮して、

10

20

30

40

50

スイッチング素子及び電流経路が配置されている。したがって、スイッチング時における複数のスイッチング素子におけるゲート電圧のアンバランス、ひいては電流アンバランスを抑制することができる。

【図面の簡単な説明】

【0012】

【図1】第1実施形態の半導体モジュールが適用される電力変換装置の概略構成を示す図である。

【図2】第1実施形態の半導体モジュールを示す平面図である。

【図3】図2のIII-III線に沿う断面図である。

【図4】図2のIV-IV線に沿う断面図である。

10

【図5】主端子側から見た平面図である。

【図6】インダクタンスを考慮した等価回路図である。

【図7】IGBTと主端子の位置関係を示す平面図である。

【図8】第1変形例を示す平面図である。

【図9】第2変形例を示す平面図である。

【図10】第2実施形態に係る半導体モジュールにおけるIGBTと主端子の位置関係を示す平面図であり、図7に対応している。

【図11】第3実施形態に係る半導体モジュールにおけるIGBTと主端子の位置関係を示す平面図であり、図7に対応している。

【図12】第3変形例を示す平面図である。

20

【図13】第4実施形態に係る半導体モジュールを示す平面図である。

【図14】第4変形例を示す平面図である。

【図15】第5変形例を示す平面図である。

【図16】その他の第6変形例を示す平面図である。

【発明を実施するための形態】

【0013】

図面を参照しながら、複数の実施形態を説明する。複数の実施形態において、機能的に及び/又は構造的に対応する部分には同一の参照符号を付与する。以下において、スイッチング素子の厚み方向をZ方向、Z方向に直交し、2つのスイッチング素子の並び方向をX方向と示す。また、Z方向及びX方向の両方向に直交する方向をY方向と示す。特に断わりのない限り、上記したX方向及びY方向により規定されるXY面に沿う形状を平面形状とする。

30

【0014】

(第1実施形態)

まず、図1に基づき、半導体モジュールが適用される電力変換装置について説明する。

【0015】

図1に示す電力変換装置1は、たとえば電気自動車やハイブリッド自動車に搭載される。電力変換装置1は、車両に搭載された直流電源2から供給される直流電圧を、三相交流に変換して、三相交流方式のモータ3に出力するように構成されている。モータ3は、車両の走行駆動源として機能する。電力変換装置1は、モータ3により発電された電力を、直流に変換して直流電源2に充電することもできる。このように、電力変換装置1は、双方向の電力変換が可能となっている。

40

【0016】

電力変換装置1は、平滑コンデンサ4及びインバータ5を有している。平滑コンデンサ4の正極側端子は、直流電源2の高電位側の電極である正極に接続され、負極側端子は、直流電源2の低電位側の電極である負極に接続されている。インバータ5は、入力された直流電力を所定周波数の三相交流に変換し、モータ3に出力する。インバータ5は、モータ3により発電された交流電力を、直流電力に変換する。

【0017】

インバータ5は、6つのアームよりなる。各アームは、半導体モジュール10により構

50

成されている。すなわち、6つの半導体モジュール10により、インバータ5が構成されている。6つのアームのうち、3つが上アーム5Hであり、残りの3つが下アーム5Lである。上アーム5Hと下アーム5Lが直列接続されて、一相分の上下アームが構成されている。上アーム5Hと下アーム5Lとの接続点は、モータ3への出力ライン8に接続されている。そして、三相分の上下アームによってインバータ5が構成されている。

【0018】

本実施形態では、インバータ5を構成するスイッチング素子として、絶縁ゲートバイポーラトランジスタ（以下、IGBTと示す）を採用している。半導体モジュール10は、互いに並列接続された2つのIGBT12, 13を備えている。IGBT12, 13のそれぞれには、還流用のダイオード12a, 13aが逆並列に接続されている。図1に示す符号14aは、IGBT12, 13のゲート電極である。このように、スイッチング素子はゲート電極14aを有している。並列接続された2つのIGBT12, 13は、1つドライバにより同時に駆動する。換言すれば、2つのIGBT12, 13のゲート電極14aは、互いに同じドライバに電氣的に接続される。

10

【0019】

また、IGBT12, 13としてnチャネル型を採用している。上アーム5Hにおいて、IGBT12, 13のコレクタ電極14bが、高電位電源ライン6と電氣的に接続されている。下アーム5Lにおいて、IGBT12, 13のエミッタ電極14cが、低電位電源ライン7と電氣的に接続されている。そして、上アーム5HにおけるIGBT12, 13のエミッタ電極14cと、下アーム5LにおけるIGBT12, 13のコレクタ電極14bが相互に接続されている。

20

【0020】

電力変換装置1は、上記したインバータ5に加えて、直流電源2から供給される直流電圧を昇圧する昇圧コンバータ、インバータ5や昇圧コンバータを構成するスイッチング素子の動作を制御するゲート駆動回路などを有してもよい。

【0021】

次に、図2～図5に基づき、半導体モジュール10の概略構成について説明する。

【0022】

図2～図5に示すように、半導体モジュール10は、封止樹脂体11、IGBT12, 13、第1ヒートシンク15、ターミナル17、第2ヒートシンク19、第1主端子21、第2主端子22、及び信号端子23を備えている。

30

【0023】

封止樹脂体11は、たとえばエポキシ系樹脂からなる。封止樹脂体11は、たとえばトランスファモールド法により成形されている。図2～図4に示すように、封止樹脂体11は、Z方向に直交する一面11aと、一面11aと反対の裏面11bと、一面11aと裏面11bとをつなぐ側面と、を有している。一面11a及び裏面11bは、たとえば平坦面となっている。

【0024】

半導体素子としてのIGBT12, 13は、シリコンやシリコンカーバイドなどの半導体基板（半導体チップ）に構成されている。IGBT12, 13が、互いに並列接続されたスイッチング素子に相当する。また、IGBT12が第1スイッチング素子に相当し、IGBT13が第2スイッチング素子に相当する。IGBT12, 13は、回路を構成する素子としての意味合いと、チップとしての意味合いをもつ。

40

【0025】

本実施形態では、上記したようにIGBT12, 13がいずれもnチャネル型とされている。IGBT12, 13には、上記した還流用のダイオード12a, 13aも一体的に形成されている。詳しくは、IGBT12にダイオード12bが形成され、IGBT13にダイオード13aが形成されている。このように、IGBT12, 13として、RC（Reverse Conducting）-IGBTを採用している。

【0026】

50

I G B T 1 2 , 1 3 は、Z 方向に電流が流れるように縦型構造をなしている。図示を省略するが、I G B T 1 2 , 1 3 には、上記したゲート電極 1 4 a もそれぞれ形成されている。ゲート電極 1 4 a はトレンチ構造をなしている。また、図 3 に示すように、I G B T 1 2 , 1 3 の素子の板厚方向、すなわち Z 方向において、I G B T 1 2 , 1 3 の一面にコレクタ電極 1 4 b がそれぞれ形成され、一面と反対の裏面にエミッタ電極 1 4 c がそれぞれ形成されている。コレクタ電極 1 4 b はダイオード 1 2 a , 1 3 a のカソード電極も兼ねており、エミッタ電極 1 4 c はダイオード 1 2 a , 1 3 a のアノード電極も兼ねている。コレクタ電極 1 4 b が第 1 主電極に相当し、エミッタ電極 1 4 c が第 2 主電極に相当する。

【 0 0 2 7 】

I G B T 1 2 , 1 3 は、互いにほぼ同じ平面形状、具体的には平面略矩形形状をなすとともに、互いにほぼ同じ大きさとほぼ同じ厚みを有している。I G B T 1 2 , 1 3 は、互いに同じ構成となっている。I G B T 1 2 , 1 3 は、お互いのコレクタ電極 1 4 b が Z 方向における同じ側となり、お互いのエミッタ電極 1 4 c が Z 方向における同じ側となるように配置されている。I G B T 1 2 , 1 3 は、Z 方向においてほぼ同じ高さに位置するとともに、X 方向において横並びで配置されている。I G B T 1 2 , 1 3 の配置の詳細については後述する。

【 0 0 2 8 】

図 2 及び図 4 に示すように、I G B T 1 2 , 1 3 の裏面、すなわちエミッタ電極形成面には、信号用の電極であるパッド 1 4 d も形成されている。パッド 1 4 d は、エミッタ電極 1 4 c とは別の位置に形成されている。パッド 1 4 d は、エミッタ電極 1 4 c と電氣的に分離されている。パッド 1 4 d は、Y 方向において、エミッタ電極 1 4 c の形成領域とは反対側の端部に形成されている。

【 0 0 2 9 】

本実施形態では、各 I G B T 1 2 , 1 3 が、それぞれ 5 つのパッド 1 4 d を有している。具体的には、5 つのパッド 1 4 d として、ゲート電極用、エミッタ電極 1 4 c の電位を検出するケルビンエミッタ用、電流センス用、I G B T 1 2 , 1 3 の温度を検出する温度センサ（感温ダイオード）のアノード電位用、同じくカソード電位用を有している。5 つのパッド 1 4 d は、平面略矩形形状の I G B T 1 2 において、Y 方向の一端側にまとめて形成されるとともに、X 方向に並んで形成されている。

【 0 0 3 0 】

第 1 ヒートシンク 1 5 は、I G B T 1 2 , 1 3 の熱を半導体モジュール 1 0 の外部に放熱する機能を果たすとともに、配線としての機能も果たす。このため、熱伝導性及び電気伝導性を確保すべく、少なくとも金属材料を用いて形成されている。第 1 ヒートシンク 1 5 は、放熱板とも称される。第 1 ヒートシンク 1 5 が、第 1 導体板に相当する。本実施形態では、第 1 ヒートシンク 1 5 が、Z 方向からの投影視において、I G B T 1 2 , 1 3 を内包するように設けられている。第 1 ヒートシンク 1 5 は、Z 方向において、I G B T 1 2 , 1 3 に対し、封止樹脂体 1 1 の一面 1 1 a 側に配置されている。第 1 ヒートシンク 1 5 は、X 方向を長手方向にして平面略矩形形状をなしている。第 1 ヒートシンク 1 5 の厚みはほぼ一定とされ、その板厚方向は Z 方向に略平行となっている。

【 0 0 3 1 】

第 1 ヒートシンク 1 5 の同一面には、I G B T 1 2 , 1 3 のコレクタ電極 1 4 b が、それぞれ個別にはんだ 1 6 を介して接続されている。第 1 ヒートシンク 1 5 の大部分は封止樹脂体 1 1 によって覆われている。第 1 ヒートシンク 1 5 の表面のうち、I G B T 1 2 , 1 3 とは反対の面である放熱面 1 5 a が、封止樹脂体 1 1 から露出されている。放熱面 1 5 a は、一面 1 1 a と略面一となっている。第 1 ヒートシンク 1 5 の表面のうち、はんだ 1 6 との接続部及び放熱面 1 5 a を除く部分は、封止樹脂体 1 1 によって覆われている。

【 0 0 3 2 】

ターミナル 1 7 は、I G B T 1 2 と第 2 ヒートシンク 1 9 との間、及び、I G B T 1 3 と第 2 ヒートシンク 1 9 との間にそれぞれ介在している。ターミナル 1 7 は、I G B T 1

10

20

30

40

50

2, 13ごとに設けられている。ターミナル17は、IGBT12, 13と第2ヒートシンク19との熱伝導、電気伝導経路の途中に位置するため、熱伝導性及び電気伝導性を確保すべく、少なくとも金属材料を用いて形成されている。ターミナル17は、対応するIGBT12, 13のエミッタ電極14cに対向配置され、はんだ18を介してエミッタ電極14cと電氣的に接続されている。

【0033】

第2ヒートシンク19も、第1ヒートシンク15同様、IGBT12, 13の熱を半導体モジュール10の外部に放熱する機能を果たすとともに、配線としての機能も果たす。第2ヒートシンク19は、放熱板とも称される。第2ヒートシンク19が、第2導体板に相当する。本実施形態では、第2ヒートシンク19も、Z方向からの投影視において、IGBT12, 13を内包するように設けられている。第2ヒートシンク19は、Z方向において、IGBT12, 13に対し、封止樹脂体11の裏面11b側に配置されている。第2ヒートシンク19も、X方向を長手方向にして平面略矩形形状をなしている。矩形の四隅が切り欠かれている。第2ヒートシンク19は、Z方向からの投影視において、第1ヒートシンク15とほぼ一致する。第2ヒートシンク19も厚みがほぼ一定とされ、その板厚方向はZ方向に略平行となっている。

【0034】

第2ヒートシンク19の同一面には、IGBT12, 13のエミッタ電極14cが、それぞれ個別にはんだ20を介して電氣的に接続されている。具体的には、エミッタ電極14cと第2ヒートシンク19とは、はんだ18、ターミナル17、及びはんだ20を介して、電氣的に接続されている。第2ヒートシンク19の大部分は封止樹脂体11によって覆われている。第2ヒートシンク19の表面のうち、IGBT12, 13とは反対の面である放熱面19aが、封止樹脂体11から露出されている。放熱面19aは、裏面11bと略面一となっている。第2ヒートシンク19の表面のうち、はんだ20との接続部及び放熱面19aを除く部分は、封止樹脂体11によって覆われている。

【0035】

第1主端子21及び第2主端子22は、半導体モジュール10と外部機器とを電氣的に接続するための外部接続端子のうち、主電流が流れる主端子である。第1主端子21は、IGBT12, 13のコレクタ電極14bと電氣的に接続されている。このため、第1主端子21は、コレクタ端子とも称される。第1主端子21は、第1ヒートシンク15に連なっており、第1ヒートシンク15からY方向に延設されている。第1主端子21は、第1ヒートシンク15及びはんだ16を介して、コレクタ電極14bと電氣的に接続されている。

【0036】

図2などに示すように、本実施形態では、半導体モジュール10が、2本の第1主端子21を備えている。また、同一の金属板を加工することで、第1主端子21が第1ヒートシンク15と一体的に設けられている。図2に示す符号21aは、第1主端子21が第1ヒートシンク15に連なる部分である第1連結部を示す。第1主端子21の一端が第1連結部21aとされている。

【0037】

第1主端子21は、第1ヒートシンク15よりも厚みが薄くされ、第1ヒートシンク15の放熱面15aと反対の面に略面一で連なっている。第1主端子21は、封止樹脂体11内に屈曲部を有している。第1主端子21は、図5に示すように、封止樹脂体11の側面11cのうち、Z方向における中央付近から外部に突出している。第1主端子21の配置の詳細については後述する。

【0038】

第2主端子22は、IGBT12, 13のエミッタ電極14cと電氣的に接続されている。このため、第2主端子22は、エミッタ端子とも称される。第2主端子22は、第2ヒートシンク19に連なっており、第2ヒートシンク19からY方向であって、第1主端子21と同じ方向に延設されている。第2主端子22は、第2ヒートシンク19、はんだ

10

20

30

40

50

20、ターミナル17、及びはんだ18を介して、エミッタ電極14cと電氣的に接続されている。

【0039】

図2などに示すように、本実施形態では、半導体モジュール10が、1本の第2主端子22を備えている。また、同一の金属板を加工することで、第2主端子22が第2ヒートシンク19と一体的に設けられている。図2及び図4に示す符号22aは、第2主端子22が第2ヒートシンク19に連なる部分である第2連結部を示す。第2主端子22の一端が第2連結部22aとされている。

【0040】

図4に示すように、第2主端子22は、第2ヒートシンク19よりも厚みが薄くされ、第2ヒートシンク19の放熱面19aと反対の面に略面一で連なっている。第2主端子22は、封止樹脂体11内に屈曲部を有している。第2主端子22は、図5に示すように、第1主端子21が突出する側面11cから外部に突出している。第1主端子21同様、第2主端子22も、Z方向における中央付近から外部に突出している。第2主端子22の配置の詳細については後述する。

10

【0041】

信号端子23は、対応するIGBT12, 13のパッド14dに、ボンディングワイヤ24を介して電氣的に接続されている。本実施形態では、アルミニウム系のボンディングワイヤ24を採用している。信号端子23は、封止樹脂体11の内部でボンディングワイヤ24と接続されており、封止樹脂体11の側面、詳しくは側面11cと反対の面から外部に突出している。IGBT12, 13のそれぞれに対応する信号端子23は、Y方向に延設されている。

20

【0042】

以上のように構成される半導体モジュール10では、封止樹脂体11により、IGBT12, 13、第1ヒートシンク15の一部、ターミナル17、第2ヒートシンク19の一部、第1主端子21の一部、第2主端子22の一部、及び信号端子23の一部が、一体的に封止されている。封止樹脂体11によって、IGBT12, 13が封止されている。すなわち、1つのアームを構成する要素が封止されている。このため、半導体モジュール10は、1in1パッケージとも称される。

【0043】

また、第1ヒートシンク15の放熱面15aが、封止樹脂体11の一面11aと略面一とされている。また、第2ヒートシンク19の放熱面19aが、封止樹脂体11の裏面11bと略面一とされている。このように、半導体モジュール10は、放熱面15a, 19aがともに封止樹脂体11から露出された両面放熱構造をなしている。このような半導体モジュール10は、たとえば、第1ヒートシンク15及び第2ヒートシンク19を、封止樹脂体11とともに切削加工することで形成することができる。また、放熱面15a, 19aが、封止樹脂体11を成形する型のキャビティ壁面に接触するようにして、封止樹脂体11を成形することによっても形成することができる。

30

【0044】

次に、図5～図7に基づき、半導体モジュール10における電流経路、及び、IGBT12, 13、第1主端子21、第2主端子22の配置について説明する。なお、図7は、図2に対して封止樹脂体11を省略した図となっている。

40

【0045】

図6は、インダクタンスを考慮した半導体モジュール10の等価回路図である。第1主端子21と第2主端子22との間の主電流が流れる電流経路は、第1電流経路25, 26及び第2電流経路27, 28を含んでいる。第1電流経路25は、第1主端子21の第1連結部21aとIGBT12のコレクタ電極14bとの間に形成されている。第1電流経路26は、第1連結部21aとIGBT13のコレクタ電極14bとの間に形成されている。

【0046】

50

一方、第2電流経路27は、第2主端子22の第2連結部22aとIGBT12のエミッタ電極14cとの間に形成されている。第2電流経路28は、第2連結部22aとIGBT13のエミッタ電極14cとの間に形成されている。第1電流経路25, 26はコレクタ電流の経路であり、第2電流経路27, 28はエミッタ電流の経路である。

【0047】

ここで、第1電流経路25, 26の自己インダクタンスを L_{c1} , L_{c2} と示し、第2電流経路27, 28の自己インダクタンスを L_{s1} , L_{s2} と示す。また、第1電流経路25と第2電流経路27との間の相互インダクタンスを M_{11} 、第2電流経路27と第1電流経路26との間の相互インダクタンスを M_{12} 、第2電流経路28と第1電流経路25との間の相互インダクタンスを M_{21} 、第1電流経路26と第2電流経路28との間の相互インダクタンスを M_{22} と示す。

10

【0048】

並列接続されるIGBT12, 13において、第2電流経路27, 28の自己インダクタンス L_{s1} , L_{s2} に差異が生じると、第2電流経路27, 28の寄生インダクタンスの差異につながる。寄生インダクタンスが異なると、スイッチング時において寄生インダクタンスに異なる電圧が誘起されるため、エミッタ電位が異なることとなり、IGBT12のゲート電圧 V_{ge} とIGBT13のゲート電圧 V_{ge} がアンバランスとなる。すなわち、2つのIGBT12, 13に流れる電流にアンバランス(偏り)が生じる。

【0049】

さらに、本発明者がシミュレーション等により鋭意検討したところ、自己インダクタンス L_{s1} , L_{s2} の差異だけでなく、第2電流経路27, 28のそれぞれと他の電流経路との相互インダクタンスの差異も、寄生インダクタンスの差異の要因、すなわちゲート電圧 V_{ge} のアンバランスの要因であることが明らかとなった。

20

【0050】

そこで、本実施形態では、複数のIGBTが並列接続される構成において、任意のIGBTにおける第2電流経路である任意電流経路の自己インダクタンスを L_{sn} 、任意電流経路を除く他の電流経路と任意電流経路との相互インダクタンスを M_n 、自己インダクタンス L_{sn} と相互インダクタンス M_n との和(インダクタンス和)を L_n とすると、各IGBTのインダクタンス和 L_n が互いに等しくなるように、複数のIGBT及び電流経路が配置されている。なお、自己インダクタンス L_{sn} を弱めるように作用するときの相互インダクタンス M_n を負、自己インダクタンス L_{sn} を強めるように作用するときの相互インダクタンス M_n を正とする。

30

【0051】

具体的には、2つのIGBT12, 13が並列接続される構成において、IGBT12のインダクタンス和 L_1 とIGBT13のインダクタンス和 L_2 とが互いに等しくなるように、IGBT12, 13と電流経路(第1電流経路25, 26及び第2電流経路27, 28)とが配置されている。

【0052】

なお、IGBT12側の第2電流経路27と他の電流経路との間の相互インダクタンス M_1 は、上記した相互インダクタンス M_{11} , M_{12} の和、すなわち $M_1 = M_{11} + M_{12}$ となる。IGBT13側の第2電流経路28と他の電流経路との間の相互インダクタンス M_2 は、上記した相互インダクタンス M_{21} , M_{22} の和、すなわち $M_2 = M_{21} + M_{22}$ となる。また、IGBT12のインダクタンス和 L_1 は、自己インダクタンス L_{s1} と相互インダクタンス M_1 との和、すなわち $L_1 = L_{s1} + M_1$ となる。IGBT13のインダクタンス和 L_2 は、自己インダクタンス L_{s2} と相互インダクタンス M_2 との和、すなわち $L_2 = L_{s2} + M_2$ 、となる。したがって、 $L_1 = L_2$ の場合、下記式の関係を満たすこととなる。

40

(式1) $L_{s1} + M_{11} + M_{12} = L_{s2} + M_{21} + M_{22}$

【0053】

$L_1 = L_2$ の関係、すなわち数式1の関係を満たすため、図7に示すように、本実施形

50

態では、半導体モジュール10が、主端子として、上記したように2本の第1主端子21及び1本の第2主端子22を備えている。第2主端子22は、平面略矩形状をなす第2ヒートシンク19においてY方向の一端に連なっている。第2主端子22の第2連結部22aは、IGBT12, 13の並び方向であるX方向において、IGBT12の中心12cとIGBT13の中心13cとの間に設けられている。第2主端子22の幅方向における第2連結部22aの中心は、X方向において、IGBT12, 13間の中心を通るY方向に平行な中心線CL上にある。

【0054】

上記したように、2つのIGBT12, 13の構成は同じであり、各IGBT12, 13と第1ヒートシンク15及び第2ヒートシンク19との接続構造も同じである。よって、第2電流経路27, 28の自己インダクタンス L_{s1} , L_{s2} の差異は、それぞれのエミッタ電極14cと第2連結部22aとの位置関係、換言すればIGBT12, 13と第2連結部22aとの位置関係によりほぼ決定される。本実施形態では、上記したように、第2連結部22aの中心が中心線CL1上に設けられているため、自己インダクタンス L_{s1} , L_{s2} が互いにほぼ等しい。

10

【0055】

また、2本の第1主端子21は、平面略矩形状をなす第1ヒートシンク15においてY方向の一端、詳しくは、第2主端子22が連なる第2ヒートシンク19の端部と同じ側の端部に連なっている。第1主端子21は、X方向において、間に第2主端子22を挟むように設けられている。図5に示すように、板厚方向と直交するX方向において、第1主端子21、第2主端子22、第1主端子21の順に並んで配置されている。2つの第1連結部21aは、第2連結部22aに対して、X方向の両側に設けられている。

20

【0056】

第1主端子21は、第1ヒートシンク15におけるX方向の両端付近にそれぞれ連なっている。これにより、XY平面において、IGBT12, 13、2本の第1主端子21、及び1本の第2主端子22の配置が中心線CLに対して線対称となっている。したがって、相互インダクタンス $M1$, $M2$ が互いにほぼ等しい。なお、第1ヒートシンク15及び第2ヒートシンク19も、中心線CLに対してそれぞれ線対称となっている。このようにして、半導体モジュール10において、 $L_{s1} = L_{s2}$ の場合に $M1 = M2$ が実現され、これにより $L1 = L2$ が満たされている。

30

【0057】

以上のように、本実施形態の半導体モジュール10によれば、相互インダクタンスもスイッチング時の電流アンバランスの要因であるとの知見を活かしている。具体的には、第2電流経路27, 28の自己インダクタンス L_{s1} , L_{s2} だけでなく、第2電流経路27, 28と他の電流経路との相互インダクタンス $M1$, $M2$ も考慮して、IGBT12, 13と、各電流経路25, 26, 27, 28を決定する要素である第1主端子21及び第2主端子22とが配置されている。したがって、スイッチング時におけるIGBT12, 13のゲート電圧 V_{ge} のアンバランス、ひいては電流アンバランスを効果的に抑制することができる。

【0058】

図7に示す一点鎖線の矢印はコレクタ電流 I_c を示し、二点鎖線の矢印はエミッタ電流 I_e を示している。矢印の方向は電流の流れ方向である。また、符号100は、2本の第1主端子21を繋ぐバスバー100である。上記した配置により、コレクタ電流 I_c 及びエミッタ電流 I_e は、IGBT12, 13間の中心線CLに対して線対称となるように流れる。このように、電流アンバランスを効果的に抑制することができる。

40

【0059】

また、本実施形態では、半導体モジュール10が2本の第1主端子21及び1本の第2主端子22を備えており、第2主端子22の第2連結部22aが、IGBT12, 13の並び方向であるX方向において、IGBT12とIGBT13との間に設けられている。また、第1連結部21aが、第2連結部22aに対して、X方向の両側にそれぞれ設けら

50

れている。

【0060】

間に第2主端子22を挟むように2本の第1主端子21が配置されているため、第1主端子と第2主端子を1本ずつ備え、第1主端子及び第2主端子がその板厚方向にと直交する方向に並んで配置された従来の構成に較べて、主端子の配置の偏りを抑制でき、これによりインダクタンス和 L_1 、 L_2 のアンバランスを低減することができる。したがって、スイッチング時におけるIGBT12、13の電流アンバランスを抑制することができる。

【0061】

本実施形態では、第2電流経路27、28の自己インダクタンス L_{s1} 、 L_{s2} が $L_{s1} = L_{s2}$ の関係を満たす例を示したが、これに限定されない。

10

【0062】

たとえば、第2電流経路27、28の自己インダクタンス L_{s1} 、 L_{s2} が $L_{s1} > L_{s2}$ とされ、且つ、相互インダクタンス M_1 、 M_2 が $M_1 < M_2$ とされることで、インダクタンス和 L_1 、 L_2 が $L_1 = L_2$ の関係を満たすように、IGBT12、13と、第1主端子21及び第2主端子22とが配置されてもよい。図8に示す第1変形例では、第2主端子22がIGBT12、13間の中心線 CL に対してIGBT13側に偏って配置され、これにより $L_{s1} > L_{s2}$ となっている。また、 $L_1 = L_2$ となるように $M_1 < M_2$ を満たすべく、第1主端子21が第2主端子22の両側に配置されている。

20

【0063】

また、第2電流経路27、28の自己インダクタンス L_{s1} 、 L_{s2} が $L_{s1} < L_{s2}$ とされ、且つ、相互インダクタンス M_1 、 M_2 が $M_1 > M_2$ とされることで、インダクタンス和 L_1 、 L_2 が $L_1 = L_2$ の関係を満たすように、IGBT12、13と、第1主端子21及び第2主端子22とが配置されてもよい。図9に示す第2変形例では、第2主端子22がIGBT12、13間の中心線 CL に対してIGBT12側に偏って配置され、これにより $L_{s1} < L_{s2}$ とされている。また、 $L_1 = L_2$ となるように $M_1 > M_2$ を満たすべく、第1主端子21が第2主端子22の両側に配置されている。

【0064】

(第2実施形態)

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体モジュール10と共通する部分についての説明は省略する。

30

【0065】

本実施形態の半導体モジュール10は、図10に示すように、主端子として、1本の第1主端子21及び2本の第2主端子22を備えている。図10は、図7に対応しており、封止樹脂体11を省略して図示している。第1主端子21及び第2主端子22の本数、連結位置が異なる点を除けば、第1実施形態(図7参照)とほぼ同じ構成となっている。

【0066】

図10では、 $L_{s1} = L_{s2}$ 、且つ、 $M_1 = M_2$ によって、 $L_1 = L_2$ の関係を満たすように、IGBT12、13と、第1主端子21及び第2主端子22とが配置されている。具体的には、第1主端子21の第1連結部21aの幅方向の中心が中心線 CL 上となるように、第1主端子21が X 方向においてIGBT12、13の間に設けられている。第2主端子22は、第2ヒートシンク19における X 方向の両端付近にそれぞれ連なっている。これにより、 XY 平面において、IGBT12、13、1本の第1主端子21、及び2本の第2主端子22の配置が、中心線 CL に対して線対称となっている。

40

【0067】

このようにして、1本の第1主端子21及び2本の第2主端子22を備える構成において、 $L_{s1} = L_{s2}$ の場合に $M_1 = M_2$ が実現され、これにより $L_1 = L_2$ が満たされている。したがって、先行実施形態同様、スイッチング時におけるIGBT12、13の電流アンバランスを効果的に抑制することができる。

【0068】

50

図10に示す符号101は、2本の第2主端子22を繋ぐバスバーである。上記配置により、コレクタ電流 I_c 及びエミッタ電流 I_e は、IGBT12, 13間の中心線CLに対して線対称となるように流れる。このように、電流アンバランスを効果的に抑制することができる。

【0069】

また、本実施形態では、半導体モジュール10が1本の第1主端子21及び2本の第2主端子22を備えており、第1主端子21の第1連結部21aが、IGBT12, 13の並び方向であるX方向において、IGBT12とIGBT13との間に設けられている。また、第2連結部22aが、第1連結部21aに対して、X方向の両側にそれぞれ設けられている。

10

【0070】

間に第1主端子21を挟むように2本の第2主端子22が配置されているため、第1主端子と第2主端子を1本ずつ備え、第1主端子及び第2主端子がその板厚方向にと直交する方向に並んで配置された従来の構成に較べて、主端子の配置の偏りを抑制し、これによりインダクタンス和 L_1, L_2 のアンバランスを低減することができる。したがって、スイッチング時におけるIGBT12, 13の電流アンバランスを抑制することができる。

【0071】

なお、本実施形態でも、第2電流経路27, 28の自己インダクタンス L_{s1}, L_{s2} が $L_{s1} = L_{s2}$ の関係を満たす例に限定されない。本実施形態に示した1本の第1主端子21及び2本の第2主端子22を備える構成において、 $L_{s1} > L_{s2}$ の場合に $M_1 < M_2$ が実現され、これにより $L_1 = L_2$ の関係を満たしてもよい。また、 $L_{s1} < L_{s2}$ の場合に $M_1 > M_2$ が実現され、これにより $L_1 = L_2$ の関係を満たしてもよい。

20

【0072】

(第3実施形態)

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体モジュール10と共通する部分についての説明は省略する。

【0073】

本実施形態の半導体モジュール10は、図11に示すように、第1主端子21及び第2主端子22をそれぞれ1本ずつ備えている。図11は、図7に対応しており、封止樹脂体11を省略して図示している。図11では、説明の都合上、第1主端子21を少しずらして図示している。第1主端子21及び第2主端子22の本数、連結位置が異なる点を除けば、第1実施形態(図7参照)とほぼ同じ構成となっている。

30

【0074】

図11では、 $L_{s1} = L_{s2}$ 、且つ、 $M_1 = M_2$ によって、 $L_1 = L_2$ の関係を満たすように、IGBT12, 13と、第1主端子21及び第2主端子22とが配置されている。具体的には、第1主端子21及び第2主端子22がY方向における同じ側に延設されている。第1主端子21の第1連結部21aの幅方向の中心及び第2主端子22の第2連結部22aの幅方向の中心がともに中心線CL上となるように、第1主端子21及び第2主端子22が、X方向においてIGBT12, 13の間に設けられている。これにより、XY平面において、IGBT12, 13、1本の第1主端子21、及び1本の第2主端子22の配置が、中心線CLに対して線対称となっている。

40

【0075】

このようにして、1本の第1主端子21及び1本の第2主端子22を備える構成において、 $L_{s1} = L_{s2}$ の場合に $M_1 = M_2$ が実現され、これにより $L_1 = L_2$ が満たされている。したがって、先行実施形態同様、スイッチング時におけるIGBT12, 13の電流アンバランスを抑制することができる。特に、主端子の本数を低減しつつ、IGBT12, 13の電流アンバランスを効果的に抑制することができる。

【0076】

上記配置により、図11に示すように、コレクタ電流 I_c 及びエミッタ電流 I_e は、IGBT12, 13間の中心線CLに対して線対称となるように流れる。このように、電流

50

アンバランスを効果的に抑制することができる。

【0077】

また、本実施形態では、半導体モジュール10が1本の第1主端子21及び1本の第2主端子22を備えており、第1主端子21の第1連結部21a及び第2主端子22の第2連結部22aが、ともにIGBT12, 13の並び方向であるX方向において、IGBT12とIGBT13との間に設けられている。なお、第1ヒートシンク15が第1導体部に相当し、第2ヒートシンク19が第2導体部に相当する。

【0078】

第1連結部21a及び第2連結部22aが、ともにX方向においてIGBT12, 13の間に設けられているため、第1主端子と第2主端子を1本ずつ備え、第1連結部及び第2連結部の少なくとも一方が2つのIGBTの間よりも外に設けられる構成に較べて、主端子の配置の偏りを抑制し、これによりインダクタンス和L1, L2のアンバランスを低減することができる。したがって、主端子の本数を低減しつつ、スイッチング時におけるIGBT12, 13の電流アンバランスを抑制することができる。

10

【0079】

なお、第2電流経路27, 28の自己インダクタンスLs1, Ls2がLs1=Ls2の関係を満たす例に限定されない。本実施形態に示した1本の第1主端子21及び1本の第2主端子22を備える構成において、Ls1>Ls2の場合にM1<M2が実現され、これによりL1=L2の関係を満たしてもよい。また、Ls1<Ls2の場合にM1>M2が実現され、これによりL1=L2の関係を満たしてもよい。

20

【0080】

特に言及しなかったが、第1主端子21及び第2主端子22がZ方向の投影視において少なからず重なる配置の場合、第1主端子21と第2主端子22との間に配置される電気絶縁性のスペーサをさらに備えてもよい。このスペーサは、封止樹脂体11の側面11cに密着している。スペーサにより、封止樹脂体11の成形時において、第1主端子21と第2主端子22の間から樹脂が漏れるのを抑制することができる。なお、成形後にスペーサを除去することで、半導体モジュール10がスペーサを備えない構成とすることもできる。

【0081】

第1連結部21a及び第2連結部22aが、X方向においてIGBT12, 13の間に設けられる構成は、上記例に限定されない。たとえば図12に示す第3変形例のように、第1主端子21及び第2主端子22がY方向において互いに反対側に延設されてもよい。特に図12では、図11同様、第1連結部21aの幅方向の中心及び第2連結部22aの幅方向の中心がともに中心線CL上となっている。このため、IGBT12, 13の電流アンバランスをより効果的に抑制することができる。なお、図12では、便宜上、信号端子23及びボンディングワイヤ24の図示を省略している。

30

【0082】

(第4実施形態)

本実施形態は、先行実施形態を参照できる。このため、先行実施形態に示した半導体モジュール10と共通する部分についての説明は省略する。

40

【0083】

第3実施形態では、両面放熱構造において、第1主端子21及び第2主端子22を1本ずつ備え、第1連結部21a及び第2連結部22aが、ともにX方向においてIGBT12, 13の間に設けられる例を示した。これに対し、本実施形態では、図13に示すように、片面放熱構造において、第1主端子21及び第2主端子22を1本ずつ備え、第1連結部21a及び第2連結部22aが、ともにX方向においてIGBT12, 13の間に設けられている。

【0084】

図13に示す半導体モジュール10は、2つのIGBT12, 13、第1主端子21、第2主端子22に加えて、絶縁板29、導体層30, 31、及びボンディングワイヤ32

50

を備えている。絶縁板 29 は、セラミックスなどを電気絶縁性の材料を用いて形成されている。絶縁板 29 の一面上に、銅などの金属材料からなる導体層 30, 31 が設けられている。導体層 30, 31 は同一一面上に設けられるとともに、互いに電氣的に分離されている。

【0085】

導体層 30 上には、IGBT 12, 13 が実装されている。IGBT 12, 13 は、コレクタ電極形成面が導体層 30 と対向するように配置され、図示しないコレクタ電極 14b と導体層 30 とが、はんだ等を介して電氣的に接続されている。IGBT 12, 13 は、X 方向に並んで配置されている。

【0086】

導体層 30 には、第 1 主端子 21 が接続されている。たとえば第 1 主端子 21 は、図示しないはんだを介して導体層 30 に接続されている。導体層 30 との接続部分が、第 1 主端子 21 の第 1 連結部 21a となっている。第 1 連結部 21a は、X 方向において、IGBT 12 の中心と IGBT 13 の中心との間に設けられている。導体層 30 が、第 1 導体部に相当する。

【0087】

IGBT 12, 13 の図示しないエミッタ電極 14c は、ボンディングワイヤ 32 を介して導体層 31 とそれぞれ電氣的に接続されている。導体層 31 及びボンディングワイヤ 32 が、第 2 導体部に相当する。導体層 31 には、第 2 主端子 22 が接続されている。たとえば第 2 主端子 22 は、図示しないはんだを介して導体層 31 に接続されている。導体層 31 との接続部分が、第 2 主端子 22 の第 2 連結部 22a となっている。第 2 連結部 22a も、X 方向において、IGBT 12 の中心と IGBT 13 の中心との間に設けられている。

【0088】

このように本実施形態では、第 1 連結部 21a 及び第 2 連結部 22a が、ともに X 方向において IGBT 12, 13 の間に設けられているため、第 1 主端子と第 2 主端子を 1 本ずつ備え、第 1 連結部及び第 2 連結部の少なくとも一方が 2 つの IGBT の間よりも外に設けられる構成に較べて、主端子の配置の偏りを抑制し、これによりインダクタンス和 L_1, L_2 のアンバランスを低減することができる。したがって、主端子の本数を低減しつつ、スイッチング時における IGBT 12, 13 の電流アンバランスを抑制することができる。

【0089】

さらに本実施形態では、導体層 30 が、平面コの字状（換言すれば略 U 字状）をなしている。導体層 30 は、すなわち 180 度の屈曲部を 1 つ有している。そして、導体層 30 の一端側に IGBT 12 が実装され、他端側に IGBT 13 が実装されている。第 1 主端子 21 は、第 1 連結部 21a の幅方向の中心が中心線 CL 上となるように、導体層 30 の中央付近に連なっている。第 1 主端子 21 は、Y 方向に延設されている。導体層 31 は、導体層 30 の対向領域の間に配置されている。導体層 31 は、IGBT 12, 13 の間に配置されている。導体層 31 は、中心線 CL 上に設けられている。第 2 主端子 22 は、第 2 連結部 22a の幅方向の中心が中心線 CL 上となるように、導体層 31 に連なっている。第 2 主端子 22 は屈曲部を有しており、Z 方向の投影視において第 1 主端子 21 と重なるように配置されている。

【0090】

これにより、XY 平面において、IGBT 12, 13、1 本の第 1 主端子 21、及び 1 本の第 2 主端子 22 の配置が、中心線 CL に対して線対称となっている。このようにして、1 本の第 1 主端子 21 及び 1 本の第 2 主端子 22 を備える構成において、 $L_{s1} = L_{s2}$ の場合に $M_1 = M_2$ が実現され、これにより $L_1 = L_2$ が満たされている。したがって、先行実施形態同様、スイッチング時における IGBT 12, 13 の電流アンバランスを効果的に抑制することができる。

【0091】

上記配置により、図13に示すように、コレクタ電流 I_c 及びエミッタ電流 I_e は、IGBT12, 13間の中心線CLに対して線対称となるように流れる。このように、電流アンバランスを効果的に抑制することができる。

【0092】

なお、第2電流経路27, 28の自己インダクタンス L_{s1} , L_{s2} が $L_{s1} = L_{s2}$ の関係を満たす例に限定されない。本実施形態に示した1本の第1主端子21及び1本の第2主端子22を備える構成において、 $L_{s1} > L_{s2}$ の場合に $M1 < M2$ が実現され、これにより $L1 = L2$ の関係を満たしてもよい。また、 $L_{s1} < L_{s2}$ の場合に $M1 > M2$ が実現され、これにより $L1 = L2$ の関係を満たしてもよい。

【0093】

片面放熱構造において、第1主端子21及び第2主端子22を1本ずつ備え、第1連結部21a及び第2連結部22aがIGBT12, 13の間に設けられる構成は、上記例に限定されない。たとえば図14に示す第4変形例のように、第1主端子21及び第2主端子22がZ方向に延設された構造としてもよい。図14では、第1主端子21及び第2主端子22が、いずれも略90度の屈曲部を有してL字状をなしている。それ以外の構成は、図13と同じである。このような構成としても、コレクタ電流 I_c 及びエミッタ電流 I_e は、IGBT12, 13間の図示しない中心線CLに対して線対称となるように流れる。よって、電流アンバランスを効果的に抑制することができる。

【0094】

図15に示す第5変形例では、導体層31及びボンディングワイヤ32の代わりに、金属製のリード33を採用している。リード33が、第2導体部に相当する。リード33は、X方向に延設されている。リード33は屈曲部を2箇所有し、IGBT12, 13の図示しないエミッタ電極14cを架橋している。リード33に第2主端子22が連なっている。第2主端子22及びリード33は、同じ金属板を加工することで、一体化されている。第2主端子22は、平面L字状をなしている。これにより、第2連結部22aが図示しない中心線CL上に設けられ、且つ、Z方向の投影視において第1主端子21と重ならないようになっている。このような構成としても、コレクタ電流 I_c 及びエミッタ電流 I_e は、IGBT12, 13間の図示しない中心線CLに対して線対称となるように流れる。よって、電流アンバランスを効果的に抑制することができる。

【0095】

半導体モジュール10は、ヒートシンクなどの放熱部材や封止樹脂体をさらに備えてもよい。放熱部材は、絶縁板29における導体層30, 31とは反対の面に接続される。封止樹脂体は、IGBT12, 13などを封止する。

【0096】

この明細書の開示は、例示された実施形態に制限されない。開示は、例示された実施形態と、それらに基づく当業者による変形態様を包含する。たとえば、開示は、実施形態において示された要素の組み合わせに限定されない。開示は、多様な組み合わせによって実施可能である。開示される技術的範囲は、実施形態の記載に限定されない。開示されるいくつかの技術的範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味及び範囲内でのすべての変更を含むものと解されるべきである。

【0097】

半導体モジュール10をインバータ5に適用する例を示したが、これに限定されない。たとえば昇圧コンバータに適用することもできる。また、インバータ5及び昇圧コンバータの両方に適用することもできる。

【0098】

IGBT12, 13と一体的に還流用のダイオード12a, 13aが形成される例を示したが、これに限定されない。還流用のダイオード12a, 13aを別チップとしてもよい。

【0099】

スイッチング素子としてIGBT12, 13の例を示したが、これに限定されない。ゲ

10

20

30

40

50

ート電極と、主電流が流れる第1主電極及び第2主電極を有するスイッチング素子であればよい。たとえばMOSFETを採用することもできる。また、縦型のスイッチング素子に限定されず、横型のスイッチング素子(たとえばLDMOS)にも適用できる。

【0100】

両面放熱構造の半導体モジュール10として、ターミナル17を備える例を示したが、これに限定されない。ターミナル17を備えない構成としてもよい。たとえば、ターミナル17の代わりに、第2ヒートシンク19に、エミッタ電極14cに向けて突出する凸部を設けてもよい。また、放熱面15a, 19aが、封止樹脂体11から露出される例を示したが、封止樹脂体11から露出されない構成としてもよい。さらには、封止樹脂体11を備えない構成としてもよい。

10

【0101】

半導体モジュール10が、並列接続される2つのIGBT12, 13を備える例を示したが、これに限定されない。3つ以上のIGBTが並列接続される構成にも適用できる。たとえば図16に示す第6変形例では、3つのIGBT12, 13, 34を備えている。そして、IGBT12, 13, 34のコレクタ電極14bが互いに同じ第1ヒートシンク15に接続され、IGBT12, 13, 34のエミッタ電極14cが互いに同じ第2ヒートシンク19に接続されている。

【0102】

このように、3つ以上のIGBT21, 13, 34が並列接続される構成においても、任意のIGBTにおける第2電流経路である任意電流経路の自己インダクタンスを L_{sn} 、任意電流経路を除く他の電流経路と任意電流経路との相互インダクタンスを M_n 、自己インダクタンス L_{sn} と相互インダクタンス M_n との和を L_n とすると、各IGBTのインダクタンス和 L_n が互いに等しくなるように、複数のIGBT及び電流経路を配置すればよい。

20

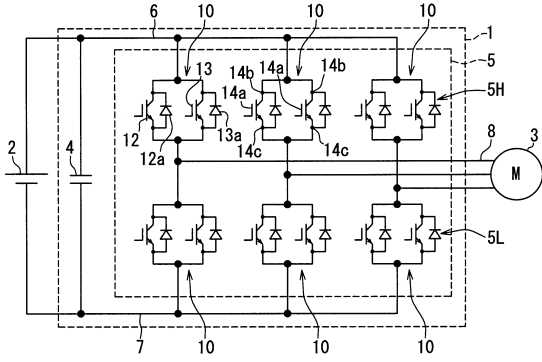
【符号の説明】

【0103】

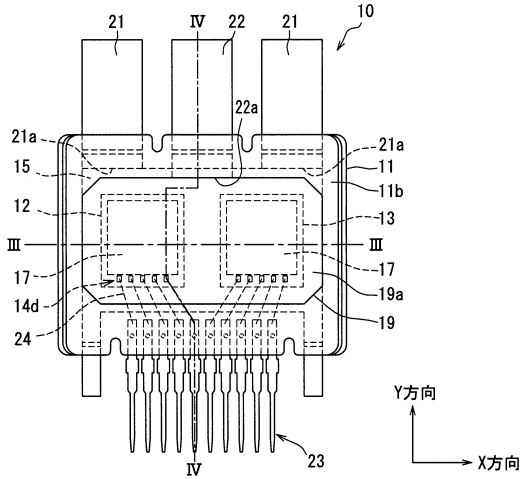
1...電力変換装置、2...直流電源、3...モータ、4...平滑コンデンサ、5...インバータ、5H...上アーム、5L...下アーム、6...高電位電源ライン、7...低電位電源ライン、8...出力ライン、10...半導体モジュール、11...封止樹脂体、11a...一面、11b...裏面、11c...側面、12, 13...IGBT、12a, 13a...ダイオード、14a...コレクタ電極、14b...エミッタ電極、14c...ゲート電極、14d...パッド、15...第1ヒートシンク、15a...放熱面、16...はんだ、17...ターミナル、18...はんだ、19...第2ヒートシンク、19a...放熱面、20...はんだ、21...第1主端子、21a...第1連結部、22...第2主端子、22a...第2連結部、23...信号端子、24...ボンディングワイヤ、25, 26...第1電流経路、27, 28...第2電流経路、29...絶縁板、30, 31...導体層、32...ボンディングワイヤ、33...リード、34...IGBT、100, 101...バスバー

30

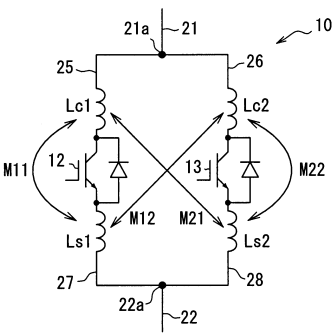
【図1】



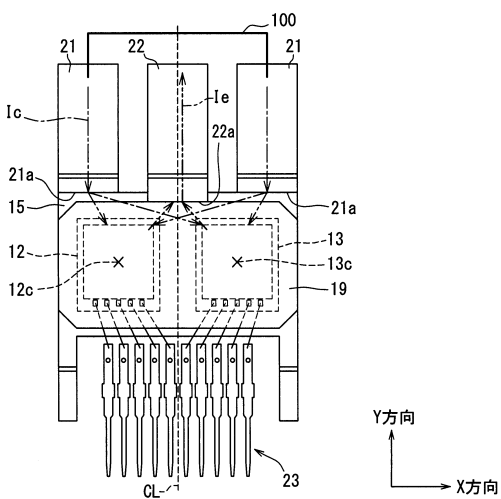
【図2】



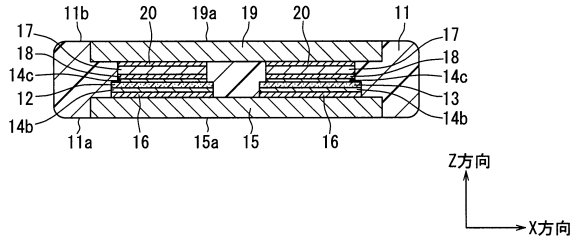
【図6】



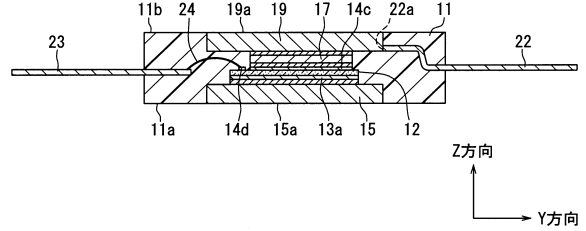
【図7】



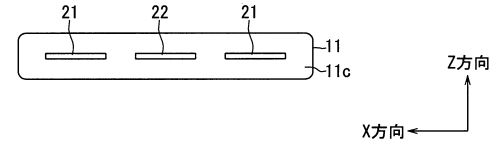
【図3】



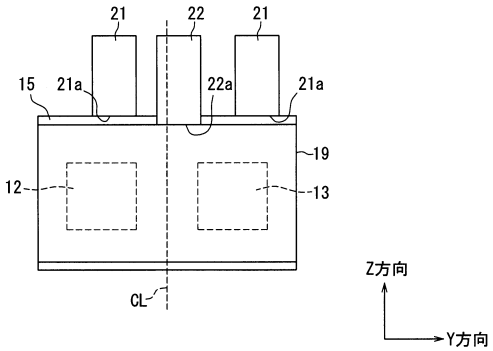
【図4】



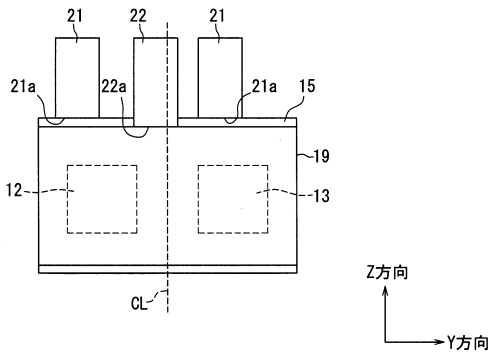
【図5】



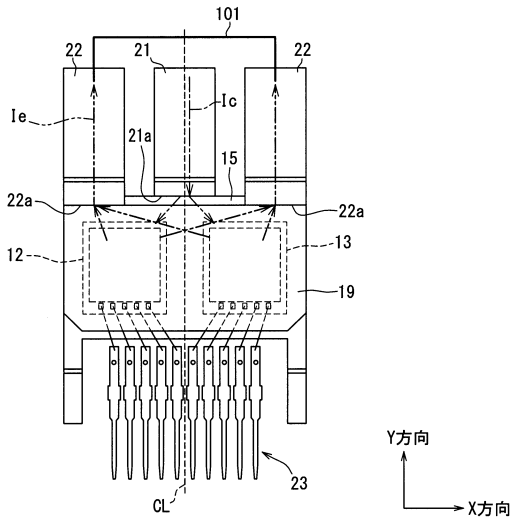
【図8】



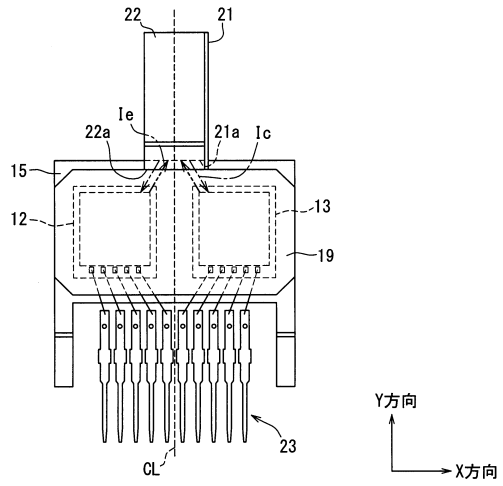
【図9】



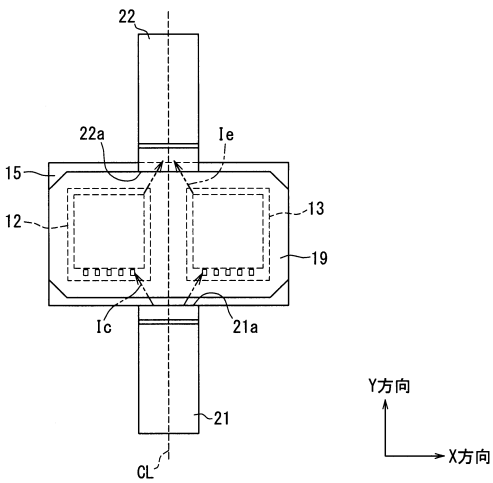
【図10】



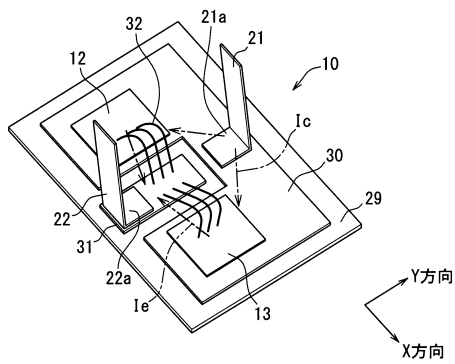
【図11】



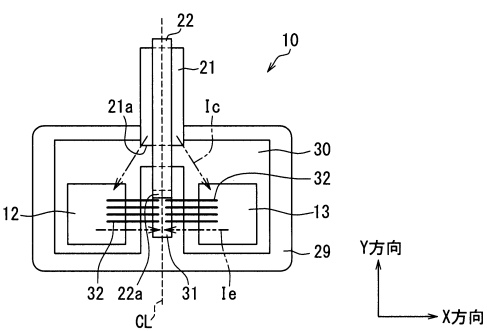
【図12】



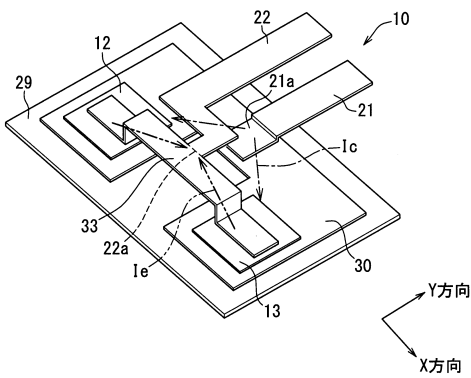
【図14】



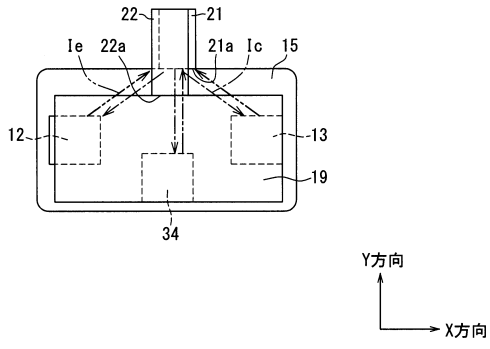
【図13】



【図15】



【図16】



フロントページの続き

(72)発明者 長瀬 拓生
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 河合 俊英

(56)参考文献 特開平7-38013 (J P , A)
特開2008-91809 (J P , A)
特開2015-185834 (J P , A)
特開2010-27710 (J P , A)
特開平7-297362 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 5 / 0 7
H 0 1 L 2 5 / 1 8
H 0 2 M 7 / 4 8