

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-326864

(P2004-326864A)

(43) 公開日 平成16年11月18日(2004.11.18)

(51) Int. Cl.⁷

G11C 16/02
G06K 19/07
G11C 16/04
G11C 16/06
H01L 21/8247

F I

G11C 17/00 612F
H01L 27/10 481
G11C 17/00 621A
G11C 17/00 622E
G11C 17/00 622A

テーマコード(参考)

5B025
5B035
5F083
5F101

審査請求 未請求 請求項の数 70 O L (全 77 頁) 最終頁に続く

(21) 出願番号 特願2003-117290(P2003-117290)
(22) 出願日 平成15年4月22日(2003.4.22)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100084618
弁理士 村松 貞男
(74) 代理人 100092196
弁理士 橋本 良郎

最終頁に続く

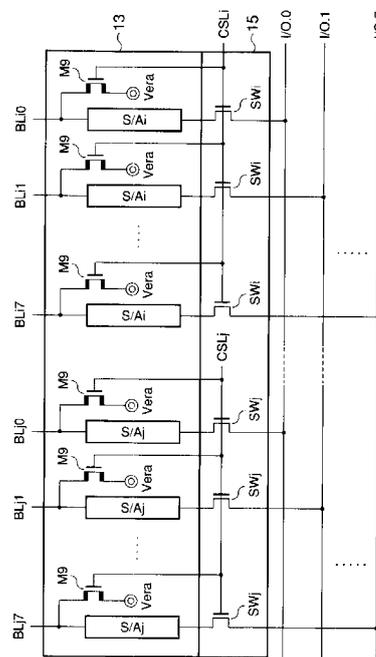
(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【要約】

【課題】書き換え対象となるセルのみについて消去/書き込みを行う。

【解決手段】1個のメモリセルとこれを挟み込む2個のセレクトゲートトランジスタとからなるセルユニットを有する3Tr.NANDにおいて、バイト単位のデータ書き換えを行う場合に、消去時に、ビット線又はソース線の電位を、バイト単位で設定できるようにし、バイト単位の消去を可能にする。これにより、書き換え対象となるメモリセルのデータのみについて、消去/書き込み動作を実行し、メモリ動作の信頼性の向上を図る。

【選択図】 図25



【特許請求の範囲】

【請求項 1】

1 個のメモリセルとこれを挟み込む 2 個のセレクトゲートトランジスタとから構成される複数の第 1 セルユニットと、前記複数の第 1 セルユニットの各メモリセルに共通に接続されるワード線と、前記複数の第 1 セルユニットに個別に接続される複数のビット線と、前記複数のビット線に対応して設けられる複数のセンスアンプと、前記複数の第 1 セルユニットを複数のブロックに分け、消去時に、ブロック単位で、前記複数のビット線の電位を設定する消去回路とを具備することを特徴とする不揮発性半導体メモリ。

【請求項 2】

1 個のメモリセルとこれを挟み込む 2 個のセレクトゲートトランジスタとから構成される複数の第 1 セルユニットと、前記複数の第 1 セルユニットの各メモリセルに共通に接続されるワード線と、前記複数の第 1 セルユニットに個別に接続される複数のビット線と、前記複数のビット線に対応して設けられる複数のセンスアンプと、前記複数の第 1 セルユニットを複数のブロックに分け、前記複数の第 1 セルユニットに接続される複数のソース線と、消去時に、ブロック単位で、前記複数のソース線の電位を設定する消去回路とを具備することを特徴とする不揮発性半導体メモリ。 10

【請求項 3】

前記複数のブロックの各々は、2 個以上の第 1 セルユニットを含んでいることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。

【請求項 4】

前記複数のブロックの各々は、1 バイト分の第 1 セルユニットを含んでいることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。 20

【請求項 5】

前記消去時において、データ消去は、ブロック単位で行われることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。

【請求項 6】

データ書き換え時に、書き換え対象となる少なくとも 1 つのブロックに対してデータ消去を実行し、かつ、前記少なくとも 1 つのブロックに対してデータプログラムを実行することを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。

【請求項 7】

データ書き換え時に、全てのブロックに対してデータ消去を実行し、かつ、全てのブロックに対してデータプログラムを実行することを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。 30

【請求項 8】

前記消去回路は、前記複数のビット線に消去電位を供給するための複数の高耐圧トランジスタにより構成され、同一ブロック内の高耐圧トランジスタは、同一のカラム選択信号により制御されることを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 9】

前記複数のビット線と前記複数のセンスアンプとの間には、前記消去電位に耐えることが可能な高耐圧トランジスタが接続されることを特徴とする請求項 8 に記載の不揮発性半導体メモリ。 40

【請求項 10】

前記消去回路は、前記複数のソース線に消去電位を供給するための複数の高耐圧トランジスタにより構成され、同一ブロック内の高耐圧トランジスタは、同一のカラム選択信号により制御されることを特徴とする請求項 2 に記載の不揮発性半導体メモリ。

【請求項 11】

前記複数のブロックに対応して複数のウェルが設けられ、前記複数の第 1 セルユニットは、ブロック単位で、同一のウェル内に配置されることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。

【請求項 12】

前記消去時において、データ消去は、消去対象となるメモリセルのドレイン領域とコントロールゲート電極との間に高電界を発生させ、フローティングゲート電極から前記ドレイン領域へ電子を引き抜くことにより行うことを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 1 3】

前記データ消去は、前記ドレイン領域から前記フローティングゲート電極への熱正孔注入により行うことを特徴とする請求項 1 2 に記載の不揮発性半導体メモリ。

【請求項 1 4】

前記データ消去は、前記フローティングゲート電極から前記ドレイン領域へ電子を引き抜くことと、前記ドレイン領域から前記フローティングゲート電極への熱正孔注入とにより行うことを特徴とする請求項 1 2 に記載の不揮発性半導体メモリ。

10

【請求項 1 5】

前記消去時において、データ消去は、消去対象となるメモリセルのソース領域とコントロールゲート電極との間に高電界を発生させ、フローティングゲート電極から前記ソース領域へ電子を引き抜くことにより行うことを特徴とする請求項 2 に記載の不揮発性半導体メモリ。

【請求項 1 6】

前記データ消去は、前記ソース領域から前記フローティングゲート電極への熱正孔注入により行うことを特徴とする請求項 1 5 に記載の不揮発性半導体メモリ。

【請求項 1 7】

前記データ消去は、前記フローティングゲート電極から前記ソース領域へ電子を引き抜くことと、前記ソース領域から前記フローティングゲート電極への熱正孔注入とにより行うことを特徴とする請求項 1 5 に記載の不揮発性半導体メモリ。

20

【請求項 1 8】

データ書き込みは、書き込み対象となるメモリセルのチャネル領域とコントロールゲート電極との間に高電界を発生させ、前記チャネル領域からフローティングゲート電極へ電子を注入することにより行うことを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。

【請求項 1 9】

前記複数の第 1 セルユニット内の各メモリセルは、1 ビット以上のデータを記憶することを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。

30

【請求項 2 0】

1 個以上のメモリセルを有する複数の第 2 セルユニットと、前記複数の第 2 セルユニットに共通に接続される 1 本以上のワード線とをさらに具備し、前記複数の第 2 セルユニットは、個別に、前記複数のビット線に接続されることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。

【請求項 2 1】

前記複数の第 2 セルユニットの各々に含まれるメモリセルの数と前記複数の第 2 セルユニットに接続されるワード線の数とは、互いに等しいことを特徴とする請求項 2 0 に記載の不揮発性半導体メモリ。

40

【請求項 2 2】

前記第 2 セルユニットは、複数個のメモリセルが直列接続された NAND セルユニットであることを特徴とする請求項 2 0 に記載の不揮発性半導体メモリ。

【請求項 2 3】

前記第 2 セルユニットは、複数個のメモリセルが並列接続された AND セルユニット又は DINOR セルユニットであることを特徴とする請求項 2 0 に記載の不揮発性半導体メモリ。

【請求項 2 4】

前記第 2 セルユニットは、1 個のメモリセルと 1 個のセレクトゲートトランジスタとから構成される NOR セルユニットであることを特徴とする請求項 2 0 に記載の不揮発性半導

50

体メモリ。

【請求項 25】

直列接続された複数個のメモリセルとこれら複数個のメモリセルを挟み込む2個のセレクトゲートトランジスタとから構成される複数の第1セルユニットと、1個のメモリセルと1個のセレクトゲートトランジスタとから構成される複数の第2セルユニットと、前記複数の第1セルユニットに個別に接続され、前記複数の第2セルユニットに個別に接続され、前記第1及び第2セルユニットに共通に接続される複数のビット線と、前記複数のビット線に対応して設けられる複数のセンスアンプとを具備し、前記複数の第1及び第2セルユニット内の各メモリセルに対しては、共に、少なくともFNTトンネル電流を用いて、書き込み/消去が実行されることを特徴とする不揮発性半導体メモリ。

10

【請求項 26】

前記複数の第1及び第2セルユニットを複数のブロックに分け、消去時に、ブロック単位で、前記複数のビット線の電位を設定する消去回路をさらに具備することを特徴とする請求項25に記載の不揮発性半導体メモリ。

【請求項 27】

前記複数の第1及び第2セルユニットを複数のブロックに分け、前記複数の第1及び第2セルユニットに共通に接続される複数のソース線と、消去時に、ブロック単位で、前記複数のソース線の電位を設定する消去回路とをさらに具備することを特徴とする請求項25に記載の不揮発性半導体メモリ。

【請求項 28】

請求項1、2、20又は25に記載の不揮発性半導体メモリを有するメモリチップ。

20

【請求項 29】

請求項1、2、20又は25に記載の不揮発性半導体メモリと、ロジック回路とを有するメモリチップ。

【請求項 30】

前記ロジック回路は、CPUであることを特徴とする請求項29に記載のメモリチップ。

【請求項 31】

請求項28、29又は30に記載のメモリチップを有するメモリカード。

【請求項 32】

請求項28、29又は30に記載のメモリチップと、前記メモリチップを制御するコントローラとを有するメモリカード。

30

【請求項 33】

請求項28、29又は30に記載のメモリチップを有するメモリカードと、前記メモリカードが装着される電子機器とから構成されるメモリカードシステム。

【請求項 34】

1個のメモリセルとこれを挟み込む2個のセレクトゲートトランジスタとから構成される複数のセルユニットと、前記複数のセルユニットの各メモリセルに共通に接続されるワード線と、前記複数のセルユニットに個別に接続される複数のビット線とを具備する不揮発性半導体メモリを対象とし、

前記複数のセルユニットのうち、書き換え対象となるセルユニット内の各メモリセルのみ

40

に対してデータ消去を実行し、その後、前記書き換え対象となるセルユニット内の各メモリセルのみに対してデータ書き込みを実行することを特徴とするデータ書き換え方法。

【請求項 35】

前記データ消去は、前記書き換え対象となるセルユニット内の各メモリセルのドレイン領域とコントロールゲート電極との間に高電界を発生させ、フローティングゲート電極から前記ドレイン領域へ電子を引き抜くことにより行うことを特徴とする請求項34に記載のデータ書き換え方法。

【請求項 36】

前記データ消去は、前記ドレイン領域から前記フローティングゲート電極への熱正孔注入

50

により行うことを特徴とする請求項 3 5 に記載のデータ書き換え方法。

【請求項 3 7】

前記データ消去は、前記フローティングゲート電極から前記ドレイン領域へ電子を引き抜くことと、前記ドレイン領域から前記フローティングゲート電極への熱正孔注入とにより行うことを特徴とする請求項 3 5 に記載のデータ書き換え方法。

【請求項 3 8】

前記データ消去は、前記書き換え対象となるセルユニット内の各メモリセルのソース領域とコントロールゲート電極との間に高電界を発生させ、フローティングゲート電極から前記ソース領域へ電子を引き抜くことにより行うことを特徴とする請求項 3 4 に記載のデータ書き換え方法。

10

【請求項 3 9】

前記データ消去は、前記ソース領域から前記フローティングゲート電極への熱正孔注入により行うことを特徴とする請求項 3 8 に記載のデータ書き換え方法。

【請求項 4 0】

前記データ消去は、前記フローティングゲート電極から前記ソース領域へ電子を引き抜くことと、前記ソース領域から前記フローティングゲート電極への熱正孔注入とにより行うことを特徴とする請求項 3 8 に記載のデータ書き換え方法。

【請求項 4 1】

前記データ消去は、カラム選択信号に基づいて、バイト単位で実行されることを特徴とする請求項 3 4 に記載のデータ書き換え方法。

20

【請求項 4 2】

前記データ消去に関しては、バイト単位で実行するモードとページ単位で実行するモードとを選択できることを特徴とする請求項 3 4 に記載のデータ書き換え方法。

【請求項 4 3】

前記データ書き込みは、前記書き換え対象となるセルユニットのうち、書き込み対象となるセルユニット内の各メモリセルのチャンネル領域とコントロールゲート電極との間に高電界を発生させ、前記チャンネル領域からフローティングゲート電極へ電子を注入することにより行うことを特徴とする請求項 3 4 に記載のデータ書き換え方法。

【請求項 4 4】

前記書き換え対象とならないセルユニット内の各メモリセル及び前記書き換え対象となるセルユニットのうち前記書き込み対象とならないセルユニット内の各メモリセルのチャンネル領域とコントロールゲート電極との間には、高電界を発生させないことを特徴とする請求項 4 3 に記載のデータ書き換え方法。

30

【請求項 4 5】

ドレイン領域がビット線に接続される第 1 セレクトゲートトランジスタと、ソース領域がソース線に接続される第 2 セレクトゲートトランジスタと、前記第 1 及び第 2 セレクトゲートトランジスタの間に接続され、コントロールゲート電極とフローティングゲート電極とを有するメモリセルとから構成されるセルユニットに対して、

前記ビット線に第 1 電位を与え、前記第 1 セレクトゲートトランジスタのゲート電極に前記第 1 電位よりも高い第 2 電位を与え、前記コントロールゲート電極に前記第 1 電位よりも低い第 3 電位を与え、

40

前記フローティングゲート電極から前記ドレイン領域へ電子を引き抜くことにより、前記メモリセルのデータを消去することを特徴とするデータ消去方法。

【請求項 4 6】

前記第 1 及び第 2 電位は、正電位であり、前記第 3 電位は、接地電位であることを特徴とする請求項 4 5 に記載のデータ消去方法。

【請求項 4 7】

前記第 1 及び第 2 電位は、正電位であり、前記第 3 電位は、負電位であることを特徴とする請求項 4 5 に記載のデータ消去方法。

50

【請求項 48】

前記第2セレクトゲートトランジスタのゲート電極に正電位を与え、前記ソース線に負電位を与え、前記フローティングゲート電極から前記ドレイン領域へ電子を引き抜くことに加え、前記ドレイン領域から前記フローティングゲート電極へ熱正孔を注入することにより、前記メモリセルのデータを消去することを特徴とする請求項46又は47に記載のデータ消去方法。

【請求項 49】

前記メモリセル及び前記第1及び第2セレクトゲートトランジスタが形成されるウェル領域に正電位を与え、前記フローティングゲート電極から前記ドレイン領域へ電子を引き抜くことに加え、前記ドレイン領域から前記フローティングゲート電極へ熱正孔を注入することにより、前記メモリセルのデータを消去することを特徴とする請求項46又は47に記載のデータ消去方法。

10

【請求項 50】

ドレイン領域がビット線に接続される第1セレクトゲートトランジスタと、ソース領域がソース線に接続される第2セレクトゲートトランジスタと、前記第1及び第2セレクトゲートトランジスタの間に接続され、コントロールゲート電極とフローティングゲート電極とを有するメモリセルとから構成されるセルユニットに対して、

前記ソース線に第1電位を与え、前記第2セレクトゲートトランジスタのゲート電極に前記第1電位よりも高い第2電位を与え、前記コントロールゲート電極に前記第1電位よりも低い第3電位を与え、

20

前記フローティングゲート電極から前記ソース領域へ電子を引き抜くことにより、前記メモリセルのデータを消去することを特徴とするデータ消去方法。

【請求項 51】

前記第1及び第2電位は、正電位であり、前記第3電位は、接地電位であることを特徴とする請求項50に記載のデータ消去方法。

【請求項 52】

前記第1及び第2電位は、正電位であり、前記第3電位は、負電位であることを特徴とする請求項50に記載のデータ消去方法。

【請求項 53】

前記第1セレクトゲートトランジスタのゲート電極に正電位を与え、前記ビット線に負電位を与え、前記フローティングゲート電極から前記ソース領域へ電子を引き抜くことに加え、前記ソース領域から前記フローティングゲート電極へ熱正孔を注入することにより、前記メモリセルのデータを消去することを特徴とする請求項51又は52に記載のデータ消去方法。

30

【請求項 54】

前記メモリセル及び前記第1及び第2セレクトゲートトランジスタが形成されるウェル領域に正電位を与え、前記フローティングゲート電極から前記ソース領域へ電子を引き抜くことに加え、前記ソース領域から前記フローティングゲート電極へ熱正孔を注入することにより、前記メモリセルのデータを消去することを特徴とする請求項51又は52に記載のデータ消去方法。

40

【請求項 55】

異なる種類の少なくとも2つのメモリセルアレイを有し、前記少なくとも2つのメモリセルアレイは、

1個のメモリセルと1個のセレクトゲートトランジスタとから構成される第1セルユニットを有する第1メモリセルアレイ、

1個のメモリセルとこれを挟み込む2個のセレクトゲートトランジスタとから構成される第2セルユニットを有する第2メモリセルアレイ、及び、

複数個のメモリセルから構成される第3セルユニットを有する第3メモリセルアレイのうちの少なくとも2つを含んでいることを特徴とする混載メモリチップ。

50

【請求項 5 6】

前記第 1 乃至第 3 セルユニット内のメモリセルは、それぞれ、フローティングゲート電極とコントロールゲート電極とを有するスタックゲート構造を有することを特徴とする請求項 5 5 記載の混載メモリチップ。

【請求項 5 7】

前記第 1 乃至第 3 セルユニット内のメモリセルは、それぞれ、F N トンネル現象を用いて、データ書き込み / 消去を実行することを特徴とする請求項 5 6 記載の混載メモリチップ。

【請求項 5 8】

前記第 3 セルユニットは、前記複数個のメモリセルが直列接続される N A N D セルユニット、又は、前記複数個のメモリセルが並列接続される A N D セルユニット若しくは D I N O R セルユニットであることを特徴とする請求項 5 5 記載の混載メモリチップ。 10

【請求項 5 9】

前記少なくとも 2 つのメモリセルアレイは、それぞれ、独立に配置されることを特徴とする請求項 5 5 記載の混載メモリチップ。

【請求項 6 0】

前記少なくとも 2 つのメモリセルアレイは、互いに隣接して配置され、ビット線を共有することを特徴とする請求項 5 5 記載の混載メモリチップ。

【請求項 6 1】

前記少なくとも 2 つのメモリセルアレイは、書き込み及び読み出しのための回路を共有することを特徴とする請求項 6 0 記載の混載メモリチップ。 20

【請求項 6 2】

請求項 5 5 記載の混載メモリチップにおいて、
さらに、前記少なくとも 2 つのメモリセルアレイの各々に対して、ページデータをセンスアンプ回路に読み出し、前記センスアンプ回路においてバイト単位でデータの上書きを行うと共にページ消去を行い、前記センスアンプ回路のデータをページ書き込みすることにより、バイト単位の書き換えを実行する制御回路を具備することを特徴とする混載メモリチップ。

【請求項 6 3】

請求項 5 5 記載の混載メモリチップにおいて、
さらに、前記少なくとも 2 つのメモリセルアレイの各々に対して、ページデータをセンスアンプ回路に読み出し、前記センスアンプ回路においてバイト単位でデータの上書きを行うと共にバイト消去を行い、前記センスアンプ回路のデータをページ書き込みすることにより、バイト単位の書き換えを実行する制御回路を具備することを特徴とする混載メモリチップ。 30

【請求項 6 4】

請求項 5 5 記載の混載メモリチップにおいて、
さらに、前記少なくとも 2 つのメモリセルアレイの各々に対して、バイトデータをセンスアンプ回路に読み出し、前記センスアンプ回路においてバイト単位でデータの上書きを行うと共にバイト消去を行い、前記センスアンプ回路のデータをバイト書き込みすることにより、バイト単位の書き換えを実行する制御回路を具備することを特徴とする混載メモリチップ。 40

【請求項 6 5】

請求項 5 5 記載の混載メモリチップにおいて、
さらに、前記少なくとも 2 つのメモリセルアレイの各々に対して、書き込みデータとしてのバイトデータをセンスアンプ回路にラッチすると共にバイト消去を行い、前記センスアンプ回路のデータをバイト書き込みすることにより、バイト単位の書き換えを実行する制御回路を具備することを特徴とする混載メモリチップ。

【請求項 6 6】

請求項 5 5 記載の混載メモリチップにおいて、 50

さらに、ロジック回路を有することを特徴とする混載メモリチップ。

【請求項 67】

請求項 55 記載の混載メモリチップにおいて、

さらに、ロジック回路と RF 回路とを有することを特徴とする混載メモリチップ。

【請求項 68】

請求項 55 に記載の混載メモリチップを有するメモリカード。

【請求項 69】

請求項 55 に記載の混載メモリチップと、前記混載メモリチップを制御するコントローラとを有するメモリカード。

【請求項 70】

請求項 55 に記載の混載メモリチップを有するメモリカードと、前記混載メモリカードが装着される電子機器とから構成されるメモリカードシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バイト単位でメモリセルのデータを書き換えることが可能な不揮発性半導体メモリに関する。

【0002】

【従来の技術】

バイト単位でメモリセルのデータを書き換えることが可能な不揮発性半導体メモリとしては、EEPROM が知られている。例えば、非特許文献 1 に開示される FLOTOX (Floating Gate Tunnel Oxide) セルは、バイト単位でメモリセルのデータを書き換えることが可能となっている。

【0003】

図 71 は、FLOTOX セルの平面図であり、図 72 は、図 71 の L X X I I - L X X I I 線に沿う断面図である。このセルの特徴は、N⁺ドレイン領域 20a 上にトンネル酸化膜と呼ばれる 10nm 程度の薄い酸化膜 22a が存在する点にある。ドレイン領域 20a とコントロールゲート電極 23a との間に高電界を発生させると、ドレイン領域 20a とフローティングゲート電極 21a との間で、トンネル酸化膜を介した電荷のやりとりが行われる。

【0004】

図 73 は、図 71 及び図 72 のトンネル酸化膜 22a の部分のバンド構造を示している。この図から明らかなように、ドレイン領域 20a とコントロールゲート電極 23a との間に高電界を発生させると、トンネル酸化膜 22a には、(1) 式に従って、FN (Fowler-Nordheim) トンネル電流が流れる。

【0005】

$$I = S E^2 \exp(-\alpha / E) \quad \dots (1)$$

但し、S は、トンネル酸化膜の面積、E は、電界である。

$$\alpha = q^3 / 8\pi h \Phi B = 6.94 \times 10^{-7} \quad [A/V^2]$$

$$\beta = -4(2m) 0.5 \Phi B 1.5 / 3 h q$$

$$= 2.54 \times 10^8 \quad [V/cm]$$

この式によれば、FN トンネル電流が流れ始める電界は、約 10 MV/cm であることがわかる。この電界の強さは、厚さ約 10 nm のトンネル酸化膜に対して約 10 V の電圧を印加した場合に相当する。

【0006】

ここで、フローティングゲート電極 21a とその周りの電極配線との容量に対するフローティングゲート電極 21a とコントロールゲート電極 23a との容量の比、即ち、カップリング比を 0.5 とすると、フローティングゲート電極 21a とドレイン領域 20a との

10

20

30

40

50

間に10Vの電位差を得るためには、例えば、ドレイン領域20aを0Vに設定し、コントロールゲート電極23aを20Vに設定する必要がある。この時、ドレイン領域20a内の電子は、フローティングゲート電極21aに注入される。

【0007】

また、カップリング比が0.5の場合、フローティングゲート電極21aとドレイン領域20aとの間に10Vの電位差を得るためには、例えば、ドレイン領域20aを20Vに設定し、コントロールゲート電極23aを0Vに設定する必要がある。この時、フローティングゲート電極21a内の電子は、ドレイン領域20aに放出される。

【0008】

FLOTOXセルを用いるメモリセルは、FLOTOXセル、1素子のみから構成することができない。消去時に非選択のメモリセルに与える逆バイアスが書き込み状態を発生させるからである。即ち、この問題を解決するために、例えば、1つのメモリセルを、図74に示すような回路から構成しなければならない。

10

【0009】

図74に示すようなメモリセルを用いたEEPROMの各モードでのバイアス条件は、表1に示す通りとなる。

【0010】

【表1】

モード		選択バイト	選択バイトと同一のワード線に繋がる非選択バイト	選択バイトと同一のビット線に繋がる非選択バイト
消去 ("0"書き込み)	ワード線	High	High	Low
	バイトコントロール	High	Low	High
	ビット線	Low	Low	Low
"1"書き込み	ワード線	High	High	Low
	バイトコントロール	Low	Low	Low
	ビット線	High or Low*1	Low	High or Low*2

*1=Data Dependent

*2=Don't Care

10

20

30

40

50

【0011】

このメモリセルは、様々なディスターブを、選択トランジスタSTとトランスファークゲートTrにより完全に排除できる斬新な回路ではあったが、メモリセル1個当りのトランジスタ数が $2 + (1/8)$ 個となり、メモリセルサイズが大きくなるという問題があった。また、トンネル酸化膜は、セルトランジスタを形成する領域とは別の領域に設ける必要があり、これがコスト増加の原因となっていた。

【0012】

このような問題を回避するために誕生した不揮発性半導体メモリがフラッシュメモリ（EEPROM）である。従来のEEPROMは、1ビット毎に、消去及び書き込みを実行することが可能で、非常に使い易い。しかし、例えば、ハードディスクは、データを1ピッ

ト毎に書き換える必要がなく、セクター単位、即ち、複数ビットからなる1つのかたまり単位で、データのやり取りを行うことができれば足りる。

【0013】

必要なのは、1ビット毎にデータの書き換えを行うことではなく、コストの安い不揮発性半導体メモリを提供することである。このような発想から、非特許文献2に示すようなフラッシュメモリが誕生した。

【0014】

このメモリセルの基本構造は、図75に示すように、紫外線消去型EPROMと同じである。即ち、MOSトランジスタのコントロールゲート電極とシリコン基板(チャンネル)との間には、フローティングゲート電極が配置される。書き込みは、紫外線消去型EPROMと同様に、ホットエレクトロン注入により行われ、消去は、バイト型EPROMと同様に、フローティングゲート電極からの電界放出により行われる。

10

【0015】

フラッシュメモリの消去原理は、バイト型EEPROMと同じであるが、全体としてみると、バイト型EEPROMとは全く異なる。即ち、バイト型EEPROMは、バイト単位で消去が行われるが、フラッシュメモリは、原則として全ビットが一括して消去される。

【0016】

また、フラッシュメモリの書き込みは、上述のように、紫外線消去型EPROMと同じく、ホットエレクトロン注入により行うため、フラッシュメモリでは、1ビット毎の書き込みが可能である。つまり、書き込み/消去動作に関しては、フラッシュメモリは、全ビットを一括消去し、ホットエレクトロン注入により1ビット毎に書き込みを行う紫外線消去型EPROMと同じとなる。

20

【0017】

さらに、高集積化可能なフラッシュメモリとして提案されたのが、非特許文献3に示されるようなNAND型フラッシュメモリである。

【0018】

NAND型フラッシュメモリのメモリセルアレイは、例えば、図76及び図77に示すように、NANDセルユニットから構成される。NANDセルユニットは、直列接続された複数個(例えば、16個)のメモリセルからなるセル列と、このセル列の両端に1つずつ配置される2個のセレクトゲートトランジスタとから構成される。

30

【0019】

NAND型フラッシュメモリでは、ビット線コンタクト部及びソース線コンタクト部は、それぞれ、1つのNANDセルユニットに対して1つだけ設ければよいため、1ビット当たりのメモリセルサイズの縮小、さらには、チップサイズの縮小に貢献できる。例えば、NAND型フラッシュメモリは、ビット線とソース線との間にメモリセル1ビット分のみを配置したNOR型フラッシュメモリ(図78)と比べ、チップサイズを大幅に縮小できる。

【0020】

このように、NAND型フラッシュメモリは、セルサイズが小さく、かつ、ビットコストが安い、という大容量ファイルメモリとしての最大の特長を有している。また、NAND型フラッシュメモリは、機能的にみても、NOR型フラッシュメモリと比べ、データの書き換えスピードが速い、消費電力が小さいなどの特長を有している。

40

【0021】

データの書き換えスピードが速く、消費電力が小さいという特長は、NAND型フラッシュメモリに特有のデータ書き換え方式により実現される。この特有のデータ書き換え方式とは、FNトンネル電流を用いて、シリコン基板とフローティングゲート電極との間で電荷の出し入れを行い、書き込み及び消去を行うというものである。

【0022】

従って、メモリセルに関してのみ考えれば、原理的には、書き込むために必要な電流は、フローティングゲート電極に対するFNトンネル電流のみである。つまり、書き込み時の

50

消費電流は、ホットエレクトロン注入によるNOR型フラッシュメモリと比べて、大幅に小さくなる。このため、複数ビットに対して同時に書き込みを行っても、消費電力の増加は、ほとんどない。

【0023】

例えば、64メガビットNAND型フラッシュメモリの場合、1ページ(512バイト)単位での書き込みを200μsで行うことが可能である。このように、NAND型フラッシュメモリは、NOR型フラッシュメモリに比べて、1ブロック単位での書き換え時間が非常に短く、また、書き換えに必要な消費電力も小さいという特長を有する。

【0024】

表2は、NAND型フラッシュメモリの特長とNOR型フラッシュメモリの特長を比較して示したものである。

【0025】

【表2】

	NOR	NAND
長所	①ランダムアクセスが速い ②書き込みがバイト毎にランダムにできる	①書き込み速度が速い ②消去速度が速い ③ブロックサイズが小さくファイル管理が容易
短所	①書き込み速度が遅い ②消去速度が遅い	①ランダムアクセスが遅い ②バイト毎に書き込みができない
用途	従来EPROM分野の置き換え、制御機器、PCのBIOS、携帯電話、HDD等の制御用メモリ	ハードディスク、フロッピーディスクの置き換え、携帯端末(ハンディターミナル、音声録音、電子スチルカメラ) Fax/モデムのデータ記録用

【0026】

表2に示すように、両メモリの長所と短所は、互いに相補の関係にある。例えば、用途に関して、NAND型フラッシュメモリは、特定のブロックデータ単位で、データ書き換え/読み出しを行う分野に使用される。例えば、30万画素を有するデジタルカメラでは、

10

20

30

40

50

1ショットの写真に約0.5メガビットの記憶容量が必要であるため、データ記憶用として、NAND型フラッシュメモリが広く用いられている。

【0027】

一方、NOR型フラッシュメモリは、100nsの高速なランダムアクセスが可能であるため、携帯電話などの制御プログラム用メモリとして広く用いられている。

【0028】

このように、不揮発性半導体メモリの分野では、EEPROM(従来型)、フラッシュメモリ、NAND型フラッシュメモリへと進化し、バイト単位の書き換え機能と引き換えに、メモリセルサイズの縮小化、即ち、1ビット当たりのコスト(ビットコスト)の低減を達成してきた。

【0029】

しかし、昨今のロジック混載不揮発性メモリでは、バイト単位のデータ書き換えの需要が高まっている。例えば、ICカードにおいては、収入、支出などの金銭の管理で、一部のデータを書き換える場合、フラッシュメモリを用いると、書き換えるデータの量が大きくなり過ぎる。

【0030】

よって、このような欠点をなくすため、バイト単位で書き換えが可能なバイト型EEPROMが必要となる。ところが、バイト型EEPROMは、上述したように、1ビット当たりの素子数、即ち、セル面積が大きい問題がある。また、現在、不揮発性半導体メモリの主流は、フラッシュメモリ(NOR型や、NAND型など)となっているため、それらのメモリと同一のプロセスにすれば、開発コスト、生産コストが安価に抑えられる。

【0031】

このような状況の下、現在では、フラッシュメモリと同一のプロセスで形成でき、さらに、フラッシュメモリと同一のデータ書き換え方式を採用でき、バイト単位の書き換えも可能な不揮発性半導体メモリが開発されている(例えば、特許文献1~5参照)。

【0032】

特に、特許文献3に開示される不揮発性半導体メモリは、いわゆる3Tr.NANDと呼ばれ、今後、ロジック回路やNAND型フラッシュメモリとの混載メモリとして注目されている。3Tr.NANDのメモリセルは、1個のセルトランジスタと、それを挟み込む2個のセレクトゲートトランジスタとの、合計、3個のトランジスタから構成される。

【0033】

【特許文献1】

特開平11-195718号公報

【0034】

【特許文献2】

特開平11-297081号公報

【0035】

【特許文献3】

特開2000-149581号公報

【0036】

【特許文献4】

特開2002-43444号公報

【0037】

【特許文献5】

米国特許第4,636,984号明細書

【0038】

【非特許文献1】

W. Johnson et al., "A 16Kb Electrically Erasable Nonvolatile Memory," ISSCC Digest of Technical Papers, pp.152-153, Feb.

10

20

30

40

50

1982.

【0039】

【非特許文献2】

F. Masuoka et al., "A new Flash EEPROM cell using triple polysilicon technology," IEDM Technical Digest, pp. 464 - 467 Dec. 1984.

【0040】

【非特許文献3】

F. Masuoka et al., "New ultra high density EPROM and Flash EEPROM with NAND structured cell," IEDM Technical Digest, pp. 552 - 555 Dec. 1987. 10

【0041】

【発明が解決しようとする課題】

3 Tr. NANDでは、例えば、選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、1
1ページ分のメモリセルのデータをセンスアンプに読み出し、2 ページ消去を行い、
3 センスアンプにおいて1ページデータのうち書き換えを行うデータに対してのみ
上書きを行い、この後、4 1ページ分のメモリセルに対してデータを再書き込みす 20
る、という方法が採用される。

【0042】

これは、チップの外側から見れば、バイト単位の書き換えとなっているが、チップの内側から見ると、書き換えを行わないデータについても、一旦、ページ消去によってセルデータが消去されている。つまり、セルデータを一時的に保管しておくセンスアンプにおいて、動作不良や誤動作が発生すると、書き換えを行わないデータが誤ったデータに変わってしまう恐れがある。

【0043】

勿論、信頼性向上のために、チップ内には、ECC(エラー訂正回路)が設けられているため、このような事態に対しては、このECCにより、一応、対応できるわけであるが、 30
このような不安については、ないに越したことはない。

【0044】

本発明は、このような事情を考慮してなされたもので、その目的は、1個のメモリセルとそれを挟み込む2個のセレクトゲートトランジスタの、合計、3個のトランジスタで構成されたセルユニットを有する不揮発性半導体メモリにおいて、書き換え対象とならないデータについては、消去及び再書き込みを行うことなく、完全なバイト単位のデータ書き換えを実行することにある。

【0045】

【課題を解決するための手段】

本発明の例に関わる不揮発性半導体メモリは、1個のメモリセルとこれを挟み込む2個の 40
セレクトゲートトランジスタとから構成される複数の第1セルユニットと、前記複数の第1セルユニットの各メモリセルに共通に接続されるワード線と、前記複数の第1セルユニットに個別に接続される複数のビット線と、前記複数のビット線に対応して設けられる複数のセンスアンプと、前記複数の第1セルユニットを複数のブロックに分け、消去時に、ブロック単位で、前記複数のビット線の電位を設定する消去回路とを備える。

【0046】

本発明の例に関わる不揮発性半導体メモリは、1個のメモリセルとこれを挟み込む2個の 50
セレクトゲートトランジスタとから構成される複数の第1セルユニットと、前記複数の第1セルユニットの各メモリセルに共通に接続されるワード線と、前記複数の第1セルユニットに個別に接続される複数のビット線と、前記複数のビット線に対応して設けられる複

数のセンスアンプと、前記複数の第1セルユニットを複数のブロックに分け、前記複数の第1セルユニットに接続される複数のソース線と、消去時に、ブロック単位で、前記複数のソース線の電位を設定する消去回路とを備える。

【0047】

本発明の例に関わる不揮発性半導体メモリは、直列接続された複数個のメモリセルとこれら複数個のメモリセルを挟み込む2個のセレクトゲートトランジスタとから構成される複数の第1セルユニットと、1個のメモリセルと1個のセレクトゲートトランジスタとから構成される複数の第2セルユニットと、前記複数の第1セルユニットに個別に接続され、前記複数の第2セルユニットに個別に接続され、前記第1及び第2セルユニットに共通に接続される複数のビット線と、前記複数のビット線に対応して設けられる複数のセンスアンプとを備え、前記複数の第1及び第2セルユニット内の各メモリセルに対しては、共に、少なくともFNTunnel電流を用いて、書き込み/消去が実行される。

10

【0048】

本発明の例に関わるデータ書き換え方法は、1個のメモリセルとこれを挟み込む2個のセレクトゲートトランジスタとから構成される複数のセルユニットと、前記複数のセルユニットの各メモリセルに共通に接続されるワード線と、前記複数のセルユニットに個別に接続される複数のビット線とを具備する不揮発性半導体メモリを対象とし、前記複数のセルユニットのうち、書き換え対象となるセルユニット内の各メモリセルのみに対してデータ消去を実行し、その後、前記書き換え対象となるセルユニット内の各メモリセルのみに対してデータ書き込みを実行する。

20

【0049】

本発明の例に関わるデータ消去方法は、ドレイン領域がビット線に接続される第1セレクトゲートトランジスタと、ソース領域がソース線に接続される第2セレクトゲートトランジスタと、前記第1及び第2セレクトゲートトランジスタの間に接続され、コントロールゲート電極とフローティングゲート電極とを有するメモリセルとから構成されるセルユニットに対して、前記ビット線に第1電位を与え、前記第1セレクトゲートトランジスタのゲート電極に前記第1電位よりも高い第2電位を与え、前記コントロールゲート電極に前記第1電位よりも低い第3電位を与え、前記フローティングゲート電極から前記ドレイン領域へ電子を引き抜くことにより、前記メモリセルのデータを消去する。

30

【0050】

本発明の例に関わるデータ消去方法は、ドレイン領域がビット線に接続される第1セレクトゲートトランジスタと、ソース領域がソース線に接続される第2セレクトゲートトランジスタと、前記第1及び第2セレクトゲートトランジスタの間に接続され、コントロールゲート電極とフローティングゲート電極とを有するメモリセルとから構成されるセルユニットに対して、前記ソース線に第1電位を与え、前記第2セレクトゲートトランジスタのゲート電極に前記第1電位よりも高い第2電位を与え、前記コントロールゲート電極に前記第1電位よりも低い第3電位を与え、前記フローティングゲート電極から前記ソース領域へ電子を引き抜くことにより、前記メモリセルのデータを消去する。

【0051】

本発明の例に関わる混載メモリチップは、異なる種類の少なくとも2つのメモリセルアレイを有する。前記少なくとも2つのメモリセルアレイは、1個のメモリセルと1個のセレクトゲートトランジスタとから構成される第1セルユニットを有する第1メモリセルアレイ、1個のメモリセルとこれを挟み込む2個のセレクトゲートトランジスタとから構成される第2セルユニットを有する第2メモリセルアレイ、及び、複数個のメモリセルから構成される第3セルユニットを有する第3メモリセルアレイのうちの少なくとも2つを含んでいる。

40

【0052】**【発明の実施の形態】**

以下、図面を参照しながら、本発明の例に関わる不揮発性半導体メモリについて詳細に説明する。

50

【0053】

1. 参考例

まず、本発明の例に関わる不揮発性半導体メモリの前提となる参考例、即ち、3Tr.NANDについて説明する。

【0054】

(1) メモリセルアレイ

図1は、本発明の参考例に関わる3Tr.NANDのメモリセルを示している。図2は、図1のメモリセルの等価回路を示している。図3は、メモリセルアレイの全体の回路構成を示している。

【0055】

メモリセルMCは、コントロールゲートとフローティングゲートを有し、フラッシュメモリのメモリセルと同じ構造となっている。メモリセルMCの両端には、それぞれ1つずつセレクトゲートトランジスタST1, ST2が接続されている。セレクトゲートトランジスタST1は、ビット線コンタクト部BCを経由してビット線に接続され、セレクトゲートトランジスタST2は、ソース線SLに接続される。

【0056】

メモリセルMC及びセレクトゲートトランジスタST1, ST2により1つのセルユニットが構成され、メモリセルアレイは、複数のセルユニットがアレイ状に配置されることにより実現される。

【0057】

ロウ方向に配置される複数のセルユニットにより1つのブロックが構成される。1つのブロック内には、ロウ方向に延びる1本のコントロールゲート線CGLが配置される。1本のコントロールゲート線CGLに接続されるメモリセルをまとめて1ページと呼ぶ。

【0058】

消去動作は、1ページごとに行うことができる。メモリセルに対する書き込み及び読み出しの各動作も、カラムごとにラッチ機能を持つセンスアンプを設けることで、1ページ同時に行うことができる。但し、データの入出力は、例えば、ビットごとにシリアルに行われる。

【0059】

また、このような構成により、バイト単位のデータ書き換えが可能となる。

【0060】

3Tr.NANDは、構造面で見ると、NAND型フラッシュメモリにおいて1つのNANDセルユニット内のメモリセルを1つにしたものと考えられることができる。但し、3Tr.NANDは、機能面で見ると、NAND型フラッシュメモリとは大きく異なっている。

【0061】

3Tr.NANDの長所について説明する。

【0062】

3Tr.NANDのメモリセル部は、NAND型フラッシュメモリのメモリセル部と比べると、1つのユニットを構成するメモリセルの数が異なるだけである。よって、3Tr.NANDでは、NAND型フラッシュメモリのプロセスをそのまま採用できるため、バイト単位の消去が可能であるにもかかわらず、記憶容量を増大でき、かつ、生産コストも低減できる。

【0063】

例えば、デザインルールを0.4[μm]とした場合、1個のメモリセルの面積(短辺長 $a \times$ 長辺長 b)は、短辺長 a が1.2[μm]、長辺長 b が3.2[μm]であるため、3.84[μm^2]となる。一方、従来のバイト型EEPROMでは、デザインルールを0.4[μm]とした場合、1個のメモリセルの面積は、36[μm^2]となる。

【0064】

つまり、メモリセルアレイ部に関しては、単純に計算しても、3Tr.NANDは、従来のバイト型EEPROMに比べて、約10倍の記憶容量を実現できる。

10

20

30

40

50

【0065】

また、3Tr.NANDは、NAND型フラッシュメモリと同一のプロセスで製造可能であるため、ロジック混載不揮発性メモリへの応用も容易である。さらに、3Tr.NANDのメモリセルは、NAND型フラッシュメモリのメモリセルと同じ構造であるため、1つのメモリセルについて見れば、フラッシュメモリの書き換え方式、即ち、FNトンネル現象を利用した書き換え方式をそのまま採用できる。

【0066】

但し、メモリセルアレイ全体として見た場合には、3Tr.NANDは、バイト単位のデータ書き換え（バイト消去）が行える点でNAND型フラッシュメモリと異なる。

【0067】

10

(2) 基本動作

以下、3Tr.NANDの消去動作、書き込み動作及び読み出し動作について順次説明する。

【0068】

消去動作時、選択ブロックのコントロールゲート（ワード線）CGLには接地電位が印加され、非選択ブロックのコントロールゲートCGLはフローティング状態に設定される。

【0069】

この後、例えば、21[V]、3[ms]の消去パルスがバルクに印加される。ここで、バルクとは、シリコン基板に形成されるウェルのことであり、メモリセルMC及びセレクトゲートトランジスタSL1、SL2は、全て、このウェル中に形成される。

20

【0070】

消去パルスがバルクに印加されると、選択ブロックのメモリセルMCでは、バルクとコントロールゲートの間に消去電圧（21[V]）が加わり、フローティングゲート中の電子がFN（Fowler-Nordheim）トンネル現象によりチャネル（ウェル）に移動する。その結果、メモリセルの閾値電圧は、-3[V]程度となる。

【0071】

3Tr.NANDでは、消去動作においてメモリセルの閾値電圧の絶対値が極端に大きくなる過消去を問題としなくてもよい。よって、1個の消去パルスで、閾値電圧が-3[V]程度になるような条件で消去動作を行い、消去時間（閾値電圧が所定値未満になったかを確認するベリファイを行う場合はこれに要する時間も含む）を短くすることができる。

30

【0072】

消去動作時、非選択ブロックのコントロールゲートCGLはフローティング状態に設定されている。よって、非選択ブロックのメモリセルMCでは、バルク（ウェル）の電位が上昇しても、コントロールゲートCGLとバルクの容量カップリングにより、コントロールゲートCGLの電位も上昇するため、データの消去は行われぬ。

【0073】

コントロールゲートCGLは、ポリシリコン、ポリシリコンと金属シリサイドの積層などから構成される。また、コントロールゲートCGLは、金属配線を経由してワード線ドライブ用MOSトランジスタのソースに接続される。よって、コントロールゲートには、ワード線ドライブ用トランジスタのソースの接合容量、ソースとゲートのオーバーラップ容量、コントロールゲートと金属配線間の容量、コントロールゲートとバルク（ウェル）間の容量などが接続される。

40

【0074】

これらの容量の中でも、コントロールゲートとバルク（ウェル）間の容量は、特に大きい。つまり、コントロールゲートとバルク間のカップリング比は、約0.9と非常に大きくなるため、非選択ブロックのメモリセルMCでは、コントロールゲートCGLとバルクの容量カップリングにより、FNトンネル電流が流れるのを防ぐことができる。

【0075】

消去ベリファイでは、例えば、選択ブロック内の全てのメモリセルの閾値電圧が-1[V]以下になったか否かを検証する。3Tr.NANDでは、上述のように、過消去が問題

50

とならないため、過消去の検証は必要がない。また、 $-3[V]$ 程度まで確実に閾値電圧を下げる条件で消去を行い、ベリファイを省略することもできる。

【0076】

“0”書き込み動作時、選択ブロックのビット線側のセレクトゲートトランジスタ $ST1$ をオン状態にし、ソース線側のセレクトゲートトランジスタ $ST2$ をオフ状態にし、書き込み実行(“0”書き込み)のメモリセルに対しては、ビット線 BLi を $0[V]$ にし、書き込み禁止(“1”書き込み)のメモリセルに対しては、ビット線 BLi を電源電位 VCC (例えば、 $3.3[V]$)にする。

【0077】

書き込み実行のメモリセルのチャンネルには、ビット線 BLi からセレクトゲートトランジスタ $ST1$ を経由して電位 $0[V]$ が印加される。よって、書き込み実行のメモリセルのチャンネル電位は、接地電位となる。

【0078】

そして、選択ワード線(コントロールゲート)に書き込み電位が印加されると、選択ワード線に接続される選択メモリセルのうち、書き込み実行のメモリセルのフローティングゲートとチャンネルの間には、大きな電位差が生じる。よって、書き込み実行のメモリセルでは、FNトンネル現象により、電子がチャンネルからフローティングゲートへ移動する。

【0079】

一方、書き込み禁止のメモリセルにおいては、チャンネルは、電源電位 VCC に充電され、かつ、フローティング状態に設定されている。そして、選択ワード線(コントロールゲート)に書き込み電位が印加されると、コントロールゲート、フローティングゲート、チャンネル、バルク(ウェル)の直列容量結合により、チャンネル電位も自動的に昇圧される。

【0080】

よって、選択ワード線に接続される書き込み禁止のメモリセルのフローティングゲートとチャンネルの間には大きな電位差が生じることはなく、チャンネルからフローティングゲートへ電子が移動することもない。

【0081】

このように、書き込み禁止のメモリセルに対しては、コントロールゲートとチャンネルの間のカップリング比を大きくし、かつ、チャンネルの充電を十分に行なっておくことで、選択ワード線に書き込み電位が印加されたときのチャンネル電位(書き込み禁止電位)を十分に高くできる。

【0082】

コントロールゲートとチャンネルの間のカップリング比 B は、以下の式により算出される。

【0083】

$$B = C_{ox} / (C_{ox} + C_j)$$

ここで、 C_{ox} は、コントロールゲートとチャンネルの間のゲート容量の総和、 C_j は、メモリセルのソースとドレインの接合容量の総和である。

【0084】

メモリセルのチャンネル容量は、これらゲート容量の総和 C_{ox} と接合容量の総和 C_j の合計となる。

【0085】

なお、セレクトゲートトランジスタのゲートとソースのオーバーラップ容量、ビット線とソース・ドレインの間の容量などは、チャンネル容量に比べると、非常に小さいため、ここでは無視している。

【0086】

読み出し動作時、ビット線をプリチャージ電位に充電した後、図4及び図5に示すように、選択メモリセルのコントロールゲート(選択ワード線)には、 $0[V]$ を印加し、選択メモリセルの両側のセレクトゲートトランジスタのゲートには、電源電位 VCC を印加し、非選択メモリセルの両側のセレクトゲートトランジスタのゲートには、 $0[V]$ を印加する。この時、選択メモリセルの両側のセレクトゲートトランジスタは、オン状態、非選

10

20

30

40

50

択メモリセルの両側のセレクトゲートトランジスタは、オフ状態となる。

【0087】

選択メモリセルのうち、データ“1”が書き込まれているメモリセル、即ち、消去状態のメモリセルについては、閾値電圧が負のディプレッション・モードとなっているため、オン状態となり、ビット線の電位が下がる。逆に、データ“0”が書き込まれているメモリセルについては、閾値電圧が正のエンハンスメント・モードとなっているため、オフ状態となり、ビット線の電位は、プリチャージ電位に維持される。

【0088】

このように、データ“0”、“1”の判断は、ビット線からソース線にセル電流が流れるか否かによって行う。ビット線の電位の変化は、センスアンプにより増幅（検知）される。

10

【0089】

(3) 3Tr・NANDの効果

3Tr・NANDによれば、メモリセルMCは、セレクトゲートトランジスタに挟まれているため、以下の効果を有する。

【0090】

第一に、読み出し電位を0[V]とする場合、図6に示すように、消去後又は書き込み後の閾値電圧分布は、負（データ“1”）又は正（データ“0”）になっていればよい。即ち、“1”と“0”を区別するベリファイ機能を設ければ、過消去や過書き込みを検知するベリファイ機能を設けなくてもよい。よって、従来のフラッシュメモリで行われているような複雑なベリファイは必要なくなる。また、本発明では、過消去により負の閾値電圧の絶対値が大きくなったり、過書き込みにより正の閾値電圧の絶対値が大きくなる場合でも、正常な読み出し動作が可能である。よって、ゲート酸化膜（トンネル酸化膜）に加わる電界を高く設定し、消去時間及び書き込み時間を短くすることができる。

20

【0091】

第二に、NAND型フラッシュメモリのように、消去及び書き込みは、共に、FNトンネル現象を利用したフローティングゲートとチャンネルの間での電荷のやりとりにより行われる。よって、データ書き換え時の消費電流を非常に小さく抑えることができ、1回の書き換え動作で同時に書き換えるメモリセルの数を増大させることができる。

【0092】

第三に、本発明のバイト型EEPROMは、NAND型フラッシュメモリとは異なり、セレクトゲートトランジスタの間のメモリセルは、1つのみである。つまり、セレクトゲートトランジスタの間に選択メモリセルと非選択メモリセルが混在することはないため、読み出し時に、非選択メモリセルを常にオン状態にしてパストランジスタとして機能させる必要もない。よって、過書き込みを防止するための処置は不要である。

30

【0093】

また、読み出し時に、非選択メモリセルを常にオン状態にしておく必要がないため、選択メモリセルのコントロールゲートを0[V]として読み出しを行う場合に、非選択メモリセルのコントロールゲートも0[V]とし、リードリテンション（Read Retention）を考慮しなくてもよくなる。

40

【0094】

即ち、従来のNAND型フラッシュメモリでは、セレクトゲートトランジスタの間に複数のメモリセルが直列接続されているため、読み出し時、選択メモリセルのコントロールゲートを0[V]とし、非選択メモリセルのコントロールゲートをVread(=4.5V)としていた。これが、リードリテンションを縮める原因になっていた。

【0095】

3Tr・NANDでは、セレクトゲートトランジスタの間には1つのメモリセルのみが接続されるため、読み出し時、全てのメモリセルのコントロールゲートを0[V]とし、メモリセルの両端のセレクトゲートトランジスタのオン/オフのみにより、メモリセルの選択/非選択を決定することができる。

50

【0096】

また、ビット線とメモリセルの間にセレクトゲートトランジスタを接続しているため、読み出し時に、非選択メモリセルを常にオフ状態にしておく必要もない。よって、過消去を防止するための処置も不要である。

【0097】

また、“0”書き込み時において、非選択ワード線（コントロールゲート）に中間電位（書き込み電位の約1/2の電位）を与える必要がない。メモリセルとビット線の間にセレクトゲートトランジスタが存在すると共に、セレクトゲートトランジスタの間のメモリセルも1個のみだからである。

【0098】

また、非選択ワード線に中間電位を与えなくても、誤書き込みを防止できるため、書き込みの信頼性が高くなる。また、ページ単位（又はビット単位）の書き換えが可能となる。読み出し時においても、パストラジスタがないため、セル電流を大きくできる。よって、高速な読み出しが可能となり、読み出し時のデータ保持特性が向上する。

10

【0099】

表3は、上述の消去、書き込み、読み出しのそれぞれの動作におけるセレクトゲート線SSL、GSL、コントロールゲート線（ワード線）CGL、ビット線BLi、セルソース線SL、セルPウェルの電位を示している。

【0100】

【表3】

20

		消去	書き込み	読み出し
選択ブロック	ビット線側の セレクトゲート線 SSL	$V_{era} \times \beta$	VCC	VCC
	コントロール ゲート線 CGL	0V	Vprog	0V
	ソース線側の セレクトゲート線 GSL	$V_{era} \times \beta$	0V	VCC
非選択ブロック	ビット線側の セレクトゲート線 SSL	$V_{era} \times \beta$	0V	0V
	コントロール ゲート線 CGL	$V_{era} \times \beta$	0V	0V
	ソース線側の セレクトゲート線 GSL	$V_{era} \times \beta$	0V	0V
ビット線	“1”データ	$V_{era} - V_b$	VCC	VBL → 0V
	“0”データ	$V_{era} - V_b$	0V	VBL
	セルソース線	$V_{era} - V_b$	VCC	0V
	セルPウェル	V_{era}	0V	0V

10

20

30

40

50

【0101】

消去動作においては、選択ブロックのコントロールゲート線CGLは、0[V]に設定され、非選択ブロックのコントロールゲート線CGL及び全てのセレクトゲート線SSL、GSLは、フローティング状態に設定される。

【0102】

この状態において、セルPウェルに消去電位 V_{era} 、例えば、21[V]が印加されると、フローティング状態の全てのセレクトゲート線SSL、GSLの電位と非選択ブロックのコントロールゲート線CGLの電位は、セルPウェルとの容量カップリングによって、 $V_{era} \times \beta$ （但し、 β は、カップリング比）になる。

【0103】

ここで、 β を0.8とすると、フローティング状態の全てのセレクトゲート線SSL、GSLの電位と非選択ブロックのコントロールゲート線CGLの電位は、16.8[V]に上昇することになる。

【0104】

消去動作時、ビット線BLi及びセルソース線SLに接続される N^+ 拡散層とセルPウェルとからなるpn接合は、順方向にバイアスされる。このため、ビット線BLi及びセルソース線SLは、 $V_{era} - V_b$ に充電される。なお、 V_b は、pn接合のビルトイン

・ポテンシャルである。

【0105】

書き込み動作においては、“1”データを書き込む選択メモリセルに接続されるビット線 $B L i$ 、即ち、消去状態を維持する選択メモリセルに接続されるビット線 $B L i$ は、電源電位（例えば、3.3 [V]） $V C C$ に設定され、“0”データを書き込む選択メモリセルに接続されるビット線 $B L i$ は、0 [V] に設定される。

【0106】

選択ブロックのビット線側のセレクトゲート線 $S S L$ は、電源電位 $V C C$ に設定され、セルソース線側のセレクトゲート線 $G S L$ は、0 [V] に設定され、コントロールゲート線 $C G L$ は、書き込み電位（例えば、1.8 [V]） $V p r o g$ に設定される。

10

【0107】

非選択ブロックのセレクトゲート線 $S S L$ 、 $G S L$ 、コントロールゲート線 $C G L$ 及びセル P ウェルは、0 [V] に設定される。

【0108】

セルソース線は、0 [V] に設定される。但し、選択ブロック内の“1”データを書き込むメモリセルのチャンネル電位が、コントロールゲート線 $C G L$ との容量カップリングにより昇圧され、パンチスルーによりセルソース線のリーク電流が問題となる場合には、セルソース線の電位は、電源電位 $V C C$ に設定するのがよい。

【0109】

読み出し動作においては、選択ブロックのセレクトゲート線 $S S L$ 、 $G S L$ は、電源電位 $V C C$ に設定され、コントロールゲート線 $C G L$ は、0 [V] に設定される。データ読み出し前にビット線をプリチャージする方式の場合、ビット線 $B L i$ は、プリチャージ電位（例えば、1.2 [V]） $V B L$ に設定される。

20

【0110】

選択メモリセルのうち“1”データが記憶されているものは、オン状態となり、セル電流が流れるため、ビット線 $B L i$ は、0 [V] に放電される。一方、選択メモリセルのうち“0”データが記憶されているものは、オフ状態となり、セル電流が流れないため、ビット線 $B L i$ は、プリチャージ電位 $V B L$ を保持することになる。

【0111】

読み出し動作において、選択ブロックのコントロールゲート線 $C G L$ に電源電位（例えば、3.3 V） $V C C$ を与えて読み出し動作を行いたい場合には、メモリセルの閾値分布を図7に示すように設定すればよい。

30

【0112】

表4は、図7の閾値分布を有する場合の消去、書き込み、読み出しのそれぞれの動作におけるセレクトゲート線 $S S L$ 、 $G S L$ 、コントロールゲート線（ワード線） $C G L$ 、ビット線 $B L i$ 、セルソース線 $S L$ 、セル P ウェルの電位を示している。

【0113】

【表4】

		消去	書き込み	読み出し
選択ブロック	ビット線側の セレクトゲート線 SSL	$V_{era} \times \beta$	VCC	VCC
	コントロール ゲート線 CGL	0V	Vprog	VCC
	ソース線側の セレクトゲート線 GSL	$V_{era} \times \beta$	0V	VCC
非選択ブロック	ビット線側の セレクトゲート線 SSL	$V_{era} \times \beta$	0V	0V
	コントロール ゲート線 CGL	$V_{era} \times \beta$	0V	0V
	ソース線側の セレクトゲート線 GSL	$V_{era} \times \beta$	0V	0V
ビット線	“1”データ	$V_{era} - V_b$	VCC	VBL→0V
	“0”データ	$V_{era} - V_b$	0V	VBL
	セルソース線	$V_{era} - V_b$	VCC	0V
	セルPウェル	V_{era}	0V	0V

10

20

30

【0114】

3Tr・NANDでは、上述したように、メモリセルの両端にセレクトゲートトランジスタが設けられているため、消去後（“1”データ）のメモリセルの閾値分布の裾野が正から負に跨っていてもよい。

【0115】

(4) バイト書き換え動作1

図8は、3Tr・NANDにおけるバイト単位の書き換え動作の概略的なフローチャートを示している。

40

【0116】

バイト単位のデータ書き換えモードになると、まず、選択されたコントロールゲート線（ワード線）に接続されるメモリセルの1ページ分のデータがセンスアンプ回路に読み出される（ページ逆読み出し）。そして、センスアンプ回路には、この1ページ分のデータがラッチされる（ステップST1）。

【0117】

次に、アドレスで指定されたカラムに対応するバイトデータがロードされる。このロードされたバイトデータは、センスアンプ回路にラッチされている1ページ分のデータのうちデータ書き換えを行うバイトデータに対して上書きされる（ステップST2）。

50

【0118】

次に、選択されたコントロールゲート線に接続されるメモリセルの1ページ分のデータが同時に消去（ページ消去）される（ステップST3）。消去後には、選択されたコントロールゲート線に接続される各メモリセルに対して、消去が完全に行われたか、消去が行われ過ぎていないかを検証する消去ベリファイが行われる（ステップST4, 5）。

【0119】

そして、1ページ分の全てのメモリセルの閾値が所定範囲内となるまでページ消去及び消去ベリファイが繰り返し行われ、1ページ分の全てのメモリセルの閾値が所定範囲内（消去完了）となったときは、次の動作に移る（ステップST3～5）。

【0120】

なお、ラッチ機能を持つセンスアンプ回路が1本のビット線に対して1つのみ存在する場合（1ページ分しかない場合）、消去ベリファイの結果によっては、センスアンプ回路のデータが破壊される可能性がある。よって、このような場合には、消去ベリファイを行わずに、消去を1回で終了させる。

10

【0121】

この後、選択されたコントロールゲート線に接続されるメモリセルに対して、センスアンプ回路にラッチされている1ページ分のデータが同時に書き込まれる（ステップST6）。書き込み後には、選択されたコントロールゲート線に接続される各メモリセルに対して、書き込みが完全に行われたか、書き込みが行われ過ぎていないかを検証する書き込みベリファイが行われる（ステップST7, 8）。

20

【0122】

そして、1ページ分の全てのメモリセルの閾値が所定範囲内となるまでページ書き込み及び書き込みベリファイが繰り返し行われ、1ページ分の全てのメモリセルの閾値が所定範囲内（書き込み完了）となったときは、バイト単位のデータ書き換え動作を終了させる。

【0123】

なお、高い書き込み電位を用い、1回の書き込みパルスで1回の書き込みを行う場合には、書き込みベリファイを省略することもできる。

【0124】

図9は、図8のバイト書き換え動作を実行可能な3Tr・NANDの回路ブロックの一例を示している。図10は、図9のメモリセルアレイ11の一部を示している。

30

【0125】

3Tr・NANDでは、セルユニットを1つのメモリセルとこれを挟み込む2つのセレクトゲートトランジスタの3素子から構成しているため、1つのブロックBLK_i（ $i = 0, 1, \dots, n$ ）内には、1本のコントロールゲート線CGLに繋がるメモリセル、即ち、1ページ分のメモリセルが配置される。

【0126】

コントロールゲート・セレクトゲートドライバ12cは、1つのブロックBLK_i（ $i = 0, 1, \dots, n$ ）、即ち、1本のコントロールゲート線CGL（1ページ）に対応して設けられる。各ドライバ12cは、昇圧回路を含んでいる。プリデコード12a及びロウデコード12bも、1つのブロックBLK_i、即ち、1本のコントロールゲート線CGL（1ページ）に対応して設けられる。

40

【0127】

ロウアドレス信号は、アドレスレジスタ19を経由してプリデコード12aに入力される。そして、プリデコード12a及びロウデコード12bにより1つのロウ（又は1つのブロック）が選択される。選択ブロックがBLK_iのとき、例えば、ドライバ12cは、選択ブロックBLK_i内のコントロールゲート線CGL及びセレクトゲート線SSL, GSLに、動作モードに応じた所定の電位を与える。

【0128】

ラッチ機能を持つセンスアンプ回路13は、読み出しデータや書き込みデータをラッチする。読み出しデータ（出力データ）は、カラム選択回路15及び入出力バッファ18を経

50

由してメモリチップの外部に出力される。書き込みデータ（入力データ）は、入出力バッファ18及びカラム選択回路15を経由してラッチ機能を持つセンスアンプ回路13にラッチされる。

【0129】

コマンド信号は、データ入出力バッファ18及びコマンドレジスタ25を経由してコマンドデコーダ26に入力される。制御回路17には、コマンドデコーダ26の出力信号、コマンドラッチイネーブル信号CLE、チップイネーブル信号/CE、ライトイネーブル信号/WEなどの信号が入力される。

【0130】

信号生成回路（昇圧回路）27は、制御回路17の制御の下、コントロールゲート線CGL及びセレクトゲート線SSL, GSLに与える電位を生成し、この電位をコントロールゲート・セレクトゲートドライバ12cに供給する。 10

【0131】

図11は、図8のバイト書き換え動作を実行可能な3Tr・NANDの回路ブロックの他の例を示している。図12は、図11のメモリセルアレイ11の一部を示している。

【0132】

メモリセルアレイは、3Tr・セル部11-0とNANDセル部11-1とから構成される。

【0133】

3Tr・セル部11-0は、1つのメモリセルとこれを挟み込む2つのセレクトゲートトランジスタの3素子からなるセルユニットを有し、n個のブロックBLK0, BLK1, ... BLKnに分けられている。NANDセル部11-1は、直列接続された複数個（4、8、16個など）のメモリセルとこれを挟み込む2つのセレクトゲートトランジスタからなるNANDセルユニットを有し、m個のブロックBLK0, BLK1, ... BLKmに分けられている。 20

【0134】

3Tr・セル部11-0の各ブロックBLKi (i = 0, 1, ... n) 内には、1本のコントロールゲート線CGLに繋がるメモリセル、即ち、1ページ分のメモリセルが配置される。これに対し、NANDセル部11-1の各ブロックBLKi (i = 0, 1, ... m) 内には、複数本のコントロールゲート線CGLに繋がるメモリセル、即ち、複数ページ分のメモリセルが配置される。 30

【0135】

3Tr・セル部11-0では、コントロールゲート・セレクトゲートドライバ12cは、1つのブロックBLKi、即ち、1本のコントロールゲート線CGL（1ページ）に対応して設けられる。各ドライバ12cは、昇圧回路を含んでいる。プリデコーダ12a及びロウデコーダ12bも、1つのブロックBLKi、即ち、1本のコントロールゲート線CGL（1ページ）に対応して設けられる。

【0136】

NANDセル部11-1では、コントロールゲート・セレクトゲートドライバ12cは、複数のコントロールゲート線CGL0, ... CGL7（複数ページ）を含む1つのブロックBLKiに対応して設けられる。各ドライバ12cは、昇圧回路を含んでいる。プリデコーダ12a及びロウデコーダ12bも、複数のコントロールゲート線CGL0, ... CGL7（複数ページ）を含む1つのブロックBLKiに対応して設けられる。 40

【0137】

ロウアドレス信号は、アドレスレジスタ19を経由してプリデコーダ12aに入力される。そして、プリデコーダ12a及びロウデコーダ12bにより、3Tr・セル部11-0又はNANDセル部11-1の1つのロウ（又は1つのブロック）が選択される。

【0138】

ラッチ機能を持つセンスアンプ回路13は、読み出しデータや書き込みデータをラッチする。読み出しデータ（出力データ）は、カラム選択回路15及び入出力バッファ18を経 50

由してメモリチップの外部に出力される。書き込みデータ（入力データ）は、入出力バッファ 18 及びカラム選択回路 15 を経由してラッチ機能を持つセンスアンプ回路 13 にラッチされる。

【0139】

コマンド信号は、データ入出力バッファ 18 及びコマンドレジスタ 25 を経由してコマンドデコーダ 26 に入力される。制御回路 17 には、コマンドデコーダ 26 の出力信号、コマンドラッチイネーブル信号 CLE、チップイネーブル信号 /CE、ライトイネーブル信号 /WE などの信号が入力される。

【0140】

信号生成回路（昇圧回路）27 は、制御回路 17 の制御の下、コントロールゲート線 CGL 及びセレクトゲート線 SSL, GSL に与える電位を生成し、この電位をコントロールゲート・セレクトゲートドライバ 12c に供給する。 10

【0141】

図 13 は、図 9 乃至図 12 の 3Tr . NAND により実行されるバイト単位のデータ書き換え動作を示している。

【0142】

本例のバイト書き換え動作は、以下の 4 つの主要な工程から構成される。

- 1 選択ブロック内の 1 ページ分のメモリセルに対してデータの逆読み出しを行い、これをラッチ機能を持つセンスアンプ回路に保持する。
- 2 ラッチ機能を持つセンスアンプ回路に保持されたデータに対してバイトデータの 20 上書きを行う。
- 3 選択ブロック内の 1 ページ分のメモリセルのデータを消去する。
- 4 ラッチ機能を持つセンスアンプ回路に保持されたデータを選択ブロック内の 1 ページ分のメモリセルに書き込む。

【0143】

以上の工程により、フラッシュメモリと同一のプロセスで製造でき、かつ、同一の書き換え方法が適用されるにもかかわらず、バイト単位でデータの書き換えが行える不揮発性半導体メモリを提供できる（フラッシュメモリは、通常、上記 1 の工程なしに、ブロック単位でメモリセルのデータを一括消去してしまうため、バイト単位でのデータ書き換えはできない。但し、消去後、バイト単位で書き込むことは可能である。）。 30

【0144】

ここで、図 13 に示すバイト単位のデータ書き換え方法が適用される 3Tr . NAND のメモリセルのデータ書き換え回数について検討する。

【0145】

図 13 の書き換え方法により 1 バイト分のデータ書き換えを行う場合、選択ブロック内の 1 ページ分のデータに対して 1 回の逆読み出し動作、消去動作及び書き込み動作が行われる。つまり、選択ブロック内では、データ書き換えを行わないメモリセルについても 1 回の逆読み出し動作、消去動作及び書き込み動作が行われる。

【0146】

従って、例えば、1 ページ内の全てのデータを書き換える場合、図 13 の書き換え方法により 1 ページ分のデータを 1 バイトごとに書き換えるときのページ読み出し、消去、書き込み回数は、1 ページ分のデータを一度に書き換える場合のページ読み出し、消去、書き込み回数よりも、1 ページ内に含まれるバイト数倍だけ実質的に多くなる。 40

【0147】

例えば、1 ページが 64 バイトからなる場合、1 ページ分のデータを一度に書き換えるときは 1 回のページ読み出し、消去、書き込み動作で足りるが、1 ページ分のデータを 1 バイトごとに書き換えるときは 64 回のページ読み出し、消去、書き込み動作が必要になる。

【0148】

このように、図 13 に示すバイト単位のデータ書き換え方法では、1 バイト分のデータ書 50

き換えを行う場合に、選択ブロック内の1ページ分のデータに対して1回の逆読み出し動作、消去動作及び書き込み動作が行われる。よって、本例の手法により1ページ分のデータを書き換える場合のページ読み出し、消去、書き込み回数は、1ページ分のデータを一度に書き換える場合のページ読み出し、消去、書き込み回数よりも、最大で、1ページ内に含まれるバイト数倍だけ多くなる。

【0149】

(5) バイト書き換え動作2

バイト書き換え動作1では、チップの外側から見れば、バイト単位の書き換えとなっているが、チップの内側から見ると、書き換えを行わないデータについても、一旦、ページ消去によってセルデータが消去されることになる。このため、この際に、セルデータを一時的に保管しておくセンスアンプにおいて、動作不良や誤動作が発生すると、書き換えを行わないデータが誤ったデータになってしまう恐れがある。

10

【0150】

バイト書き換え動作2では、3Tr.NANDにおいて、書き換えの対象とならないデータについては、消去及び再書き込みを行うことなく、バイト単位のデータ書き換えを実行する手法の例を提案する。

【0151】

図14は、書き換えの対象となるデータについてのみ、消去/書き込みを行う完全なバイト書き換え動作が可能な3Tr.NANDの回路ブロックの例を示している。

【0152】

本例では、メモリセルアレイ11を、ロウ方向及びカラム方向に行列状に配置される複数のブロックBLK $i-j$ ($i=0, 1, \dots, n; j=0, 1, 2, 3$)から構成している。

20

【0153】

図9乃至図12の例では、ブロックBLK i は、カラム方向にのみ配置され、1本のコントロールゲート線CGLに接続される1ページ分のメモリセルは、必ず、同一のブロックBLK i 内に存在していた。本発明では、1ページ分のメモリセルを、1バイト(8ビット)の正数倍単位で複数に分け、ロウ方向にも複数のブロックを配置するようにしている。

【0154】

具体的には、1ページが k (k は、正数)バイトのメモリセルから構成される場合、1つのブロックを r (r は、正数、 $r \leq k$)バイトのメモリセルから構成すると、ロウ方向のブロックの数は、 k/r 個となる。本例では、ロウ方向のブロック数を4個としている。この場合、例えば、1つのブロックは、16バイトのメモリセルから構成され、1ページは、64バイトのメモリセルから構成される。

30

【0155】

メインコントロールゲート・セレクトゲートドライバ12cは、ロウ方向の4つのブロックBLK $i-j$ 、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。各ドライバ12cは、昇圧回路を含んでいる。プリデコード12a及びロウデコード12bも、4つのブロックBLK $i-j$ 、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。

40

【0156】

サブ・コントロールゲートドライバ28は、各ブロックBLK $i-j$ に対応して設けられる。

【0157】

ロウアドレス信号は、アドレスレジスタ19を經由してプリデコード12a及びサブデコード29に入力される。そして、プリデコード12a及びロウデコード12bにより、1つのロウ内の4つのブロックBLK $i-j$ が選択される。また、サブデコード29により、選択された4つのブロックBLK $i-j$ のうちの1つを選択する。

【0158】

なお、サブデコード29は、選択された1つのロウ内の複数のブロック又は選択された1

50

つのロウ内の全てのブロック（本例では、4つのブロック）を選択するような機能を有していてもよい。

【0159】

そして、本例では、ブロック単位で、データの読み出し、消去及び書き込みができるようになっている。つまり、バイト単位のデータ書き換え動作において、1ページ分のデータをラッチ機能を持つセンスアンプ回路に読み出す必要がない。よって、本例では、バイト単位のデータ書き換え動作において、図9乃至図12の例よりも、ページ読み出し、消去、書き込み回数を減らすことができ、実質的なページ書き換え特性を向上させることができる。

【0160】

例えば、1ページが k （ k は、正数）バイトのメモリセルから構成されるEEPROMのページ書き換え特性（書き換え回数）が 1×10^6 回である場合について考える。

【0161】

図9乃至図12の例では、1ページ分のデータを書き換えるのに k 回のページ読み出し、消去、書き込み動作が必要であるため、実質的には、ページ書き換え特性が $(1/k) \times 10^6$ 回に減少する。

【0162】

本例では、1ページを k/r （ r は、正数、 $r \leq k$ ）のブロックに分け、各ブロックを r バイトのメモリセルから構成し、ブロック単位で、データの読み出し、消去及び書き込みができるようにしているため、1ページ分のデータを書き換えるためのページ読み出し、消去、書き込み動作は、実質的には、 $(1/r) \times 10^6$ 回で済む。

【0163】

具体的な数値で示せば、例えば、1ページが64バイトから構成される場合、図9乃至図12の例のページ書き換え特性は、 1.7×10^4 回となる。一方、1ページが8個のブロックから構成され、1ブロックが8バイトから構成される場合、本例のページ書き換え特性は、 1.3×10^5 回となり、図9乃至図12の例よりも1桁だけ実質的な書き換え特性が向上する。

【0164】

なお、本例の場合、1ブロックを1バイトから構成することにより、実質的な書き換え特性を、最大で、 1×10^6 回にすることができる。

【0165】

選択ブロックが $BLK_i - j$ のとき、メインコントロールゲート・セレクトゲートドライバ i は、選択ブロック $BLK_i - j$ 内のコントロールゲート線 CGL 及びセレクトゲート線 SSL 、 GSL に動作モードに応じた所定の電位を与える。

【0166】

ラッチ機能を持つセンスアンプ回路13は、読出しデータや書込みデータをラッチする。読出しデータ（出力データ）は、カラム選択回路15及び入出力バッファ18を経由してメモリチップの外部に出力される。書込みデータ（入力データ）は、入出力バッファ18及びカラム選択回路15を経由してラッチ機能を持つセンスアンプ回路13にラッチされる。

【0167】

コマンド信号は、データ入出力バッファ18及びコマンドレジスタ25を経由してコマンドデコーダ26に入力される。制御回路17には、コマンドデコーダ26の出力信号、コマンドラッチイネーブル信号 CLE 、チップイネーブル信号 $/CE$ 、ライトイネーブル信号 $/WE$ などの信号が入力される。

【0168】

信号生成回路（昇圧回路）27は、制御回路17の制御の下、コントロールゲート線 CGL 及びセレクトゲート線 SSL 、 GSL に与える電位を生成し、この電位をコントロールゲート・セレクトゲートドライバ12cに供給する。

【0169】

10

20

30

40

50

図15は、プリデコーダPD_iの構成の一例を示している。

【0170】

本例では、ロウ数、即ち、コントロールゲート線CGLの数(ブロック数)を1024(2^{10})本と仮定する。この場合、10ビットのロウアドレス信号a₁, a₂, ... a₁₀により、1本のコントロールゲート線CGLを選択することができる。

【0171】

ロウアドレス信号a₁, a₂, a₃は、NAND回路30-1に入力され、ロウアドレス信号a₄, a₅, a₆は、NAND回路30-2に入力され、ロウアドレス信号a₇, a₈, a₉, a₁₀は、NAND回路30-3に入力される。NAND回路30-1の出力信号は、インバータ31-1を經由して信号Dとなり、NAND回路30-2の出力信号は、インバータ31-2を經由して信号Eとなり、NAND回路30-3の出力信号は、インバータ31-3を經由して信号Fとなる。

10

【0172】

各プリデコーダPD_iには、それぞれ異なるロウアドレス信号a₁, a₂, ... a₁₀が入力される。そして、選択された1つのロウに属するプリデコーダPD_iの出力信号D, E, Fのみが全て“1”となる。

【0173】

図16は、ロウデコーダRD_i及びメインコントロールゲート・セレクトゲートドライバ_iの構成の一例を示している。

【0174】

ロウデコーダRD_iは、NAND回路32及びインバータ33から構成される。プリデコーダPD_iの出力信号D, E, Fは、NAND回路に入力される。

20

【0175】

メインコントロールゲート・セレクトゲートドライバ_iは、昇圧回路34及びドライブ回路としてのNチャンネルMOSトランジスタ35-1, 35-2, 35-3から構成される。

【0176】

選択ロウに属するメインコントロールゲート・セレクトゲートドライバ_iでは、NチャンネルMOSトランジスタ35-1, 35-2, 35-3のゲートに電源電位VCC又は昇圧電位が印加される。

30

【0177】

例えば、データ書き込み時、選択ロウに属するドライバ_iでは、昇圧回路34の出力電位VBが昇圧電位Vprogとなり、NチャンネルMOSトランジスタ35-1, 35-2, 35-3がオン状態になる。一方、信号生成回路27において、SS(=VCC)、CG(=Vprog)、GS(=0V)が生成される。これらの電位SS, CG, GSは、NチャンネルMOSトランジスタ35-1, 35-2, 35-3を經由して、選択ロウ内のメインコントロールゲート線CGL_i及びセレクトゲート線SSL_i, GSL_iに伝達される。

【0178】

また、データ消去時、選択ロウに属するドライバ_iでは、昇圧回路34の出力電位VBが電源電位VCCとなり、NチャンネルMOSトランジスタ35-1, 35-2, 35-3がオン状態になる。一方、信号生成回路27において、SS(=VCC)、CG(=0V)、GS(=VCC)が生成される。これらの電位SS, CG, GSは、NチャンネルMOSトランジスタ35-1, 35-2, 35-3を經由して、選択ロウ内のメインコントロールゲート線CGL_i及びセレクトゲート線SSL_i, GSL_iに伝達される。

40

【0179】

なお、セレクトゲート線SSL_i, GSL_iについては、この後、フローティングとなるため、Pウェルに消去電位Veraが与えられたとき、セレクトゲート線SSL_i, GSL_iの電位は、Pウェルとセレクトゲート線SSL_i, GSL_iの容量カップリングにより、Vera+ に上昇する。

50

【0180】

また、データ読み出し時、選択ロウに属するドライバ i では、昇圧回路34の出力電位 V_B が電源電位 V_{CC} 又は $V_{CC}+$ （ $$ は、 N チャネルトランジスタの閾値電圧以上の値）となり、 N チャネル MOS トランジスタ35-1, 35-2, 35-3がオン状態になる。一方、信号生成回路27において、 $SS (= V_{CC})$ 、 $CG (= 0V$ 又は $V_{CC})$ 、 $GS (= V_{CC})$ が生成される。これらの電位 SS 、 CG 、 GS は、 N チャネル MOS トランジスタ35-1, 35-2, 35-3を経由して、選択ロウ内のメインコントロールゲート線 $CGLi$ 及びセレクトゲート線 $SSLi$ 、 $GS Li$ に伝達される。

【0181】

非選択ロウに属するメインコントロールゲート・セレクトゲートドライバ i では、 N チャネル MOS トランジスタ35-1, 35-2, 35-3のゲートに接地電位が印加されるため、 N チャネル MOS トランジスタ35-1, 35-2, 35-3は、オフ状態となる。よって、非選択ロウ内のメインコントロールゲート線 $CGLi$ 及びセレクトゲート線 $SS Li$ 、 $GS Li$ は、全てフローティング状態になっている。 10

【0182】

なお、非選択ロウ内のセレクトゲート線 $SS Li$ 、 $GS Li$ については、データ読み出し時に $V_{SS} (0V)$ を印加するようにしてもよい。この場合、例えば、全てのセレクトゲート線 $SS Li$ 、 $GS Li$ にそれぞれ接地用 MOS トランジスタを接続し、ロウ（又はブロック）選択の有無により、この接地用 MOS トランジスタのオン/オフを制御する。

【0183】

図17は、1ロウ内に配置される複数のブロックとサブコントロールゲートドライバの構成の一例を示している。 20

【0184】

本例では、1ロウ内に4つのブロック $BLKi-0$ 、 $BLKi-1$ 、 $BLKi-2$ 、 $BLKi-3$ が配置される場合について説明する。

【0185】

各ブロック $BLKi-j$ ($j = 0, 1, 2, 3$)内には、それぞれサブコントロールゲート線 $CGLi-0$ 、 $CGLi-1$ 、 $CGLi-2$ 、 $CGLi-3$ が配置される。サブコントロールゲート線 $CGLi-j$ ($j = 0, 1, 2, 3$)は、それぞれブロック $BLKi-j$ 内に配置される1バイトの正数倍（例えば、16バイト）のメモリセルに接続される。 30

【0186】

サブコントロールゲート線 $CGLi-j$ は、それぞれサブコントロールゲートドライバ28を構成するドライブ回路としての N チャネル MOS トランジスタ36- j を経由して、メインコントロールゲート線 $CGLi$ に接続される。

【0187】

N チャネル MOS トランジスタ36- j のオン/オフは、サブデコード29により制御される。サブデコード29は、1つの N チャネル MOS トランジスタ36- j （1つのブロック）を選択する機能を有している。

【0188】

なお、サブデコード29に、複数又は全ての N チャネル MOS トランジスタ36- j （複数又は全てのブロック）を選択する機能を持たせてもよい。 40

【0189】

データ書き込み時、選択ロウ内の選択ブロック $BLKi-j$ では、 N チャネル MOS トランジスタ36- j のゲートに V_{prog} が印加されるため、この N チャネル MOS トランジスタ36- j は、オン状態となる。よって、書き込み用の高電位 V_{prog} が、メインコントロールゲート線 $CGLi$ から選択ブロック $BLKi-j$ 内のサブコントロールゲート線 $CGLi-j$ に伝達される。

【0190】

また、データ消去時、選択ロウ内の選択ブロック $BLKi-j$ では、 N チャネル MOS トランジスタ36- j のゲートに V_{CC} が印加されるため、この N チャネル MOS トランジ 50

スタ36-jは、オン状態となる。よって、接地電位がメインコントロールゲート線CGLiから選択ブロックBLKi-j内のサブコントロールゲート線CGLi-jに伝達される。

【0191】

また、データ読み出し時、選択ロウ内の選択ブロックBLKi-jでは、NチャンネルMOSトランジスタ36-jのゲートにVCCが印加されるため、このNチャンネルMOSトランジスタ36-jは、オン状態となる。よって、接地電位又は電源電位VCCがメインコントロールゲート線CGLiから選択ブロックBLKi-j内のサブコントロールゲート線CGLi-jに伝達される。

【0192】

一方、選択ロウ内の非選択ブロックBLKi-jでは、NチャンネルMOSトランジスタ36-jのゲートに接地電位が印加されるため、このNチャンネルMOSトランジスタ36-jは、オフ状態となる。つまり、非選択ブロックBLKi-j内のサブコントロールゲート線CGLi-jは、フローティング状態となる。

【0193】

ここで、選択ロウにおいては、メインコントロールゲート線CGLiの直下に複数のサブコントロールゲート線CGLi-jが配置される。よって、書き込み、消去、読み出し時に、メインコントロールゲート線CGLiに所定電位が印加された場合、容量カップリングにより、非選択ブロックBLKi-j内のサブコントロールゲート線CGLi-jの電位が変化する可能性がある。

【0194】

しかし、非選択ブロックBLKi-j内のサブコントロールゲート線CGLi-jの電位が変化は、書き込み、消去、読み出し動作に何ら不都合を与えることはない。

【0195】

なお、選択ロウ内のセレクトゲート線SSLi, GSLiは、選択ロウ内の全てのブロックBLKi-jに共通になっている。

【0196】

よって、データ書き込み時には、選択ロウ内の全てのブロックBLKi-jのセレクトゲート線SSLi, GSLiには、NチャンネルMOSトランジスタ35-1, 35-3を経由して接地電位又は電源電位VCCが印加される。データ消去時には、選択ロウ内の全てのブロックBLKi-jのセレクトゲート線SSLi, GSLiには、NチャンネルMOSトランジスタ35-1, 35-3を経由してVCCが印加される。データ読み出し時には、選択ロウ内の全てのブロックBLKi-jのセレクトゲート線SSLi, GSLiには、NチャンネルMOSトランジスタ35-1, 35-3を経由して電源電位VCCが印加される。

【0197】

図18は、図14乃至図17の3Tr.NANDに適用されるバイト単位のデータ書き換え動作の第1例を示している。

【0198】

本例のバイト単位のデータ書き換え動作は、以下の4つの主要な工程から構成される。

1 選択ブロック内のメモリセルに対してデータの逆読み出しを行い、これをラッチ機能を持つセンスアンプ回路に保持する。

2 ラッチ機能を持つセンスアンプ回路に保持されたデータに対してバイトデータの上書きを行う。

3 選択ブロック内のメモリセルのデータを消去する。

4 ラッチ機能を持つセンスアンプ回路に保持されたデータを選択ブロック内のメモリセルに書き込む。

【0199】

本例のバイト単位のデータ書き換え動作の特徴は、バイト単位のデータ書き換えを行うに当たって、選択ロウ内の1ページ分のデータを逆読み出しすることなく、選択ロウ内の選

10

20

30

40

50

択ブロック B L K i - j のデータ (1 バイトの正数倍のデータ) のみに対して逆読み出しを行っている。つまり、選択ロウ内の非選択ブロックのメモリセルのデータに対しては逆読み出しを行わなくてよいため、データ書き換えを行わないメモリセルに対する不要な読み出し、消去、書き込み動作をなくすることができる。

【 0 2 0 0 】

よって、同じデータを書き換えるとする、本例の書き換え動作は、図 1 3 の書き換え動作に比べて、ページ読み出し、消去、書き込みの回数を減らすことができ、実質的なページ書き換え特性 (書き換え回数) を向上させることができる。

【 0 2 0 1 】

このように、本例によれば、フラッシュメモリと同一のプロセスで製造でき、かつ、同一の書き換え方法が適用されるにもかかわらず、書き換え特性を悪くすることなしにバイト単位でのデータの書き換えが可能である。 10

【 0 2 0 2 】

図 1 9 は、図 1 4 乃至図 1 7 の 3 T r . N A N D に適用されるバイト単位のデータ書き換え動作の第 2 例を示している。

【 0 2 0 3 】

本例のバイト単位のデータ書き換え動作は、以下の 4 つの主要な工程から構成される。

1 選択ロウ内の 1 ページ分のメモリセルに対してデータの逆読み出しを行い、これをラッチ機能を持つセンスアンプ回路に保持する。

2 ラッチ機能を持つセンスアンプ回路に保持されたデータに対してバイトデータの 20
上書きを行う。

3 選択ブロック内のメモリセルのデータを消去する。

4 ラッチ機能を持つセンスアンプ回路に保持されたデータを選択ブロック内のメモリセルに書き込む。

【 0 2 0 4 】

本例のバイト単位のデータ書き換え動作は、図 1 3 の書き換え動作と比較すると、1 ページ分のメモリセルに対して逆読み出しを行っている点に特徴を有している。即ち、本例では、1 ページ分のメモリセルのデータを逆読み出しするが、消去及び書き込みは、選択ロウ内の選択ブロックに対してのみ行う。このため、選択ロウ内の非選択ブロックのメモリセルのデータに対する不要な消去、書き込み動作をなくすることができる。 30

【 0 2 0 5 】

この場合、逆読み出し動作においては、選択ロウ内の全てのブロック B L K i - j が選択されるように、サブデコーダにより、選択ロウ内の全てのブロック B L K i - j を多重選択する。

【 0 2 0 6 】

本例の書き換え動作は、図 1 3 の書き換え動作に比べて、ページ消去、書き込みの回数を減らすことができ、実質的なページ書き換え特性 (書き換え回数) を向上させることができる。

【 0 2 0 7 】

このように、本例によれば、フラッシュメモリと同一のプロセスで製造でき、かつ、同一の書き換え方法が適用されるにもかかわらず、書き換え特性を悪くすることなしにバイト単位でのデータの書き換えが可能である。 40

【 0 2 0 8 】

図 2 0 は、メモリセルアレイ領域におけるウェルのレイアウトの一例を示している。

【 0 2 0 9 】

フラッシュメモリでは、通常、全てのセルユニット (メモリセル及びセレクトゲートトランジスタ) が 1 つのウェル (例えば、ツインウェル、即ち、p 型基板に形成された n 型ウェル中の p 型ウェル) 内に形成される。しかし、本例では、セルユニットの間にサブコントロールゲートドライバを配置している。サブコントロールゲートドライバは、高電位をサブコントロールゲートに伝達する役割を有しており、これをメモリセルと同一のウェル 50

に形成すると、バックゲートバイアス効果により閾値が上昇したり、ウェルの電位により動作が不安定になったりする。

【0210】

そこで、本例では、カラム方向のブロック $BLK_i - j$ に共通のウェルを設け、ロウ方向のブロック $BLK_i - j$ は、それぞれ異なるウェル内に配置されるようにした。この場合、サブコントロールゲートドライバは、ウェルの外部、即ち、 p 型基板に形成されることになり、上述の問題を回避することができる。

【0211】

なお、書き込み時及び消去時にウェルに与える電位を工夫することにより、全てのセルユニットとサブコントロールゲートドライバを1つのウェル内に配置することもできる。

10

【0212】

2. 本発明の例に関わる不揮発性半導体メモリ

以下、本発明の例に関わる不揮発性半導体メモリについて説明する。

【0213】

参考例では、以下のバイト書き換え動作が可能な $3Tr$ NAND について説明した。

1 書き換えの対象とならないメモリセルのデータについても消去/書き込みが実行されるバイト書き換え動作

2 書き換えの対象となるメモリセルのデータのみについて消去/書き込みが実行される完全なバイト書き換え動作

上述の 2 の書き換え動作は、既に説明したように、 $3Tr$ NAND のワード線側の回路構成を工夫することにより実現可能とした。

20

これに対し、本発明の例では、 $3Tr$ NAND のビット線側又はソース線側の回路構成を工夫することにより、書き換えの対象となるメモリセルのデータのみについて消去/書き込みが実行される完全な形のバイト書き換え動作を実現する。

【0214】

(1) 全体構成

図21は、本発明の例に関わる $3Tr$ NAND の回路ブロックの主要部を示している。

【0215】

この $3Tr$ NAND は、上述のように、1つのメモリセルを2つのセレクトゲートトランジスタで挟み込んだ3素子から成るセルユニットをマトリクス状に配置したメモリセルアレイ11、メモリセルアレイ11上においてロウ方向に複数本配置されたコントロールゲート線10a及びメモリセルアレイ11上においてカラム方向に複数本配置されたビット線10bを有している。

30

【0216】

ロウデコーダ12は、ロウ、即ち、コントロールゲート線10aの選択を行う。選択されたコントロールゲート線10aに接続されるメモリセルのデータは、カラムごとに設けられたデータラッチ機能を持つセンスアンプから成るセンスアンプ回路13に入力される。カラムデコーダ14は、カラム、即ち、ビット線 BL_i の選択を行う。

【0217】

選択されたカラムのセンスアンプのデータは、データ入出力バッファ18を経由してメモリチップの外部に出力される。メモリチップの内部に入力されるデータは、データ入出力バッファ18を経由して選択されたカラムのラッチ機能を持つセンスアンプにラッチされる。

40

【0218】

昇圧回路16は、書き込み動作や消去動作に必要な高電圧を生成する。制御回路17は、メモリチップの内部の各回路の動作を制御すると共に、メモリチップの内部と外部のインターフェイスをとる役割を果たす。制御回路17は、メモリセルに対する消去、書き込み、読み出しの各動作を制御するシーケンス制御手段(例えば、プログラマブルロジックアレイ)を含んでいる。

【0219】

50

(2) メモリセルアレイ

図22は、図21の3Tr・NANDのメモリセルアレイの例を示している。

【0220】

メモリセルアレイは、マトリックス状に配置された複数のセルユニットから構成される。1つのセルユニットは、1つのメモリセルと、これを挟み込む2つのセレクトゲートトランジスタから構成される。コントロールゲート線CGL及びセレクトゲート線SSL、GSLは、メモリセルアレイ上においてロウ方向に延び、ビット線BLi0、・・・BLi7、BLj0、・・・BLj7は、メモリセルアレイ上においてカラム方向に延びている。

【0221】

1本のコントロールゲート線CGLに接続されるメモリセルに記憶されるデータの集合は、ページデータと呼ばれる。本例では、1ページ分のメモリセルを複数個のブロックに分ける。例えば、1ページデータのうちの1バイト(8ビット)分を、1つのブロックとする。

【0222】

本例では、例えば、1ページ分のメモリセルのうち、8本のビット線BLi0、BLi1、・・・BLi7に接続される8個のメモリセル(1バイト分)により、1つのブロックBLKiが構成され、1ページ分のメモリセルのうち、8本のビット線BLj0、BLj1、・・・BLj7に接続される8個のメモリセル(1バイト分)により、1つのブロックBLKjが構成される。

【0223】

本例では、データの書き込み及び消去は、コントロールゲート線CGLの電位とビット線(メモリセルのドレイン領域)の電位との電位差を制御することにより実行する。

【0224】

例えば、図23(正バイアスのみ使用)に示すように、消去時には、選択されたメモリセルに対して、コントロールゲート線CGLの電位を、約0Vに設定し、ビット線BLの電位を、約1.5Vに設定する。また、メモリセルのドレイン側(ビット線側)のセレクトゲートトランジスタのセレクトゲート線SSLを、約1.7Vに設定する。この時、メモリセルのコントロールゲートとドレイン領域との間には、FNトンネル電流が流れ、データの消去が行われる。

【0225】

また、例えば、図24(正負バイアスを使用)に示すように、消去時には、選択されたメモリセルに対して、コントロールゲート線CGLの電位を、約-5Vに設定し、ビット線BLの電位を、約1.0Vに設定する。また、メモリセルのドレイン側(ビット線側)のセレクトゲートトランジスタのセレクトゲート線SSLを、約1.2Vに設定する。この時、メモリセルのコントロールゲートとドレイン領域との間には、FNトンネル電流が流れ、データの消去が行われる。

【0226】

このような消去方式を採用することにより、後述するように、データ書き換えの対象となるメモリセルについてのみ書き込み及び消去を実行する本当の意味でのバイト書き換えが可能となる。

【0227】

(3) センスアンプ回路

図25は、図21の3Tr・NANDのセンスアンプ回路の例を示している。

【0228】

センスアンプ回路(センスラッチ)13は、ビット線BLi0、・・・BLi7、BLj0、・・・BLj7の数と同じ数のセンスアンプS/Ai、S/Ajと、消去電位Ver_aをビット線BLi0、・・・BLi7、BLj0、・・・BLj7に供給するための高耐圧トランジスタM9とから構成される。

【0229】

10

20

30

40

50

センスアンプ S/A_i , S/A_j は、メモリセルと同様に、複数のブロックに分けられている。図 22 のブロック BLK_i に対応して、センスアンプ S/A_i が設けられ、図 22 のブロック BLK_j に対応して、センスアンプ S/A_j が設けられている。

【0230】

センスアンプ S/A_i は、カラム選択スイッチ SW_i を経由して、入出力線 $I/O \cdot 0$, \dots $I/O \cdot 7$ に接続される。カラム選択スイッチ SW_i は、カラム選択信号 CSL_i により制御される。また、センスアンプ S/A_j は、カラム選択スイッチ SW_j を経由して、入出力線 $I/O \cdot 0$, \dots $I/O \cdot 7$ に接続される。カラム選択スイッチ SW_j は、カラム選択信号 CSL_j により制御される。

【0231】

ビット線 BL_i0 , \dots BL_i7 に接続される高耐圧トランジスタ M_9 は、カラム選択信号 CSL_i により制御される。例えば、消去時、カラム選択信号 CSL_i が “H” になると、ビット線 BL_i0 , \dots BL_i7 に接続される高耐圧トランジスタ M_9 がオン状態になり、ビット線 BL_i0 , \dots BL_i7 に消去電位 V_{era} が供給される。

10

【0232】

ビット線 BL_j0 , \dots BL_j7 に接続される高耐圧トランジスタ M_9 は、カラム選択信号 CSL_j により制御される。例えば、消去時、カラム選択信号 CSL_j が “H” になると、ビット線 BL_j0 , \dots BL_j7 に接続される高耐圧トランジスタ M_9 がオン状態になり、ビット線 BL_j0 , \dots BL_j7 に消去電位 V_{era} が供給される。

【0233】

(4) センスアンプの具体例

図 26 は、図 25 のセンスアンプ回路 13 内のセンスアンプ S/A_i の例を示している。

20

【0234】

センスアンプ S/A_i は、一方の出力が他方の入力となる 2 つの CMOS インバータ I_1 , I_2 から成るラッチ回路 21 を主体とする。ラッチ回路 21 のラッチノード Q は、カラム選択スイッチ SW_i を経由して、データ入出力線 I/O に接続される。また、ラッチノード Q は、センスアンプ遮断用の N チャネル MOS トランジスタ M_4 とビット線電位クランプ用の N チャネル MOS トランジスタ M_1 を経由してビット線 BL_i に接続される。

【0235】

N チャネル MOS トランジスタ M_1 , M_4 の接続ノードがセンスノード N_{sense} となる。センスノード N_{sense} には、プリチャージ用の P チャネル MOS トランジスタ M_2 とディスチャージ用の N チャネル MOS トランジスタ M_3 が接続される。プリチャージ用の P チャネル MOS トランジスタ M_2 は、プリチャージ制御信号 $Load$ に基づいて所定期間にセンスノード N_{sense} の充電を行う。ディスチャージ用の N チャネル MOS トランジスタ M_3 は、ディスチャージ制御信号 DCB に基づいてセンスノード N_{sense} の電荷を放電する。

30

【0236】

ラッチ回路 21 のラッチノード Q_b には、制御信号 L_1 に基づいてラッチノード Q_b を強制的に接地電位にするためのリセット用 N チャネル MOS トランジスタ M_5 が接続される。ラッチ回路 21 のラッチノード Q には、制御信号 L_2 に基づいてラッチノード Q を強制的に接地電位にするためのリセット用 N チャネル MOS トランジスタ M_6 が接続される。

40

【0237】

リセット用 N チャネル MOS トランジスタ M_5 , M_6 の共通ソースは、センスノード N_{sense} の電位により制御されるセンス用 N チャネル MOS トランジスタ M_7 を経由して接地点に接続される。センス用 N チャネル MOS トランジスタ M_7 は、N チャネル MOS トランジスタ M_5 , M_6 と共にラッチ回路 21 のリセット用としても用いられる。

【0238】

なお、トランジスタ M_1 , M_9 は、消去動作時に、高電圧により破壊されないように、高耐圧トランジスタから構成される。高耐圧トランジスタは、N チャネル MOS トランジス

50

タであってもよいし、PチャンネルMOSトランジスタであってもよい。

【0239】

(5) 基本動作

以下、消去、書き込み及び読み出しの各動作時における電位関係の例について説明する。なお、メモリセルは、図1に示すような構造を有し、メモリセルアレイは、図22に示す構造を有しているものとする。

【0240】

また、各説明においては、「選択xx」、「非選択xx」なる言葉が出てくるが、ここでは、「選択xx」とは、データ書き換えの対象となるメモリセルに接続されている線であることを意味し、「非選択xx」とは、データ書き換えの対象となるメモリセルに接続されていない線であることを意味する。

【0241】

1 正バイアスのみ用いる場合

表5は、消去時の電位関係の一例を示している。

【0242】

【表5】

選択 BL	Vera (15V)
選択 SSL	Vera+Vth (17V)
選択 CGL	Vss (0V)
選択 GSL	Vss (0V)
非選択 BL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 CGL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	Vss (0V)
Pウェル P-well	Vss (0V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

【0243】

消去時には、表5に示すように、全てのコントロールゲート線（選択CGL，非選択CGL）及び全てのソース側セレクトゲート線（選択GSL，非選択GSL）は、0Vに設定される。選択されたビット線（選択BL）には、消去電位Vera（例えば、約15V）が与えられ、選択されたドレイン側セレクトゲート線（選択SSL）には、Vera+Vth、例えば、約17Vが与えられる。Vthは、ドレイン側セレクトゲートトランジスタの閾値電圧である。

【0244】

バイト単位のデータ書き換えを行う場合には、メモリセルについては、8個単位でまとめて、1つのブロックとし、データ消去も、例えば、バイト単位で行うようにする。従って、選択されるビット線（選択BL）は、8×m（mは、自然数）本となる。なお、当然に、全てのビット線を選択して、ページ消去を行うこともできる。

【0245】

選択されたドレイン側セレクトゲート線（選択SSL）がVera+Vthに設定されるのは、消去電位Veraを、選択されたメモリセルのドレイン領域にいわゆる閾値落ちなく、伝えるためである。

10

20

30

40

50

【0246】

表5に示すような電位関係に設定すると、選択されたメモリセルのドレイン領域からフローティングゲート電極に向かって、ローカルなFNTトンネル電流が流れ、フローティングゲート電極内の電子が引き抜かれる。その結果、選択されたメモリセルのデータが消去される。なお、ここでは、消去とは、メモリセルの閾値電圧が負になることを意味している。

【0247】

表6は、書き込み時の電位関係の一例を示している。

【0248】

【表6】

“0”書き込みを行う選択 BL	Vss (0V)
書き込み禁止の選択 BL	Vcc (3V)
選択 CGL	Vpgm (15V)
選択 SSL	Vcc (3V)
選択 GSL	Vss (0V)
非選択 BL	Vss (0V)
非選択 CGL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	Vcc (3V)
Pウェル P-well	Vss (0V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

10

20

30

【0249】

プログラムデータは、例えば、図25のデータ入出力線 I/O・0, …, I/O・7 からセンスアンプ回路13に、バイト単位で、入力される。1バイト分のプログラムデータは、カラム選択信号 CSL_i, CSL_jにより選択されたブロック内のセンスアンプ S/A_i, S/A_jに入力される。

【0250】

書き込み時には、表6に示すように、非選択のコントロールゲート線（非選択CGL）は、0Vに設定される。選択されたドレイン側セレクトゲート線（選択SSL）は、電源電位Vcc（例えば、約3V）に設定され、非選択のドレイン側セレクトゲート線（非選択SSL）は、0Vに設定される。全てのソース側セレクトゲート線（選択GSL, 非選択GSL）は、0Vに設定される。

40

【0251】

選択されたビット線（選択BL）に対しては、プログラムデータに応じて、以下の電位が与えられる。ここで、選択されたビット線（選択BL）に接続されるメモリセル、即ち、バイト単位の書き換えの対象となるメモリセルは、上述の消去動作により、予め、消去状態、即ち、“1”状態に設定されている。

【0252】

“0”書き込みを行う選択されたビット線（選択BL）には、0Vが与えられ、書き込み禁止、即ち、“1”書き込みを行う選択されたビット線（選択BL）には、電源電位Vcc（例えば、約3V）が与えられる。なお、“0”書き込みとは、3Tr.NANDのセ

50

ルトランジスタのフローティングゲート電極に電子を注入し、その閾値電圧を上げることであり、書き込み禁止、即ち、“1”書き込みとは、3T_r.NANDのセルトランジスタの閾値電圧を維持（消去状態）に保つことである。

【0253】

また、非選択のビット線（非選択BL）には、0Vが与えられる。非選択のビット線（非選択BL）とは、例えば、バイト単位の書き換えの対象とならないメモリセルが接続されるビット線のことである。

【0254】

上述のような電位関係を保った状態において、選択されたコントロールゲート線（選択CGL）に、プログラム電位V_{pgm}（例えば、約15V）を与えると、“0”書き込みの対象となる選択されたメモリセルでは、フローティングゲート電極とチャンネル領域との間に高電界が発生し、FNトンネル電流が流れる。その結果、チャンネル領域の電子がフローティングゲート電極に注入され、セルトランジスタの閾値電圧は、正となる。

10

【0255】

これに対し、書き込み禁止、即ち、“1”書き込みの対象となる選択されたメモリセルでは、選択されたコントロールゲート線（選択CGL）にプログラム電位V_{pgm}が与えられると、セルトランジスタのチャンネルの電位は、チャンネルとコントロールゲート電極と容量結合によって、V_{pgm}×まで上昇する。

【0256】

ここで、は、コントロールゲート電極から見たときのチャンネル領域のカップリング比であり、V_{pgm}×、即ち、書き込み禁止電位（チャンネル電位）は、約10Vとなるため、セルトランジスタの閾値電圧は、負のままとなり、“1”状態を維持する。

20

【0257】

また、非選択のビット線（非選択BL）に接続される非選択のメモリセルでは、書き込み禁止のメモリセルと同様に、セルトランジスタのチャンネル電位が、書き込み禁止電位、即ち、約10Vとなるため、フローティングゲート電極とチャンネル領域との間に高電界が発生せず、プログラムデータ（“1”又は“0”）をそのまま維持する。

【0258】

なお、書き込み禁止の選択されたメモリセル及び非選択のメモリセルでは、セルトランジスタのチャンネル電位が上昇し、ドレイン側セレクトゲートトランジスタ及びソース側セレクトゲートトランジスタは、共に、カットオフする。ソース線SLを電源電位V_{cc}（例えば、約3V）としているのは、ソース側セレクトゲートトランジスタのカットオフ特性を向上させ、昇圧されたチャンネル電位によるパンチスルー耐性を向上させるためである。

30

【0259】

表7は、読み出し時の電位関係の一例を示している。

【0260】

【表7】

“0”読み出す選択 BL	Vpre (2V)⇒Vpre (2V)
“1”読み出す選択 BL	Vpre (2V)⇒Vss (0V)
選択 CGL	Vss (0V)
選択 SSL	Vcc (3V)
選択 GSL	Vcc (3V)
非選択 BL	Vss (0V)
非選択 CGL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	Vcc (0V)
Pウェル P-well	Vss (0V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

10

20

【0261】

読み出し時には、表7に示すように、読み出しの対象となるメモリセルが接続される選択されたビット線（選択BL）は、予め、図26のプリチャージ用PチャネルMOSトランジスタM2により、プリチャージ電位Vpre（例えば、約2V）に設定される。

【0262】

そして、読み出しの対象となるメモリセルが接続される選択されたソース側/ドレイン側セレクトゲート線（選択SSL，選択GSL）を、電源電位Vcc（例えば、約3V）に設定する。

【0263】

セルトランジスタの閾値電圧は、“0”状態の場合には、正、“1”状態の場合には、負である。このため、選択されたコントロールゲート線（選択CGL）に接地電位Vss（0V）を与えると、選択されたビット線（選択BL）の電位は、セルデータに応じて変化する。

30

【0264】

即ち、セルトランジスタが“0”状態のときは、セルトランジスタは、オフ状態であるため、選択されたビット線（選択BL）の電位は、プリチャージ電位Vpreを維持する。これに対し、セルトランジスタが“1”状態のときは、セルトランジスタは、オン状態であるため、選択されたビット線（選択BL）の電位は、プリチャージ電位Vpreから接地電位Vssに変化する。

【0265】

本例によれば、コントロールゲート線については、選択状態であっても、又は、非選択状態であっても、常に、接地電位Vssに設定しておくことができるため、読み出し耐性（Read Disturb）に関して良好な結果を得ることができる。

40

【0266】

また、本例では、上述のように、例えば、バイト単位で、データをセンスアンプに読み出すことができると共に、1ページ分のデータをセンスアンプに読み出すこともできる。

【0267】

さらに、例えば、バイト単位のデータ書き換えを行う場合には、上述のように、バイト単位のデータ消去が可能のため、書き換えの対象となるメモリセルの古いデータについては、センスアンプに読み出す必要がない。つまり、バイト消去後、直ちに、バイト書き込み

50

を実行することができる。

【0268】

表5、表6及び表7における消去、書き込み及び読み出し動作に関しては、全てのコラム選択信号CSLi, CSLjを選択状態(“H”)にすれば、ページ消去、ページ書き込み及びページ読み出しが可能となる。また、1つ又は複数のコラム選択信号CSLi, CSLjを選択状態(“H”)にすれば、バイト消去、バイト書き込み及びバイト読み出しが可能となる。

【0269】

消去動作に関しては、ビット線からメモリセルに消去電位Veraを与えるようにしたが、表8に示すように、例えば、図1に示すPウェル(P-well)及びNウェル(N-well)に、消去電位Vera(例えば、約15V)を与えれば、ページ消去を行うことができる。

10

【0270】

【表8】

選択 BL	Vera-Vfb (14V)
選択 SSL	Vera (15V)
選択 CGL	Vss (0V)
選択 GSL	Vera (15V)
非選択 BL	Vera-Vfb (14V)
非選択 SSL	Vera (15V)
非選択 CGL	Vera (15V)
非選択 GSL	Vera (15V)
ソース線 SL	Vera-Vfb (14V)
Pウェル P-well	Vss (15V)
Nウェル N-well	Vera (15V)
P基板 P-sub	Vss (0V)

20

30

【0271】

表8では、全てのメモリセルが、同一のPウェル(P-well)及びNウェル(N-well)内に配置されていることを前提とする。

【0272】

また、図27に示すように、1ページデータに関し、ブロックごとに、Pウェル(P-well)及びNウェル(N-well)を設ければ、例えば、選択されたブロックが配置されるPウェル(P-well)及びNウェル(N-well)のみに、消去電位Veraを与え、バイト消去を行うこともできる。

40

【0273】

なお、Vfbは、PN接合による電圧降下分を意味している。

【0274】

2 正負バイアスを用いる場合

以下、正負バイアスを用いる場合の消去時及び書き込み時の電位関係について説明する。読み出しに関しては、正バイアスのみを用いる場合(表7)と同じとなるため、ここでは、省略する。

【0275】

表9は、消去時の電位関係の一例を示している。

【0276】

50

【表 9】

選択 BL	Vera1 (10V)
選択 SSL	Vera1+Vth (12V)
選択 CGL	Vera2 (-5V)
選択 GSL	Vss (0V)
非選択 BL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 CGL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	Vss (0V)
Pウェル P-well	Vss (0V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

10

【0277】

消去時には、表 9 に示すように、非選択のコントロールゲート線（非選択 CGL）及び全てのソース側セレクトゲート線（選択 GSL，非選択 GSL）は、0V に設定される。選択されたビット線（選択 BL）は、Vera1（例えば、約 10V）に設定され、選択されたコントロールゲート線（選択 CGL）は、Vera2（例えば、約 -5V）に設定される。

20

【0278】

また、選択されたドレイン側セレクトゲート線（選択 SSL）は、Vera1 + Vth、例えば、約 12V に設定される。Vth は、ドレイン側セレクトゲートトランジスタの閾値電圧である。

【0279】

バイト単位のデータ書き換えを行う場合には、データ消去も、例えば、バイト単位で行うようにする。従って、ビット線は、ブロック単位で選択される。なお、1つのブロックは、8本のビット線からなる。また、全てのビット線を選択すれば、ページ消去となる。

30

【0280】

選択されたドレイン側セレクトゲート線（選択 SSL）が Vera1 + Vth に設定されるのは、消去電位 Vera1 を、選択されたメモリセルのドレイン領域にいわゆる閾値落ちなく、伝えるためである。

【0281】

表 9 に示すような電位関係に設定すると、選択されたメモリセルのドレイン領域からフローティングゲート電極に向かって、ローカルな FN トンネル電流が流れ、フローティングゲート電極内の電子が引き抜かれる。その結果、選択されたメモリセルのデータが消去される。

40

【0282】

表 10 は、書き込み時の電位関係の一例を示している。

【0283】

【表 10】

“0”書き込みを行う選択 BL	Vpgm2 (-5V)
書き込み禁止の選択 BL	Vss (0V)
選択 CGL	Vpgm1 (10V)
選択 SSL	Vss (0V)
選択 GSL	Vpgm2 (-5V)
非選択 BL	Vpgm2+Vfb (-4V)
非選択 CGL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	Vpgm2+Vfb (-4V)
Pウェル P-well	Vpgm2 (-5V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

10

20

【0284】

プログラムデータは、例えば、図25のデータ入出力線 I/O・0, . . . I/O・7 からセンスアンプ回路13に、バイト単位で、入力される。1バイト分のプログラムデータは、カラム選択信号 CSL_i, CSL_jにより選択されたブロック内のセンスアンプ S/A_i, S/A_jに入力される。

【0285】

書き込み時には、表10に示すように、非選択のコントロールゲート線（非選択CGL）は、0Vに設定される。全てのドレイン側セレクトゲート線（選択SSL, 非選択SSL）は、接地電位 Vss (0V) に設定される。非選択のソース側セレクトゲート線（非選択GSL）は、0Vに設定され、選択されたソース側セレクトゲート線（選択GSL）は、Vpgm2（例えば、約-5V）に設定される。

30

【0286】

そして、選択されたビット線（選択BL）に対しては、プログラムデータに応じて、以下の電位が与えられる。ここで、選択されたビット線（選択BL）に接続されるメモリセル、即ち、バイト単位の書き換えの対象となるメモリセルは、上述の消去動作により、予め、消去状態、即ち、“1”状態に設定されている。

【0287】

“0”書き込みを行う選択されたビット線（選択BL）には、Vpgm2（例えば、約-5V）が与えられ、書き込み禁止、即ち、“1”書き込みを行う選択されたビット線（選択BL）には、接地電位 Vss (0V) が与えられる。また、非選択のビット線（非選択BL）には、Vpgm2+Vfb（例えば、約-4V）が与えられる。Vfbは、PN接合による電圧降下分である。

40

【0288】

このような電位関係において、選択されたコントロールゲート線（選択CGL）に、プログラム電位 Vpgm1（例えば、約10V）を与えると、“0”書き込みの対象となる選択されたメモリセルでは、フローティングゲート電極とチャネル領域との間に高電界が発生し、FNトンネル電流が流れる。その結果、チャネル領域の電子がフローティングゲート電極に注入され、セルトランジスタの閾値電圧は、正となる。

【0289】

これに対し、書き込み禁止、即ち、“1”書き込みの対象となる選択されたメモリセルで

50

は、選択されたコントロールゲート線（選択CGL）にプログラム電位 V_{pgm1} が与えられると、セルトランジスタのチャネル電位は、チャネルとコントロールゲート電極と容量結合によって、 $V_{pgm1} \times$ まで上昇するため、セルトランジスタの閾値電圧は、負のままとなり、“1”状態を維持する。

【0290】

また、非選択のビット線（非選択BL）に接続される非選択のメモリセルでは、書き込み禁止のメモリセルと同様に、セルトランジスタのチャネル電位が、書き込み禁止電位、即ち、 $V_{pgm1} \times$ となるため、フローティングゲート電極とチャネル領域との間に高電界が発生せず、プログラムデータ（“1”又は“0”）をそのまま維持する。

【0291】

なお、書き込み禁止の選択されたメモリセル及び非選択のメモリセルでは、セルトランジスタのチャネル電位が上昇し、ドレイン側セレクトゲートトランジスタ及びソース側セレクトゲートトランジスタは、共に、カットオフする。ソース線SLを、 $V_{pgm2} + V_{fb}$ （例えば、約 $-4V$ ）としているのは、ソース側セレクトゲートトランジスタのカットオフ特性を向上させ、昇圧されたチャネル電位によるパンチスルー耐性を向上させるためである。

【0292】

ところで、消去動作に関しては、ビット線からメモリセルに消去電位 V_{era1} を与えるようにしたが、表11に示すように、例えば、図1に示すPウェル（P-well）及びNウェル（N-well）に、消去電位 V_{era1} （例えば、約 $10V$ ）を与えれば、ページ消去を行うことができる。

【0293】

【表11】

選択 BL	$V_{era1} - V_{fb}$ (9V)
選択 SSL	V_{era1} (10V)
選択 CGL	V_{era2} ($-5V$)
選択 GSL	V_{era1} (10V)
非選択 BL	$V_{era1} - V_{fb}$ (9V)
非選択 SSL	V_{era1} (10V)
非選択 CGL	V_{era1} (10V)
非選択 GSL	V_{era1} (10V)
ソース線 SL	$V_{era1} - V_{fb}$ (9V)
Pウェル P-well	V_{era1} (10V)
Nウェル N-well	V_{era1} (10V)
P基板 P-sub	V_{ss} (0V)

【0294】

表11では、全てのメモリセルが、同一のPウェル（P-well）及びNウェル（N-well）内に配置されていることを前提とする。

【0295】

また、図27に示すように、1ページデータに関し、ブロックごとに、Pウェル（P-well）及びNウェル（N-well）を設ければ、例えば、選択されたブロックが配置されるPウェル（P-well）及びNウェル（N-well）のみに、消去電位 V_{era} を与え、バイト消去を行うことができる。

10

20

30

40

50

【0296】

3 消去を加速して行う場合

消去時に、コントロールゲート電極から昇圧されたドレイン領域に向けてローカルなF Nトンネル電流を流すと共に、熱正孔注入（ホット・ホール・インジェクション）により、フローティングゲート電極内の電子を引き抜き、消去時間を短縮させる例について説明する。

【0297】

表12及び表13は、それぞれ、消去動作を加速させる場合の消去時の電位関係の一例を示している。

【0298】

【表12】

選択 BL	Vera (15V)
選択 SSL	Vera+Vth (17V)
選択 CGL	Vss (0V)
選択 GSL	Vth (1V)
非選択 BL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 CGL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	-Vs (-0.5V)
Pウェル P-well	Vss (0V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

10

20

30

【0299】

【表13】

選択 BL	Vera (15V)
選択 SSL	Vera+Vth (17V)
選択 CGL	Vss (0V)
選択 GSL	Vss (0V)
非選択 BL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 CGL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	Vss (0V)
Pウェル P-well	Vs (0.5V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

40

50

【0300】

表12及び表13は、上述の正バイアスのみを用いる場合における電位関係、即ち、表5の変形例である。

【0301】

表12では、選択されたソース側セレクトゲート線（選択GSL）に、 V_{th} （約1V）を与え、ソース線SLには、 $-V_s$ （例えば、約-0.5V）を与えている。これにより、FNトンネル電流に加えて、熱正孔注入が発生し、セルトランジスタの閾値電圧の低下（電子の放出）が加速される。

【0302】

表13では、Pウェル領域P-wellに、 V_s （例えば、約0.5V）を与えている。これにより、FNトンネル電流に加えて、熱正孔注入が発生し、セルトランジスタの閾値電圧の低下（電子の放出）が加速される。

10

【0303】

このように、セルトランジスタのソースを、-0.5V程度に設定し、又は、Pウェル領域P-wellを、0.5V程度に設定することにより、正孔の発生が顕著になる。即ち、セルトランジスタのドレイン近傍において、インパクトイオン化によりホットになった正孔が、フローティングゲート電極内に注入されるため、消去動作が促進される。

【0304】

表14及び表15は、それぞれ、消去動作を加速させる場合の消去時の電位関係の他の例を示している。

20

【0305】

【表14】

選択 BL	Vera1 (10V)
選択 SSL	Vera1+Vth (12V)
選択 CGL	Vera2 (-5V)
選択 GSL	Vth (1V)
非選択 BL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 CGL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	$-V_s$ (-0.5V)
Pウェル P-well	Vss (0V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

30

40

【0306】

【表15】

選択 BL	Vera1 (10V)
選択 SSL	Vera1+Vth (12V)
選択 CGL	Vera2 (-5V)
選択 GSL	Vss (0V)
非選択 BL	Vss (0V)
非選択 SSL	Vss (0V)
非選択 CGL	Vss (0V)
非選択 GSL	Vss (0V)
ソース線 SL	Vss (0V)
Pウェル P-well	+Vs (0.5V)
Nウェル N-well	Vss (0V)
P基板 P-sub	Vss (0V)

10

【0307】

20

表14及び表15は、上述の正負バイアスを用いる場合における電位関係、即ち、表9の変形例である。

【0308】

表14では、選択されたソース側セレクトゲート線（選択GSL）に、Vth（約1V）を与え、ソース線SLには、-Vs（例えば、約-0.5V）を与えている。これにより、FNトンネル電流に加えて、熱正孔注入が発生し、セルトランジスタの閾値電圧の低下（電子の放出）が加速される。

【0309】

表15では、Pウェル領域P-wellに、Vs（例えば、約0.5V）を与えている。これにより、FNトンネル電流に加えて、熱正孔注入が発生し、セルトランジスタの閾値電圧の低下（電子の放出）が加速される。

30

【0310】

このように、セルトランジスタのソースを、-0.5V程度に設定し、又は、Pウェル領域P-wellを、0.5V程度に設定することにより、正孔の発生が顕著になる。即ち、セルトランジスタのドレイン近傍において、インパクトイオン化によりホットになった正孔が、フローティングゲート電極内に注入されるため、消去動作が促進される。

【0311】

(6) バイト書き換え動作

以下、本発明の例に関わるバイト書き換え動作について説明する。

【0312】

40

図21乃至図26の3Tr・NANDを用いる場合、例えば、参考例において説明したバイト書き換え動作、即ち、図18及び図19に示すバイト書き換え動作をそのまま適用することができる。

【0313】

さらに、本発明の例においては、以下のバイト書き換え動作を行うことも可能である。

【0314】

図28は、図21乃至図26の3Tr・NANDに適用されるバイト単位のデータ書き換え動作の例を示している。

【0315】

本例のバイト単位のデータ書き換え動作は、以下の4つの主要な工程から構成される。

50

1 選択ブロックに対応するセンスアンプにバイトデータ（プログラムデータ）をラッチする。

2 選択ブロック内のメモリセルのデータを消去（バイト消去）する。

3 選択ブロック内のメモリセルに対してのみ、センスアンプに保持されたデータをプログラムする（バイトプログラム）。

【0316】

本例のバイト単位のデータ書き換え動作の特徴は、バイト単位のデータ書き換えを行うに当たって、バイト単位のデータ消去及びバイト単位のデータ書き込みを実行している点にある。これにより、選択口内での1ページ分のデータを、一時的にセンスアンプにラッチしておく必要がなく、1ページ分のデータの読み出し動作を省略できる。このため、書き換える対象とならないメモリセルに対する不要な読み出し、消去、書き込み動作をなくすることができる。

10

【0317】

従って、同じデータを書き換える場合を考えると、本例の書き換え動作では、図13の書き換え動作に比べて、ページ読み出し、消去、書き込みの回数を減らすことができ、実質的なページ書き換え特性（書き換え回数）を向上させることができる。

【0318】

このように、本例によれば、フラッシュメモリと同一のプロセスで製造でき、かつ、同一の書き換え方法が適用されるにもかかわらず、書き換え特性を悪くすることなしにバイト単位でのデータの書き換えが可能となる。

20

【0319】

(7) 変形例

以下、本発明の例に関わる3Tr・NANDの変形例について説明する。

【0320】

図29は、図21の3Tr・NANDのメモリセルアレイ11の他の例を示している。図29のメモリセルアレイは、図22及び図25の回路の変形例と考えることができる。

【0321】

図22及び図25の例では、ビット線BLi0, …, BLi7, BLj0, …, BLj7に、消去電位Veraを供給するためのトランジスタM9を接続し、消去電位Veraは、ビット線BLi0, …, BLi7, BLj0, …, BLj7を経由して、バイト単位で、セルトランジスタのドレイン領域に供給した。

30

【0322】

これに対し、図29の例では、1ページ内の1バイト分のメモリセルごとに、ソース線SLi, SLjを共通接続し、ソース線SLi, SLjに、消去電位Veraを供給するためのトランジスタM9を接続している。これにより、消去電位Veraは、ソース線SLi, SLjを経由して、バイト単位で、セルトランジスタのソース領域に供給される。

【0323】

本例では、1ページ分のメモリセルのうち、8本のビット線BLi0, BLi1, …, BLi7に接続される8個のメモリセル（1バイト分）により、1つのブロックBLKiが構成され、1ページ分のメモリセルのうち、8本のビット線BLj0, BLj1, …, BLj7に接続される8個のメモリセル（1バイト分）により、1つのブロックBLKjが構成される。

40

【0324】

ブロックBLKi内のメモリセルには、共通に、ソース線SLiが接続され、ブロックBLKj内のメモリセルには、共通に、ソース線SLjが接続される。ソース線SLiは、カラム選択スイッチSWiを経由して、Veraが供給される消去端子に接続され、ソース線SLjは、カラム選択スイッチSWjを経由して、Veraが供給される消去端子に接続される。

【0325】

そして、データの書き込み及び消去は、例えば、コントロールゲート線CGLの電位とソ

50

ース線（メモリセルのソース領域）の電位との電位差を制御することにより実行する。

【0326】

例えば、図30（正バイアスのみ使用）に示すように、消去時には、選択されたメモリセルに対して、コントロールゲート線CGLの電位を、約0Vに設定し、ソース線SLの電位を、約15Vに設定する。また、メモリセルのソース側（ソース線側）のセレクトゲートトランジスタのセレクトゲート線GSLを、約17Vに設定する。この時、メモリセルのコントロールゲートとソース領域との間には、FNトンネル電流が流れ、データの消去が行われる。

【0327】

また、例えば、図31（正負バイアスを使用）に示すように、消去時には、選択されたメモリセルに対して、コントロールゲート線CGLの電位を、約-5Vに設定し、ソース線SLの電位を、約10Vに設定する。また、メモリセルのソース側（ソース線側）のセレクトゲートトランジスタのセレクトゲート線GSLを、約12Vに設定する。この時、メモリセルのコントロールゲートとソース領域との間には、FNトンネル電流が流れ、データの消去が行われる。

【0328】

このような消去方式を採用することにより、データ書き換えの対象となるメモリセルについてのみ書き込み及び消去を実行する本当の意味でのバイト書き換えが可能となる。

【0329】

なお、消去時、書き込み時及び読み出し時の具体的な電位関係については、表5～表15を適用することができる。

【0330】

但し、これらの表において、「選択/非選択BL」を「選択/非選択SL」に変え、「選択/非選択SSL」を「選択/非選択GSL」に変え、「選択/非選択GSL」を「選択/非選択SSL」に変え、「ソース線SL」を「ビット線BL」に変える必要がある。

【0331】

(8) 応用例

次に、本発明の例に関わる2Tr.NAND及び3Tr.NANDに関連する混載メモリチップ及びシステムの例について説明する。

【0332】

ここで、2Tr.NANDとは、1個のメモリセルと1個のセレクトゲートトランジスタとからメモリセルユニットが構成され、高速アクセスなど、NOR型フラッシュメモリの特徴を備えたメモリのことであり、3Tr.NANDとは、1個のメモリセルとこれを挟み込む2個のセレクトゲートトランジスタとからメモリセルユニットが構成されるメモリのことである。

【0333】

2Tr./3Tr.NANDのメモリセル及びセレクトゲートトランジスタは、NAND型フラッシュメモリのメモリセル及びセレクトゲートトランジスタと同じ構造を有し、書き込み/消去原理については、三者、共に、同じとなる。つまり、2Tr./3Tr.NANDは、NAND型フラッシュメモリと同一プロセスで形成できるため、これらを1チップ内に混載することが容易となる。

【0334】

また、最近では、ロジックとメモリとを1チップ内に混載した混載メモリチップが数多く提案されている。つまり、本発明の例によれば、NAND型フラッシュメモリ、2Tr.NAND、3Tr.NAND及びロジック回路のうちの少なくとも2個を1チップ内に混載した混載メモリチップを容易に実現できる。

【0335】

1 2Tr.NAND

まず、2Tr.NANDについて簡単に説明する。

【0336】

10

20

30

40

50

通常のNOR型フラッシュメモリは、1個のトランジスタ(メモリセル)のみから構成される1Tr.タイプであり、“0”及び“1”の閾値分布を共に正にしなければならず、過消去問題が発生する、ホットエレクトロン注入により書き込みを行うため、消費電流の増大や多数ビットの同時書き込みができないなどの欠点を有する。

【0337】

そこで、本発明の例では、1個のメモリセルと、そのメモリセルとソース線との間に接続される1個のセレクトゲートトランジスタとから構成される2Tr.タイプのセルユニットを提案する。

【0338】

このセルユニットの特徴は、NOR型フラッシュメモリの特徴を持つが、製造プロセスや書き込み/消去原理などは、NAND型フラッシュメモリと同じである点にある。つまり、セルユニットは、NANDセルユニットのメモリセルを1個とし、さらに、ドレイン側のセレクトゲートトランジスタを省略したものと考えることができる。

【0339】

また、2Tr.NANDでは、メモリセルに対するデータ書き込み/消去をFNトンネル電流により行い、例えば、消去状態(“1”状態)の閾値分布を負にすることができる。

【0340】

従って、2Tr.NANDは、NOR型フラッシュメモリに比べ、書き込み時の消費電流を低減できる、多数ビットの同時書き込みを実現できる、過消去問題がない、さらには、NAND型フラッシュメモリと同一プロセスで形成できるなどの利点を持つことになる。

【0341】

なお、2Tr.NANDは、NAND型フラッシュメモリや3Tr.NANDと比べると、ドレイン側(ビット線側)にセレクトゲートトランジスタが存在しないため、非選択ブロック(非選択ワード線)内における非選択メモリセルの書き込み時のディスターブが問題となる。

【0342】

即ち、2Tr.NANDでは、容量カップリングにより書き込み禁止電位を生成できないため、ビット線に、書き込み禁止電位として、比較的高い中間電位、例えば、書き込み電位 V_{pp} の1/2の電位を与えなければならない。このため、同じブロック(ワード線)が何度も選択されるような場合には、非選択ブロック)内のメモリセルには、繰り返し、フローティングゲート電極中の電荷が抜かれる方向の電界が作用する。

【0343】

そこで、2Tr.NANDは、NAND型フラッシュメモリや3Tr.NANDとの混載メモリとして使用する場合には、主として、読み出し専用のROMとして用いれば、非常に有効である。

【0344】

2 混載メモリチップの例

[第1例]

図32は、本発明の例に関わる混載メモリチップの第1例を示している。

【0345】

チップA内には、NAND領域、3Tr.領域、2Tr.領域及びロジック領域が配置される。NAND領域には、NAND型フラッシュメモリが配置され、3Tr.領域には、3Tr.NANDが配置され、2Tr.領域には、2Tr.NANDが配置される。

【0346】

NAND領域の周辺に配置されるセンスアンプ回路(ページバッファ)は、例えば、書き込み/読み出し回路としての機能の他、選択されたビット線に消去電位を与える機能も有している。

【0347】

3Tr.領域の周辺に配置されるセンスアンプ回路は、読み出し回路としての機能を有している。また、データラッチ回路は、例えば、書き込み回路としての機能の他、選択され

10

20

30

40

50

たビット線に消去電位を与える機能も有している。

【0348】

2 Tr . 領域の周辺に配置されるセンスアンプ回路は、読み出し回路としての機能を有している。また、データラッチ回路は、例えば、書き込み回路としての機能の他、選択されたビット線に消去電位を与える機能も有している。

【0349】

コントロールゲート線（ワード線）の選択に当たっては、NAND領域、3 Tr . 領域及び2 Tr . 領域で、別々に駆動回路を設けるようにしてもよいし、共通化できるならば、これらの領域のうちの少なくとも2つの駆動回路を一つにまとめてもよい。

【0350】

NAND領域内のNAND型フラッシュメモリは、例えば、動画などのメインデータを記憶するメインメモリとして使用でき、3 Tr . 領域内の3 Tr . NANDは、例えば、高速アクセスのためのキャッシュメモリとして使用できる。

【0351】

2 Tr . 領域内の2 Tr . NANDは、例えば、動作制御などのためのデータを記憶するROMとして使用できる。ロジック領域には、CPUや、ECC（エラー訂正回路）などが配置される。また、チップA内に、RF回路（抵抗素子や容量素子など）を形成できる場合には、そのような素子を形成してもよい。

【0352】

図33は、混載メモリチップ内におけるトランジスタの構造例を示している。

【0353】

p型シリコン基板（p-sub）11-1内には、n型ウェル領域（Cell n-well）11-2及びp型ウェル領域（Cell p-well）11-3から構成されるいわゆるダブルウェル領域、n型ウェル領域（n-well）11-4、並びに、p型ウェル領域（p-well）11-5が形成される。

【0354】

ダブルウェル領域は、メモリセルアレイ領域内、即ち、NAND領域、3 Tr . 領域及び2 Tr . 領域内に配置される。n型ウェル領域11-4及びp型ウェル領域11-5は、NAND領域、3 Tr . 領域及び2 Tr . 領域における周辺回路領域内、並びに、ロジック領域内に形成される。

【0355】

メモリセルは、nチャネルMOSトランジスタから構成され、p型ウェル領域11-3内に配置される。n型ウェル領域11-2及びp型ウェル領域11-3は、同電位に設定される。

【0356】

電源電位Vccよりも高い電圧が印加される高電圧nチャネルMOSトランジスタは、P型シリコン基板（p-sub）11-1内に形成される。電源電位Vccが印加される低電圧pチャネルMOSトランジスタは、n型ウェル領域（n-well）11-4内に形成され、電源電位Vccが印加される低電圧nチャネルMOSトランジスタは、p型ウェル領域（p-well）11-5内に形成される。

【0357】

NAND領域、3 Tr . 領域及び2 Tr . 領域のメモリセルアレイを構成するトランジスタ、並びに、周辺回路及びロジック回路内のトランジスタは、これらに共通のプロセスにより、同時に形成できる。

【0358】

図34は、NAND領域、3 Tr . 領域及び2 Tr . 領域のメモリセルアレイの構造例を示している。

【0359】

NAND領域、3 Tr . 領域及び2 Tr . 領域のメモリセルアレイは、セルユニットの構成については、互いに異なるものの、メモリセル及びセレクトゲートトランジスタの構造

10

20

30

40

50

については、互いに同じとなっている。従って、これら領域内のメモリセルアレイは、同一プロセスにより、同時に形成できる。

【0360】

p型シリコン基板11-1内には、n型ウェル領域11-2及びp型ウェル領域11-3から構成されるダブルウェル領域が形成される。

【0361】

NAND領域においては、直列接続された4つのメモリセルM0, M1, M2, M3が、p型ウェル領域11-3内に配置される。4つのメモリセルM0, M1, M2, M3は、それぞれ、NチャネルMOSトランジスタから構成され、かつ、フローティングゲート電極FGとコントロールゲート電極WL0-0, WL1-0, WL2-0, WL3-0からなるスタックゲート構造を有する。 10

【0362】

直列接続されたメモリセルM0, M1, M2, M3からなるNAND列の一端には、セレクトゲートトランジスタS1が接続され、その他端には、セレクトゲートトランジスタS2が接続される。セレクトゲートトランジスタS1, S2は、NチャネルMOSトランジスタから構成され、メモリセルM0, M1, M2, M3に近似する構造、即ち、スタックゲート構造のセレクトゲート線SGS-0, SGD-0を有する。

【0363】

NANDセルユニットの一端、即ち、セレクトゲートトランジスタS1の拡散層(ドレイン拡散層)14は、コンタクトプラグCB1を経由して、第1メタル配線層M0に接続される。また、第1メタル配線層M0は、ビアプラグV1を経由して、ビット線BLとしての第2メタル配線層M1に接続される。ビット線BLは、データ回路に接続される。 20

【0364】

NANDセルユニットの他端、即ち、セレクトゲートトランジスタS2の拡散層(ソース拡散層)15は、コンタクトプラグCB2を経由して、ソース線C-sourceとしての第1メタル配線層M0に接続される。ソース線C-sourceは、ソース電位制御回路に接続される。

【0365】

n型ウェル領域(Cell n-well)11-2は、n型拡散層16を経由して、C-p-well電位設定線18に接続され、p型ウェル領域(Cell p-well)11-3は、p型拡散層17を経由して、C-p-well電位設定線18に接続される。つまり、n型ウェル領域11-2とp型ウェル領域11-3は、同電位に設定される。C-p-well電位設定線18は、ウェル電位制御回路に接続される。 30

【0366】

フローティングゲート電極FG、コントロールゲート電極WL0-0, WL1-0, WL2-0, WL3-0及びセレクトゲート線SGS-0, SGD-0は、例えば、不純物を含む導電性ポリシリコンから構成される。また、第1及び第2メタル配線層M0, M1は、例えば、アルミニウム、銅、これらの合金などから構成される。

【0367】

3Tr. NAND領域においては、1個のメモリセルM0が、p型ウェル領域11-3内に配置される。メモリセルM0は、NチャネルMOSトランジスタから構成され、かつ、フローティングゲート電極FGとコントロールゲート電極WL0からなるスタックゲート構造を有する。 40

【0368】

メモリセルM0の一端には、セレクトゲートトランジスタS1が接続され、その他端には、セレクトゲートトランジスタS2が接続される。セレクトゲートトランジスタS1, S2は、NチャネルMOSトランジスタから構成され、メモリセルM0に近似する構造、即ち、スタックゲート構造のセレクトゲート線SGS, SGDを有する。

【0369】

3Tr. NANDセルユニットの一端、即ち、セレクトゲートトランジスタS1の拡散層 50

(ドレイン拡散層) 14は、コンタクトプラグCB1を経由して、第1メタル配線層M0に接続される。また、第1メタル配線層M0は、ビアプラグV1を経由して、ビット線BLとしての第2メタル配線層M1に接続される。ビット線BLは、データ回路に接続される。

【0370】

3Tr・NANDセルユニットの他端、即ち、セレクトゲートトランジスタS2の拡散層(ソース拡散層)15は、コンタクトプラグCB2を経由して、ソース線C-sourceとしての第1メタル配線層M0に接続される。ソース線C-sourceは、ソース電位制御回路に接続される。

【0371】

n型ウェル領域(Cell n-well)11-2及びp型ウェル領域(Cell p-well)11-3は、NAND領域と同様に、電位設定線を経由して、ウェル電位制御回路に接続される。

10

【0372】

フローティングゲート電極FG、コントロールゲート電極WL0及びセレクトゲート線SGS,SGDは、例えば、不純物を含む導電性ポリシリコンから構成される。また、第1及び第2メタル配線層M0,M1は、例えば、アルミニウム、銅、これらの合金などから構成される。

【0373】

2Tr・NAND領域においては、1個のメモリセルM0が、p型ウェル領域11-3内に配置される。メモリセルM0は、NチャンネルMOSトランジスタから構成され、かつ、フローティングゲート電極FGとコントロールゲート電極WL0からなるスタックゲート構造を有する。

20

【0374】

メモリセルM0の一端には、セレクトゲートトランジスタS2が接続される。セレクトゲートトランジスタS2は、NチャンネルMOSトランジスタから構成され、メモリセルM0に近似する構造、即ち、スタックゲート構造のセレクトゲート線SGDを有する。

【0375】

2Tr・NANDセルユニットの一端、即ち、メモリセルM0の拡散層(ドレイン拡散層)14は、コンタクトプラグCB1を経由して、第1メタル配線層M0に接続される。また、第1メタル配線層M0は、ビアプラグV1を経由して、ビット線BLとしての第2メタル配線層M1に接続される。ビット線BLは、データ回路に接続される。

30

【0376】

2Tr・NANDセルユニットの他端、即ち、セレクトゲートトランジスタS2の拡散層(ソース拡散層)15は、コンタクトプラグCB2を経由して、ソース線C-sourceとしての第1メタル配線層M0に接続される。ソース線C-sourceは、ソース電位制御回路に接続される。

【0377】

n型ウェル領域(Cell n-well)11-2及びp型ウェル領域(Cell p-well)11-3は、NAND領域と同様に、電位設定線を経由して、ウェル電位制御回路に接続される。

40

【0378】

フローティングゲート電極FG、コントロールゲート電極WL0及びセレクトゲート線SGS,SGDは、例えば、不純物を含む導電性ポリシリコンから構成される。また、第1及び第2メタル配線層M0,M1は、例えば、アルミニウム、銅、これらの合金などから構成される。

【0379】

なお、ダブルウェル領域は、NAND領域、3Tr領域及び2Tr領域に、共通に、1個だけ設けてもよいし、これら3つの領域に、それぞれ、1個ずつ設けてもよい。また、各領域において、さらに、ダブルウェル領域を複数に分割してもよい。

50

【0380】

このような混載メモリチップにおいて、NAND領域、3Tr.領域及び2Tr.領域におけるデータ書き換え方式としては、共通に、例えば、図13に示すようなバイト単位の書き換え方式が採用される。

【0381】

つまり、NAND領域、3Tr.領域及び2Tr.領域において、 a. ページリード（逆読み出し） b. バイト上書き c. バイト消去 d. ページ書き込み、という同じデータ書き換え方式が適用される。但し、b.工程とc.工程は、逆でも、また、同時でもよい。

【0382】

また、データ書き込み/消去方法についても、例えば、FNトンネル現象を用いるなど、NAND領域、3Tr.領域及び2Tr.領域で同じデータ書き込み/消去方法が採用される。

【0383】

データ書き換え方式については、当然に、図13の方式に代えて、図18、図19又は図28に示すデータ書き換え方式を採用してもよい。

【0384】

[第2例]

図35は、本発明の例に関わる混載メモリチップの第2例を示している。

【0385】

チップA内には、NAND領域、3Tr.領域及びロジック領域が配置される。NAND領域には、NAND型フラッシュメモリが配置され、3Tr.領域には、3Tr.NANDが配置される。

【0386】

NAND領域の周辺に配置されるセンスアンプ回路（ページバッファ）は、例えば、書き込み/読み出し回路としての機能の他、選択されたビット線に消去電位を与える機能も有している。

【0387】

3Tr.領域の周辺に配置されるセンスアンプ回路は、読み出し回路としての機能を有している。また、データラッチ回路は、例えば、書き込み回路としての機能の他、選択されたビット線に消去電位を与える機能も有している。

【0388】

コントロールゲート線（ワード線）の選択に当たっては、NAND領域及び3Tr.領域で、別々に駆動回路を設けるようにしてもよいし、共通化できるならば、これらの領域のうちの少なくとも2つの駆動回路を一つにまとめてもよい。

【0389】

NAND領域内のNAND型フラッシュメモリは、例えば、動画などのメインデータを記憶するメインメモリとして使用でき、3Tr.領域内の3Tr.NANDは、例えば、高速アクセスのためのキャッシュメモリとして使用できる。ロジック領域には、CPUや、ECC（エラー訂正回路）などが配置される。また、チップA内に、RF回路（抵抗素子や容量素子など）を形成できる場合には、そのような素子を形成してもよい。

【0390】

なお、NAND領域、3Tr.領域及びこれらの周辺回路領域、並びに、ロジック領域内に形成されるトランジスタの構造については、図33及び図34に示すようになる。

【0391】

このような混載メモリチップにおいて、NAND領域及び3Tr.領域におけるデータ書き換え方式としては、共通に、例えば、図13に示すようなバイト単位の書き換え方式が採用される。

【0392】

つまり、NAND領域及び3Tr.領域において、 a. ページリード（逆読み出し）

10

20

30

40

50

b . バイト上書き c . バイト消去 d . ページ書き込み、という
同じデータ書き換え方式が適用される。但し、b . 工程とc . 工程は、逆でも、また、同
時でもよい。

【0393】

また、データ書き込み/消去方法についても、例えば、F N トンネル現象を用いるなど、
N A N D 領域及び3 T r . 領域で同じデータ書き込み/消去方法が採用される。

【0394】

データ書き換え方式については、当然に、図13の方式に代えて、図18、図19又は図
28に示すデータ書き換え方式を採用してもよい。

【0395】

[第3例]

図36は、本発明の例に関わる混載メモリチップの第3例を示している。

【0396】

チップA内には、N A N D 領域、2 T r . 領域及びロジック領域が配置される。N A N D
領域には、N A N D 型フラッシュメモリが配置され、2 T r . 領域には、2 T r . N A N D
が配置される。

【0397】

N A N D 領域の周辺に配置されるセンスアンプ回路(ページバッファ)は、例えば、書き
込み/読み出し回路としての機能の他、選択されたビット線に消去電位を与える機能も有
している。

【0398】

2 T r . 領域の周辺に配置されるセンスアンプ回路は、読み出し回路としての機能を有し
ている。また、データラッチ回路は、例えば、書き込み回路としての機能の他、選択され
たビット線に消去電位を与える機能も有している。

【0399】

コントロールゲート線(ワード線)の選択に当たっては、N A N D 領域及び2 T r . 領域
で、別々に駆動回路を設けるようにしてもよいし、共通化できるならば、これらの領域の
うちの少なくとも2つの駆動回路を一つにまとめてもよい。

【0400】

N A N D 領域内のN A N D 型フラッシュメモリは、例えば、動画などのメインデータを記
憶するメインメモリとして使用でき、2 T r . 領域内の2 T r . N A N D は、例えば、動
作制御などのためのデータを記憶するR O M として使用できる。ロジック領域には、C P
U や、E C C (エラー訂正回路)などが配置される。また、チップA内に、R F 回路(抵
抗素子や容量素子など)を形成できる場合には、そのような素子を形成してもよい。

【0401】

なお、N A N D 領域、2 T r . 領域及びこれらの周辺回路領域、並びに、ロジック領域内
に形成されるトランジスタの構造については、図33及び図34に示すようになる。

【0402】

このような混載メモリチップにおいて、N A N D 領域及び2 T r . 領域におけるデータ書
き換え方式としては、共通に、例えば、図13に示すようなバイト単位の書き換え方式が
採用される。

【0403】

つまり、N A N D 領域及び2 T r . 領域において、 a . ページリード(逆読み出し)
b . バイト上書き c . バイト消去 d . ページ書き込み、という
同じデータ書き換え方式が適用される。但し、b . 工程とc . 工程は、逆でも、また、同
時でもよい。

【0404】

また、データ書き込み/消去方法についても、例えば、F N トンネル現象を用いるなど、
N A N D 領域及び2 T r . 領域で同じデータ書き込み/消去方法が採用される。

【0405】

10

20

30

40

50

データ書き換え方式については、当然に、図 1 3 の方式に代えて、図 1 8、図 1 9 又は図 2 8 に示すデータ書き換え方式を採用してもよい。

【 0 4 0 6 】

[第 4 例乃至第 6 例]

以下は、チップ内に N A N D 領域が存在しない場合の例である。

【 0 4 0 7 】

図 3 7 は、本発明の例に関わる混載メモリチップの第 4 例を示している。

第 4 例は、第 1 例 (図 3 2) と比べると、チップ A 内に N A N D 領域が存在しない点のみが異なり、他は、第 1 例と全く同じである。本例では、チップ A 内には、ロジック領域と 3 T r . 領域と 2 T r . 領域が配置される。

10

【 0 4 0 8 】

図 3 8 は、本発明の例に関わる混載メモリチップの第 5 例を示している。

第 5 例は、第 1 例 (図 3 2) と比べると、チップ A 内に N A N D 領域及び 3 T r . 領域が存在しない点のみが異なり、他は、第 1 例と全く同じである。本例では、チップ A 内には、ロジック領域と 2 T r . 領域が配置される。

【 0 4 0 9 】

図 3 9 は、本発明の例に関わる混載メモリチップの第 6 例を示している。

第 6 例は、第 1 例 (図 3 2) と比べると、チップ A 内に N A N D 領域及び 2 T r . 領域が存在しない点のみが異なり、他は、第 1 例と全く同じである。本例では、チップ A 内には、ロジック領域と 3 T r . 領域が配置される。

20

【 0 4 1 0 】

なお、第 4 例乃至第 6 例において、デバイス構造やデータ書き換え方式などに関しては、第 1 例と同じことが言える。

【 0 4 1 1 】

[第 7 例乃至第 9 例]

以下は、チップ内にロジック領域が存在しない場合の例である。

【 0 4 1 2 】

図 4 0 は、本発明の例に関わる混載メモリチップの第 7 例を示している。

第 7 例は、第 1 例 (図 3 2) と比べると、チップ A 内にロジック領域が存在しない点のみが異なり、他は、第 1 例と全く同じである。本例では、チップ A 内には、N A N D 領域と 3 T r . 領域と 2 T r . 領域が配置される。

30

【 0 4 1 3 】

図 4 1 は、本発明の例に関わる混載メモリチップの第 8 例を示している。

第 8 例は、第 1 例 (図 3 2) と比べると、チップ A 内にロジック領域及び 3 T r . 領域が存在しない点のみが異なり、他は、第 1 例と全く同じである。本例では、チップ A 内には、N A N D 領域と 2 T r . 領域が配置される。

【 0 4 1 4 】

図 4 2 は、本発明の例に関わる混載メモリチップの第 9 例を示している。

第 9 例は、第 1 例 (図 3 2) と比べると、チップ A 内にロジック領域及び 2 T r . 領域が存在しない点のみが異なり、他は、第 1 例と全く同じである。本例では、チップ A 内には、N A N D 領域と 3 T r . 領域が配置される。

40

【 0 4 1 5 】

なお、第 7 例乃至第 9 例において、デバイス構造やデータ書き換え方式などに関しては、第 1 例と同じことが言える。

【 0 4 1 6 】

[第 1 0 例乃至第 1 4 例]

以下は、チップ内に、N A N D 領域、2 T r . 領域及び 3 T r . 領域のうちの 2 つ以上が配置される場合に、チップ内に配置されたこれら 2 つ以上の領域のうち、少なくとも 2 つについて、ビット線を共有する例である。

【 0 4 1 7 】

50

図 4 3 は、本発明の例に関わる混載メモリチップの第 1 0 例を示している。第 1 0 例は、第 1 例（図 3 2）の変形例である。第 1 0 例は、第 1 例と比べると、チップ A 内に配置された 3 つのメモリ領域、即ち、NAND 領域、3 Tr. 領域及び 2 Tr. 領域が、ビット線を共有している点が異なる。本例では、3 つのメモリ領域について、それぞれ、データラッチ回路を用いて、データ書き込みを実行し、センスアンプ回路を用いて、データ読み出しを実行する。

【0418】

図 4 4 は、本発明の例に関わる混載メモリチップの第 1 1 例を示している。第 1 1 例は、第 2 例（図 3 5）の変形例である。第 1 1 例は、第 2 例と比べると、チップ A 内に配置された 2 つのメモリ領域、即ち、NAND 領域及び 3 Tr. 領域が、ビット線を共有している点が異なる。本例では、2 つのメモリ領域について、それぞれ、データラッチ回路を用いて、データ書き込みを実行し、センスアンプ回路を用いて、データ読み出しを実行する。

10

【0419】

図 4 5 は、本発明の例に関わる混載メモリチップの第 1 2 例を示している。第 1 2 例は、第 3 例（図 3 6）の変形例である。第 1 2 例は、第 3 例と比べると、チップ A 内に配置された 2 つのメモリ領域、即ち、NAND 領域及び 2 Tr. 領域が、ビット線を共有している点が異なる。本例では、2 つのメモリ領域について、それぞれ、データラッチ回路を用いて、データ書き込みを実行し、センスアンプ回路を用いて、データ読み出しを実行する。

20

【0420】

図 4 6 は、本発明の例に関わる混載メモリチップの第 1 3 例を示している。第 1 3 例は、第 1 例（図 3 2）の変形例である。第 1 3 例は、第 1 例と比べると、チップ A 内に配置された 3 つのメモリ領域、即ち、NAND 領域、3 Tr. 領域及び 2 Tr. 領域のうち、2 つのメモリ領域、即ち、3 Tr. 領域及び 2 Tr. 領域が、ビット線を共有している点が異なる。本例では、3 Tr. 領域及び 2 Tr. 領域について、それぞれ、データラッチ回路を用いて、データ書き込みを実行し、センスアンプ回路を用いて、データ読み出しを実行する。

【0421】

図 4 7 は、本発明の例に関わる混載メモリチップの第 1 4 例を示している。第 1 4 例は、第 4 例（図 3 7）の変形例である。第 1 4 例は、第 4 例と比べると、チップ A 内に配置された 2 つのメモリ領域、即ち、3 Tr. 領域及び 2 Tr. 領域が、ビット線を共有している点が異なる。本例では、2 つのメモリ領域について、それぞれ、データラッチ回路を用いて、データ書き込みを実行し、センスアンプ回路を用いて、データ読み出しを実行する。

30

【0422】

なお、第 1 0 例乃至第 1 4 例において、デバイス構造やデータ書き換え方式などに関しては、第 1 例と同じことが言える。

【0423】

3 メモリセルについて

40

図 4 8 は、1 Tr. タイプのメモリセルとその閾値分布を示し、図 4 9 は、2 Tr. タイプのメモリセルとその閾値分布を示している。

【0424】

1 Tr. タイプのメモリセルは、メモリセルが 1 つのトランジスタのみから構成される。しかし、例えば、2 値データ（“0”及び“1”）の閾値分布は、共に、正となる。このため、いわゆる過消去により消去状態のメモリセルの閾値が負になると、読み出し時に、非選択のコントロールゲート線に 0 V を与えても、非選択の過消去状態のメモリセルが常にオン状態となってしまうため、誤読み出しが発生する。また、選択されたコントロールゲート線に与える読み出し電位も、高い電位、例えば、電源電位 V_{cc} にしなければならない。

50

【0425】

2 Tr . タイプのメモリセルは、メモリセルが、2個のトランジスタ、即ち、1個のセルトランジスタと1個のセレクトゲートトランジスタとから構成される。このため、例えば、2値データのうちの一方、即ち、“0”の閾値分布は、正にし、他方、即ち、“1”の閾値分布は、負にすることができる。また、メモリセルの選択/非選択は、セレクトゲートトランジスタのオン/オフにより制御できる。従って、いわゆる過消去による誤読み出しという問題が発生しない。また、コントロールゲート線に与える読み出し電位も、0Vでよい。

【0426】

図50及び図51に示すように、本発明の例に関わる2 Tr . タイプのメモリセルの構造は、トランジスタの数が異なるのみで、その他は、3 Tr . NANDと同じである。つまり、2 Tr . タイプのメモリセルは、3 Tr . NANDと同様に、NANDプロセスで形成できる。

10

【0427】

2 Tr , タイプのメモリセルは、3 Tr . NANDに比べて、セルサイズが小さいという利点を有するが、書き込み時のディスタープの問題を有するため、上述のように、例えば、動作制御などのためのデータを記憶する読み出し専用のROMとして使用する。また、3 Tr . NANDは、2 Tr , タイプのメモリセルに比べて、読み出し時間が短く、かつ、書き込み耐性 (program disturb) に関して良好な結果を得ることができるため、上述のように、例えば、高速アクセスのためのキャッシュメモリとして使用する。

20

【0428】

4 その他の例

図32、図35乃至図47のチップA内には、以下のようなメモリを混載することもできる。

図52に示すメモリセルアレイは、AND型フラッシュメモリのメモリセルアレイである。図55に示すメモリセルアレイは、DINOR型フラッシュメモリのメモリセルアレイである。

【0429】

図52のAND型フラッシュメモリのANDユニットは、サブビット線とサブソース線の間並列に接続された複数のメモリセルを有する。サブビット線は、ドレイン側セレクトゲートトランジスタを経由してメインビット線に接続される。サブソース線は、ソース側セレクトゲートトランジスタを経由してメインソース線に接続される。

30

【0430】

例えば、64メガビットAND型フラッシュメモリの場合、1つのANDユニットは、128個のメモリセル ($m = 128$) と2個のセレクトゲートトランジスタから構成される。

【0431】

このメモリセルアレイの特徴は、ビット線 (データ線) 、ソース線がそれぞれ階層化されている点にある。ビット線及びソース線は、それぞれメイン配線とサブ配線からなり、サブ配線は、拡散層で形成された擬似コンタクトレス構造を有している。

40

【0432】

メモリセルに対するデータの書き込み/消去は、FN (Fowler - Nordheim) トンネル電流により行なう。

【0433】

図53に示すように、データの書き込みは、フローティングゲートの電子をドレインへFNトンネル電流を用いて引き抜くことにより行う。図54に示すように、データの消去は、基板 (チャネル全面) からフローティングゲートへFNトンネル電流を用いて電子を注入することにより行う。

【0434】

50

図55のDINOR (Divided Bit Line NOR) 型フラッシュメモリは、NAND型フラッシュメモリのように単一電源動作が可能で、かつ、書き換えスピードが高速で、メモリセルサイズが小さいという特長と、NOR型フラッシュメモリのように高速なランダムアクセスが可能であるという特長を合せ持つ。

【0435】

DINOR型フラッシュメモリのセルユニットは、メモリセルアレイ内のメインビット線とサブビット線を階層構造にしているため、サイズの的には、AND型のANDユニットとほぼ等しい。メモリセルの構造は、NOR型フラッシュメモリやNAND型フラッシュメモリのメモリセルの構造と同じく、スタックドゲート型であり、メモリセルのドレインは、ポリシリコンで形成されたサブビット線に接続される。

10

【0436】

例えば、16メガビットDINOR型フラッシュメモリの場合、サブビット線には64個のメモリセルが接続される。メモリセルに対するコンタクトをポリシリコンと拡散層のいわゆる埋め込みコンタクトで達成すれば、メモリセルサイズの縮小化を図ることができる。

【0437】

メモリセルに対するデータの書き込み/消去のメカニズムは、AND型フラッシュメモリと同じであり、FN (Fowler - Nordheim) トンネル電流で行なう。

【0438】

即ち、メモリセルに対するデータの書き込みは、フローティングゲートの電子をドレインへFNトンネル電流を用いて引き抜くことにより行う。データの消去は、基板(チャンネル全面)からフローティングゲートへFNトンネル電流を用いて電子を注入することにより行う。

20

【0439】

図52及び図55のメインビット線にセンスアンプ回路が接続され、バイト単位のデータ書き換えが実行される。

【0440】

このように、図32、図35乃至図47のチップA内に、図52や図55に示すようなメモリセルアレイを混載しても、メモリセルアレイの各セルユニットに対してバイト単位のデータ書き換えが可能である。

30

【0441】

また、従来、SONOS (silicon - oxide - nitride - oxide - silicon) セルと呼ばれるメモリセルが知られている。このメモリセルの特徴は、ゲート電極(ワード線)直下のシリコン窒化膜にトラップされる電子の量により、データ("0"又は"1")が特定される点にある。このようなメモリセルを、図32、図35乃至図47のチップA内に混載してもよい。

【0442】

5 システムの例

図56の例は、コントローラと本発明の例に関わる混載チップとを有するメモリカードに関する。

40

【0443】

メモリカード12には、コントローラ11及び複数個のメモリチップ10a, 10bが搭載される。コントローラ11は、RAM及びCPUを有している。ホストインターフェイスとしては、ATAインターフェイス、PCカードインターフェイス、USBなど、様々なものが考えられるが、本発明の例は、いかなるインターフェイスにも適用可能である。

【0444】

本例では、メモリカード12内のコントローラ(一般的にはマイコンを搭載している)11が、メモリチップ10a, 10b内のメモリ(3Tr.NANDなど)の各種動作、特に、バイト単位の書き換え動作をコントロールする。即ち、コントローラ11は、バイト消去、バイト書き込みなどのためのコマンドを発生し、これらのコマンドをメモリチップ

50

10 a , 10 b に与える。

【0445】

なお、コントローラ11とメモリチップ10 a , 10 bとは、1チップ化されていてもよいし、別々のチップに形成されていてもよい。

【0446】

図57の例は、コントローラを搭載していないメモリカードに関する。

【0447】

本例は、メモリチップ10 aのみを搭載したカード12 aや、比較的小規模のロジック回路(A S I C)14を搭載したカード12 bを対象とする。この場合、例えば、カード12 a , 12 bが接続されるホスト側の機器をデジタルカメラ13と仮定すると、デジタルカメラ13の内部に配置されたメモリチップカード制御用コントローラ11は、カード12 a , 12 b内のメモリチップ10 a , 10 bに対して、ページ消去、バイト消去などのためのコマンドを供給する。

【0448】

図58の例は、本発明の例に関わる制御の全て又は一部を行う制御回路が搭載されたメモリチップに関する。

【0449】

メモリカード12には、コントローラ11及びメモリチップ10が搭載される。メモリチップ10は、例えば、本発明の例に関わるバイト単位のデータ書き換え動作に関する情報を生成する制御回路15を有している。メモリチップ10は、制御回路15により、バイト単位のデータ書き換え動作に関する情報を自ら作成し、かつ、この情報を、例えば、メモリセルアレイの冗長部(エラー訂正符合などの格納領域)に格納する。メモリチップ10には、バイト単位のデータ書き換え動作に関する情報を外部から参照できる機能を付加してもよい。

【0450】

バイト単位のデータ書き換え動作に関する情報は、メモリチップの外部からは直接参照することのできない特殊なメモリセル領域に格納されてもよい。この場合は、特定コマンドによって、かかる情報がメモリチップ10の外部に読み出せるようにしてもよい。

【0451】

メモリチップ10内の制御回路15は、例えば、特定コマンドの応答として、バイト単位のデータ書き換えが可能であるか否か、バイト単位のデータ書き換えが正常に行われたか否かなどの情報を、コントローラ11に応答する機能を有していてもよい。

【0452】

この場合は、メモリチップ10の外部に設けられたコントローラ11は、特定コマンドに対する応答を解釈し、必要に応じて、バイト単位のデータ書き換え動作を実行する。

【0453】

また、メモリチップ10に混載された制御回路15は、これまで説明をしてきたような、バイト単位のデータ書き換えに関する動作のみならず、例えば、リフレッシュ条件を判断する動作や、具体的なリフレッシュ動作などをコントロールするような機能を持っていてもよい。

【0454】

図59は、本発明に関わる混載チップを有するメモリカードと、このメモリカードを用いた電子機器とからなるシステムの例を示している。

【0455】

ここでは、電子機器の例として、デジタルスチルカメラを取り上げる。メモリカード51は、デジタルスチルカメラ101の記録メディアとして用いられ、その内部には、本発明の例に関わるパッケージ(メモリチップ)PK1が搭載されている。デジタルスチルカメラ101には、メモリカード51のためのカードスロット102が設けられている。

【0456】

なお、メモリカード51は、接触型ICカードであってもよいし、又は、非接触型ICカ

10

20

30

40

50

ードであってもよい。後者の場合には、メモリカード51がカードスロット102に挿入された後、無線信号により、メモリカード51とデジタルスチルカメラ101との間で、データのやり取りが行われる。

【0457】

図60は、デジタルスチルカメラの回路構成の例を示している。図60において、図59と同一の部分には、同じ符号を付してある。

【0458】

100は、回路基板である。被写体からの光は、レンズ103により集光された後、画像ピックアップ装置104に入力される。画像ピックアップ装置104は、例えば、CMOSイメージセンサであり、入力光を光電変換し、アナログ信号を出力する。

10

【0459】

アナログ信号は、アンプ104Aで増幅されると共に、A/Dコンバータ104Aにより、デジタル信号に変換される。デジタル信号は、カメラ信号処理回路105に入力される。カメラ信号処理回路105では、例えば、自動露出制御(AE)、自動ホワイトバランス制御(AWB)、色分離処理、輝度信号及び色差信号の生成などが行われる。

【0460】

画像をモニタする場合、カメラ信号処理回路105の出力信号がビデオ信号処理回路106に入力される。ビデオ信号処理回路106では、ビデオ信号が生成される。ビデオ信号の方式としては、例えば、NTSC(National Television System Committee)を採用することができる。

20

【0461】

ビデオ信号は、ディスプレイ信号処理回路107を経由して、ディスプレイ108に供給される。ディスプレイ108は、例えば、デジタルスチルカメラに備え付けられた液晶ディスプレイである。

【0462】

また、ビデオ信号は、ビデオドライバ109を経由して、出力端子110に転送される。出力端子110に他の表示装置、例えば、プラズマディスプレイや、CRTモニタなどの表示装置を接続すれば、これらの表示装置を用いて、画像を表示することができる。

【0463】

マイクロコンピュータ111は、画像ピックアップ装置104、アンプ・A/Dコンバータ104A、カメラ信号処理回路105などの動作を制御する。

30

【0464】

画像をキャプチャする場合、動作スイッチ111Aが押される。この時、マイクロコンピュータ111は、メモリコントローラ113にその旨を伝える。メモリコントローラ113は、カメラ信号処理回路105の出力信号を、フレーム画像として、ビデオメモリ114に記録する。

【0465】

ビデオメモリ114に記録されたフレーム画像は、圧縮/拡張回路115により圧縮された後、カードインターフェイス116を経由して、カードスロット102に装着されたメモリカード51に記録される。また、メモリカード51に記録されているフレーム画像は、カードインターフェイス116を経由して、圧縮/拡張回路115に入力される。フレーム画像は、圧縮/拡張回路115により拡張された後、ビデオメモリ114に記録される。

40

【0466】

電源回路117は、外部端子117A又はバッテリー117Bから供給される電源電位に基づいて、内部電源電位を生成する。

【0467】

本例では、回路基板100上に、カードスロット102、画像ピックアップ装置104、アンプ・A/Dコンバータ104A、カメラ信号処理回路105、ビデオ信号処理回路106、ディスプレイ信号処理回路107、ビデオドライバ109、マイクロコンピュータ

50

111、メモリコントローラ113、ビデオメモリ114、圧縮/拡張回路115、カードインターフェイス116、バッファメモリ116A、電源回路117及びバッテリー117Bが搭載される。

【0468】

但し、カードスロット102については、コネクタ、ケーブルなどにより、回路基板100に接続してもよい。

【0469】

図61乃至図70は、本発明に関わる混載チップを有するメモリカードと、このメモリカードを用いた電子機器とからなるシステムの他の例を示している。

【0470】

図61は、メモリカードとビデオカメラとからなるシステムであり、図62は、メモリカードと携帯テレビ(GPS機能を持つ車載用モニタなどを含む)とからなるシステムであり、図63は、メモリカードとオーディオ機器とからなるシステムである。

【0471】

図64は、メモリカードとゲーム機器とからなるシステムであり、図65は、メモリカードと電子楽器とからなるシステムであり、図66は、メモリカードと携帯電話とからなるシステムであり、図67は、メモリカードとパーソナルコンピュータとからなるシステムである。

【0472】

図68は、メモリカードとパーソナルデジタルアシスタント(PDA)とからなるシステムであり、図69は、メモリカードとボイスレコーダとからなるシステムであり、図70は、メモリカードとこれをパソコンに接続するためのPCカードとからなるシステムである。

【0473】

上述の例は、一例であり、本発明の例に関わる混載チップを有するメモリは、様々な電子機器に適用することができる。

【0474】

3. その他

上述の実施の形態では、主として、3Tr.NANDにおけるバイト単位のデータ書き換え動作について説明したが、本発明の例に関わるデータ書き換え動作は、NAND型、NOR型、AND型、DINOR型などの不揮発性半導体メモリにも適用可能である。また、このような不揮発性半導体メモリの他、近年、注目を浴びているメモリセルに磁性体を使用したMRAM(Magnetic Random Access Memory)及びRRAM(Resistance Random Access Memory)、メモリセルに強誘電体を使用したFeRAM(Ferroelectric Random Access Memory)や、メモリセルにカルコゲン化合物などを使用したOUM(Ovonic Unified Memory)などに適用することもできる。

【0475】

また、本発明の例は、1個のメモリセルに1ビットデータが記憶される場合について説明したが、1個のメモリセルに複数ビットデータが記憶される多値(multi-level type)メモリに適用することもできる。この場合、1本のコントロールゲート線(ワード線)に接続されるメモリセルには、複数ページ分のデータが記憶される場合があるが、この場合においても、バイト単位のデータ書き換えが行えることに変わりはない。

【0476】

なお、本発明は、上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上記実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成

10

20

30

40

50

要素を適宜組み合わせてもよい。

【0477】

【発明の効果】

以上、説明したように、本発明の例に関わる不揮発性半導体メモリによれば、特に、1個のメモリセルとそれを挟み込む2個のセレクトゲートトランジスタとからなるセルユニットを有する3Tr・NANDにおいて、チップ内及びチップ外から見た場合に、完全に、バイト単位のデータ書き換えが可能となるため、書き換えの対象とならないメモリセルについて、無駄な消去/書き込み動作がなくなり、信頼性の向上に貢献できる。

【図面の簡単な説明】

【図1】本発明の例に関わる3Tr・NANDのメモリセルを示す図。

10

【図2】図1の等価回路を示す図。

【図3】本発明の例に関わる3Tr・NANDのメモリセルアレイを示す図。

【図4】セルデータに応じたゲート電圧とセル電流の関係を示す図。

【図5】読み出し時にメモリセルに与える電位を示す図。

【図6】セルデータに応じた閾値分布の一例を示す図。

【図7】セルデータに応じた閾値分布の他の例を示す図。

【図8】本発明の例に関わるバイト書き換え動作を示すフローチャート。

【図9】本発明の例に関わる3Tr・NANDを示す図。

【図10】図9の3Tr・NANDのメモリセルアレイを示す図。

【図11】本発明の例に関わる3Tr・NANDを示す図。

20

【図12】図11の3Tr・NANDのメモリセルアレイを示す図。

【図13】本発明の例に関わるバイト書き換え動作を示す図。

【図14】本発明の例に関わる3Tr・NANDを示す図。

【図15】図14の3Tr・NANDのプリデコードの例を示す図。

【図16】図14の3Tr・NANDのロウデコード及びドライバの例を示す図。

【図17】図14の3Tr・NANDのメモリセルアレイの1ロウ分を示す図。

【図18】本発明の例に関わるバイト書き換え動作を示す図。

【図19】本発明の例に関わるバイト書き換え動作を示す図。

【図20】メモリセルアレイ領域におけるウェルの配置例を示す図。

【図21】本発明の例に関わる3Tr・NANDの主要部を示すブロック図。

30

【図22】図21の3Tr・NANDのメモリセルアレイを示す図。

【図23】FNトンネル電流を用いた消去方式の例を示す図。

【図24】FNトンネル電流を用いた消去方式の例を示す図。

【図25】図21の3Tr・NANDのセンスアンプ回路を示す図。

【図26】図25のセンスアンプ回路内のセンスアンプS/Aiを示す図。

【図27】メモリセルアレイ領域におけるウェルの配置例を示す図。

【図28】本発明の例に関わるバイト書き換え動作を示す図。

【図29】本発明の例に関わる3Tr・NANDの主要部を示す図。

【図30】FNトンネル電流を用いた消去方式の例を示す図。

【図31】FNトンネル電流を用いた消去方式の例を示す図。

40

【図32】本発明の例に関わる混載メモリチップの例を示す図。

【図33】混載メモリチップ内のトランジスタの構造例を示す図。

【図34】混載メモリチップ内のメモリセルアレイの構造例を示す図。

【図35】本発明の例に関わる混載メモリチップの例を示す図。

【図36】本発明の例に関わる混載メモリチップの例を示す図。

【図37】本発明の例に関わる混載メモリチップの例を示す図。

【図38】本発明の例に関わる混載メモリチップの例を示す図。

【図39】本発明の例に関わる混載メモリチップの例を示す図。

【図40】本発明の例に関わる混載メモリチップの例を示す図。

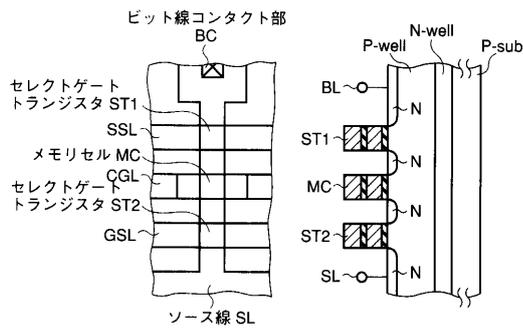
【図41】本発明の例に関わる混載メモリチップの例を示す図。

50

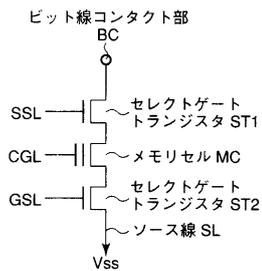
- 【図42】本発明の例に関わる混載メモリチップの例を示す図。
- 【図43】本発明の例に関わる混載メモリチップの例を示す図。
- 【図44】本発明の例に関わる混載メモリチップの例を示す図。
- 【図45】本発明の例に関わる混載メモリチップの例を示す図。
- 【図46】本発明の例に関わる混載メモリチップの例を示す図。
- 【図47】本発明の例に関わる混載メモリチップの例を示す図。
- 【図48】1Tr.タイプのメモリセルを示す図。
- 【図49】2Tr.タイプのメモリセルを示す図。
- 【図50】2Tr.タイプのメモリセルを示す図。
- 【図51】3Tr.タイプのメモリセルを示す図。 10
- 【図52】AND型フラッシュメモリのメモリセルアレイを示す図。
- 【図53】書き込み動作の例を示す図。
- 【図54】消去動作の例を示す図。
- 【図55】DINOR型フラッシュメモリのメモリセルアレイを示す図。
- 【図56】本発明の例が適用されるシステムを示す図。
- 【図57】本発明の例が適用されるシステムを示す図。
- 【図58】本発明の例が適用されるシステムを示す図。
- 【図59】本発明の例が適用されるデジタルスチルカメラを示す図。
- 【図60】図59のカメラの回路構成の例を示す図。
- 【図61】本発明の例が適用されるシステムを示す図。 20
- 【図62】本発明の例が適用されるシステムを示す図。
- 【図63】本発明の例が適用されるシステムを示す図。
- 【図64】本発明の例が適用されるシステムを示す図。
- 【図65】本発明の例が適用されるシステムを示す図。
- 【図66】本発明の例が適用されるシステムを示す図。
- 【図67】本発明の例が適用されるシステムを示す図。
- 【図68】本発明の例が適用されるシステムを示す図。
- 【図69】本発明の例が適用されるシステムを示す図。
- 【図70】本発明の例が適用されるシステムを示す図。
- 【図71】従来のバイト型EEPROMのメモリセルを示す図。 30
- 【図72】図71のLXXII-LXXII線に沿う断面図。
- 【図73】FNトンネル電流の機構を示すエネルギーバンド図。
- 【図74】従来のバイト型EEPROMのメモリセルを示す図。
- 【図75】従来のバイト型EEPROMのメモリセルの基本構造を示す図。
- 【図76】NAND型フラッシュEEPROMのNANDユニットを示す図。
- 【図77】図76の等価回路を示す図。
- 【図78】NOR型フラッシュEEPROMのメモリセルを示す図。
- 【符号の説明】
- 1：コントローラ、 1a, 1b：メモリチップ、 2, 2a, 2b：メモリカード、
 3：デジタルカメラ、 4：ロジック回路、 5：制御回路、 11：メモリセルアレイ 40
 、 12, 12b：ロウデコーダ、 12a：プリデコーダ、 12c：コントロールゲート・セレクトゲートドライバ、 13：センスアンプ回路 14：カラムデコーダ、
 15：カラムゲート（スイッチ）、 16：昇圧回路、 17：制御回路、 18：データ入出力バッファ、 21：ラッチ回路、 25：コマンドレジスタ、 26：コマンドデコーダ、 27：信号生成回路、 28：サブコントロールゲートドライバ、 29：サブデコーダ、 30-1, ... 30-3, 32：NAND回路、 31-1, ... 31-3, 33：ンバータ、 34：昇圧回路、 35-1, ... 35-3, 36-0, ... 36-3
 : NチャネルMOSトランジスタ、 MC：メモリセル、 ST1, ST2：セレクトゲートトランジスタ、 BC：ビット線コンタクト部、 SL：ソース線、 CGL：コントロールゲート線（ワード線）、 SSL, GSL：セレクトゲート線、 BLi：ピッ 50

ト線、 S / A i , S / A j : センスアンプ。

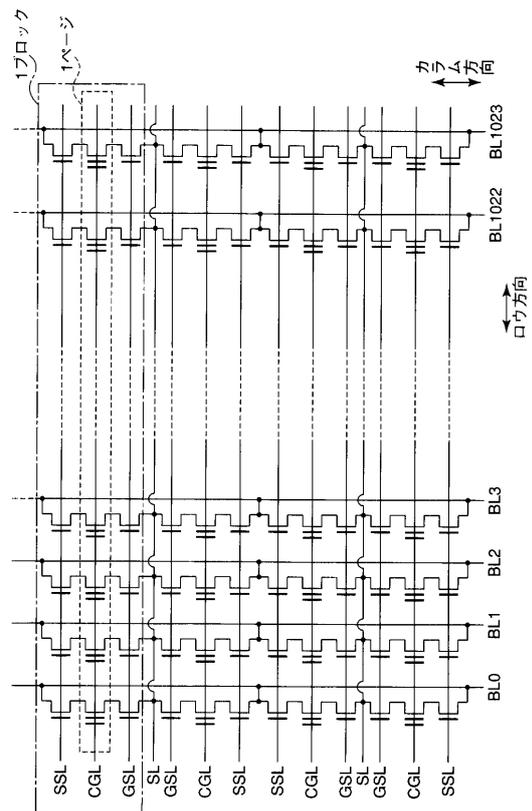
【 図 1 】



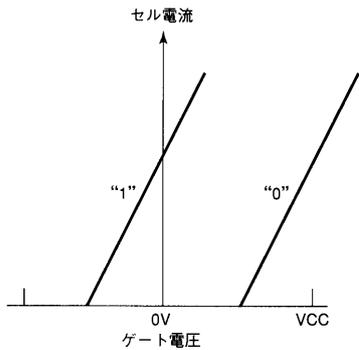
【 図 2 】



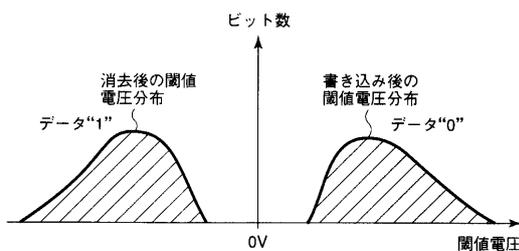
【 図 3 】



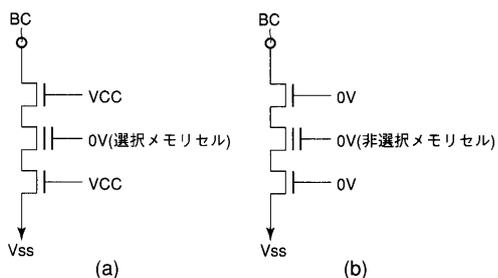
【 図 4 】



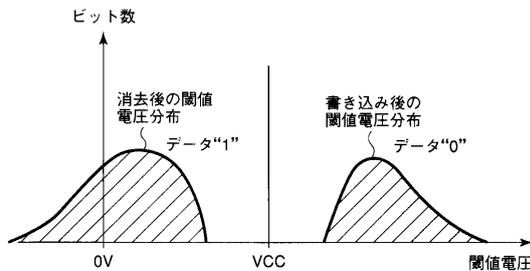
【 図 6 】



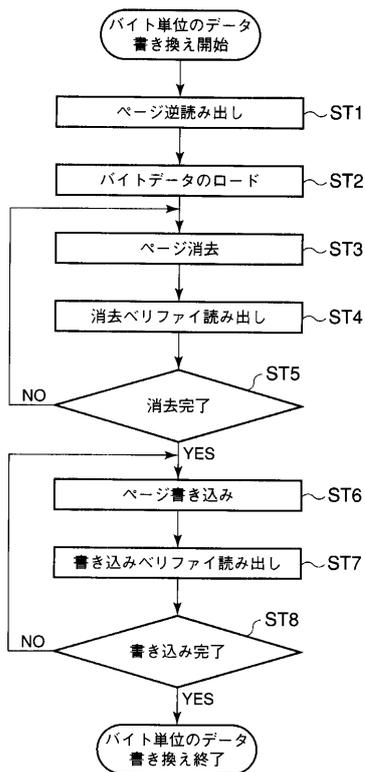
【 図 5 】



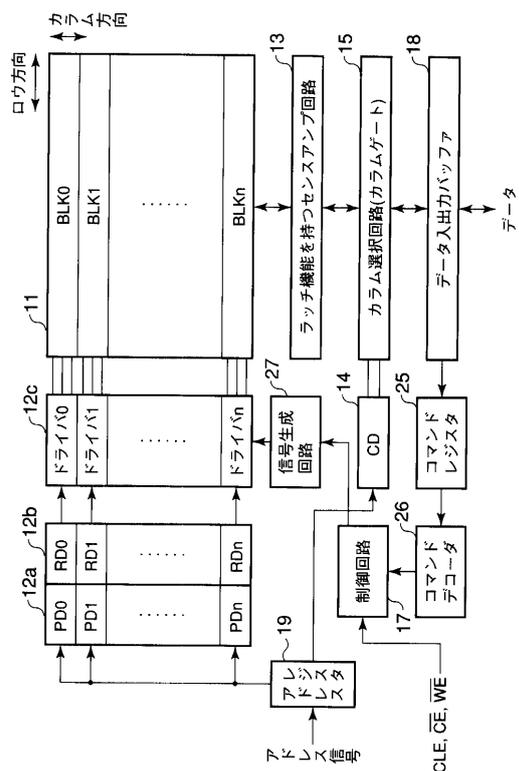
【 図 7 】



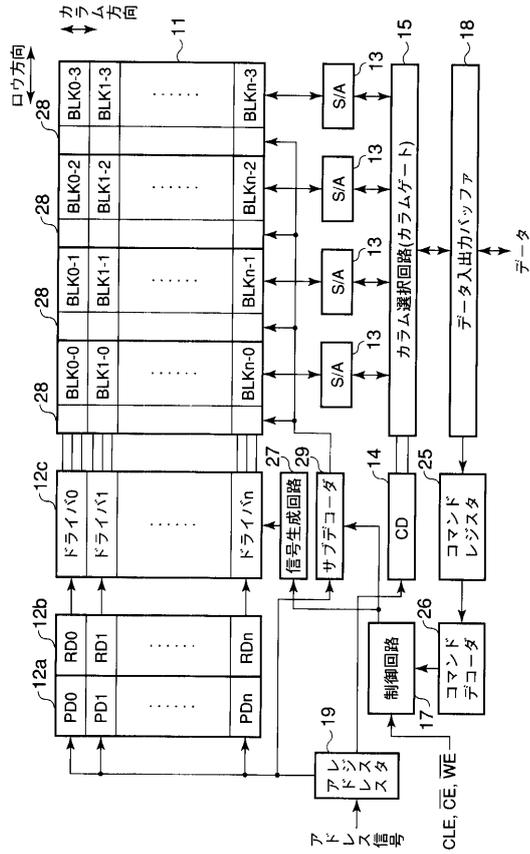
【 図 8 】



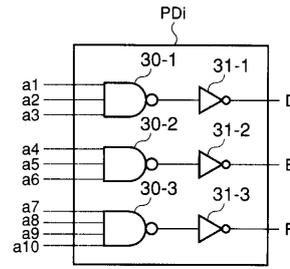
【 図 9 】



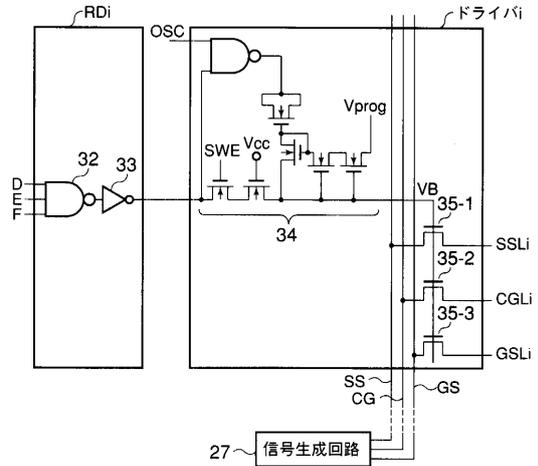
【 図 1 4 】



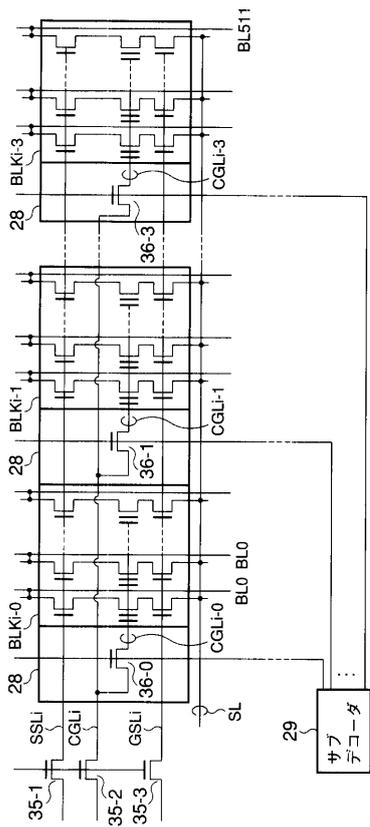
【 図 1 5 】



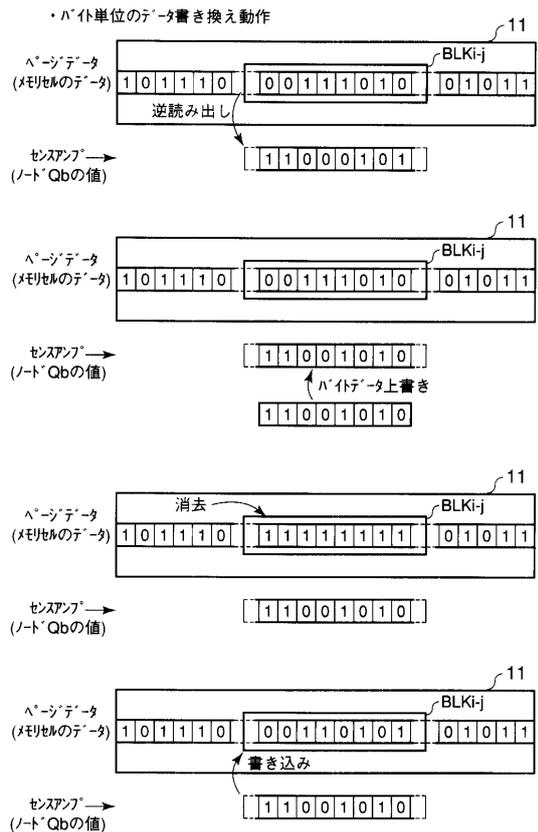
【 図 1 6 】



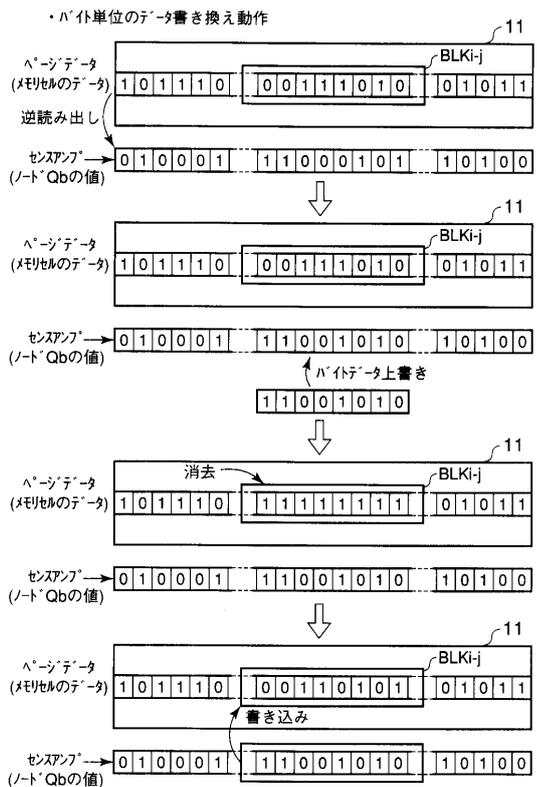
【 図 1 7 】



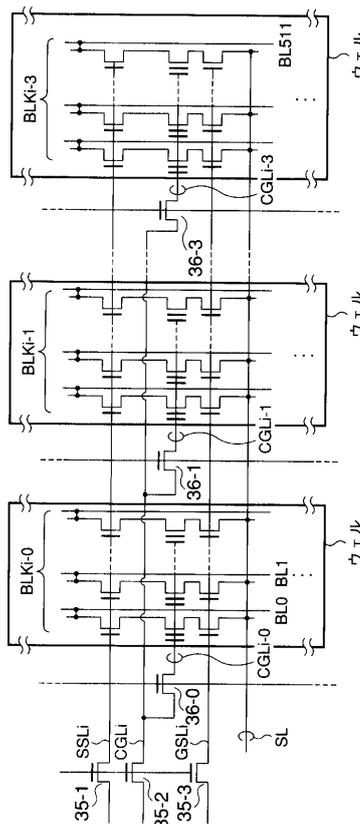
【 図 1 8 】



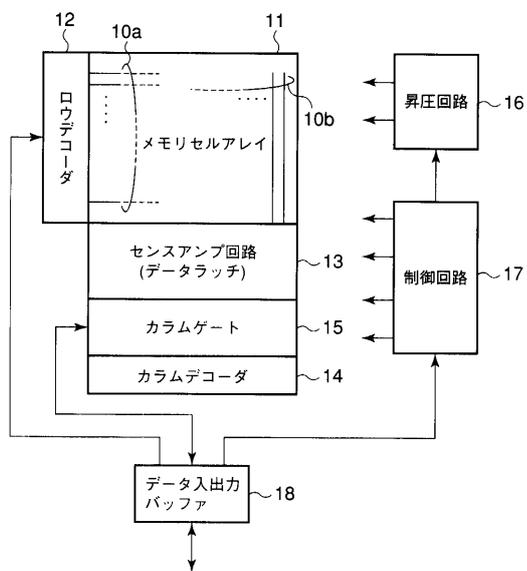
【 図 1 9 】



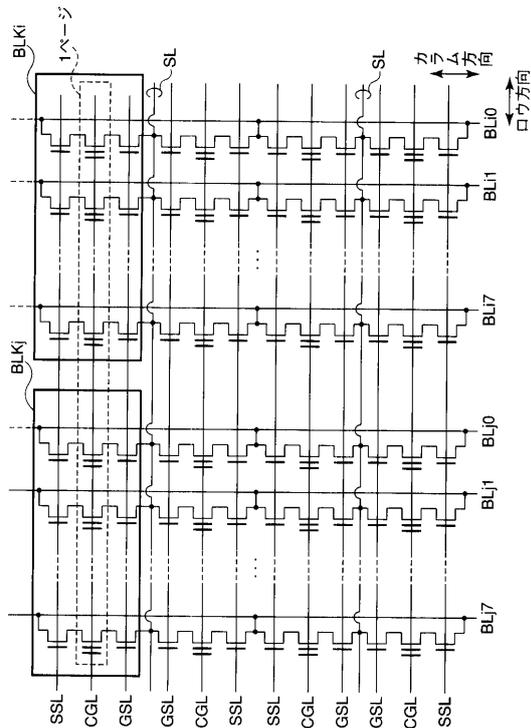
【 図 2 0 】



【 図 2 1 】

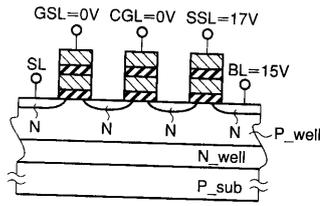


【 図 2 2 】



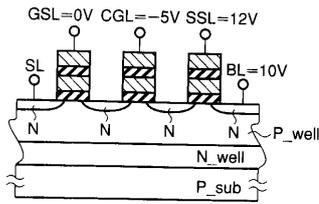
【 図 2 3 】

*正バイアスのみ

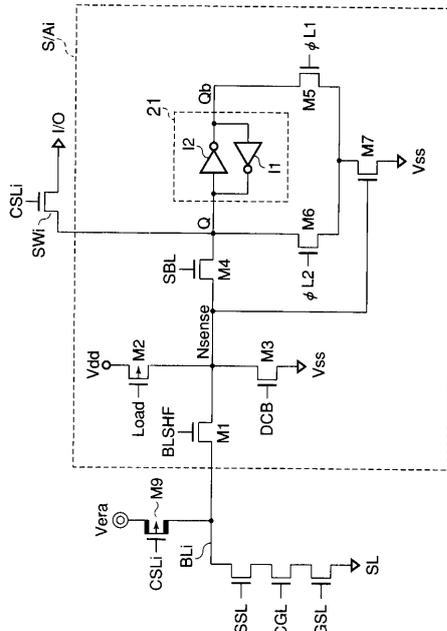


【 図 2 4 】

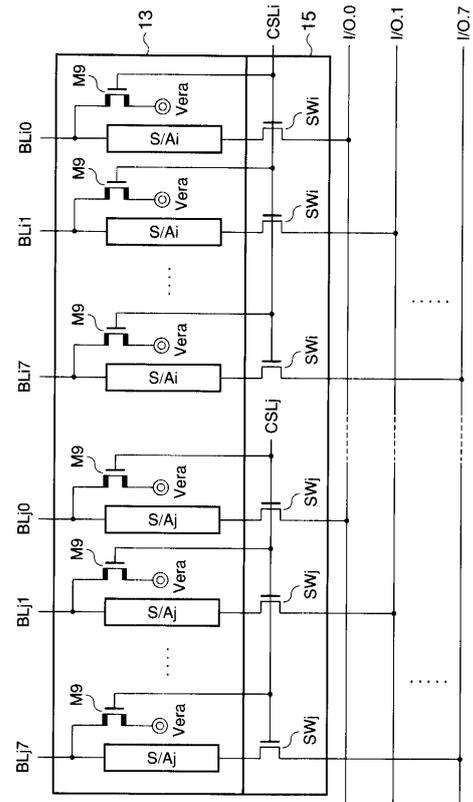
*正負バイアス使用



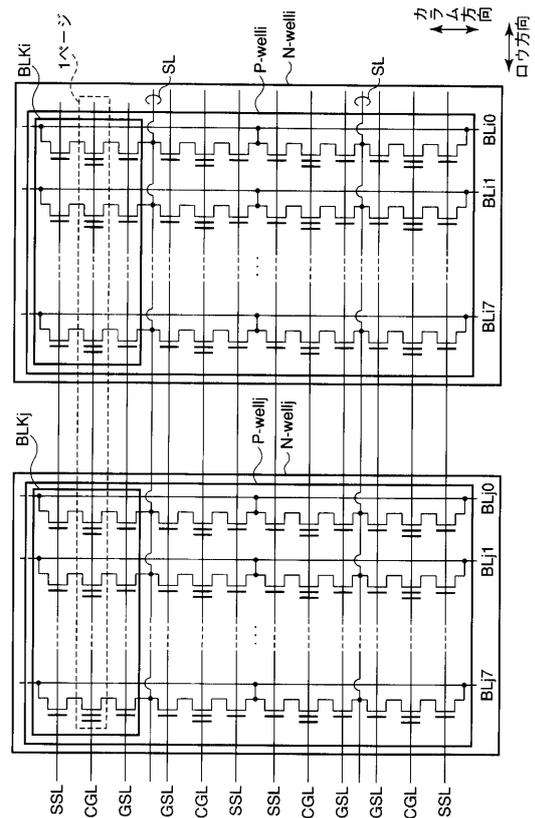
【 図 2 6 】



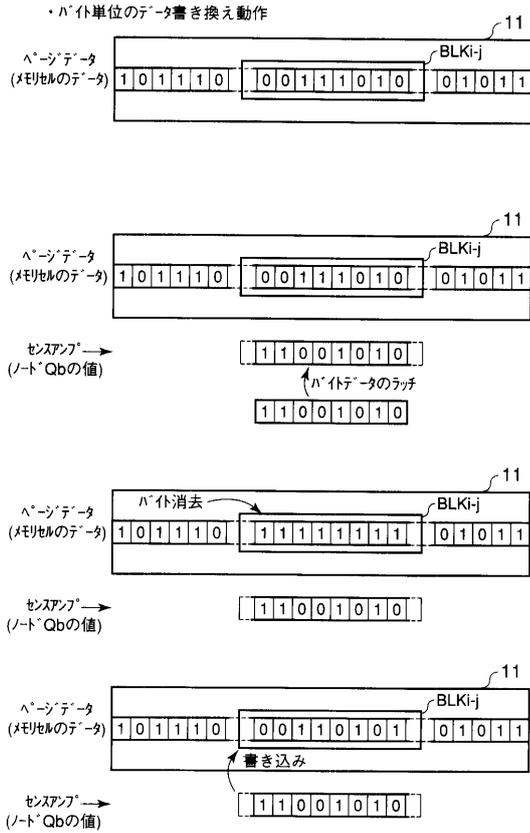
【 図 2 5 】



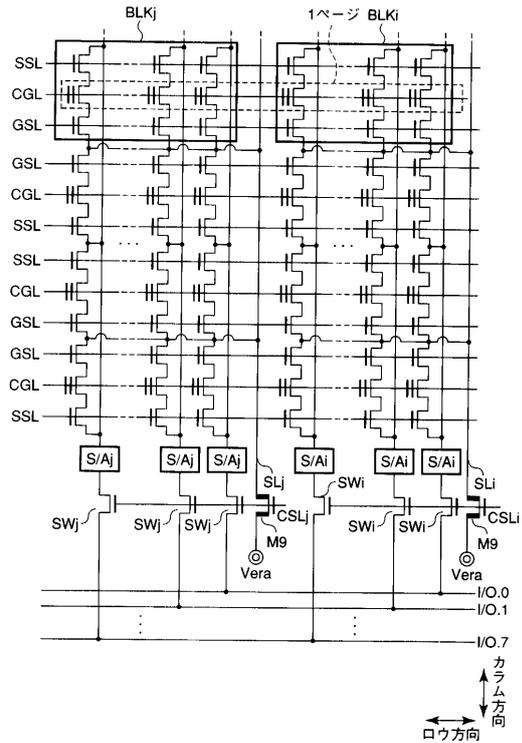
【 図 2 7 】



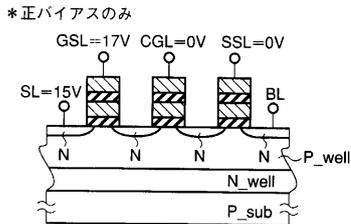
【 図 2 8 】



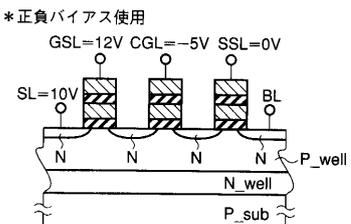
【 図 2 9 】



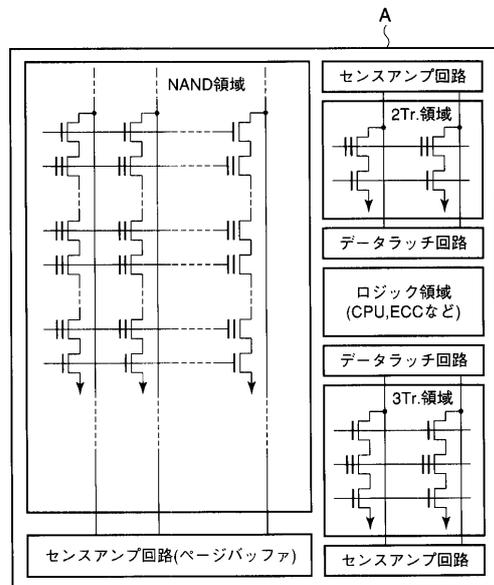
【 図 3 0 】



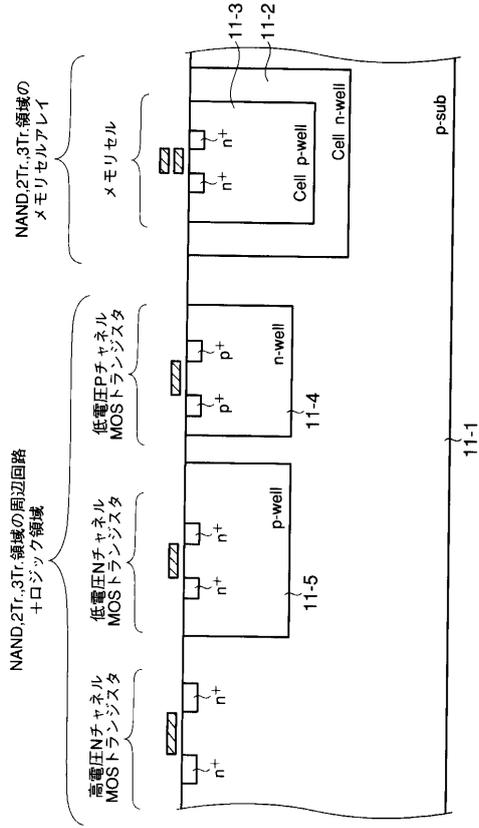
【 図 3 1 】



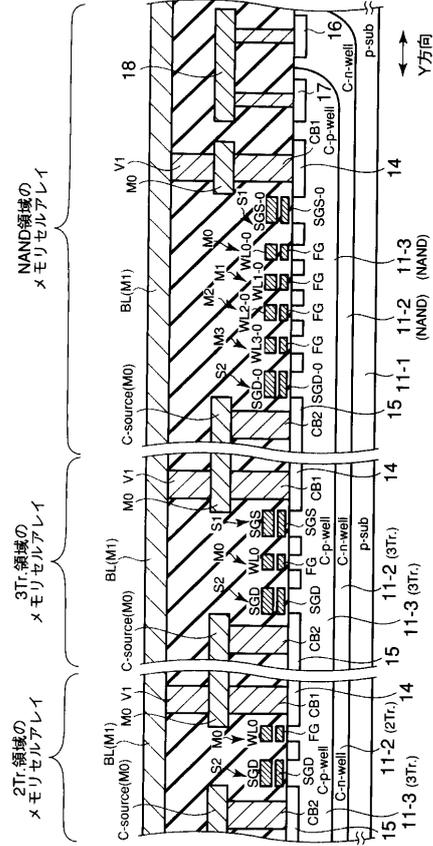
【 図 3 2 】



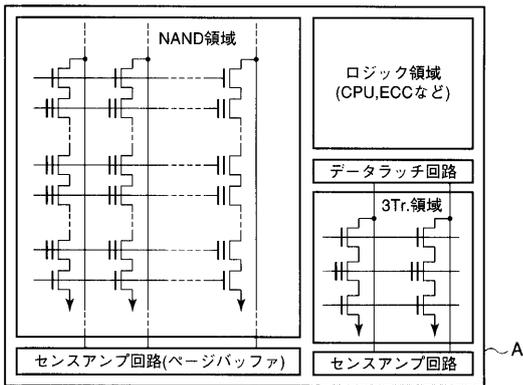
【 図 3 3 】



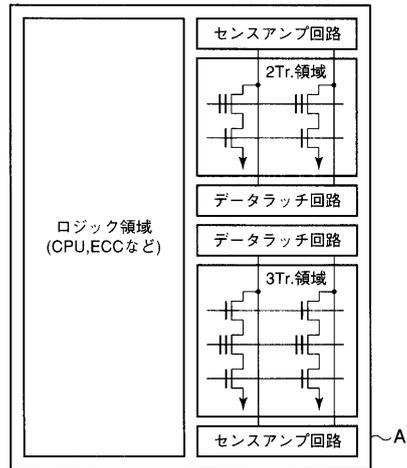
【 図 3 4 】



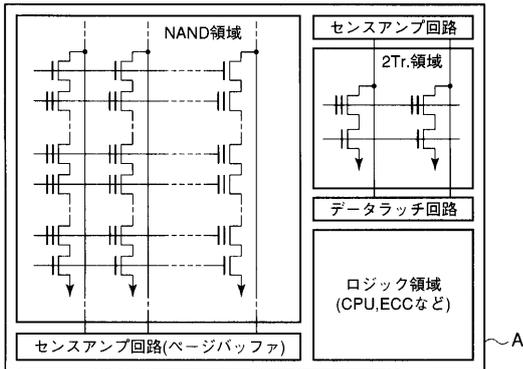
【 図 3 5 】



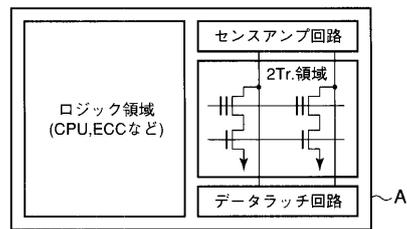
【 図 3 7 】



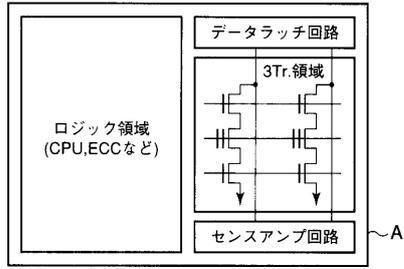
【 図 3 6 】



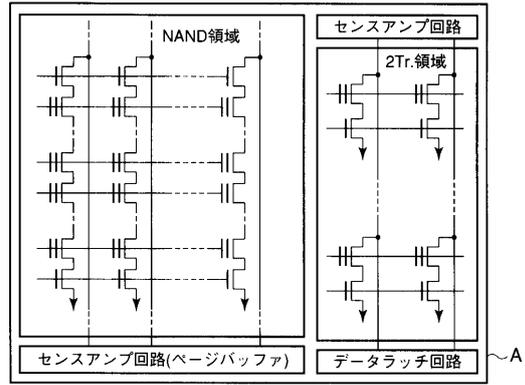
【 図 3 8 】



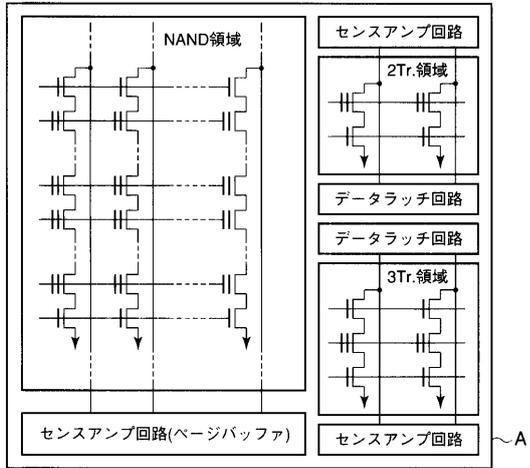
【図 39】



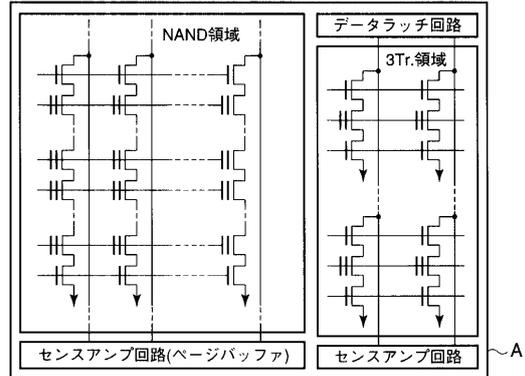
【図 41】



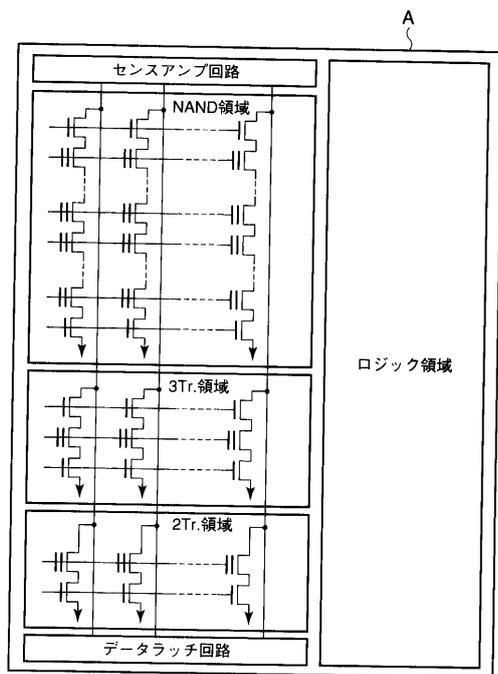
【図 40】



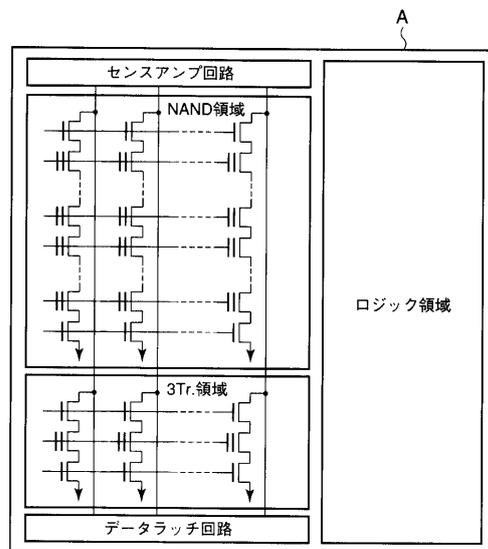
【図 42】



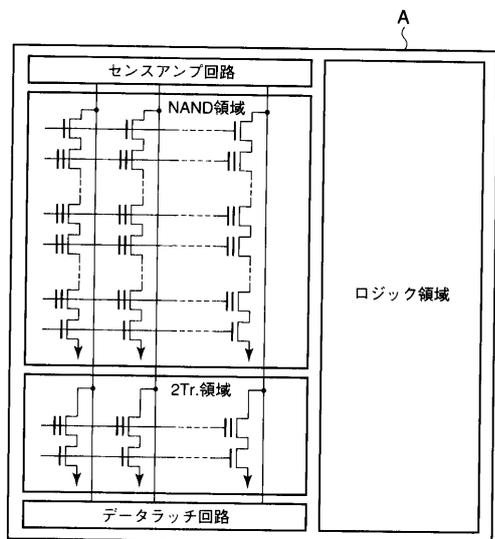
【図 43】



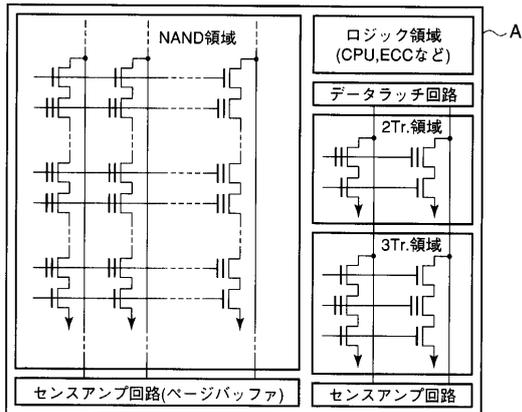
【図 44】



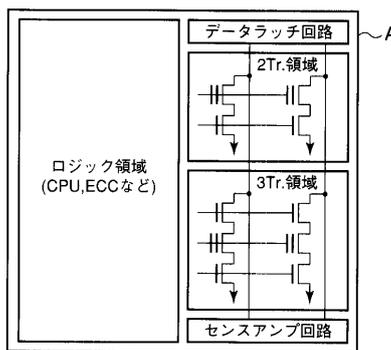
【図 4 5】



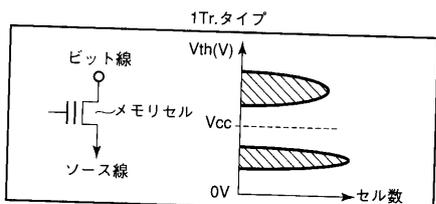
【図 4 6】



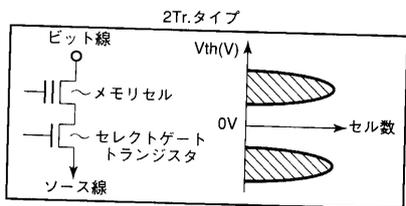
【図 4 7】



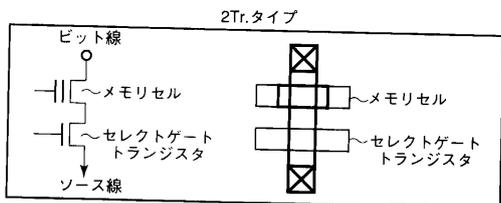
【図 4 8】



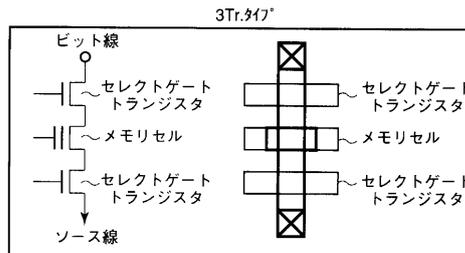
【図 4 9】



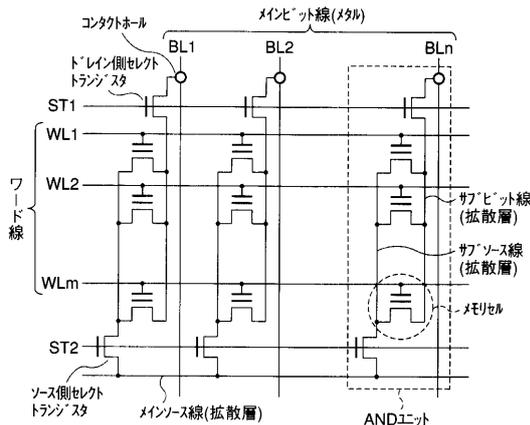
【図 5 0】



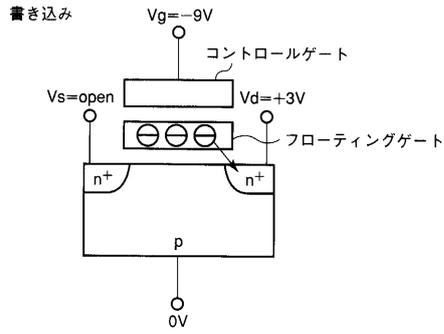
【図 5 1】



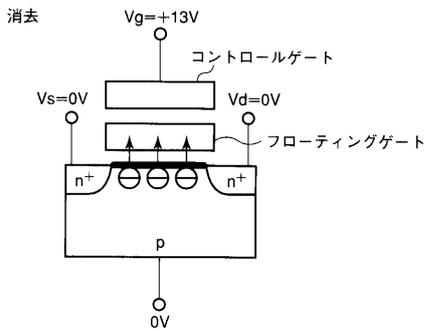
【図 5 2】



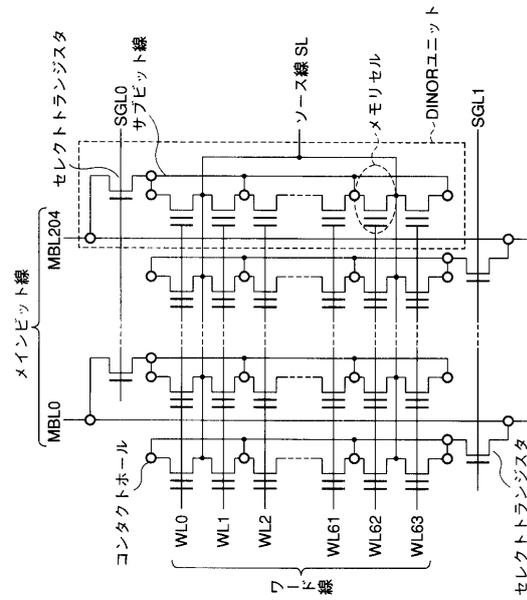
【 図 5 3 】



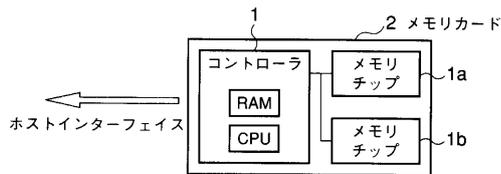
【 図 5 4 】



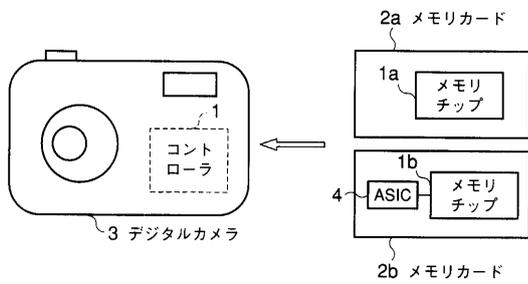
【 図 5 5 】



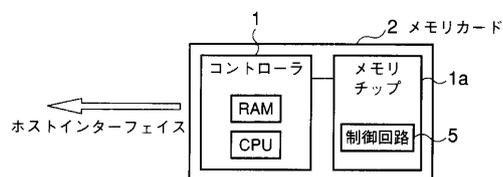
【 図 5 6 】



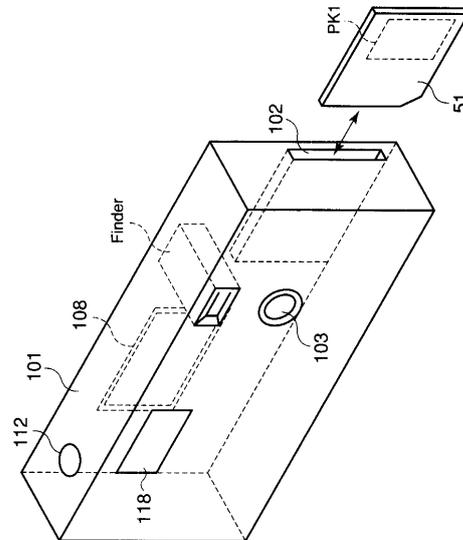
【 図 5 7 】



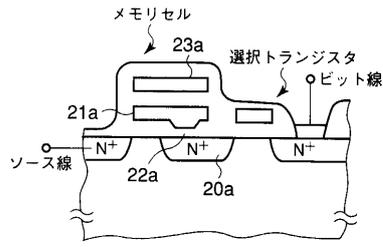
【 図 5 8 】



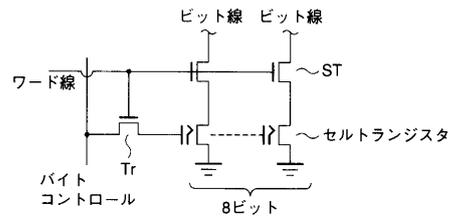
【 図 5 9 】



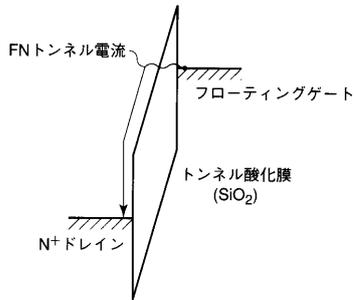
【図72】



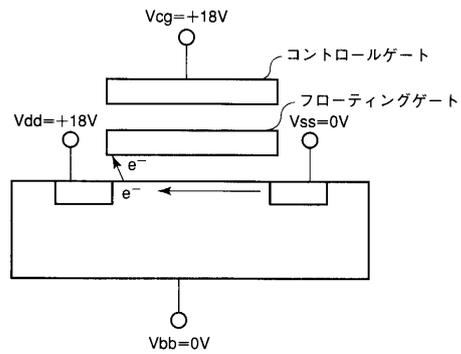
【図74】



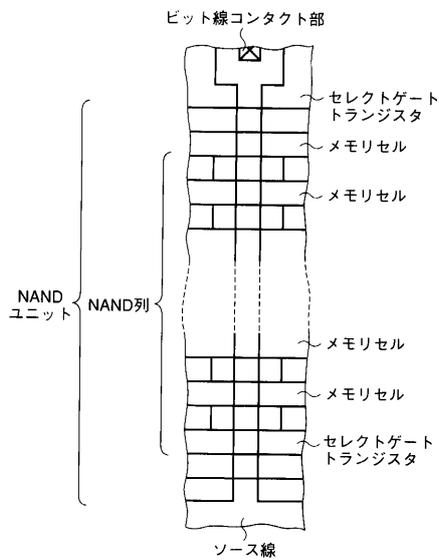
【図73】



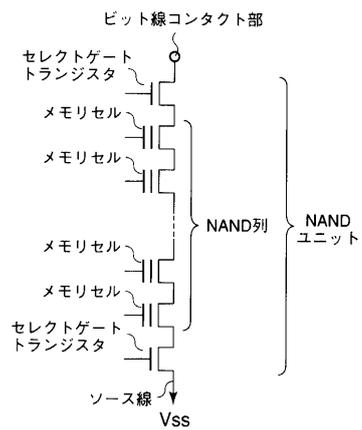
【図75】



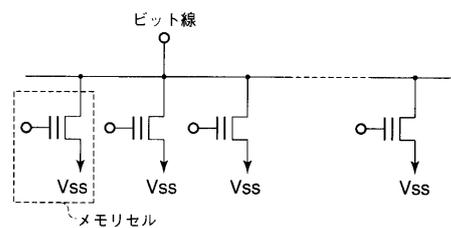
【図76】



【図77】



【図78】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/10	G 1 1 C 17/00	6 3 4 Z
H 0 1 L 27/115	G 1 1 C 17/00	6 0 1 U
H 0 1 L 29/788	G 0 6 K 19/00	N
H 0 1 L 29/792	G 1 1 C 17/00	6 3 5
	G 1 1 C 17/00	6 1 2 E
	G 1 1 C 17/00	6 1 1 Z
	G 1 1 C 17/00	6 2 3 A
	H 0 1 L 27/10	4 3 4
	H 0 1 L 29/78	3 7 1

(72)発明者 作井 康司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5B025 AA03 AB01 AC01 AC03 AD02 AD03 AD04 AD05 AD06 AD08
 AD10 AE05 AE08
 5B035 BB09 CA11 CA29
 5F083 EP02 EP23 EP33 EP34 EP76 ER09 ER16 ER19 ER22 ER30
 JA35 JA36 JA37 JA53 LA03 PR43 PR44 PR45 PR53 PR54
 PR55 ZA05 ZA12 ZA13
 5F101 BA01 BB05 BC02 BD10 BD22 BD34 BD36 BE02 BE05 BE07
 BH21