

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97137401

※ 申請日期： 97.9.26

※IPC 分類：H03F 3/45 (2006.01)

H04B 1/16 (2006.01)

一、發明名稱：(中文/英文)

降壓差動接收器

REDUCED VOLTAGE DIFFERENTIAL RECEIVER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商豪威科技股份有限公司
OMNIVISION TECHNOLOGIES, INC.

代表人：(中文/英文)

洪秀
HONG, SHEW

住居所或營業所地址：(中文/英文)

美國加州聖塔克拉樂市波頓道4275號
4275 BURTON DR., SANTA CLARA, CA 95054, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

查理斯 坤格 吳
WU, CHARLES QINGLE

國 籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年09月27日；11/904,652

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

此揭示內容一般係關於驅動器，且更特定言之(但並非專門)係關於低電壓差動發信器件。

【先前技術】

相對較長的信號路徑係數位傳輸中之一主要瓶頸。例如，印刷電路板通常包含負責相對較長佈線路徑上的電壓位準偏移與靜電放電保護的電路。此外，該電路通常需要一相對較大的電流量以驅動藉由該相對較長佈線所呈現的較大電阻與電容負載。因而，該電路通常使用較大觸點區域(與較大被動組件)並亦使用總體功率消耗之一較大部分。該等較大區域與組件通常係用以幫助耗散藉由該電路消耗的功率。

【實施方式】

本文中說明用於接收一差動信號之一減低電源供應差動放大器的具體實施例。在以下說明中，提出許多特定細節，以提供該等具體實施例之一充分瞭解。然而，熟習此項技術者應明白，無需使用該等特定細節之一或多者，或使用其它方法、組件、材料等，便可實施本文中說明的技術。在其他實例中，未詳細顯示或說明熟知的結構、材料或操作，以避免混淆特定態樣。

整份說明書中所參考的「一項具體實施例」或「一具體實施例」表示結合具體實施例所說明的特定特徵、結構或特性係包括於本發明之至少一具體實施例中。因而，此說

明書通篇各處出現的片語「在一項具體實施例中」或「在一具體實施例中」不一定全部表示同一具體實施例。此外，在一或多個具體實施例中，可以任何適當方式來組合特定特徵、結構或特性。

一般而言，已設計各種高速差動串列鏈路標準以適應增加的晶片外資料速率通信。高速USB、firewire(IEEE-1394)、串列ATA與SCSI係在PC產業中用於串列資料傳輸的幾個標準。低電壓差動發信(LVDS)已實施於傳輸側串列資料通信中。

此外，供應商(例如蜂巢式電話公司)已建議一「subLVDS」標準，其係該LVDS標準之一更小電壓擺動變化。已建議subLVDS用於針對(例如)影像感測器與板上系統之間的串列通信之小型相機埠2(CCP2)規格中。

CCP2係該標準行動影像架構(SMIA)標準之部分。典型的LVDS/subLVDS位準具有在供應電壓VDD與VSS之間之一輸出共模電壓(V_{cm})。例如，針對CCP2之發射器(Tx)通常具有一150 mV之輸出信號擺動(V_{od})，其中心電壓 V_{cm} 處於0.9 V。圖1係傳輸輸出信號強度與接收輸入信號範圍之CCP2線位準之一樣本的圖解。

在該接收器(Rx)側上，針對通常由於接地偏移與背板衰減所致而發生的 V_{cm} 變更與更小的信號通常需要板適應。該CCP2標準指定該接收器係要處理具有小至50 mV之一輸出信號擺動(V_{od})的自0.5 V至1.3 V之一輸入共模電壓。因此，揭示一軌對軌高速subLVDS接收器，其具有充分的增

益以放大與轉換(例如)一50 mV輸入信號至1.2 V CMOS邏輯位準。

圖2係說明一範例小型相機埠2接收器的方塊圖。該小型相機埠2(CCP2)接收器包括外部終止電阻器210、subLVDS前端放大器220、次要增益級230、差動端至單端轉換器240及解串聯器250。如圖2所示，解串聯器250將(例如)一1.2 V高速單一位元信號轉譯成8-10-位元並列信號(並列信號通常比串列位元流傳輸得慢)。該等並列信號接著係傳送至一連續的數位邏輯單元以用於進一步解碼與信號處理。

在一範例中為了匹配高速信號特性阻抗，可將一約100歐姆之外部終止電阻器插入兩個板上輸入節點之間。針對快速效能，subLVDS前端放大器220與第二增益級230使用一1.8 V的電源供應(AVdd)。可與其他組件一起使用一更低的1.2 V電源供應(DVdd)以便節省功率。

圖3係說明一傳統軌對軌前置放大器的示意圖。該傳統軌對軌前置放大器可用於該subLVDS前端放大器220，不過相對於參考圖4所揭示的放大器而言具有減低的效能。放大器300包括MOS電晶體301至327。NMOS電晶體301、302、315與PMOS電晶體303、304、316之輸入係直接連接至輸入節點「ep」與「en」。組態為一傳統跨導器件，該NMOS電晶體310、302、315與PMOS電晶體303、304、316之輸出電流係注入共同二極體負載電晶體305與306。

電晶體317、318、319及320與電晶體321、322、323及

324之電流控制電路針對該等輸入級來調整電晶體311至312與313至314之負載源極的電流。如所組態，大約一半的電流正常流過該等差動電晶體(301至304)，其餘電流流過該等負載電晶體(315至316)。

該放大器可在三個不同的操作條件中使用軌對軌輸入電壓位準工作。在其中 V_{cm} 係大約 0 V 之一第一操作條件中，該PMOS放大器(參見，電晶體317至318)在操作中並且該NMOS放大器(參見，電晶體321至324)係正常關閉。因為該尾電流(流過電晶體315)與流過PMOS電晶體311至312的電流兩者皆係減低至約為零，故該NMOS放大器係關閉。在其中 V_{cm} 係大約 $V_{dd}/2$ 之一第二操作條件中，該PMOS放大器與NMOS放大器兩者都在正常操作。在其中 V_{cm} 係大約 V_{dd} 之一第三操作條件中，該NMOS放大器在正常操作。

然而，當在該第一操作條件中操作時，該傳統軌對軌方案(如上所述)通常需要比針對該等堆疊的NMOS與PMOS電晶體之臨限電壓之和大得多的電源供應電壓 V_{dd} 。例如：

$$V_{dd} > V_{gsn} + V_{dsn} + V_{gsp} + V_{dsp} > V_{tp} + V_{tn} + 0.5\text{ V}$$

其中 V_{tp} 係針對PMOS電晶體之臨限電壓，其中 V_{tn} 係針對NMOS電晶體之臨限電壓，且其中 $V_{gsn} + V_{dsn} + V_{gsp} + V_{dsp}$ 係一 V_{cm} ，其係以下電壓之和：一NMOS電晶體之閘極至源極電壓 (V_{gsn})、一NMOS電晶體之汲極至源極電壓 (V_{dsn})、一PMOS電晶體之閘極至源極電壓 (V_{gsp}) 及一PMOS電晶體之汲極至源極電壓 (V_{dsp})。此外，可假定該

等 V_{ds} 交叉電流源之電壓係高於 0.1 V 並可假定差動對上之過驅動電壓 ($V_{gs}-V_t$) 係高於 0.15 V 。

典型的鑄造程序通常提供兩種類型之電晶體：核心邏輯電晶體(其具有更薄的氧化物厚度用於高速操作)及 I/O 電晶體(其具有更厚的氧化物厚度用於更高的崩潰 (2.5 V 至 3.3 V) 與改良的 ESD 效能)。在各種範例中，I/O 電晶體在設計中通常係用於「前端」(例如，接近輸入)差動對。

當使用更厚的氧化物時，臨限電壓 (V_t) 係大幅增加。使用更厚的氧化物導致增加的電壓操作要求(其降低可用的「頂部空間」)，其妨礙一些設計以非常低的電源供應電壓操作。例如，當一已知程序之 I/O 電晶體的 V_t 係針對 NMOS 電晶體大約 0.6 V 及針對 PMOS 電晶體 0.65 V (於緩慢程序「轉角」) 時，該理論上計算的最小電源供應係大約 1.75 V ，其係高於 1.62 V 的所需最低操作電壓(其係自一標稱 1.8 V 降低 10%)。此外，至少部分由於以 PMOS 為基礎的差動對之更差的跨導所致，該增益相對較小。已顯示該等以 PMOS 為基礎的差動對之增益係大約兩倍。以 PMOS 為基礎的電流引導通常添加額外的電晶體負載，其進一步減低頻寬並提供額外來源或雜訊與抖動。

簡而言之，揭示一軌對軌高速 subLVDS 放大器之一範例，其展示於低電源供應電壓(例如 1.2 V) 針對高速信號(例如 1 Gbs 信號)的良好抖動與負載循環效能。圖 4 係說明可用作一 subLVDS 接收器前置放大器之一樣本放大器的示意圖。如該繪示的範例所示，放大器 400 包括一電壓移位

器401，其用於偏移一差動輸入信號之電壓位準以使得產生一偏移的差動輸入信號。該偏移的差動輸入信號係施加至一第一差動對403，並且該差動輸入信號係施加至一第二差動對404。該第一差動對與第二差動對之輸出係加總在一起以產生一差動輸出信號，其可使用輸出區塊405來輸出。一箝制電路402係用以調整該第一差動對之增益以回應該第一差動輸入信號與第二差動輸入信號之一共模電壓。(已將該電路之個別組件分組以促進該電路之操作的說明；例如，可以不同方式分組該等組件而不影響該電路之操作。)

放大器400提供一更低的複雜性與一降低的寄生負載(例如相關聯於被動電阻器之寄生負載)。放大器400通常採用電流模式邏輯(CML)，其係高速增益級所需。放大器400係一「虛擬」共同基極放大器，其包含一起耦合為一虛擬接地之差動對電晶體的源極節點。

電壓移位器401包括電晶體412、413、410及411。電晶體410至411係PMOS電晶體，其配置為源極隨耦器以藉由該電晶體410至411之 V_{gs} (閘極至源極電壓)增加420至421之輸入位準。電晶體412至413亦係PMOS電晶體，其係配置為源極隨耦器以幫助實行該電壓位準偏移。

箝制電路402包括電晶體414、415、434、433及431、電阻器452與453及電容器460。電晶體414提供一電流，其係用以控制該等差動對403之增益。指示該差動信號之一共模電壓的一 V_{cm} 信號係使用電阻器452與453及電容器460

來整合。該 V_{cm} 係施加至電晶體 415 與 434 之控制端子(例如閘極)。當 V_{cm} 達到一足夠高的電壓(例如大於 V_{tn} 之一電壓)以開啟差動對 404 時，差動對 403 之增益係減低以保持一相對恆定的跨導並節省功率。因此，鏡射差動對 404 之尾電流的電晶體 434 與 433 降低來自電晶體 414 的大部分電流並減低電晶體 431 上的二極體電流至接近零。以此一方式，電晶體 425 之電流係關閉，因為其係藉由電晶體 431 鏡射。在該範例中，電晶體 415 係配置為一串疊電晶體。此外，當 V_{cm} 接近 V_{dd} 時，電晶體 412 與 413 係關閉，其實質上減低該電壓移位器 401 中的電流。該電壓移位器 401 中之減低的電流係藉由電晶體 415 與 414 鏡射，並關閉電晶體 431 與 425 之通道，其亦關閉該差動對 403。

差動對 403 包括電晶體 420 與 421，其具有耦合在一起之汲極以形成一尾。該差動對 403 接收來自電壓移位器 401 之一電壓偏移的差動信號並依據透過電晶體 424 與 425 發展之一尾電流來放大該信號。差動對 404 包括電晶體 422 與 423，其具有耦合在一起之汲極以形成一尾。差動對 404 接收該輸入差動信號並依據透過電晶體 426 發展之一尾電流來放大該信號。個別差動對之汲極係耦合在一起並輸出分別橫跨電阻器 454 與 451 發展之電壓以產生一差動輸出信號。

可將該差動輸出信號施加至輸出區塊 405，其中電晶體 427 與 429 及電晶體 428 與 430 分別係配置為源極隨耦器以緩衝該施加的差動輸出信號。

在各種具體實施例中，差動對404之電晶體422與423可以係(例如)具有更高電壓臨限值的I/O型NMOS電晶體，而差動對403之電晶體420與421可以係(例如)具有更小電壓臨限值、更小大小及更小 I_{ds} (汲極至源極電流)的核心邏輯NMOS電晶體。出於ESD與偏壓之目的，可(例如)針對電晶體410與411來選擇I/O PMOS處理，該等電晶體係設計以具有高於電晶體420與421之 V_{gs} 與透過電晶體424與425之 V_{ds} 之和的 V_{gs} 電壓降。

在各種具體實施例中，該箝制電路402係配置以保持一恆定增益(或輸出擺動)，並最小化由於(例如)得自 V_{cm} 變更之傳播延遲變更所致的抖動。所揭示箝制功能係配置以適應針對三個操作模式之軌對軌輸入電壓位準。

對於一第一操作模式而言，該 V_{cm} 係大約0 V。當 V_{cm} 係低於(例如) V_{tn} 時，電晶體426存在不足的「頂部空間」(相對於該 V_{ds})以作為一電流源；其減低該尾電流並減低及/或關閉電晶體422至423之增益。其亦減低電晶體433之電流源以確保透過電晶體414之電流係透過一電流鏡而耦合至電晶體424與425中。同時，電壓移位器401之源極隨耦器操作以偏移該輸入信號位準，使得可以驅動電晶體420至421之差動對。因而，放大器400可保持一相對恆定的增益，同時電晶體420至421係以充分啟動的424與425之電流源來啟動。電晶體424針對425用作一串疊級以減低該通道調變。

對於一第二操作模式而言，該 V_{cm} 係大約 $V_{dd}/2$ 。差動

對403與404兩者都係啟動。然而，該啟動的電流源(電晶體433)可降低電晶體414之一部分電流，使得電晶體424與電晶體425之尾電流少於其中 V_{cm} 接近0 V的情況。因此，隨著該 V_{cm} 更緊密地接近0 V，差動對403之增益係減小。

對於一第三操作模式，該 V_{cm} 係實質上高於 V_{tnI} (例如接近 V_{dd})，其充分開啟差動對404。差動對403係配置以係關閉以保持恆定跨導並節省功率。在該範例中，鏡射差動對404之尾電流的電晶體434與433減去來自電晶體414的大部分電流，其導致接近零的二極體電晶體431上之一殘餘電流。在該範例中，因為該電流源電晶體425係自電晶體431鏡射，故差動對403係關閉。電晶體415用作一串疊級。如上所述，當 V_{cm} 接近 V_{dd} 時，電晶體412與413及電壓移位器401之操作係實質上減低。電晶體415與414鏡射來自位準移位器401之減低的電流，其關閉二極體電晶體431並隨後關閉差動對403。

可使用電晶體之匹配來最小化增益中的變更與電晶體中的傳播延遲。在各種範例中，電晶體434係與相對於電晶體422及423匹配，而電晶體433係與電晶體426匹配。在各種範例之箝制電路中電晶體415與電晶體410及411的匹配工作以確保電晶體424與電晶體426之尾電流的和隨著該軌對軌 V_{cm} 變更而實質上不變。因而，電晶體之匹配工作以確保隨著 V_{cm} 透過電阻器454與451之一恆定電流擺動係保持。藉由緊密匹配電晶體，可相對於該 V_{cm} 中的變更來最小化資料轉變(其係抖動之一主要來源)中的增益變更與傳

播延遲(延時)變更。

圖5係說明一樣本次要增益級的示意圖。次要增益級500包括電阻器550、551及552與NMOS電晶體520、521、522、523、524、525及526。可將次要增益級500之輸入耦合至放大器400之輸出以增加總體信號增益並將該邏輯高信號自1.8 V向下偏移至少於1.2 V(其可節省藉由用於接收該信號之電路所消耗的功率)。圖6係說明一標準差動至單一轉換器的示意圖。轉換器600包括PMOS電晶體610、611、612及613與NMOS電晶體620、621、622、623、624及625。轉換器600將小差動輸入信號轉譯至一具有一約0至1.2 V之電壓擺動的單端信號。

因此，所揭示軌對軌放大器/放大器包括一電壓移位器410，其係組態為用於實行一位準偏移之一PMOS源極隨耦器。甚至當該 I_{ds} 係由於PMOS電晶體412與413之一通道調變所致而減低時，該源極隨耦器通常仍能夠保持一恆定增益。此外，在PMOS電晶體410與411中該過驅動電壓($V_{gs}-V_t$)可比傳統設計中其差動增益對應物(例如圖3中的電晶體303與304)中的過驅動電壓小得多。

此外，所揭示軌對軌放大器/放大器可使用一電源供應電壓 V_{dd} ，其係小於藉由傳統方法所要求的 V_{dd} 。在傳統方法中，通常需要 V_{dd} 大於該等臨限電壓($V_{tp}+V_{tn}$)與過驅動電壓之和。該過驅動電壓可以係0.35 V，其允許高於0.05 V的源極隨耦器 V_{ds} 交叉電流源，並允許電晶體410至411上之一過驅動電壓($V_{gs}-V_t$)高於0.05 V。

鑑於以上揭示內容，所揭示放大器可提供超過傳統設計的大約一150 mV頂部空間優勢。因而，對於具有高 V_t 與一1.62之低電源供應之一範例緩慢程序轉角而言，可實現一高速效能。此外，所揭示放大器增益可高於傳統方法。用於該範例中的被動電阻器通常具有更少的寄生電容與雜訊。所揭示放大器之增益區塊通常係基於NMOS技術，其通常具有高於具有相同大小之PMOS器件的跨導。

已實行使用各種範例程序、電源供應(1.8 V \pm 10%)及溫度(-40°C至85°C)PVT轉角的模擬。程序轉角包括電晶體之緩慢、典型及快速轉角。圖7係說明於該輸出接點處的1Gbs信號之一樣本時域模擬的波形圖。使用一偽隨機二進制序列(PRBS)來進行該範例模擬。

圖式中顯示來自三個代表性PVT轉角的三個跡線，其中 $V_{cm}=0.9$ V且 $V_{od}=50$ mV。跡線710表示來自使用具有一1.80 V之AVdd(「類比Vdd」)與一1.2 V之DVdd(「數位Vdd」)之一PVT轉角的一模擬之模擬結果。跡線720表示來自使用具有一1.68 V之AVdd與一1.08 V之DVdd之一PVT轉角的一模擬之模擬結果。跡線730表示來自使用具有一1.98 V之Vdd與1.32 V之DVdd之一PVT轉角的一模擬之模擬結果。

峰值至峰值抖動(其係定義為傳播延遲隨各種資料序列之變更)可在較大部分上係藉由該資料圖案引起的符號間干擾與共模雜訊來引起。在該等轉角上，該輸出信號展示快速上升與下降時間(<120微微秒)並具有一非常低的峰值

至峰值抖動(<10微微秒)，其係用以傳遞1 Gbs資料。在該模擬中測量的抖動通常小於傳統電路之模擬中所顯示的大約30微微秒抖動。

圖8係說明包含重疊的「眼」圖之一樣本時域模擬的波形圖。跡線810與820表示範圍自0 V至1.8 V之 V_{cm} 的模擬結果。該模擬中之重疊的峰值至峰值抖動係測量為大約26微微秒，其係實質上小於報告的值(例如97微微秒之抖動)。

圖9係說明以各種輸入信號強度在軌對軌共模位準上的抖動之一樣本時域模擬的波形圖。跡線910說明使用-150 mV之 V_{cm} 之一範例模擬。跡線920說明使用-50 mV之 V_{cm} 之一範例模擬。因此，跡線910顯示一稍大的抖動，其係當該差動輸入信號具有一150 mV之 V_{cm} 時由於該等增益級之「過衝」所致而產生。

圖10係說明以各種電源供應電壓在軌對軌共模位準上的樣本時域模擬抖動的波形圖。跡線1010係於1.8 V之操作所得的峰值至峰值抖動。跡線1020係於1.3 V之操作所得的峰值至峰值抖動。跡線1030係於1.2 V之操作所得的峰值至峰值抖動。跡線1030顯示在以1.2 V之 AV_{dd} 操作時之一更大抖動結果，而跡線1020顯示橫跨共模位準之一範圍的少於10微微秒之一抖動。

圖11係說明以各種電源供應電壓在軌對軌共模位準上的樣本時域模擬負載循環變更的波形圖。可將負載循環變更定義為作為在一脈衝之週期內該脈衝之邏輯高的持續時間

之一百分比的變更。跡線1110係於1.8 V之操作所得的峰值至峰值負載循環變更。跡線1120係於1.3 V之操作所得的峰值至峰值負載循環變更。跡線1130係於1.2 V之操作所得的峰值至峰值負載循環變更。

可實施所揭示放大器之各種具體實施例。例如，若425之通道調變並不重要，則可刪除圖4中的電晶體424。在更多範例中，該共同電壓模式節點V_{com}亦可用以箝制該電流源426。

圖12係說明於單一轉變中之一第一上升處的傳播延遲變更之一V_{com}箝制電路之樣本效應的波形圖。跡線1210與1220展示所揭示放大器藉由箝制該V_{com}而實質上較佳地實行(在軌對軌輸入V_{com}變更上具有少於20微微秒之一正規化的第一轉變上升時間)。然而，跡線1220顯示當遇到第一邏輯「0」至「1」轉變(在軌對軌V_{com}上)時缺少一V_{com}箝制電路顯示多達三倍的傳播延遲變更的增加。

圖13係說明包含不具有一箝制電路之一放大器的重疊眼圖之一樣本時域模擬的波形圖。跡線1310與1320說明其中該V_{com}之範圍係自0 V至1.8 V的模擬結果。與上面圖8中的跡線810與820相比較，該等跡線1310與1320之寬度(其係來自其中該V_{com}從軌至軌改變的模擬之結果的組合)係實質上更寬，其展示當不使用該箝制電路時的更大抖動。

此外，在選擇以執行一積體電路中之電路的程序中不具有該箝制電路的負載循環效能尤其於特定「PVT轉角」處係劣化。圖14係說明使用一「fs」程序的包含不具有一

Vcm箝制之一放大器之一輸出眼圖之一範例時域模擬的波形圖。例如，跡線1420與1410說明於一「fs」轉角(更快的NMOS與更慢的PMOS)、一50 mV之過驅動電壓、一1.62 V電源供應及一85°C之操作溫度(或當輸入信號過大時)，所揭示的不具有一VCM箝制之放大器可產生具有一實質負載循環誤差之一輸出(如圖14之倒轉波形之不對稱所示)。

圖15係說明具有或不具有一Vcm箝制電路之一負載循環變更比較之一樣本時域模擬的波形圖。圖15之跡線1520與1510顯示當Vcm接近1.8 V時(使用一「fs」轉角、一50 mV之過驅動電壓、一1.62 V電源供應及一85°C之操作溫度的效能參數)之一兩倍負載循環誤差。當該Vcm足夠高以減低該源極隨耦器之電流源的Vds時，(圖4之)電晶體412與413通常關閉該源極隨耦器。然而，當不存在箝制電路時，經由412與413之寄生電容所耦合的信號係藉由該主動差動對420與421放大。此寄生「振鈴」加速該下降邊緣的衰減，其不利地影響該負載循環之對稱性。

上面對本發明之所說明具體實施例的說明(包括發明摘要中的說明)並非詳盡無遺或以所揭示的精確形式限制本發明。雖然本文說明的本發明之特定具體實施例及範例係出於說明性目的，但熟習此項技術者將認識到可在本發明的範疇內作各種修改。

可根據上面的詳細說明來對本發明進行此等修改。以下申請專利範圍中所使用的術語不應解釋為將本發明限於本說明書中所揭示的特定具體實施例。實際上，本發明之範

疇將完全由以下申請專利範圍來決定，該申請專利範圍應依據申請專利範圍說明之所建置的解釋規則而加以解釋。

【圖式簡單說明】

已參考以下圖式說明本揭示內容的非限制性且非詳盡具體實施例，其中在各種圖式中類似參考數字表示類似部分，除非以其他方式指定。

圖1係傳輸輸出信號強度與接收輸入信號範圍之小型相機埠2(CCP2)線位準之一樣本的圖解。

圖2係說明一樣本小型相機埠2接收器的方塊圖。

圖3係說明一傳統軌對軌前置放大器的示意圖。

圖4係說明一樣本放大器的示意圖。

圖5係說明一樣本次要增益級的示意圖。

圖6係說明一樣本差動至單一轉換器的示意圖。

圖7係說明於差動至單端轉換器之輸出接點處的1Gbs信號之一樣本時域模擬的波形圖。

圖8係說明包含重疊的眼圖之一樣本時域模擬的波形圖。

圖9係說明以各種輸入信號強度在軌對軌共模位準上的抖動之一樣本時域模擬的波形圖。

圖10係說明以各種電源供應電壓在軌對軌共模位準上的一樣本時域模擬抖動的波形圖。

圖11係說明以各種電源供應電壓在軌對軌共模位準上的一樣本時域模擬負載循環變更的波形圖。

圖12係說明於單一轉變中之一第一上升處的傳播延遲變

更之一樣本Vcm箝制電路之效應的波形圖。

圖13係說明包含不具有一箝制電路之一接收器的重疊眼圖之一樣本時域模擬的波形圖。

圖14係說明使用一「fs」程序的包含不具有一Vcm箝制之一接收器之一輸出眼圖之一樣本時域模擬的波形圖。

圖15係說明具有或不具有一Vcm箝制電路之一負載循環變更比較之一樣本時域模擬的波形圖。

【主要元件符號說明】

210	外部終止電阻器
220	subLVDS前端放大器
230	次要增益級
240	差動端至單端轉換器
250	解串聯器
300	放大器
301	NMOS電晶體
302	NMOS電晶體
303	PMOS電晶體
304	PMOS電晶體
305	共同二極體負載電晶體
306	共同二極體負載電晶體
307	MOS電晶體
308	MOS電晶體
309	MOS電晶體
311	PMOS電晶體

312	PMOS 電 晶 體
313	MOS 電 晶 體
314	MOS 電 晶 體
315	NMOS 電 晶 體
316	PMOS 電 晶 體
317	MOS 電 晶 體
318	MOS 電 晶 體
319	MOS 電 晶 體
320	MOS 電 晶 體
321	MOS 電 晶 體
322	MOS 電 晶 體
323	MOS 電 晶 體
324	MOS 電 晶 體
325	MOS 電 晶 體
326	MOS 電 晶 體
327	MOS 電 晶 體
400	放 大 器
401	電 壓 移 位 器
402	箝 制 電 路
403	第 一 差 動 對
404	第 二 差 動 對
405	輸 出 區 塊
410	電 晶 體
412	電 晶 體

413	電晶體
414	電晶體
415	電晶體
420	電晶體 / 主動差動對
421	電晶體 / 主動差動對
422	電晶體
423	電晶體
424	電晶體
425	電晶體
426	電晶體 / 電流源
427	電晶體
428	電晶體
429	電晶體
430	電晶體
431	電晶體
433	電晶體
434	電晶體
451	電阻器
452	電阻器
453	電阻器
454	電阻器
460	電容器
500	次要增益級
520	NMOS 電晶體

521	NMOS 電 晶 體
522	NMOS 電 晶 體
524	NMOS 電 晶 體
525	NMOS 電 晶 體
526	NMOS 電 晶 體
550	電 阻 器
551	電 阻 器
552	電 阻 器
600	轉 換 器
610	PMOS 電 晶 體
611	PMOS 電 晶 體
612	PMOS 電 晶 體
613	PMOS 電 晶 體
620	NMOS 電 晶 體
621	NMOS 電 晶 體
622	NMOS 電 晶 體
623	NMOS 電 晶 體
624	NMOS 電 晶 體
625	NMOS 電 晶 體
710	跡 線
720	跡 線
730	跡 線
810	跡 線
820	跡 線

910	跡線
920	跡線
1010	跡線
1020	跡線
1030	跡線
1110	跡線
1120	跡線
1130	跡線
1210	跡線
1220	跡線
1310	跡線
1320	跡線
1410	跡線
1420	跡線
1510	跡線
1520	跡線

五、中文發明摘要：

一種軌對軌高速 subLVDS 接收器展示於低電源供應位準針對高速信號的良好抖動與負載循環效能。一樣本接收器包括一電壓移位器，其用於偏移一差動輸入信號之電壓位準以使得產生一偏移的差動輸入信號。可將該偏移的差動輸入信號施加至一第一差動對，並可將該差動輸入信號施加至一第二差動對。可將該第一差動對與第二差動對之輸出加總在一起以產生一差動輸出信號。可使用一輸出區塊來輸出該差動輸出信號。可使用一箝制電路來調整該第一差動對之增益以回應該第一差動輸入信號與第二差動輸入信號之一共模電壓。

六、英文發明摘要：

A rail-to-rail high speed subLVDS receiver demonstrates good jitter and duty cycle performance for high-speed signals at low power supply levels. A sample receiver includes a voltage shifter for shifting the voltage levels of a differential input signal so that a shifted differential input signal is produced. The shifted differential input signal can be applied to a first differential pair, and the differential input signal can be applied to a second differential pair. The outputs of the first and second differential pairs can be summed together to produce a differential output signal. The differential output signal can be output using an output block. A clamp circuit can be used to adjust the gain of the first differential pair responsive to a common mode voltage of the first and second differential input signals.

十、申請專利範圍：

1. 一種差動放大器，其包含：

一電壓移位器，其用於偏移一第一與第二差動輸入信號之每一者之電壓位準以產生一第一與第二偏移的差動輸入信號；

一第一差動對，其包含具有一控制端子以用於接收該第一偏移的差動輸入信號之一第一電晶體並包含具有一控制端子以用於接收該第二偏移的差動輸入信號之一第二電晶體，其中該第一差動對之該等第一與第二電晶體各具有一第一非控制端子，其分別係耦合至一第一與第二共同輸出節點；

一第二差動對，其包含具有一控制端子以用於接收該第一差動輸入信號之一第一電晶體並包含具有一控制端子以用於接收該第二差動輸入信號之一第二電晶體，其中該第一差動對之該等第一與第二電晶體各具有一第一非控制端子，其分別係耦合至該第一與第二共同輸出節點；以及

一箝制電路，其調整該第一差動對之增益以回應該等第一與第二差動輸入信號之一共模電壓(V_{cm})。

2. 如請求項1之差動放大器，其中該第一差動對之該等第一與第二電晶體各具有一第二非控制端子，其分別係彼此耦合以形成一第一差動對共同尾。

3. 如請求項2之差動放大器，其中該箝制電路藉由控制該第一差動對共同尾之一尾電流來調整該第一差動對之該

增益。

4. 如請求項3之差動放大器，其中該箝制電路包含一電容器與一電阻分壓器以產生回應該等第一與第二差動輸入信號之該共模電壓的一整合信號，且其中該整合信號係用以隨著該 V_{cm} 更緊密地接近0 V來減低該第一差動對共同尾之該尾電流。
5. 如請求項1之差動放大器，其中該第一差動對包含N型電晶體而該第二差動對包含N型電晶體。
6. 如請求項5之差動放大器，其中該第一差動對之該等電晶體之該等控制端子具有比該第二差動對之該等電晶體之該等控制端子的閘極氧化物厚的閘極氧化物。
7. 如請求項1之差動放大器，其中當該等第一與第二差動輸入信號之該共模電壓接近零時該差動放大器以一第一模式操作，且其中在該第一模式中，該第一差動對之操作相對於該第二差動對係實質上減低。
8. 如請求項7之差動放大器，其中當該等第一與第二差動輸入信號之該共模電壓接近該供應電壓之一中間軌位準時該差動放大器以一第二模式操作，且其中在該第二模式中，該第一與第二差動對之該操作相對於相反的差動對係實質上相等。
9. 如請求項8之差動放大器，其中當該等第一與第二差動輸入信號之該共模電壓接近供應電壓軌時該差動放大器以一第三模式操作，且其中在該第三模式中，該第二差動對之該操作相對於該第一差動對係實質上減低。

10. 如請求項1之差動放大器，其進一步包含一第二增益級，其用於將相關聯於該第一與第二共同輸出節點之輸出信號的電壓位準自一第一電源供應軌減低至低於該第一電源供應軌之一第二電源供應軌。
11. 一種方法，其包含：
 - 接收一差動輸入信號；
 - 偏移接收的差動輸入信號之該等電壓位準以產生一偏移的差動輸入信號；
 - 將該偏移的差動輸入信號施加至一第一差動對；
 - 將該差動輸入信號施加至一第二差動對；
 - 耦合該等第一與第二差動對之輸出以產生一差動輸出信號；以及
 - 調整該第一差動對之該增益以回應該等第一與第二差動輸入信號之一共模電壓。
12. 如請求項11之方法，其進一步包含：
 - 當該接收的差動輸入信號之該共模電壓接近0伏特時減低來自該第二差動對之該尾電流。
13. 如請求項11之方法，其進一步包含：
 - 當該接收的差動輸入信號之該共模電壓接近用以實施如請求項11之方法之一電路的V_{dd}時減低來自該第一差動對之該尾電流。
14. 一種差動接收器，其包含：
 - 一電壓位準移位器，其用於偏移一差動輸入信號之該等電壓位準，使得產生一偏移的差動輸入信號；

一第一差動對，其接收該偏移的差動輸入信號；

一第二差動對，其接收該差動對，其中該等第一與第二差動對之該等輸出係耦合在一起以產生一差動輸出信號；以及

一箝制電路，其用於調整該第一差動對之該增益以回應該等第一與第二差動輸入信號之一共模電壓。

15. 如請求項14之差動接收器，其進一步包含一第二增益級，其用於減低該差動輸出信號之電壓擺動。
16. 如請求項14之差動接收器，其進一步包含一差動至單端轉換器。
17. 如請求項14之差動接收器，其進一步包含一解串聯器，其用於將串列資料轉換成並列資料。
18. 如請求項14之差動接收器，其中一基板包含CMOS電晶體。
19. 如請求項14之差動接收器，其進一步包含一電流鏡，其用於控制該第一差動對之該增益。
20. 如請求項14之差動接收器，其中該第一差動對之閘極氧化物厚度具有比該第二差動對之該等電晶體之閘極氧化物厚的閘極氧化物。

十一、圖式：

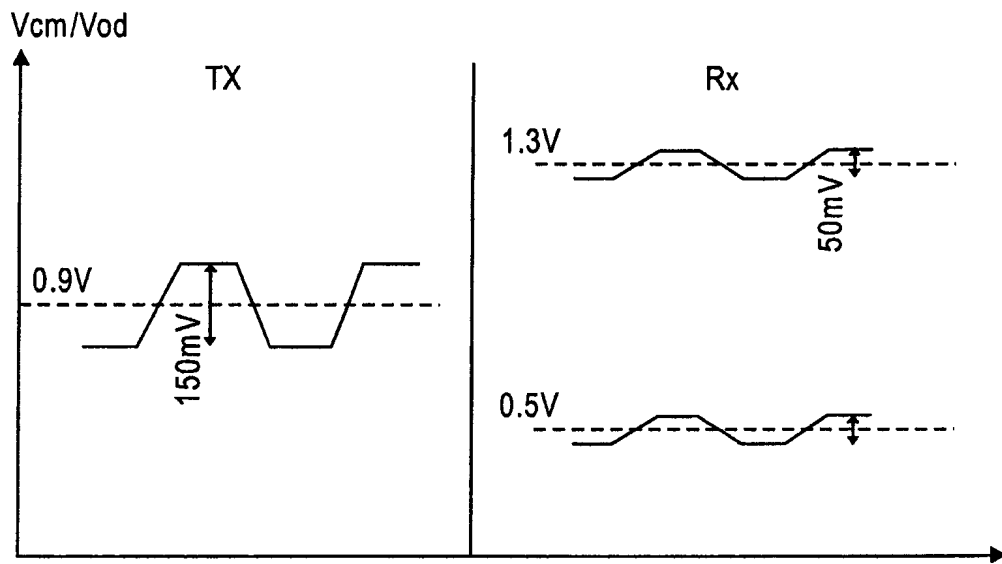


圖 1

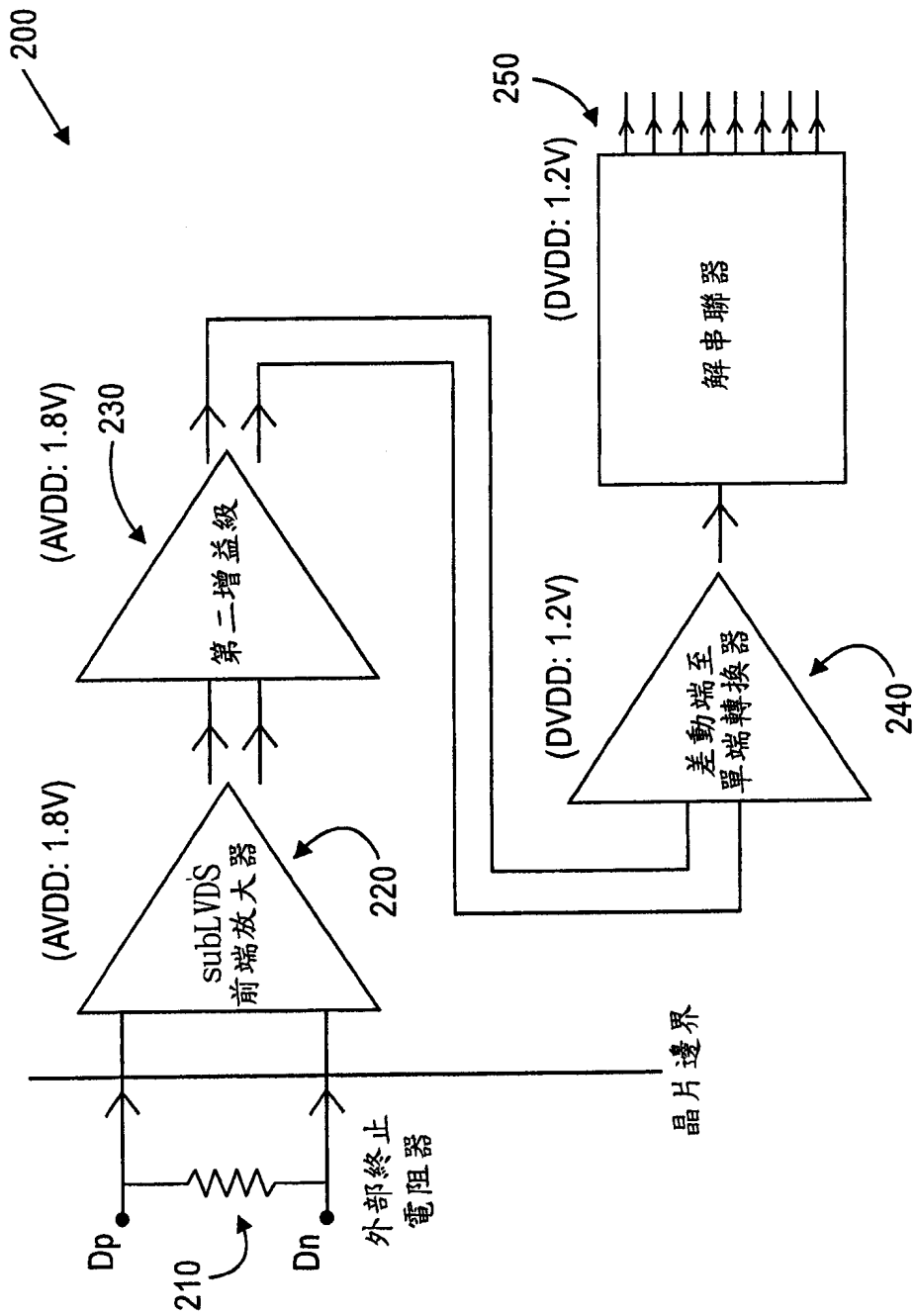


圖2

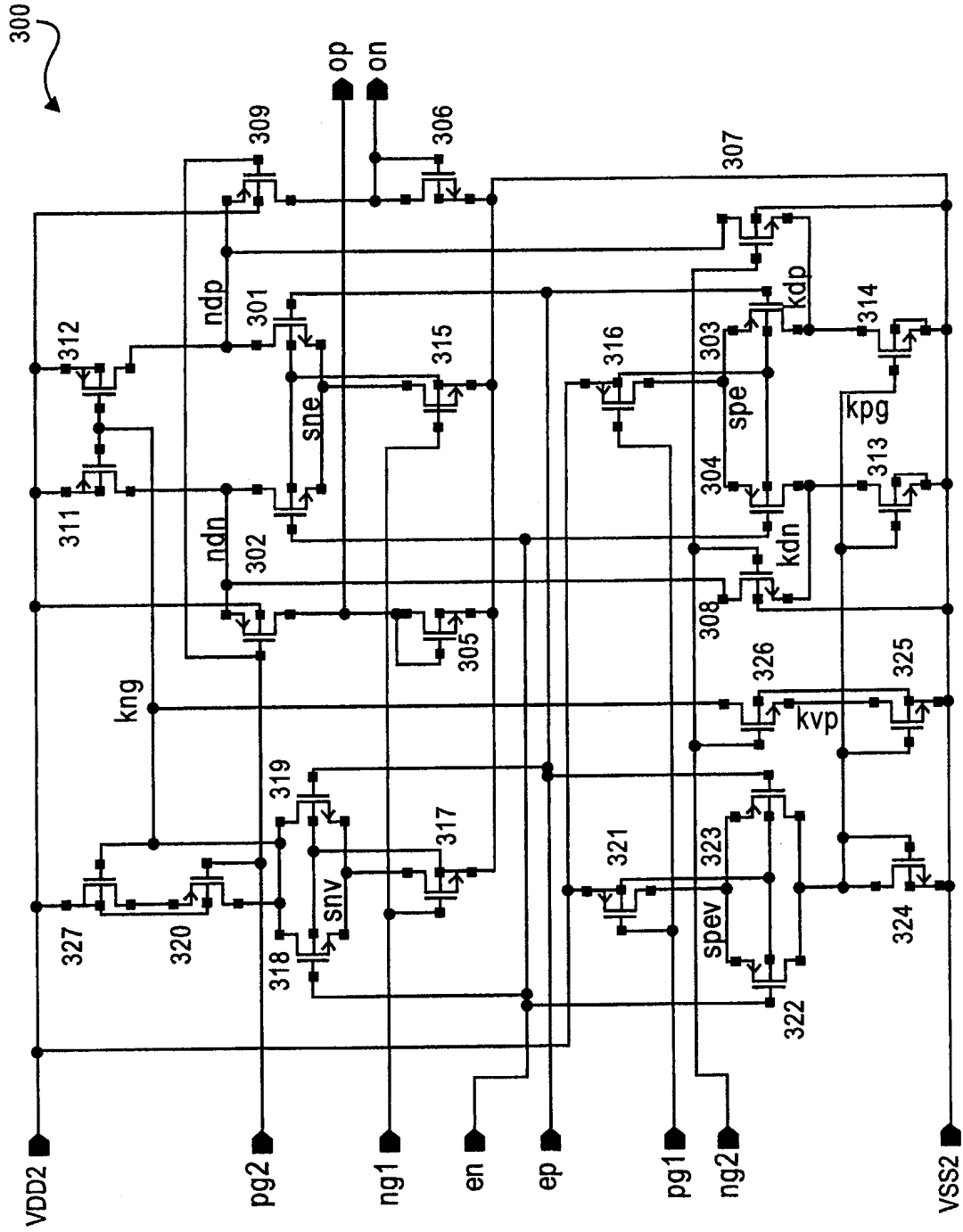


圖3

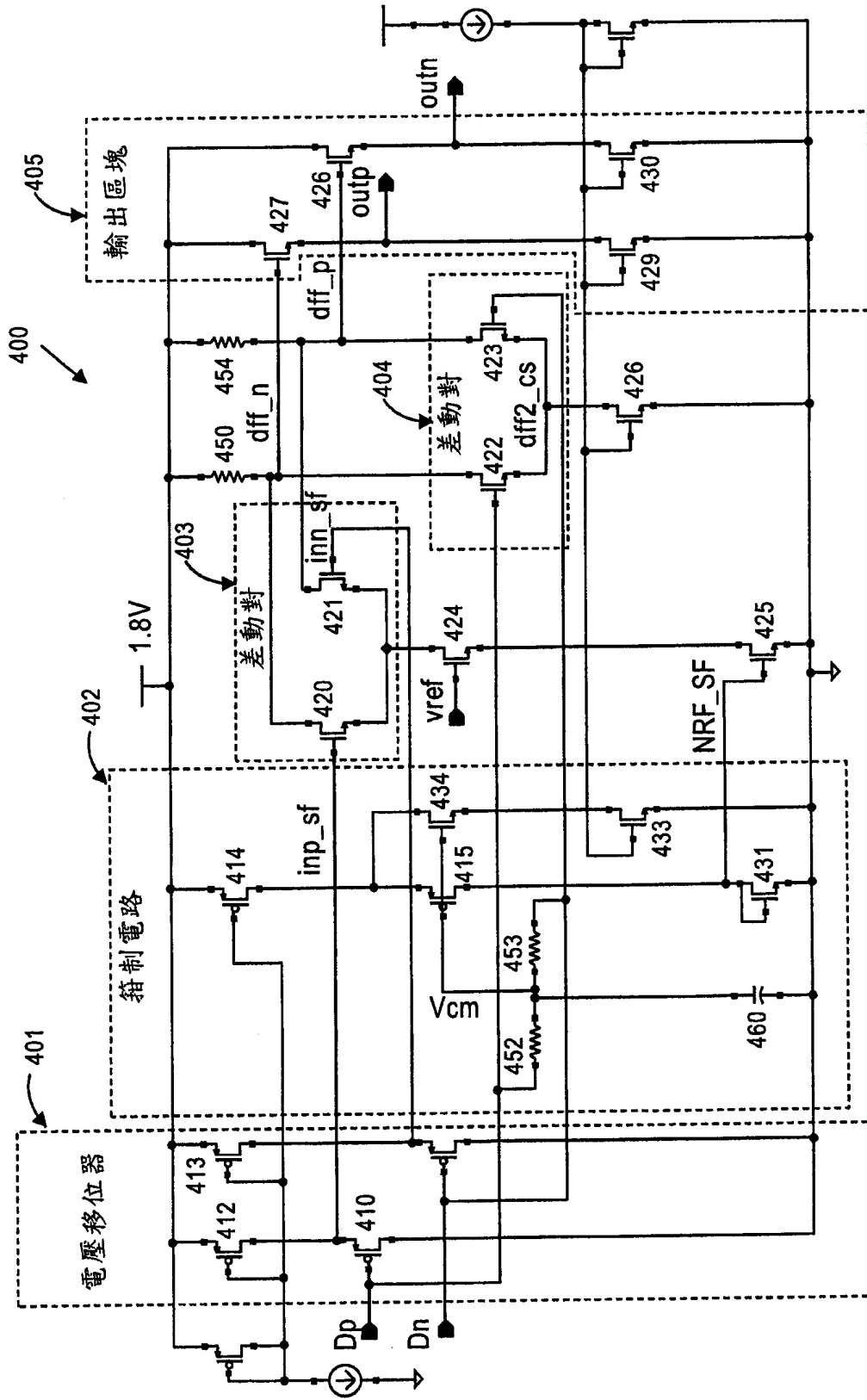


圖4

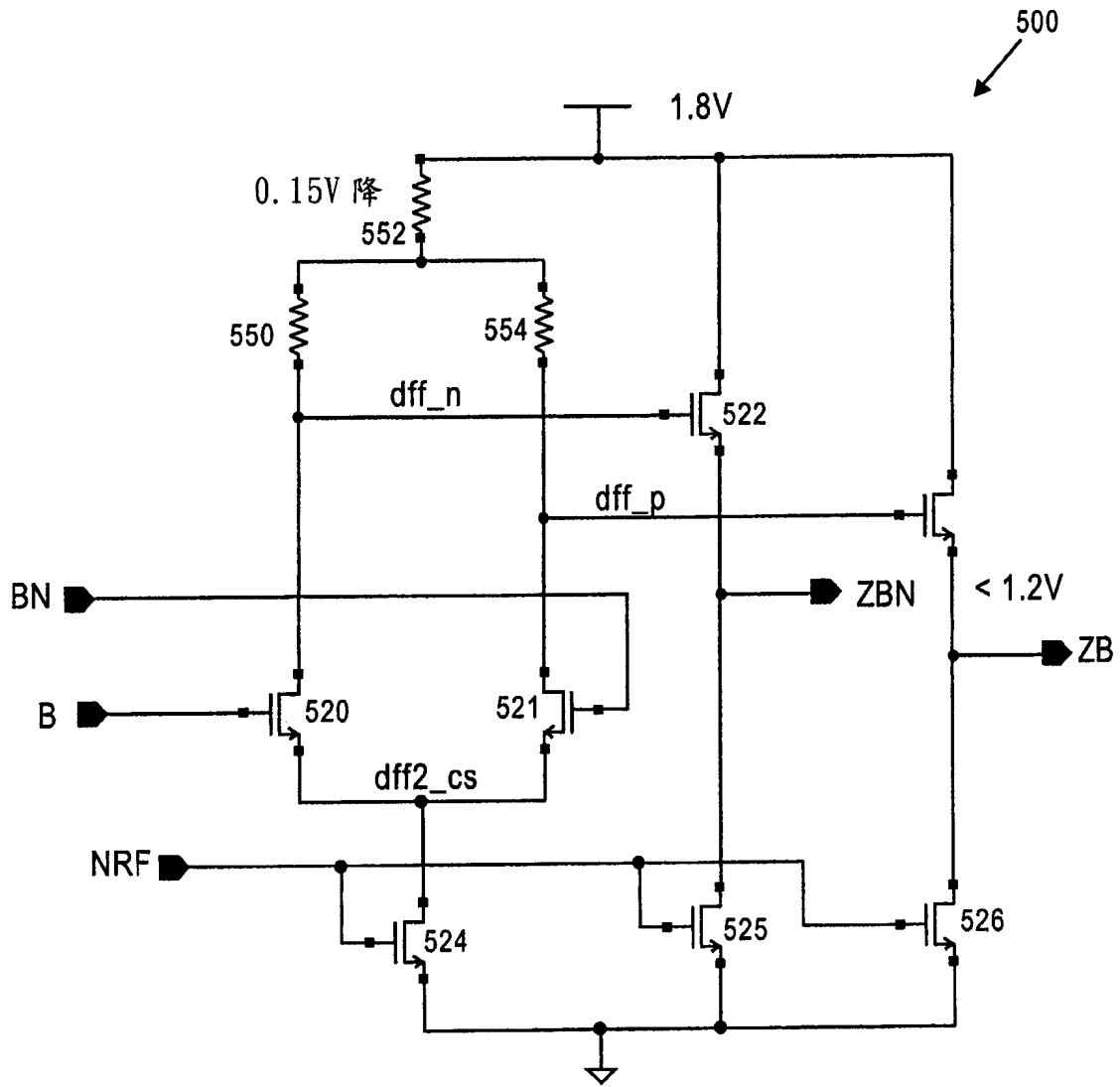


圖 5

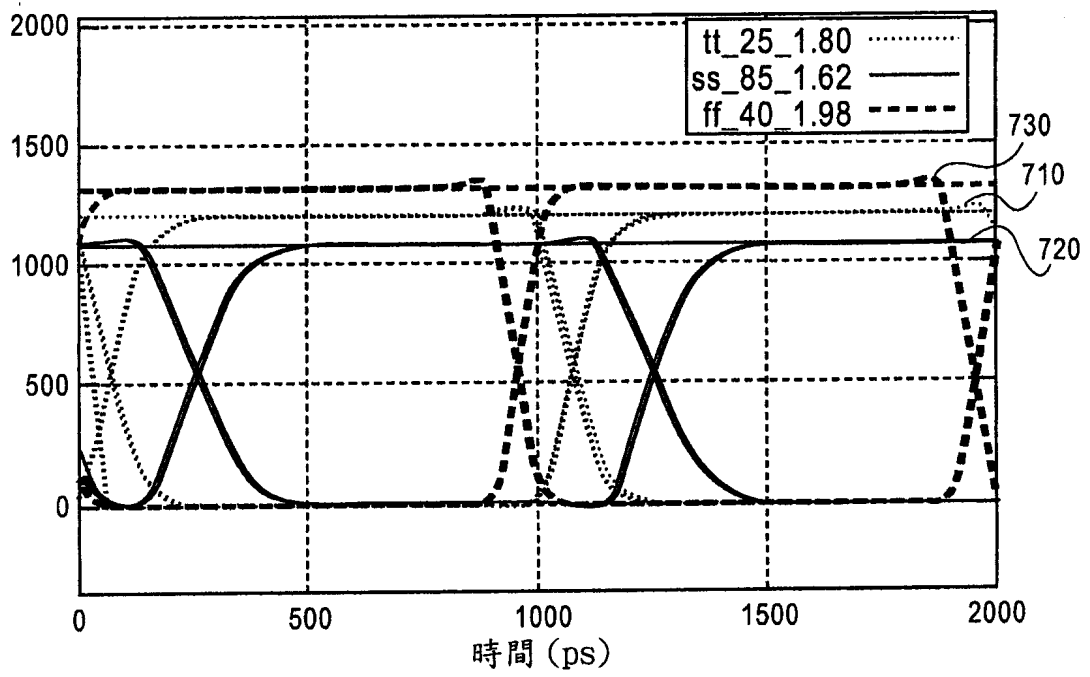


圖 7

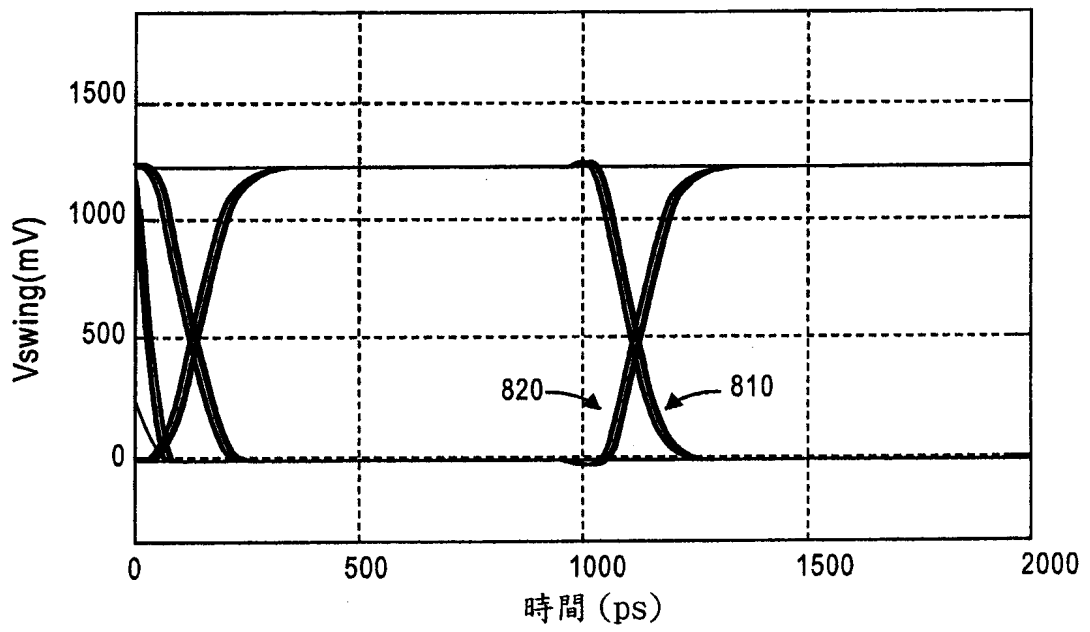


圖8

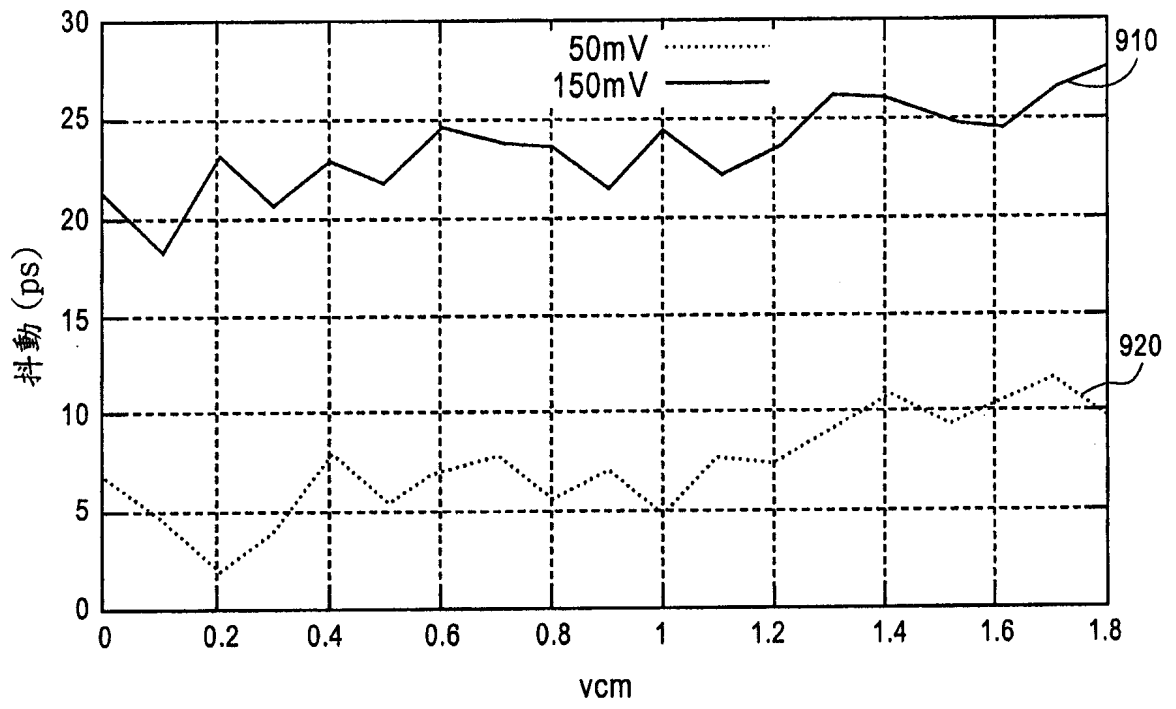


圖 9

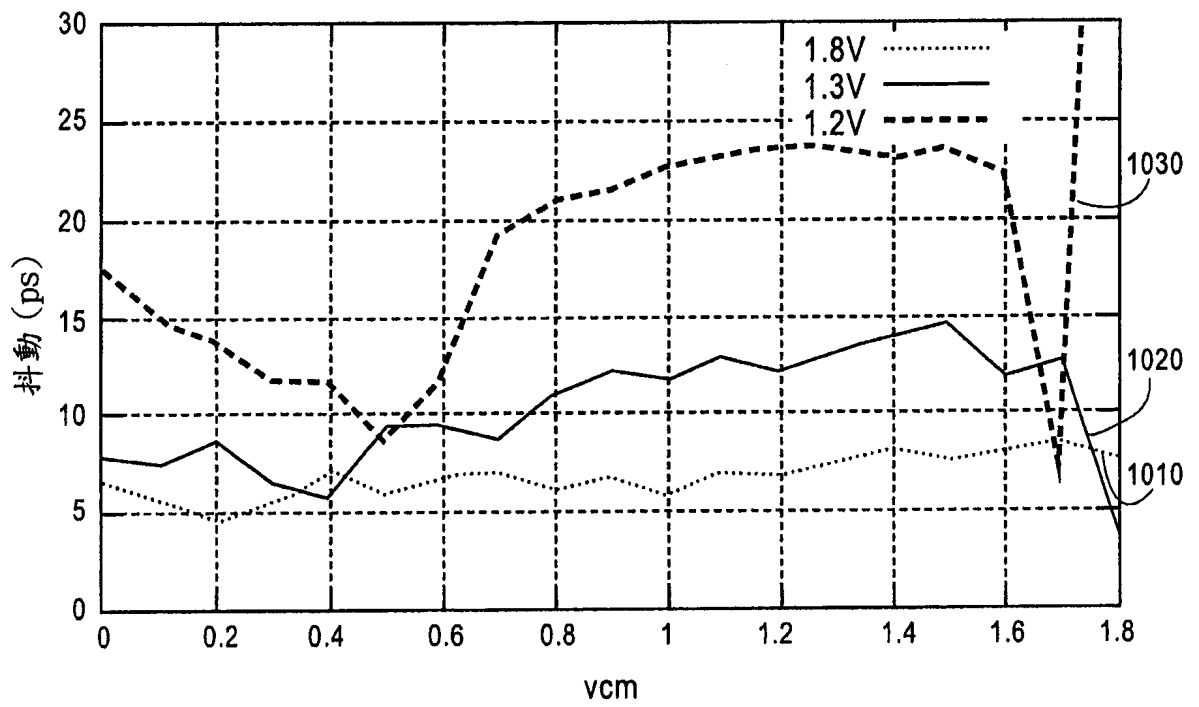


圖 10

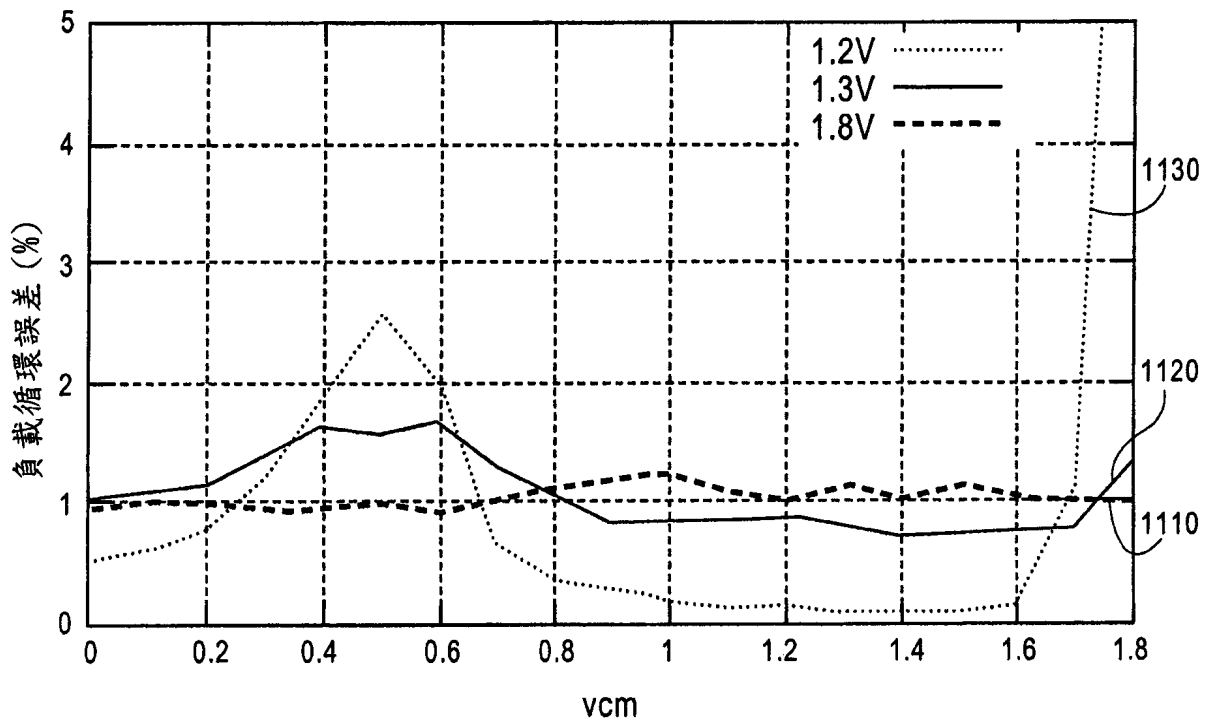


圖 11

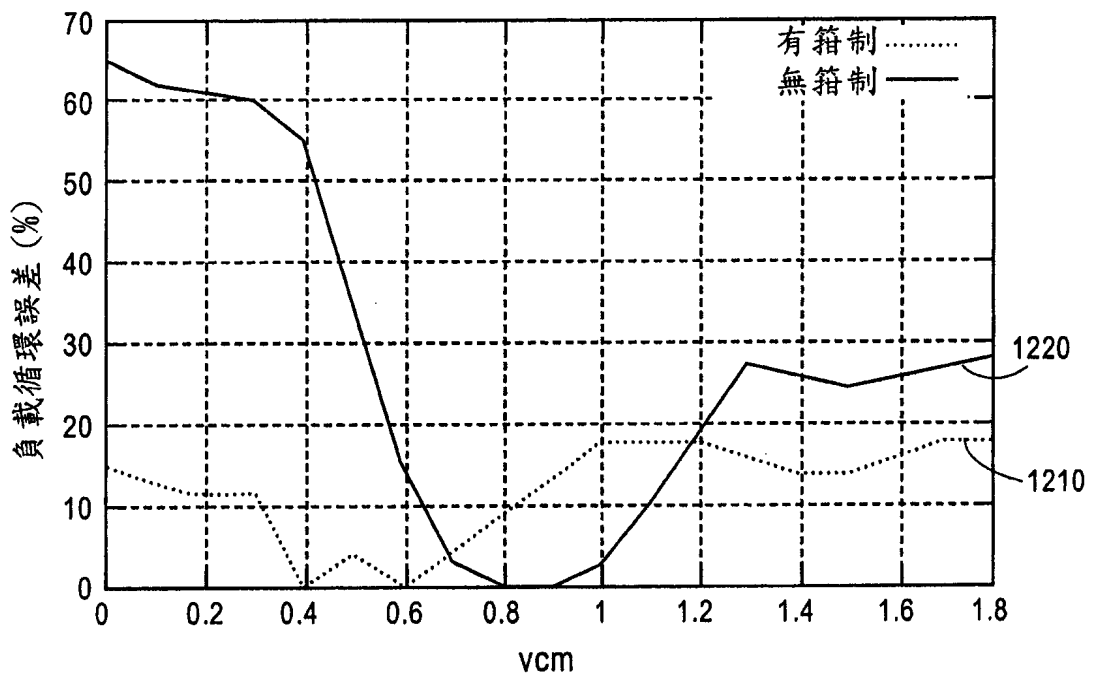


圖 12

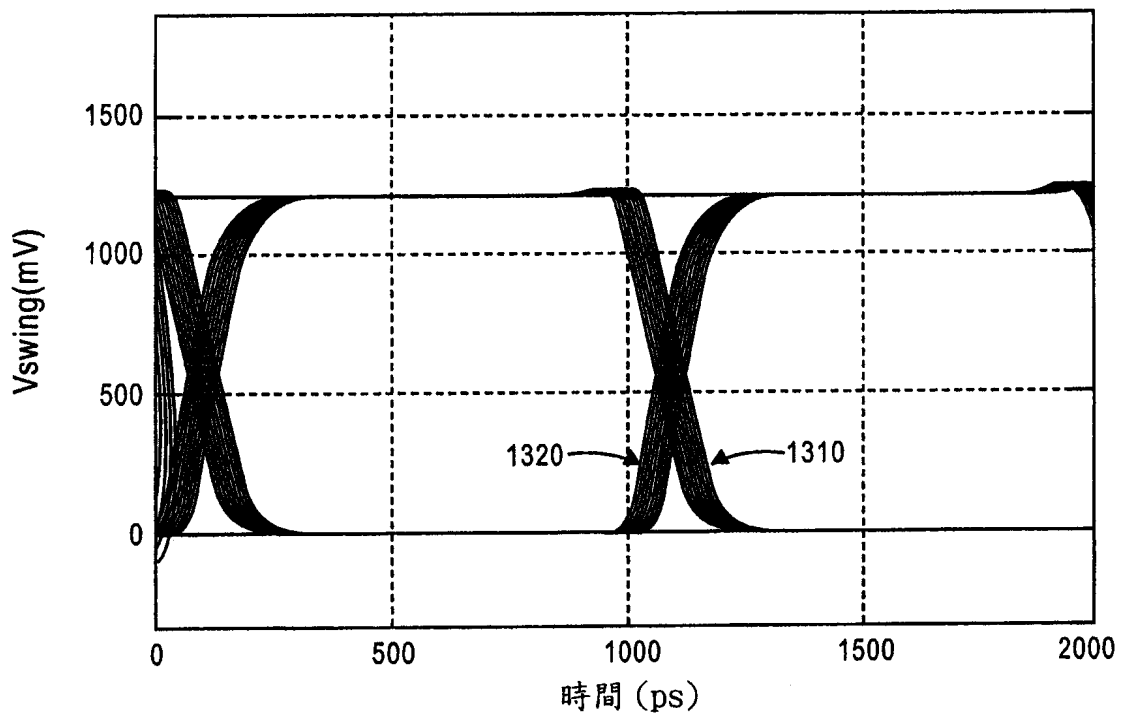


圖13

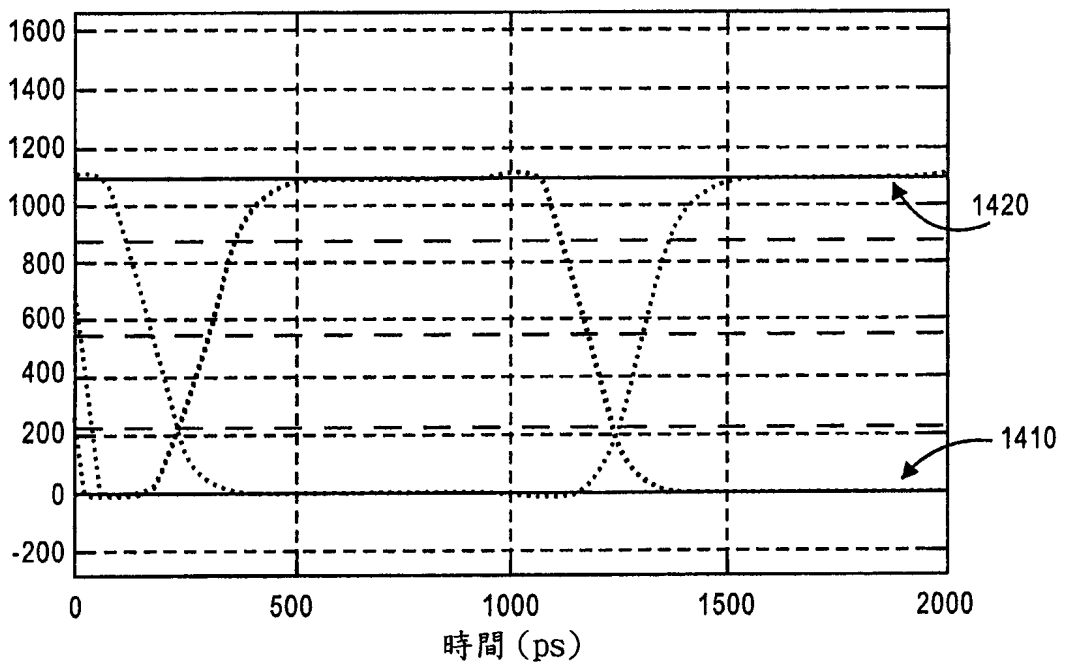


圖 14

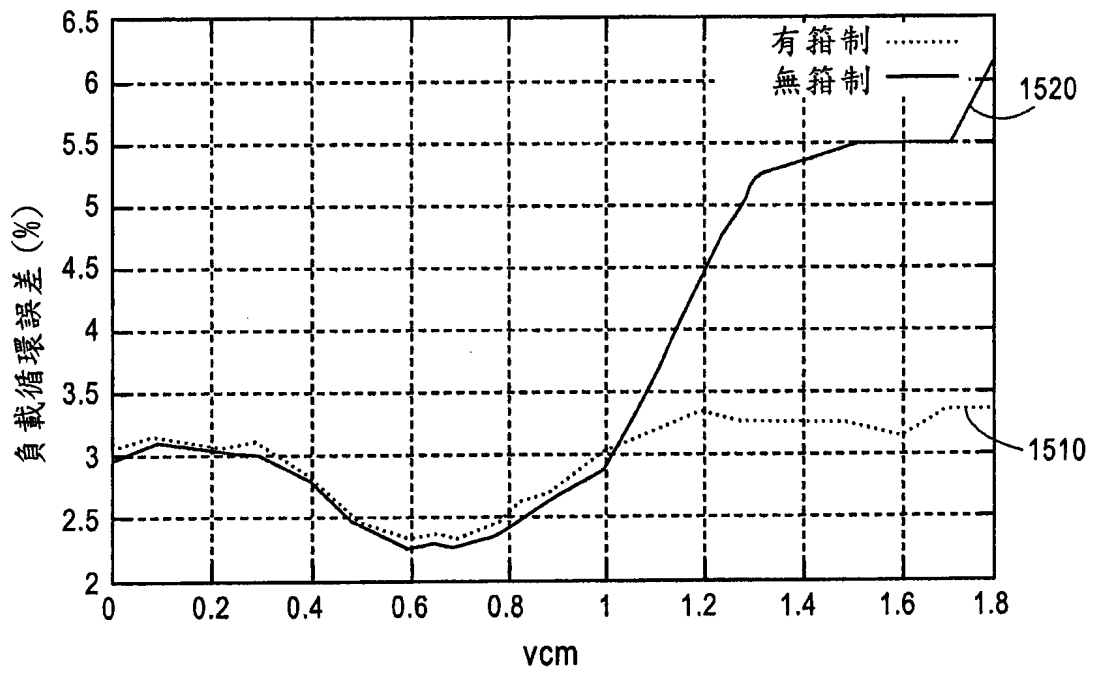


圖 15

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

210	外部終止電阻器
220	subLVDS前端放大器
230	次要增益級
240	差動端至單端轉換器
250	解串聯器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)