(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 11/403

(45) 공고일자 2004년06월30일
(11) 등록번호 10-0437610
(24) 등록일자 2004년06월16일

(21) 출원번호 10-2001-0058146
(22) 출원일자 2001년09월20일

(65) 공개번호 10-2003-0025320
(43) 공개일자 2003년03월29일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 전병득
충청북도청주시흥덕구비하동효성아파트203-111

(74) 대리인 강성배

심사관 : 최진석

(54) 정상 모드와 부분 어레이 셀프 리프레쉬 모드를 갖는저전력 반도체 메모리 장치

요약

정상 모드(normal mode)와 부분 어레이 셀프 리프레쉬 모드(partial array self refresh mode)를 갖는 낮은 소비전력의 반도체 메모리 장치에 관한 것으로서, 특히 뱅크들간의 리프레쉬 특성이 서로 다른 것을 이용하여 부분 어레이 셀프 리프레쉬 모드에서 리프레쉬 주기를 최적화함으로써 특히 스탠바이(stand-by)에서의 전류 소모를 최대한 줄일 수 있는 반도체 메모리 장치를 제공하는 것을 목적으로 한다. 본 발명에 의한 저전력 반도체 메모리 장치에서 뱅크선택신호 발생부는 메모리 제어부의 프리뱅크선택신호를 입력받아서, 정상 모드에서는 프리뱅크선택신호를 이용하여 실제 뱅크를 선택하는 뱅크선택신호를 생성하며, 부분 어레이 셀프 리프레쉬 모드에서는 리프레쉬 특성이 양호한 뱅크를 선택하는 뱅크선택신호를 생성한다.

대표도

도 1

색인어

뱅크, 부분 어레이 셀프 리프레쉬, 전류, 전력, 리프레쉬 특성

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 저전력 반도체 메모리 장치의 블록도.
도 2는 본 발명에 의한 뱅크선택신호 발생부의 블록도.
도 3은 본 발명에 의한 퓨즈회로의 회로도.
도 4는 본 발명에 의한 뱅크선택회로의 회로도.
도 5는 본 발명에 의한 리프레쉬 주기신호 발생부의 블록도.
도 6은 주기신호 발생회로에서 생성된 서로 다른 주기를 갖는 복수의 주기신호의 신호 파형도.

도 7은 본 발명에 의한 주기신호 선택회로의 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 정상 모드(normal mode)와 부분 어레이 셀프 리프레쉬 모드(partial array self refresh mode)를 갖는 낮은 소비전력의 반도체 메모리 장치에 관한 것으로서, 특히 뱅크들간의 리프레쉬 특성이 서로 다른 것을 이용하여 부분 어레이 셀프 리프레쉬 모드에서 리프레쉬 주기를 최적화함으로써 특히 스탠바이(stand-by)에서의 전류 소모를 최대한 줄일 수 있는 반도체 메모리 장치에 관한 것이다.
최근 들어 핸드폰이나 개인휴대단말기 등의 모빌 시스템들의 수요가 급속히 늘고 있다. 이런 시스템에 들어가는 디램의 첫 번째 조건이 전류를 적게 소모해야 한다는 것이다. 이런 요구에 부응하기 위해 개발된 여러 기술들 중의 하나가 부분 어레이 셀프 리프레쉬(partial array self refresh) 방법이다. 모빌 시스템들을 실제 사용하다 보면 사용자의 사용량이 작아 전체 뱅크를 모두 엑세스할 필요가 없는 경우가 많이 발생한다. 이 경우 시스템에서 특정 뱅크만을 엑세스함으로써 칩 전체에 흐르는 전류 소모를 많이 줄일 수 있다. 이 때에는 물론 리프레쉬도 그 특정 뱅크에 대해서만 수행되면 되는 것이다. 이러한 방법을 부분 어레이 셀프 리프레쉬 방법이라고 한다.
그런데 종래의 시스템에서는 부분 어레이 셀프 리프레쉬 모드시 메모리 제어부에서 생성되어 뱅크부로 제공되는 뱅크선택신호가 미리 정해져 있기 때문에 부분 어레이 셀프 리프레쉬 모드에서 선택되는 뱅크가 모든 동일 설계의 메모리에서 동일하게 된다. 그러나 공정상의 여러 이유로 비록 설계는 동일하다 하더라도 뱅크의 리프레쉬 특성은 변동 가능하므로 메모리 제어부에 의해 디폴트로 선택되는 뱅크가 가장 좋은 리프레쉬 특성을 갖는다고 보장할 수 없으며, 다른 뱅크의 리프레쉬 특성이 좋다고 하더라도 이를 이용할 수 없다. 따라서 부분 어레이 셀프 리프레쉬 모드에서 선택되는 것으로 미리 정해져 있는 뱅크의 리프레쉬 특성이 열악한 경우에 는 짧은 리프레쉬 주기를 사용함으로써 불필요하게 많은 전류가 소비되는 문제점이 있다. 이는 밧데리를 사용하는 모빌 시스템에서는 치명적인 것이다. 또한 데이터 보존의 안정성이 떨어지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 부분 어레이 셀프 리프레쉬 모드에서 소비 전력을 낮출 수 있는 반도체 메모리 장치를 제공하는 것을 일 목적으로 한다.
또한 본 발명은 부분 어레이 셀프 리프레쉬 모드에서 데이터 보존의 안정성을 향상시킬 수 있는 반도체 메모리 장치를 제공하는 것을 다른 목적으로 한다.

발명의 구성 및 작용

전술한 바와 같은 목적과 관련하여 본 발명에 의해 부분 어레이 셀프 리프레쉬 모드에서 리프레쉬 특성이 가장 양호한 뱅크에 엑세스하는 저전력 반도체 메모리 장치가 제공된다. 본 발명에 의한 저전력 반도체 메모리 장치에서 뱅크선택신호 발생부는 메모리 제어부의 프리뱅크선택신호를 입력받아서, 정상 모드에서는 프리뱅크선택신호를 이용하여 실제 뱅크를 선택하는 뱅크선택신호를 생성하며, 부분 어레이 셀프 리프레쉬 모드에서는 리프레쉬 특성이 양호한 뱅크를 선택하는 뱅크선택신호를 생성한다.
뱅크선택신호 발생부는 부분 어레이 셀프 리프레쉬 모드에서 선택될 뱅크를 표시하는 신호를 출력하는 뱅크선택 퓨즈회로와, 정규 모드에서는 상기 프리뱅크선택신호를 패스하여 뱅크선택신호를 생성하고, 부분 어레이 셀프 리프레쉬 모드에서는 퓨즈회로의 출력신호에 따라 프리뱅크선택신호를 변경하여 뱅크선택신호를 생성 하는 뱅크선택회로를 구비하고 있다.
복수의 뱅크로 셀프 리프레쉬 주기신호를 제공하는 셀프 리프레쉬 주기신호 발생부를 더 구비하는데, 셀프 리프레쉬 주기신호 발생부는 부분 어레이 셀프 리프레쉬 모드에서 뱅크선택신호에 의해 선택되는 뱅크의 리프레쉬 특성에 가장 적합한 주기를 갖는 셀프 리프레쉬 주기신호를 부분 어레이 셀프 리프레쉬 모드에서 선택되는 특정 뱅크에 제공한다. 리프레쉬 주기신호 발생부는 주기가 서로 다른 복수의 주기신호를 발생하는 주기신호 발생회로와, 부분 어레이 셀프 리프레쉬 모드에서 뱅크선택신호에 의해 선택되는 뱅크의 셀프 리프레쉬 주기를 표시하는 신호를 출력하는 주기선택 퓨즈회로와, 주기선택 퓨즈회로의 출력신호를 이용하여 주기신호 발생회로의 복수의 주기신호 중에서 어느 하나의 주기신호를 선택하여 출력하는 주기신호 선택회로를 구비하고 있다.
이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소 또는 신호를 가리키는 것으로 사용된다.
도 1은 본 발명에 의한 저전력 반도체 메모리 장치의 블록도이다. 도 1에 도시되어 있는 바와 같이 본 발명에 의한 저전력 반도체 메모리 장치는 메모리 제어부(101), 뱅크선택신호 발생부(103), 뱅크부(105), 리프레쉬 주기신호 발생부

(107)를 주요 구성요소로 구비하고 있다. 뱅크부(105)는 메모리 셀 어레이를 포함하는 여러 개의 뱅크들로 이루어져 있다. 도 1에서 pBA는 프리뱅크선택신호를, partial은 부분 어레이 셀프 리프레쉬 모드를 표시하는 신호를, BA는 뱅크선택신호를, period는 셀프 리프레쉬 주기신호를 각각 가리킨다.

도 1에 도시되어 있는 바와 같이, 메모리 제어부(101)는 프리뱅크선택신호(pBA)를 생성하여 뱅크선택신호 발생부(103)로 제공하고, 부분 어레이 셀프 리프레쉬 모드신호를 생성하여 뱅크선택신호 발생부(103)와 리프레쉬 주기신호 발생부(107)로 제공한다. 뱅크선택신호 발생부(103)는 프리뱅크선택신호(pBA)와 부분 어레이 셀프 리프레쉬 모드신호(partial)를 수신하여 실제로 뱅크를 선택하는데 사용되는 뱅크선택신호를 생성하여 뱅크부(105)로 제공한다. 뱅크선택신호 발생부(103)는 정상 모드에서는 메모리 제어부(101)에서 생성된 프리뱅크선택신호(pBA)를 그대로 이용하여 뱅크선택신호(BA)를 생성하고, 부분 어레이 셀프 리프레쉬 모드에서는 리프레쉬 특성이 양호한 뱅크를 선택하는 뱅크선택신호(BA)를 생성하기 위하여 프리뱅크선택신호(pBA)를 적절히 변경시킨다. 부분 어레이 셀프 리프레쉬 모드에서 뱅크선택신호 발생부(103)는 뱅크부(105)의 여러 뱅크 중에서 가장 리프레쉬 특성이 좋은 뱅크를 선택하는 뱅크선택신호(BA)를 생성하는 것이 바람직하다. 리프레쉬 주기신호 발생부(107)는 셀프 리프레쉬 주기신호(period)를 생성하여 뱅크부(105)로 제공하는데, 부분 어레이 셀프 리프레쉬 모드에서는 뱅크선택신호(BA)에 의해 선택되는 뱅크로 이 뱅크의 리프레쉬 특성을 고려할 때 가장 적절한 주기를 갖는 셀프 리프레쉬 주기신호를 제공한다.

종래는 뱅크선택신호 발생부(103)를 구비하고 있지 않으므로 메모리 제어부(101)에서 생성된 프리뱅크선택신호(pBA)가 바로 뱅크부(105)로 제공되었으나, 본 발명에서는 별도의 뱅크선택신호 발생부(103)를 구비하고 있으므로 부분 어 레이 셀프 리프레쉬 모드에서 선택되는 뱅크를 변경할 수 있다. 따라서 부분 어레이 셀프 리프레쉬 모드시 메모리 제어부(101)에서 생성되는 프리뱅크선택신호(pBA)가 리프레쉬 특성이 좋지 않은 뱅크를 가리키더라도, 실제로 뱅크 선택을 위해 사용되는 뱅크선택신호(BA)는 리프레쉬 특성이 양호한 뱅크를 가리키도록 함으로써 부분 어레이 셀프 리프레쉬 모드에서 리프레쉬 특성이 좋은 뱅크를 사용할 수 있게 된다.

도 2는 본 발명에 의한 뱅크선택신호 발생부(103)의 블록도이다. 도 2에 도시되어 있는 바와 같이 본 발명에 의한 뱅크선택신호 발생부는 뱅크선택 퓨즈회로(201)와 뱅크선택회로(203)를 구비하고 있다. 도 2에서 FUSb는 부분 어레이 셀프 리프레쉬 모드에서 선택되는 뱅크를 표시하는 신호이다. 뱅크부(105)가 2^n의 뱅크로 구성되어 있는 경우 뱅크 표시신호(FUSb)는 통상 n 비트를 가지나, 부분 어레이 셀프 리프레쉬 모드에서 선택되는 뱅크가 뱅크부(105)에 구비되어 있는 모든 뱅크들 중에서 꼭 선택될 필요는 없으므로 n-1 이하의 비트를 가질 수 있다. 프리뱅크선택신호(pBA), 부분 어레이 셀프 리프레쉬 모드신호(partial), 뱅크선택신호(BA)는 도 1에서와 동일하다.

뱅크선택 퓨즈회로(201)는 뱅크선택 부분 어레이 셀프 리프레쉬 모드에서 선택될 뱅크를 표시하는 신호(FUSb)를 출력한다. 도 3은 뱅크선택신호가 1 비트인 경우 뱅크선택 퓨즈회로(201)의 회로도이다. 전술한 바와 같이 뱅크부(105)가 2n개의 뱅크로 이루어져 있는 경우, 도 3에 도시된 회로의 통상 n개가 하나의 반도체 메모 리 장치에 구비된다. 도 3에 도시되어 있는 바와 같이 뱅크선택 퓨즈회로(201)는 퓨즈(301)와, 2개의 NMOS 트랜지스터(303, 305)와, 인버터(307)를 구비하고 있다. 도 3에서 VCC는 전원단자를, VSS는 접지단자를 각각 가리킨다. 입력단으로 제공되는 PUPb는 초기 파워업(power up)시에 한번 하이 레벨(high level)로 인에이블 되었다가 바로 디스에이블되는 펄스형 신호이다.

도 3에 도시되어 있는 바와 같이, 퓨즈(301)의 한쪽은 전원단자(VCC)에 연결되어 있고, 다른 한쪽은 인버터(307)를 통해 출력단자에 연결된다. 이 출력단자는 래치되어 있다. 각 뱅크들의 리프레쉬 특성은 웨이퍼 테스트(wafer test)를 통해 밝혀진다. 부분 어레이 셀프 리프레쉬 모드에서 가장 좋은 리프레쉬 특성을 갖는 뱅크가 엑세스되도록 퓨즈 절단(fuse cutting)이 이루어진다.

도 3 회로의 구체적인 동작을 설명한다. 먼저 퓨즈(301)가 절단되어 있으면 입력신호(PUPb)가 하이 레벨일 때 노드(N1)가 로우 레벨로 되고, 출력(FUSb)은 하이 레벨로 되어 래치된다. 그래서 퓨즈(301)가 절단되어 있는 경우 출력(FUSb)은 항상 하이 레벨이다. 반면 퓨즈(301)가 절단되지 않고 그대로 남아 있으면 파워업 후에 노드(N1)는 항상 하이 레벨이므로 출력(FUSb)은 계속 로우 레벨을 유지한다. 그러므로 디바이스를 제작한 후에 퓨즈(301)를 절단하느냐, 혹은 안 하느냐에 따라 출력(FUSb)을 1 혹은 0으로 조절할 수 있게 된다.

뱅크선택회로(203)는 정규 모드에서는 프리뱅크선택신호(pBA)를 패스하여 뱅크선택신호(BA)를 생성하고, 부분 어레이 셀프 리프레쉬 모드에서는 뱅크선택 퓨즈회로(201)의 출력신호에 따라 프리뱅크선택신호(pBA)를 변경하여 뱅크선택신호(BA) 를 생성한다. 도 4는 1 비트에 해당하는 뱅크선택회로의 회로도로서, 뱅크부(105)가 2^n개의 뱅크를 구비하고 있는 경우 n개의 동일한 회로가 하나의 반도체 메모리 장치에 구비된다. 도 4에서 401은 NAND 게이트, 403과 405는 인버터, 407과 409는 전송 게이트(transmission gate)를 각각 가리킨다. partial은 부분 어레이 셀프 리프레쉬 모드를 표시하는 신호로서, 부분 어레이 셀프 리프레쉬 모드에서 하이 레벨로 된다. FUSb는 도 3에 도시된 회로의 출력신호이며, pBA는 메모리 제어부(101)에서 생성되는 프리뱅크선택신호이고, BA는 뱅크선택신호이다.

이하, 도 4에 도시된 뱅크선택회로의 동작을 설명한다. 먼저 정규 모드에서 부분 어레이 셀프 리프레쉬 모드신호(partial)는 로우 레벨이므로 프리뱅크선택신호(pBA)가 그대로 뱅크선택신호(BA)로 전달되어 원래 제어하고자 하는 뱅크를 제어하게 된다. 그러나 부분 어레이 셀프 리프레쉬 모드에서는 모드신호(partial)가 하이 레벨로 되어 뱅크표시신호(FUSb)의 레벨에 따라 프리뱅크선택신호(pBA)가 그대로 뱅크선택신호(BA)로 나갈지 또는 인버팅되어 나갈지 결정된다. 따라서 도 4에 도시된 바와 동일한 구성의 회로를 n개 사용하는 경우 가장 좋은 리프레쉬 특성을 갖는 뱅크로서 2n개의 뱅크 중에서 어느 하나의 뱅크를 지정할 수 있다.

도 5는 본 발명에 의한 리프레쉬 주기신호 발생부의 블록도이다. 도 5에 도시되어 있는 바와 같이 본 발명에 의한 리프레쉬 주기신호 발생부는 주기신호 발생부(501)와 주기선택 퓨즈회로(503)와 주기신호 선택회로(505)를 구비하고 있다. 도 5에서 period0은 주기신호 발생회로(501)에서 생성된 기본 주기신호, period1은 제1 주기신호, period2는 제2 주기신호이다. 또한 FUSp는 부분 어레이 셀프 리프레쉬 모드에서 선택되는 주기신호를 표시하는 신호이고, peri

od는 주기신호 선택회로(505)에 의해 선택되어 출력되는 주기신호이다.
주기신호 발생회로(501)는 주기가 서로 다른 복수의 주기신호(period0, period1, period2)를 생성하여 주기신호 선택회로(505)로 제공한다. 주기선택 퓨즈회로(503)는 부분 어레이 셀프 리프레쉬 모드에서 뱅크선택신호에 의해 선택되는 뱅크의 셀프 리프레쉬 주기를 표시하는 신호(FUSp)를 출력한다. 주기신호 선택회로(505)는 주기선택 퓨즈회로(503)의 출력신호(FUSp)를 이용하여 주기신호 발생회로(501)의 복수의 주기신호(period0, period1, period2) 중에서 어느 하나의 주기신호를 선택하여 출력한다.
전술한 바와 같은 구성의 리프레쉬 주기신호 발생부를 통하여 리프레쉬 특성이 가장 양호하다는 이유로 부분 어레이 셀프 리프레쉬 모드에서 선택되는 뱅크에 가장 적합한 주기를 갖는 리프레쉬 주기신호를 제공함으로써 리프레쉬로 인한 전류 소모를 줄일 수 있게 된다. 이는 디램을 이용하는 모빌 시스템에서 밧테리 사용 시간을 현저히 증가시키게 된다.
이하, 주기신호 발생부를 구성하는 구체적인 구성요소 각각에 대해 상술한다. 먼저 주기신호 발생회로(501)는 주기가 서로 다른 복수의 주기신호(period0, period1, period2)를 생성하여 주기신호 선택회로(505)로 제공한다. 도 5에서는 3개의 주기신호를 생성하는 것으로 도시되어 있으나, 주기표시신호(FUSp)가 m 비트 인 경우 주기신호 발생회로(501)에 의해 공급되는 2 ^{m} 개 이하가 된다. 주기신호 발생회로(501)의 구체적인 구성은 당업계에 너무도 잘 알려져 있으므로 여기에서는 설명을 생략한다.
도 6은 주기신호 발생회로(501)에서 생성되는 복수의 주기신호의 파형도이다. 도 6에서 SLOSC는 디바이스에서 발생시키는 수 μs의 주기를 갖는 입력신호이고, 정규 동작시는 SLOSC의 3분주를 해서 기본 주기신호(period0)로 사용한다. 셀프 리프레쉬를 위해 기본 주기신호(period0)를 위해 사용하는 경우 3 분주마다 셀프 리프레쉬가 수행된다. 3 분주는 하나의 예를 든 것이고, SLOSC의 주기에 따라 달라질 수 있다. 여기에 추가로 도 6에 도시되어 있는 바와 같이 4 분주의 제1 주기신호(period1)와 5 분주의 제2 주기신호(period2)를 만들어 둔다. 제1 주기신호(period1)와 제2 주기신호(period2)는 셀프 리프레쉬 주기를 늘리기 위하여 만들어진 신호들이다. 예를 들어, 리프레쉬 특성이 가장 좋아서 부분 어레이 셀프 리프레쉬 모드에서 선택되는 뱅크가 제2 주기신호(period2)에 의해 셀프 리프레쉬가 수행되는 경우 데이터를 손실할 수 있고, 기본 주기신호(period0)와 제1 주기신호(period1)에 의해 셀프 리프레쉬가 수행되는 경우 데이터를 보존할 수 있다면 부분 어레이 셀프 리프레쉬 모드에서 제1 주기신호(period1)에 의해 뱅크에 셀프 리프레쉬를 수행한다.
주기선택 퓨즈회로(503)는 도 3에 도시된 뱅크선택 퓨즈회로와 동일한 회로 구성을 가지고 있다. 퓨즈 절단에 의하여 부분 어레이 셀프 리프레쉬 모드에서 사 용되는 주기신호를 표시한다. 본 실시예에서 주기선택 퓨즈회로(503)의 출력신호(FUSp)는 2 비트를 갖는다.
주기신호 선택회로(505)는 주기선택 퓨즈회로(503)의 출력신호를 이용하여 주기신호 발생회로(501)의 복수의 주기신호 중에서 어느 하나의 주기신호를 선택하여 출력한다. 도 7은 본 발명에 의한 주기신호 선택회로의 회로도이다. 도 7에 도시되어 있는 바와 같이 본 발명에 의한 주기신호 선택회로는 NOR 게이트(701)와 NAND 게이트(703, 705, 707, 709)를 구비하고 있다. 도 7에서 period0은 3 분주의 기본 주기신호, period1은 4 분주의 제1 주기신호, period2는 5 분주의 제2 주기신호이고, period는 주기신호 선택회로의 출력신호이다. 또한 FUSp0은 제1 주기표시 퓨즈신호, FUSp1은 제2 주기표시 퓨즈신호를 각각 가리킨다.
제1 주기표시 퓨즈신호(FUSp0)와 제2 주기표시 퓨즈신호(FUSp1)가 모두 로우 레벨인 경우 3 분주의 기본 주기신호(period0)가 출력으로 나가게 되고, 제1 주기표시 퓨즈신호(FUSp0)만 하이 레벨일 때는 4 분주인 제1 주기신호(period1)가 출력으로 나간다. 또한 제2 주기표시 퓨즈신호(FUSp1)만이 하이 레벨일 때는 5 분주인 제2 주기신호(period2)가 출력으로 나간다. 어떤 주기신호를 선택할 것인가는 리프레쉬 특성이 가장 좋은 뱅크의 성능에 따라 퓨즈를 절단함으로써 이루어진다.
지금까지 설명한 실시예는 예시적인 것으로서 본 발명의 구체적인 구성과 동작을 설명하기 위한 것이다. 따라서 이러한 예시적인 구성에 의하여 본 발명의 범위가 한정되는 것은 아니며, 본 발명의 범위는 원칙적으로 후술하는 특허청구범위에 의하여 정하여진다.

발명의 효과

전술한 바와 같은 구성의 본 발명에 따르면, 부분 어레이 셀프 리프레쉬 모드시 리프레쉬 특성이 가장 좋은 뱅크를 엑세스하므로써 리프레쉬 주기를 늘릴 수 있으므로 디바이스의 전류 소모를 더욱 줄일 수 있는 이점이 있다. 또한 부분 어레이 셀프 리프레쉬 모드시 리프레쉬 특성이 가장 좋은 뱅크를 엑세스하도록 함으로써 데이터 보존을 더욱 안정화시킬 수 있다.

(57) 청구의 범위

청구항 1.

정상 모드와 부분 어레이 셀프 리프레쉬 모드를 갖는 저전력 반도체 메모리 장치에 있어서,
메모리 셀 어레이로 구성된 복수의 뱅크와,
상기 뱅크의 선택과 관련된 프리뱅크선택신호(pre bank selection signal)를 생성하며, 상기 부분 어레이 셀프 리프레쉬 모드에서는 특정 뱅크(predetermined bank)에 해당하는 프리뱅크선택신호를 생성하는 메모리 제어부와,
상기 메모리 제어부의 프리뱅크선택신호를 입력받아서, 상기 정상 모드에서는 상기 프리뱅크선택신호를 이용하여 실제 뱅크를 선택하는 뱅크선택신호를 생성하며, 상기 부분 어레이 셀프 리프레쉬 모드에서는 리프레쉬 특성이 양호한

뱅크를 선택하는 뱅크선택신호를 생성하는 뱅크선택신호 발생부와,
상기 뱅크로 셀프 리프레쉬 주기신호를 제공하는 셀프 리프레쉬 주기신호 발생부를 구비하며,
상기 셀프 리프레쉬 주기신호 발생부는 상기 부분 어레이 셀프 리프레쉬 모드에서 상기 뱅크선택신호에 의해 선택되는 뱅크에 상기 선택되는 뱅크의 리프레쉬 특성에 따른 주기를 갖는 셀프 리프레쉬 주기신호를 제공하는 것을 특징으로 하는 저전력 반도체 메모리 장치.

청구항 2.

제 1 항에 있어서,
상기 부분 어레이 셀프 리프레쉬 모드에서 상기 뱅크선택신호 발생부는 상기 복수의 뱅크 중에서 가장 양호한 리프레쉬 특성을 갖는 뱅크를 선택하는 뱅크선택신호를 생성하는 것을 특징으로 하는 저전력 반도체 메모리 장치.

청구항 3.

제 1 항에 있어서,
상기 뱅크선택신호 발생부는
상기 부분 어레이 셀프 리프레쉬 모드에서 선택될 뱅크를 표시하는 신호를 출력하는 뱅크선택 퓨즈회로와,
상기 정규 모드에서는 상기 프리뱅크선택신호를 패스하여 뱅크선택신호를 생성하고, 상기 부분 어레이 셀프 리프레쉬 모드에서는 상기 퓨즈회로의 출력신호에 따라 상기 프리뱅크선택신호를 변경하여 뱅크선택신호를 생성하는 뱅크선택회로를
구비한 것을 특징으로 하는 저전력 반도체 메모리 장치.

청구항 4.

삭제

청구항 5.

제 1 항에 있어서,
상기 리프레쉬 주기신호 발생부는
주기가 서로 다른 복수의 주기신호를 발생하는 주기신호 발생회로와,
상기 부분 어레이 셀프 리프레쉬 모드에서 상기 뱅크선택신호에 의해 선택되 는 뱅크의 셀프 리프레쉬 주기를 표시하는 신호를 출력하는 주기선택 퓨즈회로와,
상기 주기선택 퓨즈회로의 출력신호를 이용하여 상기 주기신호 발생회로의 복수의 주기신호 중에서 어느 하나의 주기신호를 선택하여 출력하는 주기신호 선택회로를
구비한 것을 특징으로 하는 저전력 반도체 메모리 장치.

청구항 6.

정상 모드와 부분 어레이 셀프 리프레쉬 모드를 갖는 저전력 반도체 메모리 장치에 있어서,
메모리 셀 어레이로 구성된 복수의 뱅크와,
상기 뱅크의 선택과 관련된 프리뱅크선택신호(pre bank selection signal)를 생성하며, 상기 부분 어레이 셀프 리프레쉬 모드에서는 특정 뱅크(predetermined bank)에 해당하는 프리뱅크선택신호를 생성하는 메모리 제어기와,
상기 부분 어레이 셀프 리프레쉬 모드에서 선택될 뱅크를 표시하는 신호를 출력하는 뱅크선택 퓨즈회로와,
상기 정규 모드에서는 상기 프리뱅크선택신호를 패스하여 실제 뱅크를 선택하는 뱅크선택신호를 생성하고, 상기 부분 어레이 셀프 리프레쉬 모드에서는 상기 뱅크선택 퓨즈회로의 출력신호에 따라 상기 프리뱅크선택신호를 변경하여 뱅크선택신호를 생성하는 뱅크선택회로를
구비한 것을 특징으로 하는 저전력 반도체 메모리 장치.

청구항 7.

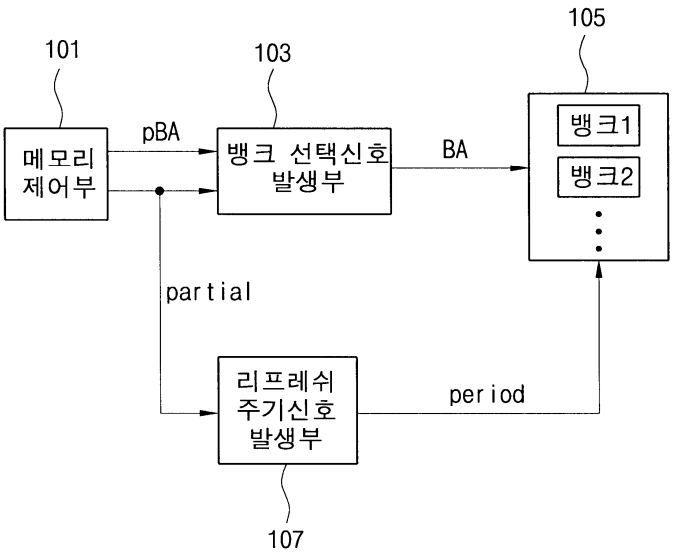
정상 모드와 부분 어레이 셀프 리프레쉬 모드를 갖는 저전력 반도체 메모리 장치에 있어서,
메모리 셀 어레이로 구성된 복수의 뱅크와,
상기 뱅크의 선택과 관련된 프리뱅크선택신호(pre bank selection signal)를 생성하며, 상기 부분 어레이 셀프 리프레쉬 모드에서는 특정 뱅크(predetermined bank)에 해당하는 프리뱅크선택신호를 생성하는 메모리 제어기와,
상기 부분 어레이 셀프 리프레쉬 모드에서 선택될 뱅크를 표시하는 신호를 출력하는 뱅크선택 퓨즈회로와,
상기 정규 모드에서는 상기 프리뱅크선택신호를 패스하여 실제 뱅크를 선택하는 뱅크선택신호를 생성하고, 상기 부분 어레이 셀프 리프레쉬 모드에서는 상기 뱅크선택 퓨즈회로의 출력신호에 따라 상기 프리뱅크선택신호를 변경하여 뱅크선택신호를 생성하는 뱅크선택회로와,
주기가 서로 다른 복수의 주기신호를 발생하는 주기신호 발생회로와,
상기 부분 어레이 셀프 리프레쉬 모드에서 상기 뱅크선택신호에 의해 선택되는 뱅크의 셀프 리프레쉬 주기를 표시하는 신호를 출력하는 주기선택 퓨즈회로와,
상기 주기선택 퓨즈회로의 출력신호를 이용하여 상기 주기신호 발생회로의 복수의 주기신호 중에서 어느 하나의 주기신호를 선택하여 출력하는 주기신호 선택회로를
구비한 것을 특징으로 하는 저전력 반도체 메모리 장치.

청구항 8.

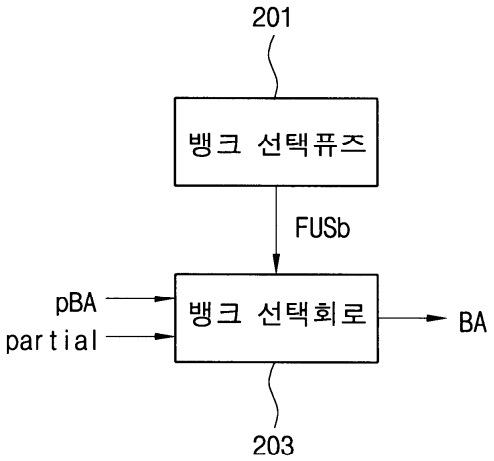
제 6 항 또는 제 7 항에 있어서,
상기 뱅크선택 퓨즈회로는 상기 복수의 뱅크 중에서 가장 좋은 리프레쉬 특성을 갖는 뱅크를 표시하는 신호를 출력하고, 상기 주기선택 퓨즈회로는 상기 뱅크선택 퓨즈회로에 의해 선택되는 뱅크의 셀프 리프레쉬 주기를 표시하는 신호를 출력하는 것을 특징으로 하는 저전력 반도체 메모리 장치.

도면

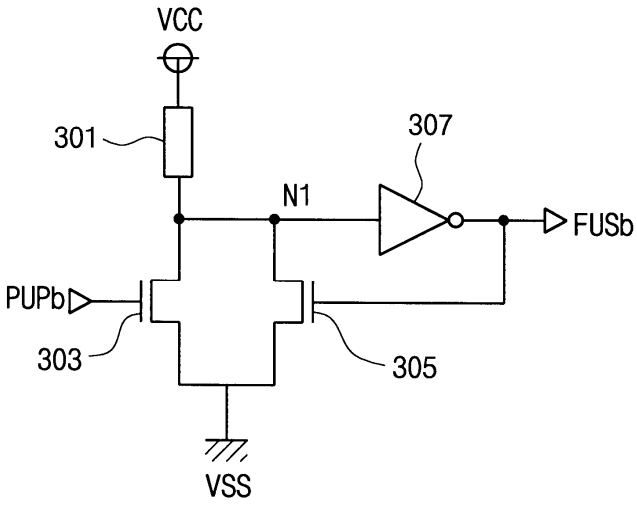
도면1



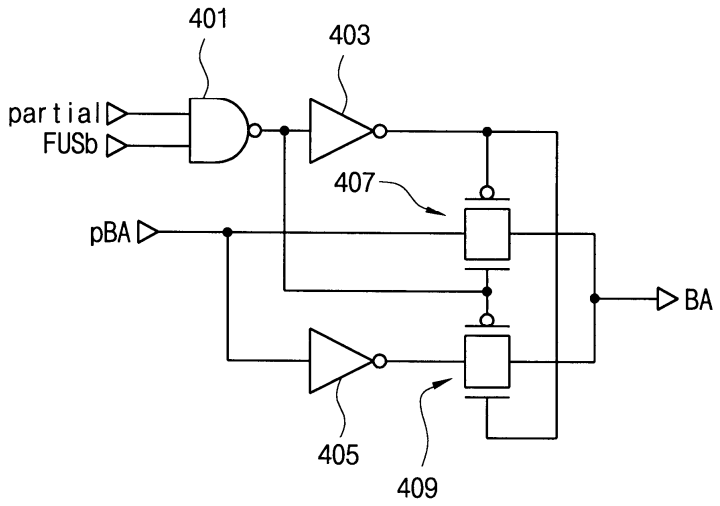
도면2



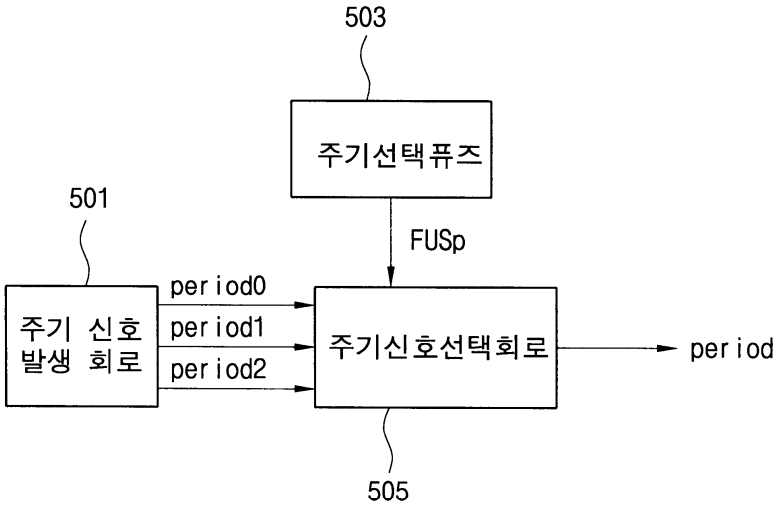
도면3



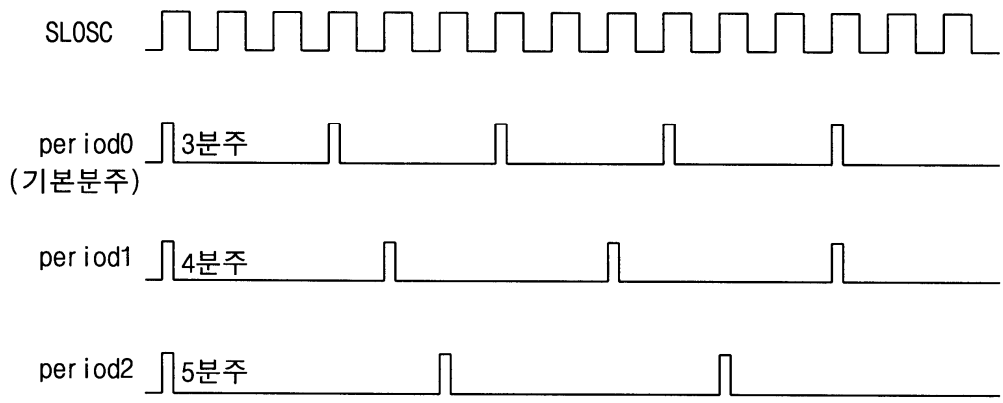
도면4


401
403
partial
FUSb
407
pBA
BA
405
409

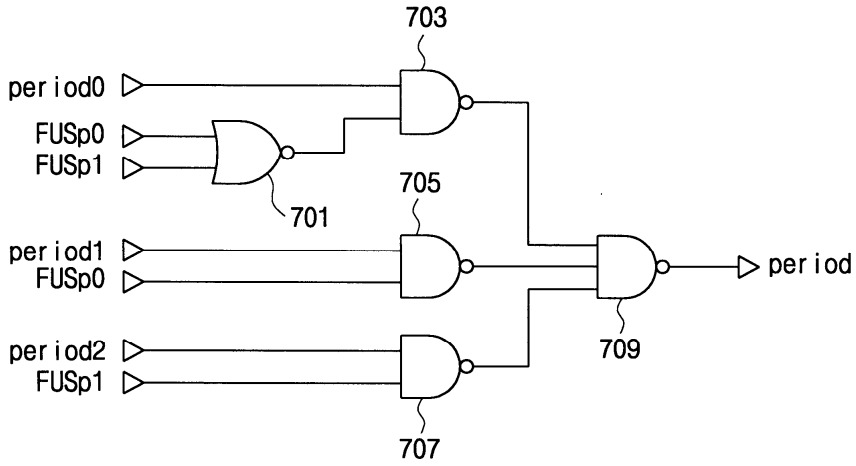
도면5


503
주기선택퓨즈
501
FUSp
period0
period1
period2
주기 신호
발생 회로
주기신호선택회로
period
505

도면6


SLOSC
period0
(기본분주)
3분주
period1
4분주
period2
5분주

도면7


703
period0
FUSp0
FUSp1
701
705
period1
FUSp0
period2
FUSp1
707
709
period